



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I503648 B

(45) 公告日：中華民國 104 (2015) 年 10 月 11 日

(21) 申請案號：099125983

(22) 申請日：中華民國 99 (2010) 年 08 月 04 日

(51) Int. Cl. : G05F3/30 (2006.01)

(30) 優先權：2009/09/25 美國 61/245,908

2010/06/18 美國 12/818,887

(71) 申請人：微晶片科技公司 (美國) MICROCHIP TECHNOLOGY INCORPORATED (US)
美國(72) 發明人：迪瓦 飛利浦 DEVAL, PHILIPPE (FR)；喬納 元恩 JOHNER, YANN (CH)；沃徹
費比恩 VAUCHER, FABIEN (CH)

(74) 代理人：陳長文

(56) 參考文獻：

TW I269955

TW 200928656A

TW 200937168A

US 2007/0146059A1

US 2009/0160538A1

審查人員：吳柏鋒

申請專利範圍項數：21 項 圖式數：8 共 28 頁

(54) 名稱

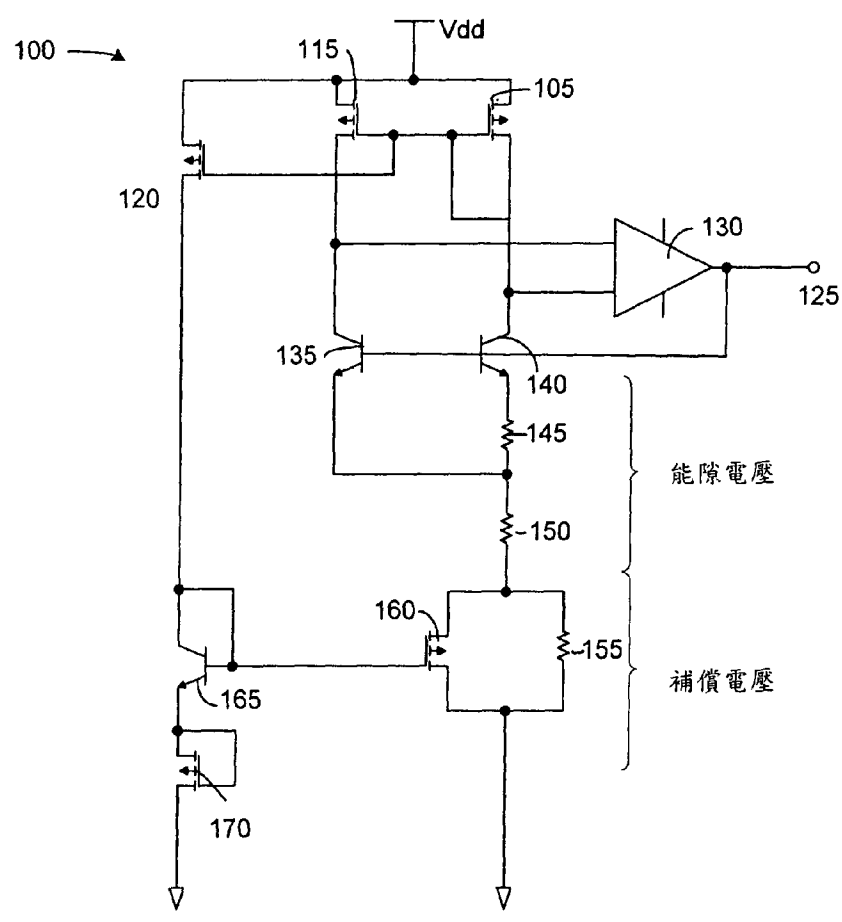
能隙電路及產生參考電壓的方法

BANDGAP CIRCUIT AND METHOD FOR GENERATING A REFERENCE VOLTAGE

(57) 摘要

本發明揭示一種積體電路，其具有：一未修整能隙產生電路；及一能隙產生電路，其耦接於該未修整能隙產生電路。該能隙產生電路具有一電流源，該電流源受控於該未修整能隙產生電路且與一電阻器及一第一雙極二極體裝置(一或更多雙極二極體裝置)串聯耦接，每一雙極二極體裝置與該第一雙極二極體裝置並聯耦接，其中該積體電路之一修整能隙參考電壓輸出隨雙極二極體裝置數目而變。

An integrated circuit has an untrimmed bandgap generation circuit; and a bandgap generation circuit coupled to the untrimmed bandgap generation circuit. The bandgap generation circuit has a current source controlled by the untrimmed bandgap generation circuit and coupled in series with a resistor and a first bipolar diode device, one or more of bipolar diode devices, each bipolar diode device coupled in parallel with the first bipolar diode device, wherein a trimmed bandgap reference voltage output of the integrated circuit is a function of the number of bipolar diode devices.



- 100 . . . 能隙電路
- 105 . . . MOSFET
電晶體
- 115 . . . MOSFET
電晶體
- 120 . . . MOSFET
電晶體
- 125 . . . 輸出節點
- 130 . . . 放大器
- 135 . . . 雙極電晶體
- 140 . . . 雙極電晶體
- 145 . . . 電阻器
- 150 . . . 電阻器
- 155 . . . 電阻器
- 160 . . . MOSFET
電晶體
- 165 . . . 雙極電晶體
- 170 . . . MOSFET
電晶體

圖 1

發明專利說明書

中文說明書替換頁(104年6月3日)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：099125983

※ 申請日：99年8月4日

※IPC 分類：G05F 3/30 (2006.01)

一、發明名稱：(中文/英文)

能隙電路及產生參考電壓的方法

BANDGAP CIRCUIT AND METHOD FOR GENERATING A
REFERENCE VOLTAGE

二、中文發明摘要：

本發明揭示一種積體電路，其具有：一未修整能隙產生電路；及一能隙產生電路，其耦接於該未修整能隙產生電路。該能隙產生電路具有一電流源，該電流源受控於該未修整能隙產生電路且與一電阻器及一第一雙極二極體裝置(一或更多雙極二極體裝置)串聯耦接，每一雙極二極體裝置與該第一雙極二極體裝置並聯耦接，其中該積體電路之一修整能隙參考電壓輸出隨雙極二極體裝置數目而變。

三、英文發明摘要：

An integrated circuit has an untrimmed bandgap generation circuit; and a bandgap generation circuit coupled to the untrimmed bandgap generation circuit. The bandgap generation circuit has a current source controlled by the untrimmed bandgap generation circuit and coupled in series with a resistor and a first bipolar diode device, one or more of bipolar diode devices, each bipolar diode device coupled in parallel with the first bipolar diode device, wherein a trimmed bandgap reference voltage output of the integrated circuit is a function of the number of bipolar diode devices.

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100	能隙電路
105	MOSFET電晶體
115	MOSFET電晶體
120	MOSFET電晶體
125	輸出節點
130	放大器
135	雙極電晶體
140	雙極電晶體
145	電阻器
150	電阻器
155	電阻器
160	MOSFET電晶體
165	雙極電晶體
170	MOSFET電晶體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明之技術領域大體上係關於能隙電路，且特定言之，本發明之技術領域係關於能隙補償電路。

本申請案主張2009年9月25日申請之題名為「用於能隙胞之簡單通用二階溫度補償技術」(SIMPLE UNIVERSAL SECOND-ORDER TEMPERATURE COMPENSATION TECHNIQUE FOR BANDGAP CELLS)之美國臨時申請案第61/245,908號，該案全文被併入本文中。

【先前技術】

在類比電路設計中，因為類比組件具有許多隨處理、溫度及/或所供應電源而改變之參數，所以獲得精確電壓或測量係困難的。因此，可自一能隙參考電壓電路產生用於一積體電路之一或更多參考電壓。然而，若由於溫度變化(特定言之)該能隙參考電壓不準確，則源自該能隙參考電壓之所有參考電壓將都不準確。此在該積體電路之操作中可引起重大的誤差。

一標準能隙電壓參考之二階弓在一擴展溫度操作範圍明顯減小該能隙電壓之準確性。當能隙胞在低溫或高溫下進行操作時，該二階弓亦可將雜訊加至該參考電壓。

【發明內容】

存在對一較小溫度相依能隙之一需要。

根據一實施例，一能隙電路可包括：一個一階補償能隙單元，其產生一第一輸出電壓；及一個二階補償電路，該

二階補償電路將一第二輸出電壓加至該第一輸出電壓且包括與一第一電阻器並聯耦接之一第一金屬氧化物半導體(MOS)電晶體，其中該第一MOS電晶體利用一反比於絕對溫度(PTAT)電壓予以加偏壓。

根據又一實施例，該一階補償能隙單元可包括第一及第二雙極電晶體。根據又一實施例，該二階補償電路可包括一第一可控電流源，該第一可控電流源之輸出經由與一接成二極體形式(diode-connected)的第二MOS電晶體串聯連接之一接成二極體形式的第三雙極電晶體而與一參考電位耦接，其中該第一電流源之該輸出控制該第一MOS電晶體。根據又一實施例，藉由串聯耦接該二階補償電路與該一階補償能隙單元可增加一個二階補償電壓。

根據一第一類型實施例，該一階補償能隙單元可包括：一電流鏡，其與該第一雙極電晶體及該第二雙極電晶體耦接，介於該第一雙極電晶體及一參考電位間串聯耦接第二及第三電阻器，其中該第二雙極電晶體與介於該第二電阻器及該第三電阻器間之一節點連接；及一運算放大器，其之輸入分別與該電流鏡及介於該第一雙極電晶體及該第二雙極電晶體間之節點連接且其之輸出控制該第一雙極電晶體及該第二雙極電晶體。根據又一實施例，可藉由MOS電晶體形成該電流鏡。根據又一實施例，可藉由一MOS電晶體形成該可控電流源且該可控電流源與該電流鏡耦接。

根據該能隙電路之另一類型實施例，該一階補償能隙單元可包括：一第二可控電流源，其經由串聯連接的第二及

第三電阻器與該第一雙極電晶體耦接且經由一第四電阻器與該第二雙極電晶體耦接；且包括一運算放大器，該運算放大器具有：一第一輸入，其與介於該第二電阻器及該第三電阻器間之一節點耦接；一第二輸入，其與介於該第四電阻器及該第二雙極電晶體間之一節點耦接；及一輸出，其控制該第一可控電流源及該第二可控電流源。

根據該能隙電路之又一類型實施例，該二階補償電路可包括第一及第二可控電流源及與介於該第一可控電流源及一參考電位間之一接成二極體形式的第一雙極電晶體串聯連接之一接成二極體形式的第二MOS電晶體，其中介於該第一可控電流源及該MOS電晶體間之該節點控制該第一MOS電晶體，且其中該第二可控電流源與並聯耦接的第一MOS電晶體及第一電阻器耦接。根據又一實施例，可藉由利用一個二階補償電壓控制該一階補償能隙單元之該等雙極電晶體以增加該二階補償電壓。根據又一實施例，該一階補償能隙單元可包括：一第三可控電流源，其通過包括第二及第三電阻器與該第一雙極電晶體之一串聯連接之一第一支路且通過包括一第四電阻器與該第二雙極電晶體之一串聯連接之一第二支路與接地耦接；一運算放大器，其之輸入與介於該第二電阻器及該第三電阻器間之一節點及介於該第四電阻器及該第二雙極電晶體間之一節點耦接，其中該運算放大器之一輸出控制該第一電流源、該第二電流源及該第三電流源。根據又一實施例，可藉由MOS電晶體形成該第一可控電流源、該第二可控電流源及該第三可

控電流源。

根據另一實施例，一種用於產生一參考電位之方法可包括以下步驟：產生一個一階補償能隙電壓，且使用與一第一電阻器並聯耦接之一第一金屬氧化物半導體(MOS)電晶體產生一個二階補償電壓，其中該第一MOS電晶體利用一反比於絕對溫度(PTAT)電壓予以加偏壓；及將該二階補償電壓加至該一階補償能隙電壓。

根據該方法之又一實施例，該MOS電晶體可在三極體區域進行操作。根據該方法之又一實施例，可藉由利用一控制信號控制該第一MOS電晶體產生該二階補償電壓，該控制信號由饋送與一接成二極體形式的第二MOS電晶體串聯連接之一接成二極體形式的第三雙極電晶體之一可控電流產生。根據該方法之又一實施例，可藉由饋送一第一電流至該並聯耦接的第一MOS電晶體及第一電阻器且利用一信號控制該第一MOS電晶體產生該二階補償電壓，該信號由饋送與一接成二極體形式的第一雙極電晶體串聯連接之一接成二極體形式的第二MOS電晶體之一第二電流產生。

根據又一實施例，一能隙電路可包括：一個一階補償能隙單元，其包括產生一第一輸出電壓之第一及第二雙極電晶體；及一個二階補償電路，其將一第二輸出電壓加至該第一輸出電壓且包括與一第一電阻器並聯耦接之一第一金屬氧化物半導體(MOS)電晶體，其中該第一MOS電晶體利用一反比於絕對溫度(PTAT)電壓予以加偏壓，其中該二階補償電路可包括一可控電流源及與介於該可控電流源及一

參考電位間之一接成二極體形式的第二MOS電晶體串聯連接之一接成二極體形式的第三雙極電晶體，其中利用該可控電流源產生之一電壓控制該第一MOS電晶體。

根據該能隙電路之又一實施例，可藉由串聯耦接該二階補償電路與該一階補償能隙單元增加一個二階補償電壓。根據該能隙電路之又一實施例，該一階補償能隙單元可包括：一電流鏡，其與該第一雙極電晶體及該第二雙極電晶體耦接，介於該第一雙極電晶體及一參考電位間串聯耦接第二及第三電阻器，其中該第二雙極電晶體與介於該第二電阻器及該第三電阻器間之一節點連接；及一運算放大器，其之輸入分別與該電流鏡及介於該第一雙極電晶體及該第二雙極電晶體間之節點連接且其之輸出控制該第一雙極電晶體及該第二雙極電晶體。根據該能隙電路之又一實施例，該一階補償能隙單元可包括：一第三可控電流源，其通過包括第二及第三電阻器及該第一雙極電晶體之一串聯連接之一第一支路且通過包括一第四電阻器及該第二雙極電晶體之一串聯連接之一第二支路與接地耦接；一運算放大器，其之輸入與介於該第二電阻器及該第三電阻器間之一節點及介於該第四電阻器及該第二雙極電晶體間之一節點耦接，其中該運算放大器之一輸出控制該第一電流源、該第二電流源及該第三電流源。根據該能隙電路之又一實施例，可藉由利用該二階補償電壓控制該一階補償能隙單元之該等雙極電晶體以增加一個二階補償電壓。

【實施方式】

可藉由參考下文描述並結合隨附圖式獲得本發明之實施例及其等之優點之一更完整的理解，其中相同的參考數字指示相同的部份。

藉由參考圖1至圖5可最好理解較佳實施例及其等之優點，其中相同的數字用於指示相同的或對應的部份。

圖8展示一習知能隙之原理：一PTAT(與絕對溫度成比例)電壓被加至一接面電壓，該接面電壓在0 K(絕對零)時等於能隙電壓且以2 mV/K(等於2 mV/°C)之速率減小。當該PTAT電壓等於2 mV/K時，無論溫度係多少，二極體電壓($V_{\text{bandgap}} - 2 \text{ mV/K}$)與該PTAT電壓之總和係等於該能隙電壓。

圖6a繪示一習知能隙產生電路。由MOSFET電晶體105及115組成之電流鏡形成兩個電流源。此電流鏡之第一支路包含一第一雙極電晶體140(具有尺寸 $A(A>1)$)，該第一雙極電晶體之射極節點142經由兩個串聯連接的電阻器145及150耦接至接地，其之基極連接至該輸出電壓節點125且其之集極連接至一電流鏡輸入節點107。該第二支路包含一第二雙極電晶體135(具有尺寸1)，該第二雙極電晶體之射極節點147通過電阻器150耦接至接地。因此電晶體135之射極連接至介於電阻器145及150間之中間點147。一運算放大器連接至該第一雙極電晶體140及該第二雙極電晶體135之集極，其中該運算放大器之輸出與雙極電晶體135、140兩者之基極耦接且與載送參考輸出電壓之一輸出終端125耦接。圖6a可分為兩部份：一PTAT電流產生器及一

PTAT電壓產生器。

該PTAT電流產生器包括MOS電流鏡105與115、兩個雙極電晶體135與140、電阻器145及放大器130。可展現出在該電流鏡之每一支路中流動之電流之一階估量等於

$$T \cdot \ln(A) \cdot U_t / R_{145},$$

其中T係凱氏(Kelvin)絕對溫度， $\ln(A)$ 係A的自然對數， U_t 熱力學電壓等於86 μV ，且 R_{145} 係電阻器145之值。因為 $\ln(A) \cdot U_t / R_{145}$ 係取決於A及 R_{145} 之一電路常數，所以在該電流鏡之每一支路中流動之電流與絕對溫度成比例。

應注意有一接面電壓，介於該輸出節點125及中間電阻器點節點147間之基極射極接面。因此，介於該輸出節點125及節點147間之電壓差以2 mV/K減小。

達到該PTAT電壓而迫使兩個PTAT電流之總和至該變阻器150。跨電阻器150之電壓變為 $2 \cdot T \cdot 86 \mu\text{V} \cdot \ln(A) \cdot (R_{150} / R_{145})$ ，其中 R_{150} 係電阻器150之值。因此當 (R_{150} / R_{145}) 電阻率被設定為 $1 \text{ mV} / (86 \mu\text{V} \cdot \ln(A))$ 時，在該節點147上達到2 mV/K PTAT電壓。

在輸出節點125上之電壓係雙極電晶體135基極射極接面電壓(以2 mV/K減小)與該節點147上之電壓的總和。因此當 (R_{150} / R_{145}) 電阻率被設定為 $1 \text{ mV} / (86 \mu\text{V} \cdot \ln(A))$ 時，其變得受溫度支配。

在實施上，該PTAT電流及接面電壓兩者具有引發標準能隙胞之熟知鐘形特性之高階分量。此等高階分量引發跨該能隙胞之標準-50°C至150°C操作範圍之能隙電壓之少量

mV 改變。此對於許多應用不是問題。然而當要求高準確性時，需要最小化該鐘形振幅。消除二階分量(在較高階分量中佔主導)已顯著改良該能隙電壓在各溫度上之準確性。

用於消除該能隙電壓之該二階分量之習知方式係使用具有用於 R_{150} 之一正溫度係數之一材料。遺憾地，具有用於 R_{150} 之一正確的正溫度係數之一材料幾乎是不可能的。通常，可用的材料具有一太高的正溫度係數。因此藉由兩個不同材料電阻器 R_{150a} 及 R_{150b} 之一串聯組合實現該 R_{150} 以達到剩餘溫度係數之正確值，如圖 6b 中展示。但是現在，係以不同材料實現 R_{150} 及 R_{145} ，因此，顯著減小該 R_{150}/R_{145} 比例之準確性且 R_{150} 需要具有修整能力。此修整影響該 R_{150} 正溫度係數之剩餘值(及此正溫度係數之過程分散)且因此減小該鐘形特性補償之準確性，如圖 7 中展示。

藉由產生一補償電壓來補償一能隙電路之典型弓以解決前面提到的問題且實現其它及另外的優點，該補償電壓具有相對於該二階分量之一低的一階分量。根據本發明之教示，對於能隙弓之一簡單且通用解決方案可應用於大部分類型能隙電路架構，且藉由將一小振幅(10-20 mV 最大值)凹電壓加至初始能隙電壓以用於補償其二階凸特性僅以少許修改現有能隙胞而可應用於現有能隙胞。

根據各種實施例，此可藉由使用在三極體區域中進行操作之一 MOS 裝置而實現。在該三極體區域中所使用之一 MOS 裝置具有由一反比 PTAT 電壓加偏壓之閘極電壓。因

此其「接通」電阻隨溫度而顯著增加。此模擬用於該「接通」電阻器之一極高正溫度係數。利用一PTAT電流加偏壓於該電阻器產生具有一顯著的二階分量之一電壓。

如上文提到的，舉例而言，透過用作為對溫度之可變電阻之一金屬氧化物半導體(MOS)電晶體可實現此一凹(二階)電壓。該MOS電晶體裝置之閘極電壓經由一反比於絕對溫度(PTAT)電壓予以加偏壓，藉此引發隨溫度之該「接通電阻」之一凹特性，其主要包括二階分量。此凹特性引發在該「接通電阻」上之一凹壓降，其顯著減小該能隙胞之初始二階凸特性。在實施上，該引發之凹電壓在高溫處具有太高增益。此是為何其與箝制高溫處之增益之一標準電阻並行使用。

圖1展示一習知能隙電路，其如圖6所示具有一額外補償電路。該補償電路包括與電阻器150串聯連接之一額外電阻器155。平行於電阻器155而耦接一MOSFET電晶體160。此MOSFET電晶體160之閘極與另一雙極電晶體165之基極及集極耦接，該雙極電晶體165由與MOSFET 115並聯耦接之MOSFET 120形成之另一電流源饋送。此外，另一MOSFET 170耦接雙極電晶體165至接地。MOSFET 170之閘極與介於雙極電晶體165及MOSFET 170對應的部份間之節點耦接。根據其他實施例，裝置165及170不需要以圖1中展示之次序予以耦接而可交換。

圖2a展示如圖1中介紹之具有額外補償電路之另一標準能隙胞。此電路包括與一電壓源Vdd耦接之MOSFET電晶

體 205、210及215。MOSFET 205與輸出終端270耦接，且與電阻器220及235及雙極電晶體260串聯連接至接地。此外，MOSFET 205經由包含電阻器225及雙極電晶體255之一第二支路與接地耦接。運算放大器230在其之輸入側分別與介於電阻器220及235間之節點及介於電阻器225及雙極電晶體255間之節點耦接。運算放大器230之輸出控制三個MOSFET 205、210及215。MOSFET 210經由與MOSFET 240並聯耦接之電阻器250與接地耦接。介於MOSFET 210及並聯耦接的雙極電晶體240及電阻器250間之節點控制雙極電晶體255及260之基極。MOSFET 215經由與雙極電晶體265串聯耦接之MOSFET 245與接地耦接。雙極電晶體265之基極與接地耦接且MOSFET 245之閘極與MOSFET 240之閘極耦接且與MOSFET 215耦接。

通常無法進接垂直PNP裝置255及260之集極，因為基板係其等之集極。此係為何需要通過其等之基極端子施加該補償電壓。但是垂直PNP電晶體255及260之基極電流相比於其等之射極電流通常係非常小的。此外，該基極電流具有一強溫度相依性(通常其隨溫度減小)且在過程期間具有彌散。此在沒有一外部偏壓電流時使得補償無效率。此係為何要求該外部偏壓源210具有此等裝置。

然而，當浮動雙極(或二極體)裝置可用時，可如圖2b中展示連接該補償電路且不再需要該外部偏壓源210。而且，由電阻器250'及電晶體255'、260'取代電阻器250及電晶體255及260。電晶體255'及260'之基極及集極現在被連

接且與 MOSFET 240 耦接且通過電阻器 250' 與接地耦接。否則，該電路保持與圖 2a 中展示之相同。

圖 1 中之 MOSFET 電晶體 160 及圖 2a、圖 2b 中之 MOSFET 240 之閘極電壓經由一反比 PTAT 電壓予以加偏壓，該反比 PTAT 電壓引發其之「接通」電阻之一 PTAT 行為。利用一 PTAT 電流加偏壓於此 PTAT 電阻器引發該「接通電阻」上之一凹壓降，該凹壓降顯著減小該能隙電路之初始二階凸特性。在實踐中，該引發之凹電壓在高溫處具有太高增益。因此，並行使用該引發凹電壓與箝制高溫處之增益之一標準電阻。可藉由使用此技術而改良溫度上之能隙電壓改變三至十倍。結合此凸補償方法則不要求校準。可通過產生該初始電壓之該 MOSFET 電晶體 170 (圖 1 中) 或 MOSFET 245 (圖 2 中) 及產生有效反比 PTAT 分量之雙極電晶體 165 (圖 1 中) 或雙極電晶體 265 (圖 2 中) 之串聯組合產生該反比 PTAT 電壓。該凹補償具有可在相應減小 PTAT 回路之增益之總能隙電壓中消除之一階易控項目。最終，該總一階可經修整以達到該能隙胞之最低可能溫度相依性。

圖 1 (圖 2a、圖 2b) 展示用於裝置 165 及 170 (裝置 245 及 265) 之局部偏壓。此等裝置也可自一外部偏壓源予以加偏壓。然而當裝置 165 及 170 (裝置 245 及 265) 通過一外部電源予以加偏壓時，該反比 PTAT 電壓準確性較小。當該能隙胞必須傳送一電流至一外部負載時，此外部偏壓對圖 2a 及圖 2b 佈局可係強制的。

圖 1 及圖 2 亦指示該能隙電壓 V_{bg0} 及該二階補償電壓

Vcomp。圖3展示此等電壓在溫度上之相關曲線及理論所得能隙參考電壓。針對根據圖1之電路之在溫度上之模擬所得參考輸出電壓展示於圖4中而針對圖2a中展示之電路者則展示於圖5中。

雖然已參考本發明之實例實施例描繪、描述及定義本發明之實施例，但此等參考並不暗示對本發明之限制，且不應推斷此等限制。揭示之主旨在形式及功能上可具有相當多的修改、變更及等效物，此等修改、變更及等效物將由有關技術及具有本發明之權利之一般技術者做出。

【圖式簡單說明】

圖1展示根據一第一實施例之一能隙電路。

圖2a及圖2b展示一能隙電路之又一實施例。

圖3展示不同實施例之功能。

圖4係展示圖1中展示之電路之模擬參考電壓對溫度之一第一曲線圖。

圖5係展示圖2a中展示之電路之模擬參考電壓對溫度之一第二曲線圖。

圖6a及圖6b展示習知能隙電路。

圖7及圖8繪示習知能隙之功能。

【主要元件符號說明】

100	能隙電路
105	MOSFET電晶體
107	節點
115	MOSFET電晶體

120	MOSFET電晶體
125	輸出節點
130	放大器
135	雙極電晶體
140	雙極電晶體
142	射極節點
145	電阻器
147	射極節點
150	電阻器
155	電阻器
160	MOSFET電晶體
165	雙極電晶體
170	MOSFET
200	標準能隙胞
205	MOSFET電晶體
210	MOSFET電晶體
215	MOSFET電晶體
220	電阻器
225	電阻器
230	放大器
235	電阻器
240	MOSFET電晶體
245	MOSFET電晶體
250	電阻器

- 255 雙極電晶體/垂直PNP裝置
- 260 雙極電晶體/垂直PNP裝置
- 265 雙極電晶體
- 270 輸出終端

七、申請專利範圍：

1. 一種能隙電路，其包括：

一個一階補償能隙單元，其產生一第一輸出電壓；及
一個二階補償電路，其將一第二輸出電壓加至該第一輸出電壓，且包括與一第一電阻器並聯耦接之一第一金屬氧化物半導體(MOS)電晶體，其中該第一MOS電晶體利用一反比於絕對溫度(PTAT)電壓予以加偏壓(biased)。

2. 如請求項1之能隙電路，其中該一階補償能隙單元包括第一及第二雙極電晶體。

3. 如請求項2之能隙電路，其中該二階補償電路包括一第一可控電流源，該第一可控電流源之輸出經由與一接成二極體形式的第二MOS電晶體串聯連接之一接成二極體形式的第三雙極電晶體而與一參考電位耦接，其中該第一電流源之該輸出控制該第一MOS電晶體。

4. 如請求項3之能隙電路，其中藉由串聯耦接該二階補償電路與該一階補償能隙單元增加一個二階補償電壓。

5. 如請求項4之能隙電路，其中該一階補償能隙單元包括：一電流鏡，其與該第一雙極電晶體及該第二雙極電晶體耦接，介於該第一雙極電晶體及一參考電位間串聯耦接第二電阻器及第三電阻器，其中該第二雙極電晶體與介於該第二電阻器及該第三電阻器間之一節點連接；及一運算放大器，其輸入分別與介於該電流鏡及該第一雙極電晶體及該第二雙極電晶體間之節點連接，且其輸出控制該第一雙極電晶體及該第二雙極電晶體。

6. 如請求項5之能隙電路，其中藉由MOS電晶體形成該電流鏡。
7. 如請求項5之能隙電路，其中藉由一MOS電晶體形成該可控電流源且與該電流鏡耦接。
8. 如請求項4之能隙電路，其中該一階補償能隙單元包括：一第二可控電流源，其經由串聯連接的第二電阻器及第三電阻器與該第一雙極電晶體耦接且經由一第四電阻器與該第二雙極電晶體耦接；且包括一運算放大器，其具有與介於該第二電阻器及該第三電阻器間之一節點耦接之一第一輸入、及與介於該第四電阻器及該第二雙極電晶體間之一節點耦接之一第二輸入、及控制該第一可控電流源及該第二可控電流源之一輸出。
9. 如請求項2之能隙電路，其中該二階補償電路包括第一可控電流源及第二可控電流源及與介於該第一可控電流源及一參考電位間之一接成二極體形式的第一雙極電晶體串聯連接之一接成二極體形式的第二MOS電晶體，其中介於該第一可控電流源及該接成二極體形式的第二MOS電晶體間之該節點控制該第一MOS電晶體，且其中該第二可控電流源與並聯耦接的第一MOS電晶體及第一電阻器耦接。
10. 如請求項9之能隙電路，其中藉由利用一個二階補償電壓控制該一階補償能隙單元之該等雙極電晶體以增加該二階補償電壓。
11. 如請求項9之能隙電路，其中該一階補償能隙單元包

括：一第三可控電流源，其通過包括第二電阻器及第三電阻器與該第一雙極電晶體之一串聯連接之一第一支路且通過包括一第四電阻器與該第二雙極電晶體之一串聯連接之一第二支路與接地耦接；一運算放大器，其輸入與介於該第二電阻器及該第三電阻器間之一節點及介於該第四電阻器及該第二雙極電晶體間之一節點耦接，其中該運算放大器之一輸出控制該第一電流源、該第二電流源及該第三電流源。

12. 如請求項11之能隙電路，其中藉由MOS電晶體形成該第一可控電流源、該第二可控電流源及該第三可控電流源。

13. 一種用於產生一參考電壓之方法，其包括以下步驟：

產生一個一階補償能隙電壓，且

使用與一第一電阻器並聯耦接之一第一金屬氧化物半導體(MOS)電晶體產生一個二階補償電壓，其中該第一MOS電晶體利用一反比於絕對溫度(PTAT)電壓予以加偏壓；及

將該二階補償電壓加至該一階補償能隙電壓。

14. 如請求項13之方法，其中該第一MOS電晶體在三極體區域進行操作。

15. 如請求項13之方法，其中藉由利用一控制信號控制該第一MOS電晶體以產生該二階補償電壓，該控制信號由饋送與一接成二極體形式的第二MOS電晶體串聯連接之一接成二極體形式的第三雙極電晶體之一可控電流產生。

16. 如請求項13之方法，其中藉由饋送一第一電流至該並聯耦接的第一MOS電晶體及第一電阻器且利用一信號控制該第一MOS電晶體以產生該二階補償電壓，該信號由饋送與一接成二極體形式的第一雙極電晶體串聯連接之一接成二極體形式的第二MOS電晶體之一第二電流產生。
17. 一種能隙電路，其包括：
 - 一個一階補償能隙單元，其包括產生一第一輸出電壓之第一雙極(bipolar)電晶體及第二雙極電晶體；及
 - 一個二階補償電路，其將一第二輸出電壓加至該第一輸出電壓且包括與一第一電阻器並聯耦接之一第一金屬氧化物半導體(MOS)電晶體，其中該第一MOS電晶體利用一反比於絕對溫度(PTAT)電壓予以加偏壓，其中該二階補償電路包括一第一可控電流源及一接成二極體形式的第三雙極電晶體，該第三雙極電晶體與介於該第一可控電流源及一參考電位間之一接成二極體形式的第二MOS電晶體串聯連接，其中利用該第一可控電流源產生之一電壓控制該第一MOS電晶體。
18. 如請求項17之能隙電路，其中藉由串聯耦接該二階補償電路與該一階補償能隙單元增加一個二階補償電壓。
19. 如請求項17之能隙電路，其中該一階補償能隙單元包括：
 - 一電流鏡，其與該第一雙極電晶體及該第二雙極電晶體耦接，介於該第一雙極電晶體及一參考電位間串聯耦接第二電阻器及第三電阻器，其中該第二雙極電晶體與介於該第二電阻器及該第三電阻器間之一節點連接；

及一運算放大器，其輸入分別與介於該電流鏡及該第一雙極電晶體與該第二雙極電晶體間之節點連接且其輸出控制該第一雙極電晶體及該第二雙極電晶體。

20. 如請求項 17 之能隙電路，其中該一階補償能隙單元包括：一第二可控電流源，其通過包括第二電阻器及第三電阻器與該第一雙極電晶體之一串聯連接之一第一支路且通過包括一第四電阻器與該第二雙極電晶體之一串聯連接之一第二支路與接地耦接；一運算放大器，其輸入與介於該第二電阻器及該第三電阻器間之一節點及介於該第四電阻器及該第二雙極電晶體間之一節點耦接，其中該運算放大器之一輸出控制該第一可控電流源及該第二可控電流源。

21. 如請求項 17 之能隙電路，其中藉由利用一個二階補償電壓控制該一階補償能隙單元之該等雙極電晶體以增加該二階補償電壓。

八、圖式：

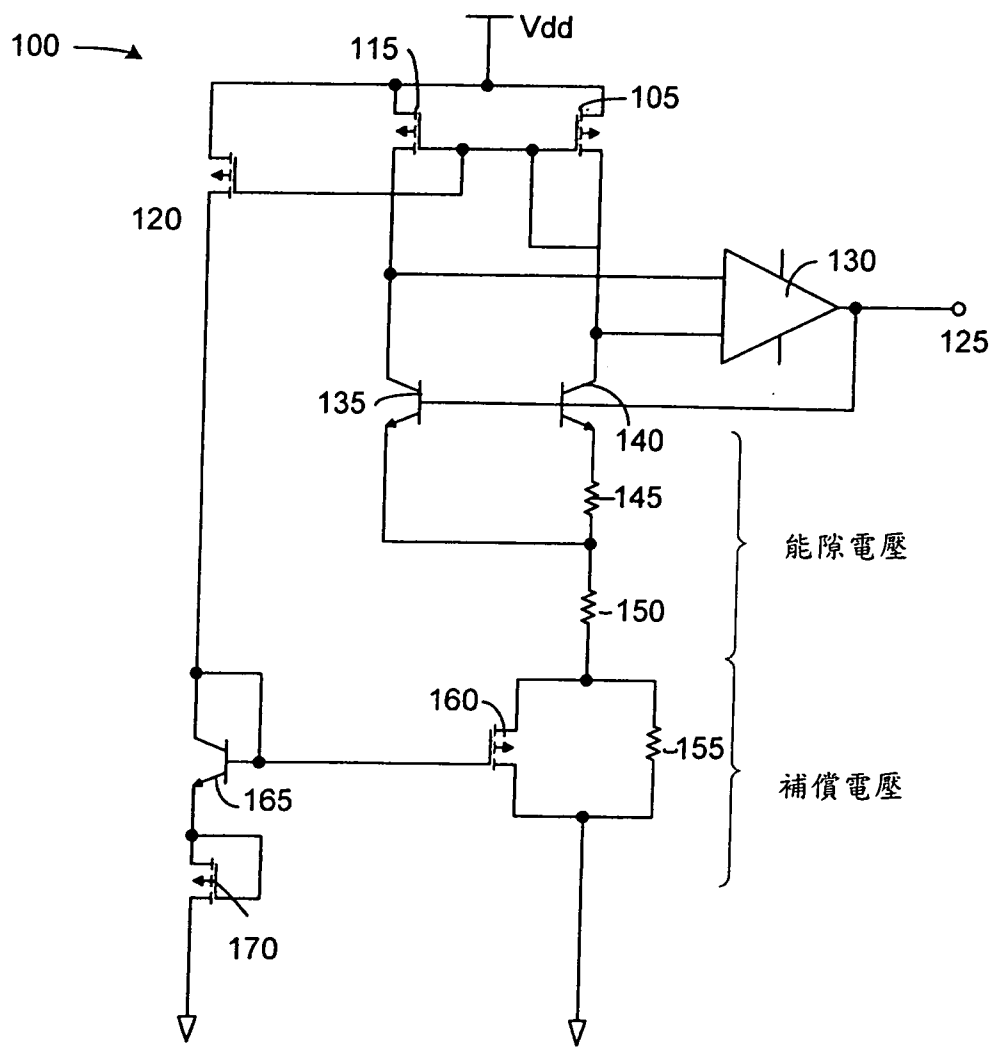


圖 1

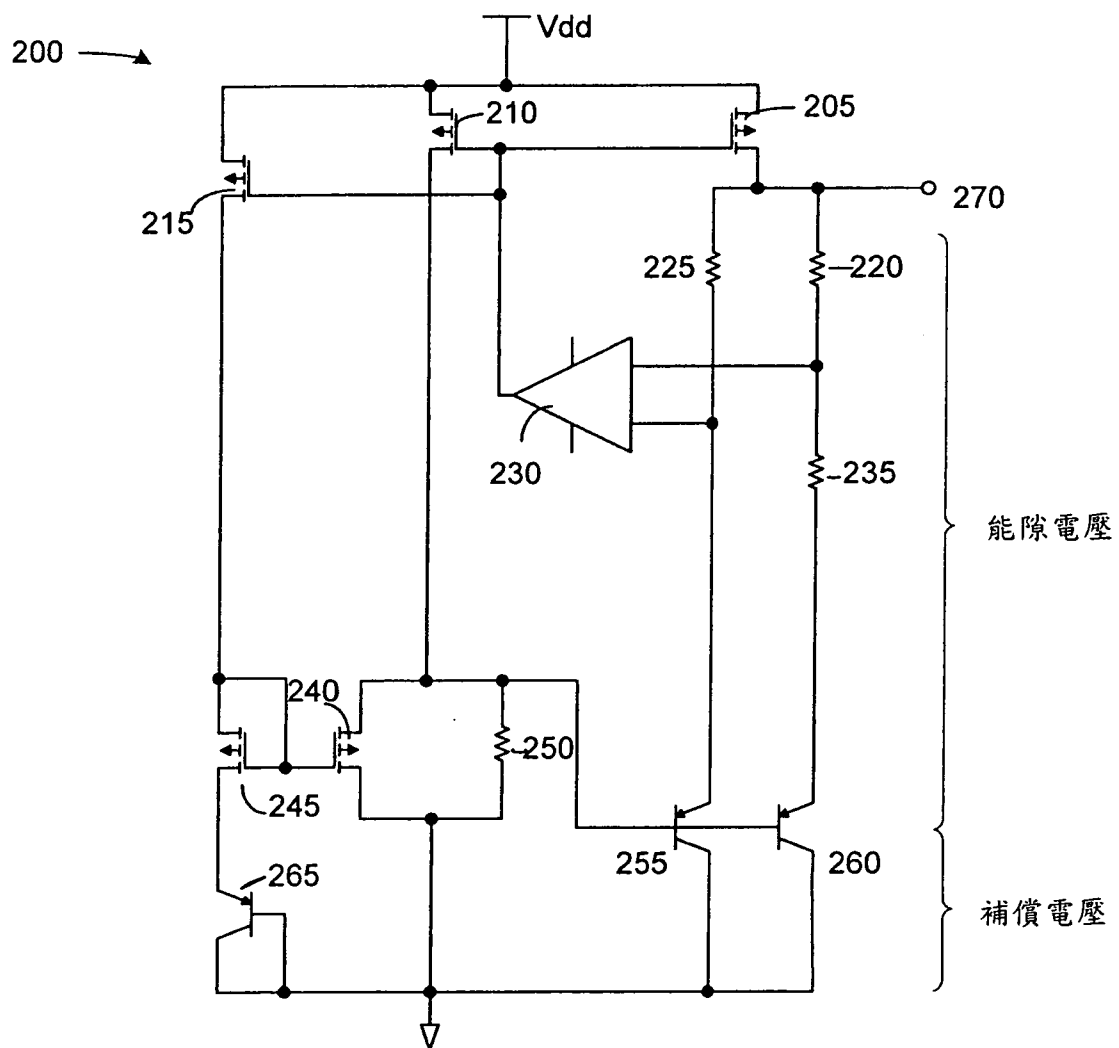


圖 2a

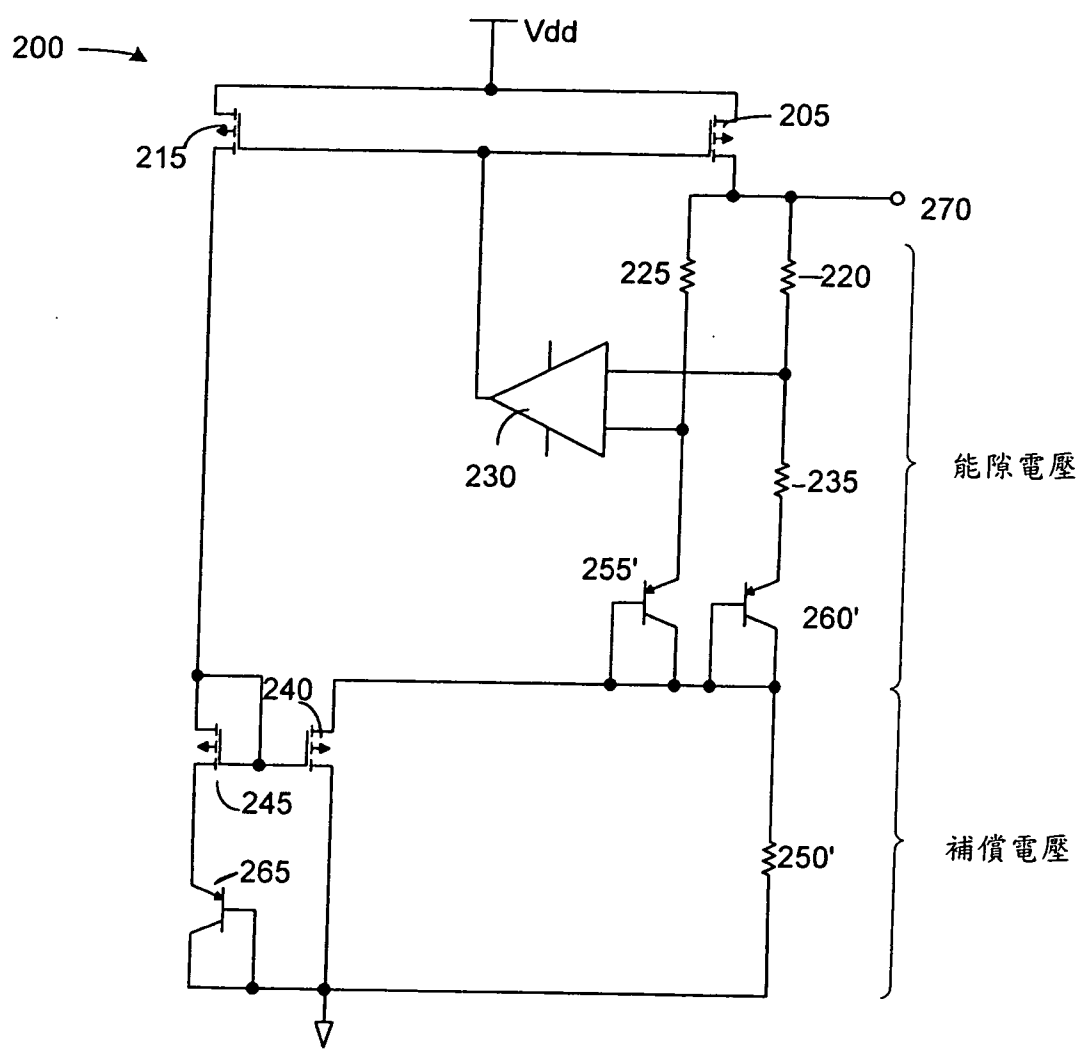


圖 2b

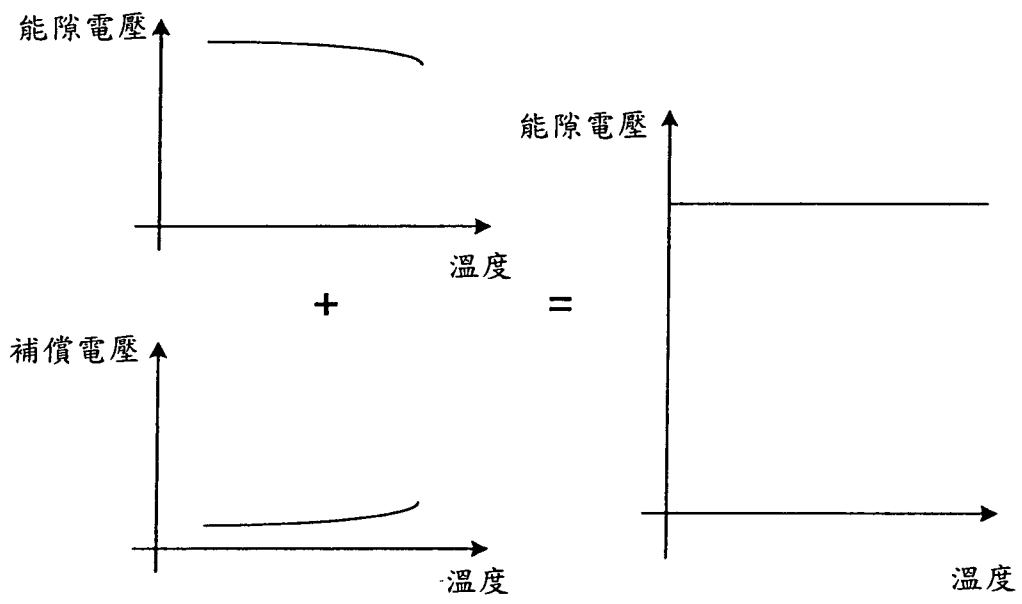


圖 3

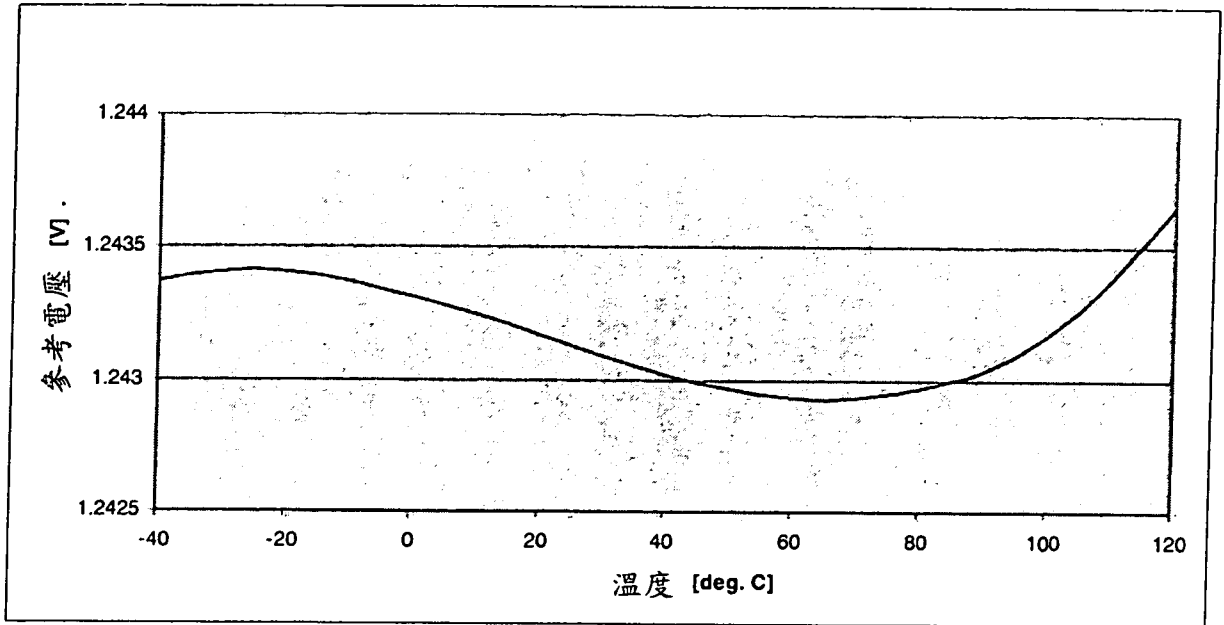


圖 4

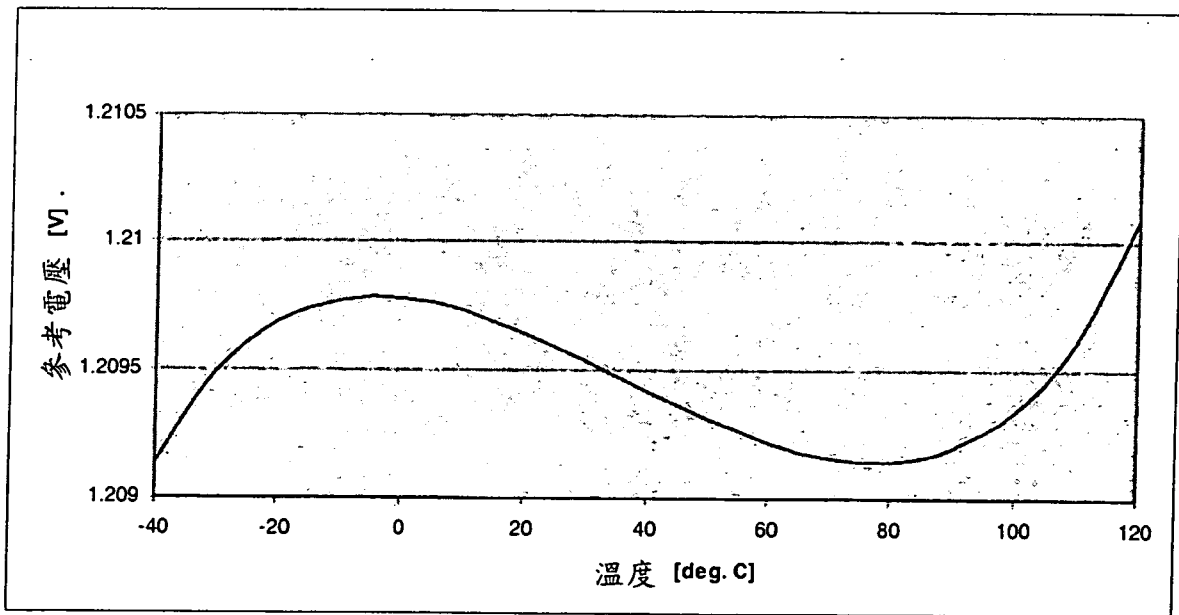


圖 5

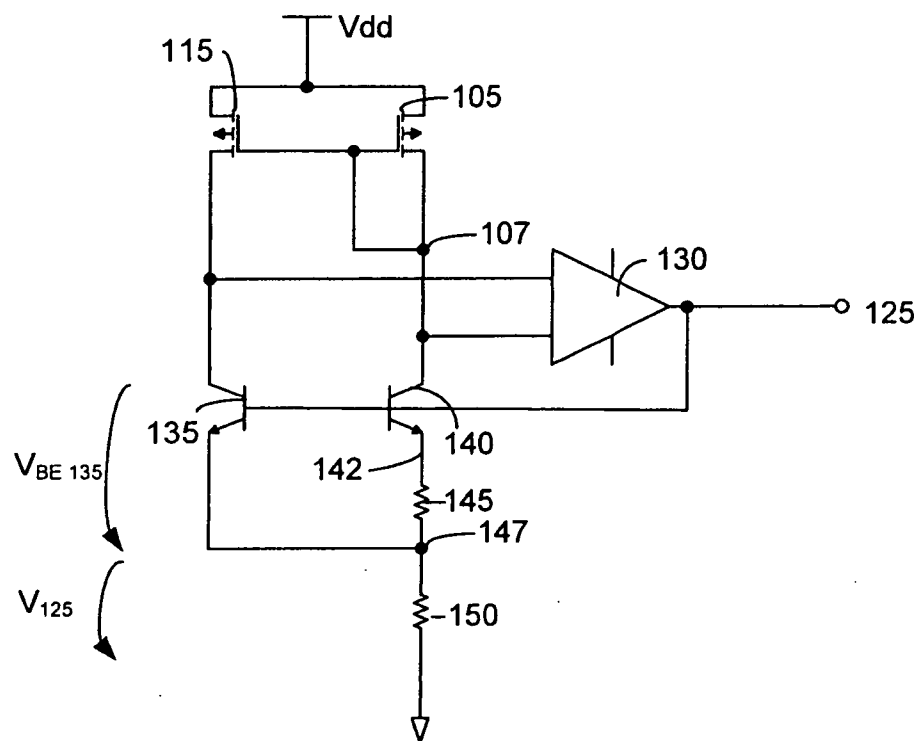


圖 6a

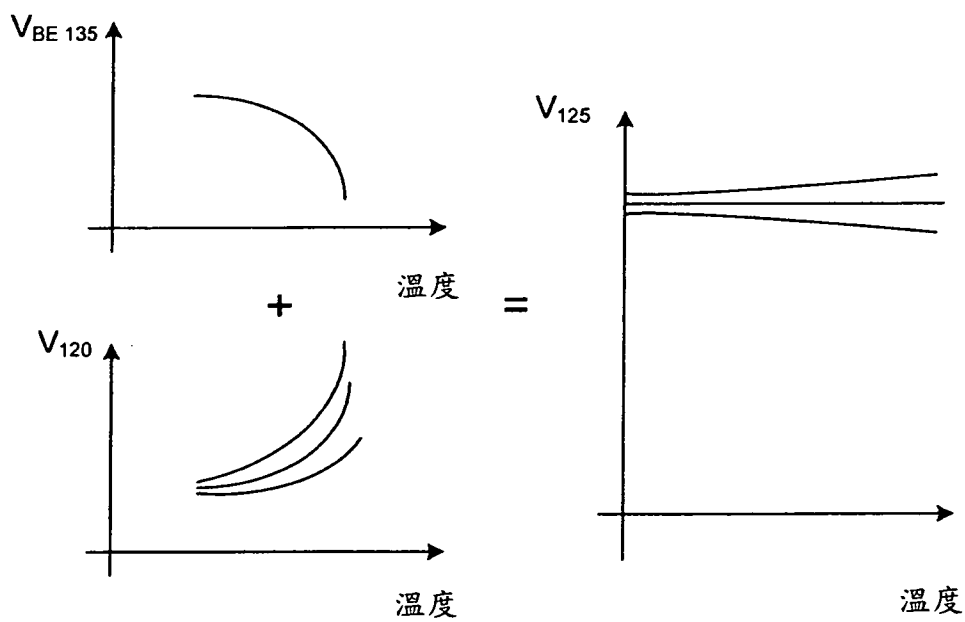


圖 7

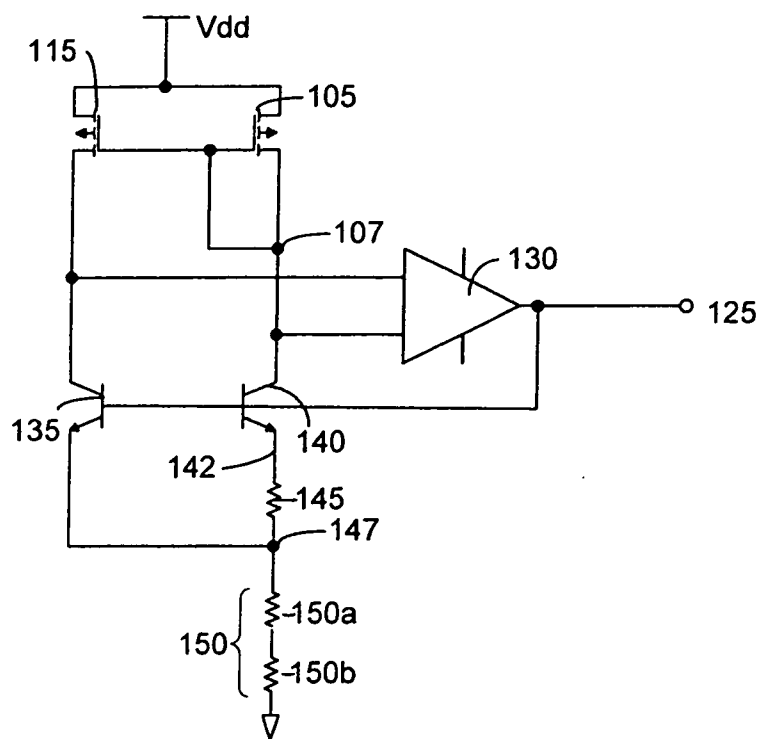


圖 6b

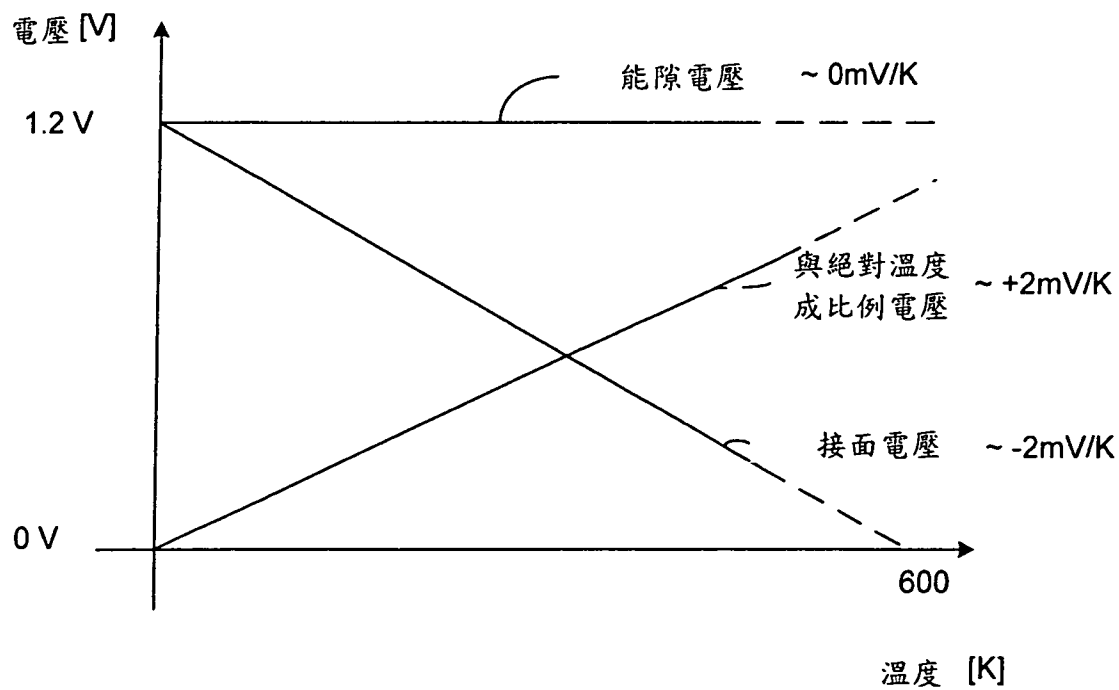


圖 8