



## (12) 发明专利申请

(10) 申请公布号 CN 111725069 A

(43) 申请公布日 2020.09.29

(21) 申请号 202010618057.3

(51) Int.Cl.

(22) 申请日 2014.12.16

H01L 21/336 (2006.01)

(30) 优先权数据

H01L 29/78 (2006.01)

61/923,489 2014.01.03 US

H01L 29/10 (2006.01)

14/269,981 2014.05.05 US

(62) 分案原申请数据

201480071666.4 2014.12.16

(71) 申请人 高通股份有限公司

地址 美国加利福尼亚州

(72) 发明人 J·J·徐 V·马赫卡奥特桑

K·利姆 S·S·宋 C·F·耶普

(74) 专利代理机构 上海专利商标事务所有限公司 31100

代理人 亓云

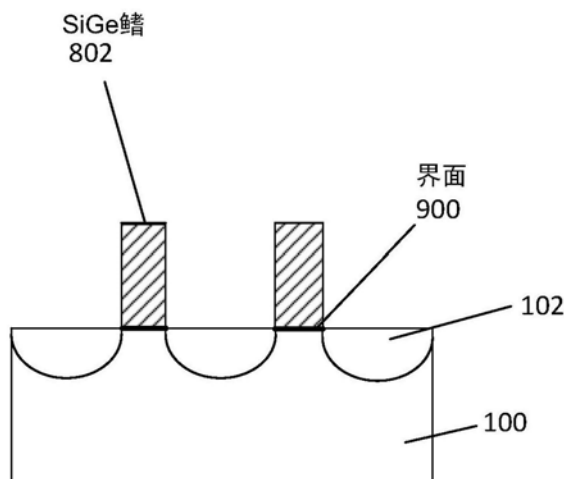
权利要求书2页 说明书7页 附图11页

(54) 发明名称

通过Ge凝结进行的硅锗FinFET形成

(57) 摘要

本申请涉及通过Ge凝结进行的硅锗FinFET形成。形成FinFET器件的半导体鳍的方法包括在半导体鳍上共形沉积硅锗(SiGe)非晶或多晶薄膜。该方法还包括氧化该非晶或多晶薄膜,以将锗从该非晶或多晶薄膜扩散到该半导体鳍中。此类方法进一步包括去除非晶或多晶薄膜的氧化部分。



1. 一种形成FinFET器件的半导体鳍的方法,包括:  
在所述半导体鳍上共形沉积硅锗 (SiGe) 非晶或多晶薄膜;  
氧化所述非晶或多晶薄膜,以将锗从所述非晶或多晶薄膜扩散到所述半导体鳍中;以及  
去除所述非晶或多晶薄膜的氧化部分。
2. 如权利要求1所述的方法,其特征在于,所述半导体鳍中的压缩应变大于支持所述半导体鳍的基板中的压缩应变。
3. 如权利要求2所述的方法,其特征在于,所述半导体鳍具有基本上与所述基板的表面相同的晶向。
4. 如权利要求3所述的方法,其特征在于,氧化所述非晶或多晶薄膜之前的所述半导体鳍的所述晶向和氧化所述非晶或多晶薄膜之后的所述半导体鳍的晶向相同。
5. 如权利要求1所述的方法,其特征在于,所述半导体鳍是基本上单一的晶体。
6. 如权利要求1所述的方法,其特征在于,所述共形沉积包括多个不同材料的表面上的非选择性沉积。
7. 如权利要求6所述的方法,进一步包括蚀刻所述薄膜以在所述半导体鳍上提供SiGe分隔件。
8. 如权利要求7所述的方法,其特征在于,所述蚀刻是各向异性的。
9. 如权利要求1所述的方法,其特征在于,所述共形沉积包括所述半导体鳍的表面上的选择性沉积。
10. 如权利要求1所述的方法,其特征在于,所述半导体鳍包括硅锗或硅。
11. 如权利要求1所述的方法,进一步包括将锗扩散到支持所述半导体鳍的基板的表面中以提供所述半导体鳍和所述基板之间的界面。
12. 如权利要求1所述的方法,其特征在于,所述FinFET器件被集成到移动电话、机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、计算机、手持式个人通信系统 (PCS) 单元、便携式数据单元、和/或位置固定的数据单元中。
13. 一种基板上的鳍式场效应晶体管 (FinFET) 器件,包括:  
半导体鳍,包括共形沉积的非晶或多晶硅锗 (SiGe) 薄膜,其中来自所述非晶或多晶薄膜的锗被扩散到所述半导体鳍中。
14. 如权利要求13所述的FinFET器件,其特征在于,所述半导体鳍中的压缩应变大于支持所述半导体鳍的所述基板中的压缩应变。
15. 如权利要求14所述的FinFET器件,其特征在于,所述半导体鳍具有基本上与所述基板的表面相同的晶向。
16. 如权利要求15所述的FinFET器件,其特征在于,氧化所述非晶或多晶薄膜之前的所述半导体鳍的所述晶向和氧化所述非晶或多晶薄膜之后的所述半导体鳍的晶向相同。
17. 如权利要求13所述的FinFET器件,其特征在于,所述半导体鳍是基本上单一的晶体。
18. 如权利要求13所述的FinFET器件,特征在于,所述半导体鳍的SiGe部分延伸自所述基板的浅沟槽隔离区,并且所述半导体鳍的硅部分延伸通过所述基板的所述浅沟槽隔离区。

19. 如权利要求13的所述FinFET器件,其特征在于,所述基板的表面包括经扩散锗的部分以提供所述半导体鳍和所述基板之间的界面。

20. 如权利要求13所述的FinFET器件,其特征在于,所述半导体鳍包括硅锗或硅。

21. 如权利要求13所述的FinFET器件,其特征在于,所述FinFET器件被集成到移动电话、机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、计算机、手持式个人通信系统(PCS)单元、便携式数据单元、和/或位置固定的数据单元中。

22. 一种用于形成FinFET器件的半导体鳍的方法,包括:

用于在所述半导体鳍上共形沉积硅锗(SiGe)非晶或多晶薄膜的步骤;

用于氧化所述非晶或多晶薄膜,以将锗从所述非晶或多晶薄膜扩散到所述半导体鳍中的步骤;以及

用于去除所述非晶或多晶薄膜的氧化部分的步骤。

23. 如权利要求22所述的方法,其特征在于,所述FinFET器件被集成到移动电话、机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、计算机、手持式个人通信系统(PCS)单元、便携式数据单元、和/或位置固定的数据单元中。

24. 一种基板上的鳍式场效应晶体管(FinFET)器件,包括:

用于传导电流的装置,其中来自非晶或多晶硅锗(SiGe)薄膜的锗被扩散到所述电流传导装置中;以及

耦合到所述电流传导装置的所述基板。

25. 如权利要求24所述的FinFET器件,其特征在于,所述电流传导装置中的压缩应变大于耦合到所述电流传导装置的所述基板中的压缩应变。

26. 如权利要求24所述的FinFET器件,其特征在于,所述FinFET器件被集成到移动电话、机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、计算机、手持式个人通信系统(PCS)单元、便携式数据单元、和/或位置固定的数据单元中。

## 通过Ge凝结进行的硅锗FinFET形成

[0001] 本申请是申请日为2014年12月16日的题为“通过Ge凝结进行的硅锗FinFET形成”的中国发明专利申请201480071666.4的分案申请。

[0002] 相关申请的交叉引用

[0003] 本公开要求于2014年1月3日提交的题为“SILICON GERMANIUM FINFET FORMATION BY GE CONDENSATION (通过Ge凝结进行的硅锗FinFET形成)”的美国临时专利申请No.61/923,489的权益,其公开内容通过援引全部明确纳入于此。

### 技术领域

[0004] 本公开的各方面涉及半导体器件,并且更具体地涉及硅锗(SiGe)在鳍式场效应晶体管(FinFET)中的使用。

### 背景技术

[0005] 硅锗(SiGe)已被广泛地评价为用于p沟道金属氧化物半导体(PMOS)器件的有前景的材料。SiGe具有比硅固有地高的空穴迁移率。在标准的场效应晶体管(FET)几何结构中,在半导体芯片区域(诸如FET的源极区和漏极区)中赋予应变是常见的。然而在鳍式场效应晶体管(FinFET)结构中,可用于应变工程的鳍的体积较小。由于诸如在十(10)纳米的器件设计中的鳍几何结构减小,所以SiGe鳍的制造变得昂贵且难以实现。

### 发明内容

[0006] 形成FinFET器件的半导体鳍的方法可包括在半导体鳍上共形沉积硅锗(SiGe)非晶或多晶薄膜。该方法还包括氧化该非晶或多晶薄膜,以将锗从该非晶或多晶薄膜扩散到半导体鳍中。此类方法进一步包括去除非晶或多晶薄膜的氧化部分。

[0007] 一种基板上的鳍式场效应晶体管(FinFET)器件包括半导体鳍。该半导体鳍可包括共形沉积的非晶或多晶硅锗(SiGe)薄膜。来自非晶或多晶硅锗(SiGe)薄膜的锗可被扩散到半导体鳍中。

[0008] 一种基板上的FinFET器件包括用于传导电流的装置。该电流传导装置可包括共形沉积的非晶或多晶硅锗(SiGe)薄膜。来自非晶或多晶硅锗(SiGe)薄膜的锗可被扩散到半导体鳍中。

[0009] 这已较宽泛地勾勒出本公开的特征和技术优势以便下面的详细描述可以被更好地理解。本公开的附加特征和优点将在下文描述。本领域技术人员应该领会,本公开可容易被用作修改或设计用于实施与本公开相同的目的的其他结构的基础。本领域技术人员还应认识到,这样的等效构造并不脱离所附权利要求中所阐述的本公开的教导。被认为是本公开的特性的新颖特征在其组织和操作方法两方面连同进一步的目的和优点在结合附图来考虑以下描述时将被更好地理解。然而,要清楚理解的是,提供每一幅附图均仅用于解说和描述目的,且无意作为对本公开的限定的定义。

## 附图说明

- [0010] 为了更全面地理解本公开,现在结合附图参阅以下描述。
- [0011] 图1A-1D解说FinFET半导体器件的侧视图。
- [0012] 图2到6解说FinFET半导体器件的侧视图。
- [0013] 图7解说根据本公开的一个方面的FinFET半导体器件的鳍结构的侧视图。
- [0014] 图8解说根据本公开的一个方面的图7的FinFET半导体器件的鳍结构的侧视图。
- [0015] 图9解说根据本公开的一个方面的图8的FinFET半导体器件的鳍结构的侧视图。
- [0016] 图10和11解说根据本公开的另一方面的FinFET半导体器件的鳍结构的侧视图。
- [0017] 图12A-12E解说根据本公开的进一步方面的FinFET半导体器件的鳍结构的侧视图。
- [0018] 图13是解说根据本公开一方面的用于制造鳍式场效应晶体管 (FinFET) 中的硅锗 (SiGe) 鳍的方法的工艺流程图。
- [0019] 图14是示出其中可有利地采用本公开的配置的示例性无线通信系统的框图。
- [0020] 图15是解说根据一种配置的用于半导体组件的电路、布局、以及逻辑设计的设计工作站的框图。

## 具体实施方式

- [0021] 以下结合附图阐述的详细描述旨在作为各种配置的描述,而无意表示可实践本文中所描述的概念的仅有的配置。本详细描述包括具体细节以便提供对各种概念的透彻理解。然而,对于本领域技术人员将显而易见的是,没有这些具体细节也可实践这些概念。在一些实例中,以框图形式示出众所周知的结构和组件以避免湮没此类概念。如本文所述的,术语“和/或”的使用旨在代表“可兼性或”,而术语“或”的使用旨在代表“排他性或”。
- [0022] 对于高性能晶体管,高迁移率传导沟道是合乎需要的。材料选择和应变工程是改变晶体管的沟道中的载荷子的迁移率的设计特征。在金属氧化物半导体 (MOS) 场效应晶体管 (MOSFET) 中,使用应变工程,但是在基于鳍的结构 (FinFET) 中,应变材料的使用是有挑战性的。在FinFET结构中存在更多的自由表面,并且与其他FET几何结构和技术相比,可用于应变工程的源极/漏极体积较小。
- [0023] 硅锗 (SiGe) 被认为是十 (10) 纳米和更小的p沟道金属氧化物半导体 (PMOS) 器件的主导候选。SiGe鳍形成可包括硅 (Si) 鳍的蚀刻或凹槽,继之以凹槽中的SiGe的外延生长。化学机械平坦化 (CMP) 工艺可用于去除在浅沟槽绝缘 (STI) 材料上过度生长的SiGe以形成SiGe鳍。该工艺的成本较高,从而导致高成本的FinFET器件。
- [0024] 进一步,虽然生长在硅模板上的SiGe鳍常常拥有沿着鳍长度的单轴压应力,但是SiGe鳍的外延生长涉及超过900摄氏度 (C) 的温度处的热退火工艺。热退火工艺以高温 (例如,900°C) 执行以能够消除外延生长缺陷。然而,该热退火工艺可能放松SiGe鳍中的单轴应力,这可降低SiGe沟道中的空穴迁移率。
- [0025] 所描述的一些实现涉及鳍式场效应晶体管 (FinFET)。FinFET是双栅器件。FinFET的两个栅极可以为了较高性能而短路或者为了较低泄漏或者降低的晶体管数量而被独立控制。这些FinFET特征实现了改进的设计空间这些特征也实现了以纳米尺度使用FinFET器件来替代块状互补金属氧化物半导体 (CMOS) 器件。在一个配置中,半导体鳍包括共形沉积

的非晶或多晶硅锗 (SiGe) 薄膜。在该配置中, 来自非晶或多晶硅锗 (SiGe) 薄膜的锗被扩散到半导体鳍中。在一些实现中, 描述了硅锗 (SiGe) FinFET 器件。半导体鳍中的压缩应变可能大于支持该半导体鳍的基板中的压缩应变。在一个配置中, 半导体鳍具有基本上与基板的表面相同的晶向。在另一配置中, FinFET 器件包括半导体鳍上的 SiGe 分隔件。

[0026] 本公开的各方面提供了用于制造 FinFET 器件的半导体鳍的技术。将理解, 术语“层”包括膜且不应被解读为指示垂直或水平厚度, 除非另外声明。如本文所述的, 术语“半导体基板”可指代已切割晶片的基板或可指代尚未切割的晶片的基板。类似地, 术语晶片和管芯可互换使用, 除非这种互换将难以置信。

[0027] 图 1A-1D 解说 FinFET 半导体器件的侧视图。图 1A 示出基板 100、绝缘材料 102、以及鳍结构 104。基板 100 可以是半导体材料, 诸如硅 (例如, 硅晶片)。绝缘材料 102 可以是浅沟槽绝缘 (STI) 材料, 诸如氧化硅或氮化硅、或者其他相似的材料。鳍结构 104 可以是晶体, 并且可以是单晶结构连同基板 100 的部分。

[0028] 在相关领域办法中, 鳍结构 104 被蚀刻或者以其他方式被去除以创建凹槽 106, 如图 1B 所示。绝缘材料 102 用于凹槽 106 的形成。在图 1C 中, 材料 108 在凹槽 106 内生长, 并且可在绝缘材料 102 的表面 110 上生长。材料 108 的过度生长经由蚀刻或抛光 (例如, CMP) 去除以创建鳍结构 112, 如图 1D 所示。材料 108 可以是 SiGe。当材料 108 是 SiGe 时, 跨基板 100 且在凹槽 106 中的生长具有均匀的锗百分比, 这限制了基板 100 上使用材料 108 的器件的电压阈值的数量。进一步, 界面 114 可具有陡峭的边界, 这可限制鳍结构 112 的最小尺寸。

[0029] 一旦形成鳍结构 104 (如图 1D 所示), 就对鳍结构 104 进行退火以减少鳍结构 104 内的生长缺陷。该退火可在升高的温度 (诸如 900 摄氏度以上的温度) 发生, 这可以放松沿鳍结构 112 的长度的压缩应变。减少或放松沿鳍结构 112 的压缩应变降低了鳍结构 112 中的载流子迁移率, 并且作为结果使得在鳍结构 112 中使用材料 108 的优点减少。

[0030] 图 2 至 7 解说根据本公开的一个或多个方面的 FinFET 半导体器件的侧视图。图 2 解说了作为被形成作为基板 100 的一部分的单晶结构的鳍结构 104, 其中绝缘材料 102 在鳍结构 104 之间。图 3 解说了蚀刻 300, 其蚀刻绝缘材料 102 而非蚀刻或去除鳍结构 104, 如图 1B 中所示。蚀刻 300 可使用氢氟酸 (HF) 蚀刻来进行, 或者可使用其他蚀刻剂使用化学湿法/蒸汽蚀刻 (CWE) 工艺来进行。鳍结构 104 可以是第一晶向, 诸如米勒指数 (110), 其中基板 100 可以是第二晶向, 诸如 (100) 取向。

[0031] 图 4 解说了鳍结构 104 上硅锗的外延生长 400。外延生长 400 在鳍结构 104 上生长, 并且结束另一晶向 (诸如图 4 中所示的 <111> 方向) 上的生长, 该另一晶向上的生长对于鳍结构 104 来说是不合需的。外延生长 400 的不同晶向改变了鳍结构 104 中的应变 (其可以是压缩应变)。

[0032] 图 5 解说了外延生长 400 的氧化 500。氧化 500 (可以是干法或湿法氧化) 选择性地氧化硅锗。硅锗外延生长中的硅被氧化, 而锗被驱至鳍结构 104 中。

[0033] 图 6 解说了相关领域的鳍结构。在氧化 500 之后, 氧化物被从鳍结构 104 去除。然而, 因为氧化 500 和/或外延生长 400, 氧化结构的蚀刻留下了与鳍结构 104 有点不同的剖面 600。进一步, 剖面 600 内的锗的量 (以及锗的掺杂密度) 可能不是均匀的并且可能对于其中使用剖面 600 的器件来说不完全合需。

[0034] 图 7 解说了根据本公开的一个方面的 FinFET 的鳍结构。薄膜 700 (可以是共形薄膜)

沉积到或者以其他方式耦合到鳍结构104。可以用选择性的或非选择性的方式执行薄膜700的沉积。鳍结构104可以是硅,或者是硅锗,并且还可以是单一晶体结构。鳍结构还可以具有与基板100类似的晶体结构。在本公开的一方面,薄膜700可以是多晶或非晶硅锗薄膜。可以使用化学气相沉积(CVD)、等离子体掺杂或其他方法来沉积薄膜700而不脱离本公开的范围。

[0035] 图8解说了本公开一方面的鳍结构的处理。形成了氧化物800。该氧化物选择性地将硅从薄膜700去除,而将硅锗的锗部分驱入鳍结构104以创建SiGe鳍802。可针对鳍结构104中的各个鳍结构控制期望材料(例如,锗)的量,以控制鳍结构802中的每一个鳍结构中的掺杂剂原子的百分比。可以通过沉积在鳍结构104上的薄膜700的厚度,以及通过用来创建氧化物800的时间和/或温度来实现该控制。

[0036] 图9解说根据本公开的一个方面的图8的FinFET半导体器件的鳍结构的侧视图。代表性地,在去除氧化物800之后,示出了SiGe鳍802。SiGe鳍802的垂直壁提供了比剖面600更为合需的形状。此外,因为至SiGe结构中的锗的量和驱动比针对图2-6所描述的更为受控,所以SiGe鳍802中的沟道比具有剖面600的鳍具有更高的性能。

[0037] 进一步,因为界面900由发源自基板100的单一晶体结构形成,因此其没有针对图1A-1D所示的界面114那么陡峭,也没有图2-6的器件中生成的界面那么陡峭。锗到SiGe鳍802中的梯度或逐渐扩散还允许锗扩散到SiGe鳍802下的基板100中。在该配置中,锗到SiGe鳍802下的基板100中的扩散降低了基板100和SiGe鳍802之间的界面900上的应变。这允许SiGe鳍802中的附加应变而不会不恰当地使界面900受到应变。

[0038] 在本公开的一方面,SiGe鳍802自对齐到鳍结构104。进一步,如上所述,可在薄膜700中使用不同剂量的掺杂剂材料来控制SiGe鳍802中的掺杂剂材料(例如,锗)的浓度。由此,在本公开的一方面,可实现相同基板100上的关于不同类型器件的多个掺杂剂浓度。进一步,本公开的一方面提供了与使用外延生长的常规SiGe FinFET的最终鳍结构相比生产起来更便宜的最终鳍结构。

[0039] 图10和11解说根据本公开的另一方面的FinFET半导体器件的鳍结构104的侧视图。在图10中,从图7中所示的结构开始,可以在薄膜700上执行蚀刻1000。蚀刻1000可以是各向异性蚀刻,并且由此薄膜700保持在鳍结构104的侧部上。图8的氧化(当在图10的结构上执行时)随后仅从侧部驱动来自薄膜的锗。因为在本公开的该方面,鳍结构104的顶部没有锗,所以SiGe鳍802会在SiGe鳍802的暴露部分上具有氧化硅,或者SiGe鳍802会比鳍结构104短(离基板100更短的距离)。图11中示出了氧化物1100和SiGe鳍802,如在本公开的本方面形成的。如果需要,通过蚀刻、化学湿法抛光或者其他方法去除氧化物1100。

[0040] 图12A-12E解说根据本公开的进一步方面的FinFET半导体器件的鳍结构104的侧视图。图12A示出了浅沟槽隔离区(STI) 102的凹槽蚀刻之后的包括鳍结构104的传入FinFET半导体器件。在该配置中,鳍结构104(例如,硅)延伸自STI 102并穿过STI 102。鳍结构104被示为处于第一晶向(例如,米勒指数(110))。如图12E中所示,在该安排中,延伸自STI 102的鳍结构104的长度1220可能比最终鳍结构1202的长度1230长。

[0041] 图12B示出了薄膜700共形沉积在STI 102和延伸自STI 102的鳍结构104上之后的FinFET半导体器件。在本公开的该方面,薄膜700可以是多晶或非晶硅锗薄膜。可以使用化学气相沉积(CVD)、等离子体掺杂或其他方法来沉积薄膜700而不偏离本公开范围。

[0042] 图12C示出了自STI 102的表面蚀刻薄膜700之后的FinFET半导体器件。自STI 102蚀刻薄膜700和蚀刻鳍结构104的一部分形成了薄膜700 (例如,硅锗)的分隔件1210。在图12D,可以执行分隔件1210的湿法和干法氧化以选择性地氧化以在鳍结构104上形成氧化物1200,并且将薄膜700驱入鳍结构中。在图12E中,氧化物被去除以完成最终鳍结构1202的形成。例如,当薄膜700包括硅锗时,锗被驱入延伸自STI 102的鳍结构104中以形成硅锗鳍。

[0043] 图13是解说根据本公开的一方面的用于制造鳍式场效应晶体管 (FinFET) 器件的方法1300的工艺流程图。在框1302,在半导体鳍上沉积SiGe的共形非晶或多晶薄膜。例如,如图7中所示,薄膜700 (可以是共形薄膜) 沉积或者以其他方式耦合到鳍结构104。在框1304,非晶或多晶薄膜被氧化以将锗从该非晶或多晶薄膜扩散到半导体鳍中。例如,如图8中所示,形成氧化物800。该氧化物选择性地将硅从薄膜700去除,而将硅锗的锗部分驱入鳍结构104以创建SiGe鳍802。在框1306,去除非晶或多晶薄膜的氧化部分。例如,如图9中所示,示出了去除氧化物800之后的SiGe鳍802。

[0044] 根据本公开的进一步方面,描述了一种基板上的鳍式场效应晶体管 (FinFET) 器件。在一个配置中,该器件包括用于传导电流的装置,其中来自非晶或多晶硅锗 (SiGe) 薄膜的锗被扩散到电流传导装置中。该电流传导装置可以是鳍结构104或如图8中所示的SiGe鳍802,或者其他装置。在另一方面,前述装置可以是被配置成执行由前述装置所述的功能的任何模块或任何设备。

[0045] 图14是示出其中可有利地采用本公开的一方面的示例性无线通信系统1400的框图。出于解说目的,图14示出了三个远程单元1420、1430和1450以及两个基站1440。将认识到,无线通信系统可具有远多于此的远程单元和基站。远程单元1420、1430和1450包括IC设备1425A、1425C和1425B,这些IC设备包括所公开的器件。将认识到,其他设备也可包括所公开的器件,诸如基站、交换设备、和网络装备。图14示出了从基站1440到远程单元1420、1430和1450的前向链路信号1480,以及从远程单元1420、1430和1450到基站1440的反向链路信号1490。

[0046] 在图14中,远程单元1420被示为移动电话,远程单元1430被示为便携式计算机,而远程单元1450被示为无线本地环路系统中的固定位置远程单元。例如,这些远程单元可以是移动电话、手持式个人通信系统 (PCS) 单元、便携式数据单元 (诸如个人数据助理)、启用GPS的设备、导航设备、机顶盒、音乐播放器、视频播放器、娱乐单元、固定位置数据单元 (诸如仪表读数装置)、或者存储或取回数据或计算机指令的其他设备、或者其组合。尽管图14解说了根据本公开的各方面的远程单元,但本公开并不被限定于所解说的这些示例性单元。本公开的各方面可以合适地在包括所公开的器件的许多设备中使用。

[0047] 图15是解说用于半导体组件 (诸如以上公开的器件) 的电路、布局以及逻辑设计的设计工作站的框图。设计工作站1500包括硬盘1501,该硬盘1501包含操作系统软件、支持文件、以及设计软件 (诸如Cadence或OrCAD)。设计工作站1500还包括促成对电路1510或半导体组件1512 (诸如根据本公开的一方面的器件) 的设计的显示器1502。提供存储介质1504以用于有形地存储电路1510或半导体组件1512的设计。电路1510或半导体组件1512的设计可以以文件格式 (诸如GDSII或GERBER) 存储在存储介质1504上。存储介质1504可以是CD-ROM、DVD、硬盘、闪存、或者其他合适的设备。此外,设计工作站1500包括用于从存储介质1504接受输入或者将输出写到存储介质1504的驱动装置1503。



[0048] 存储介质1504上记录的数据可指定逻辑电路配置、用于光刻掩模的图案数据、或者用于串写工具(诸如电子束光刻)的掩模图案数据。该数据可进一步包括与逻辑仿真相关联的逻辑验证数据,诸如时序图或网电路。在存储介质1504上提供数据通过减少用于设计半导体晶片的工艺数目来促成电路1510或半导体组件1512的设计。

[0049] 对于固件和/或软件实现,这些方法体系可以用执行本文所描述功能的模块(例如,规程、函数等等)来实现。有形地体现指令的机器可读介质可被用来实现本文所述的方法体系。例如,软件代码可被存储在存储器中并由处理器单元来执行。存储器可以在处理器单元内或在处理器单元外部实现。如本文所用的,术语“存储器”是指长期、短期、易失性、非易失性类型存储器、或其他存储器,而并不限于特定类型的存储器或存储器数目、或记忆存储在其上的介质的类型。

[0050] 如果以固件和/或软件实现,则功能可作为一条或多条指令或代码存储在计算机可读介质上。示例包括编码有数据结构的计算机可读介质和编码有计算机程序的计算机可读介质。计算机可读介质包括物理计算机存储介质。存储介质可以是能被计算机存取的可用介质。作为示例而非限定,此类计算机可读介质可包括RAM、ROM、EEPROM、CD-ROM或其他光盘存储、磁盘存储或其他磁存储设备、或能被用来存储指令或数据结构形式的期望程序代码且能被计算机访问的任何其他介质;如本文中所使用的盘(disk)和碟(disc)包括压缩碟(CD)、激光碟、光碟、数字多用碟(DVD)、软盘和蓝光碟,其中盘常常磁性地再现数据,而碟用激光光学地再现数据。上述的组合应当也被包括在计算机可读介质的范围内。

[0051] 除了存储在计算机可读介质上,指令和/或数据还可作为包括在通信装置中的传输介质上的信号来提供。例如,通信装置可包括具有指示指令和数据的信号的收发机。这些指令和数据被配置成使一个或多个处理器实现权利要求中叙述的功能。

[0052] 尽管已详细描述了本公开及其优势,但是应当理解,可在本文中作出各种改变、替代和变更而不会脱离如由所附权利要求所定义的本公开的技术。例如,诸如“上方”和“下方”之类的关系术语是关于基板或电子器件使用的。当然,如果该基板或电子器件被颠倒,则上方变成下方,反之亦然。此外,如果是侧面取向的,则上方和下方可指代基板或电子器件的侧面。而且,本申请的范围并非旨在被限定于说明书中所描述的过程、机器、制造、物质组成、装置、方法和步骤的特定配置。如本领域的普通技术人员将容易从本公开领会到的,根据本公开,可以利用现存或今后开发的与本文所描述的相应配置执行基本相同的功能或实现基本相同结果的过程、机器、制造、物质组成、装置、方法或步骤。因此,所附权利要求旨在将这样的过程、机器、制造、物质组成、装置、方法或步骤包括在其范围内。

[0053] 技术人员将进一步领会,结合本文的公开所描述的各种解说性逻辑框、模块、电路、和算法步骤可被实现为电子硬件、计算机软件、或两者的组合。为清楚地解说硬件与软件的这一可互换性,各种解说性组件、块、模块、电路、以及步骤在上面是以其功能性的形式作一般化描述的。此类功能性是被实现为硬件还是软件取决于具体应用和施加于整体系统的设计约束。技术人员可针对每种特定应用以不同方式来实现所描述的功能性,但此类实现决策不应被解读为致使脱离本发明的范围。

[0054] 结合本文的公开所描述的各种解说性逻辑框、模块、以及电路可用设计成执行本文中描述的功能的通用处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)或其他可编程逻辑器件、分立的门或晶体管逻辑、分立的硬件组件、或其任何

组合来实现或执行。通用处理器可以是微处理器,但在替换方案中,处理器可以是任何常规的处理器、控制器、微控制器、或状态机。处理器还可被实现为计算设备的组合,例如DSP与微处理器的组合、多个微处理器、与DSP核心协同的一个或多个微处理器、或者任何其他此类配置。

[0055] 结合本公开所描述的方法或算法的步骤可直接在硬件中、在由处理器执行的软件模块中、或在这两者的组合中体现。软件模块可驻留在RAM、闪存、ROM、EPROM、EEPROM、寄存器、硬盘、可移动盘、CD-ROM或本领域中所知的任何其他形式的存储介质中。示例性存储介质耦合到处理器以使得该处理器能从/向该存储介质读写信息。在替换方案中,存储介质可以被整合到处理器。处理器和存储介质可驻留在ASIC中。ASIC可驻留在用户终端中。替换地,处理器和存储介质可作为分立组件驻留在用户终端中。

[0056] 在一个或多个示例性设计中,所描述的功能可以在硬件、软件、固件、或其任何组合中实现。如果在软件中实现,则各功能可以作为一条或多条指令或代码存储在计算机可读介质上或藉其进行传送。计算机可读介质包括计算机存储介质和通信介质两者,包括促成计算机程序从一地向另一地转移的任何介质。存储介质可以是可被通用或专用计算机访问的任何可用介质。作为示例而非限定,这样的计算机可读介质可以包括RAM、ROM、EEPROM、CD-ROM或其他光盘存储、磁盘存储或其他磁存储设备、或能被用来携带或存储指令或数据结构形式的指定程序代码手段且能被通用或专用计算机、或者通用或专用处理器访问的任何其他介质。任何连接也被正当地称为计算机可读介质。例如,如果软件是使用同轴电缆、光纤电缆、双绞线、数字订户线(DSL)、或者诸如红外、无线电和微波之类的无线技术从web网站、服务器、或者其他远程源传送而来,则该同轴电缆、光纤电缆、双绞线、DSL、或诸如红外、无线电、以及微波之类的无线技术就被包括在介质的定义之中。如本文中所使用的盘(disk)和碟(disc)包括压缩碟(CD)、激光碟、光碟、数字多用碟(DVD)、软盘和蓝光碟,其中盘(disk)往往以磁的方式再现数据而碟(disc)用激光以光学方式再现数据。上述的组合应当也被包括在计算机可读介质的范围内。

[0057] 提供对本公开的先前描述是为使得本领域任何技术人员皆能够制作或使用本公开。对本公开的各种修改对本领域技术人员而言将容易是显而易见的,并且本文中所定义的普适原理可被应用到其他变型而不会脱离本公开的精神或范围。由此,本公开并非旨在被限定于本文中所描述的示例和设计,而是应被授予与本文中所公开的原理和新颖性特征相一致的最广范围。

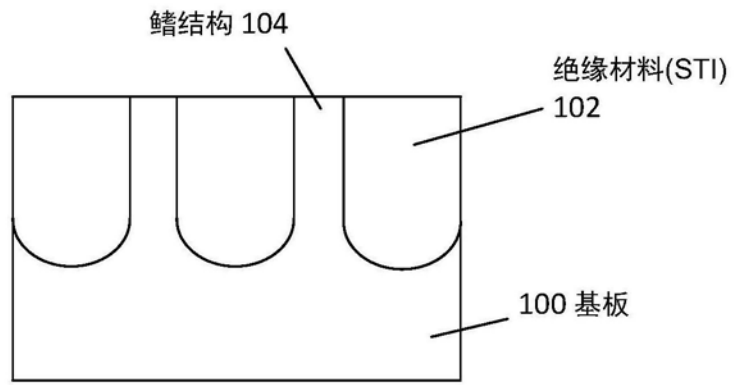


图1A

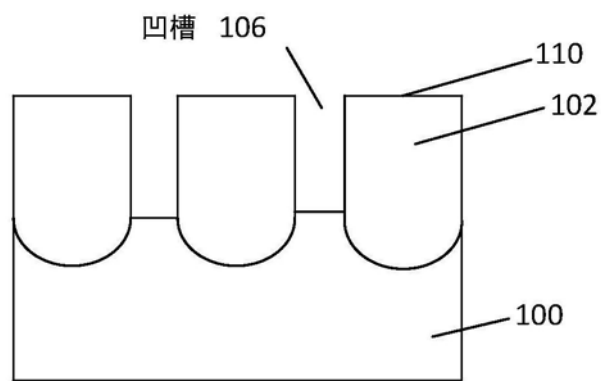
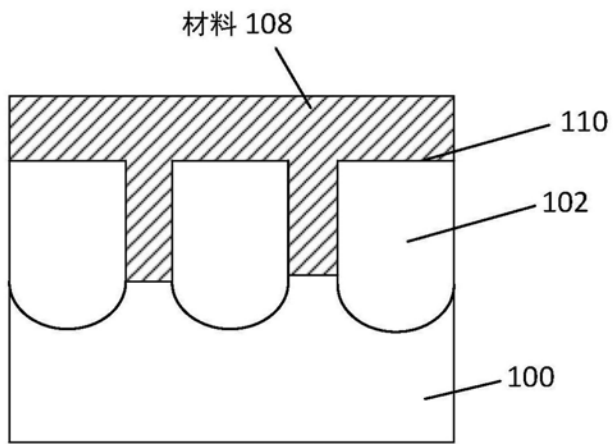
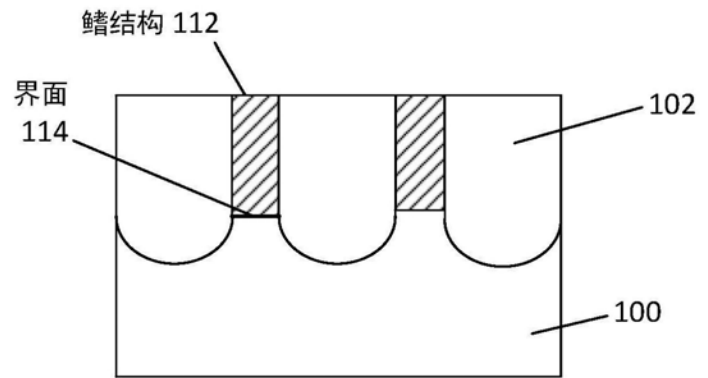
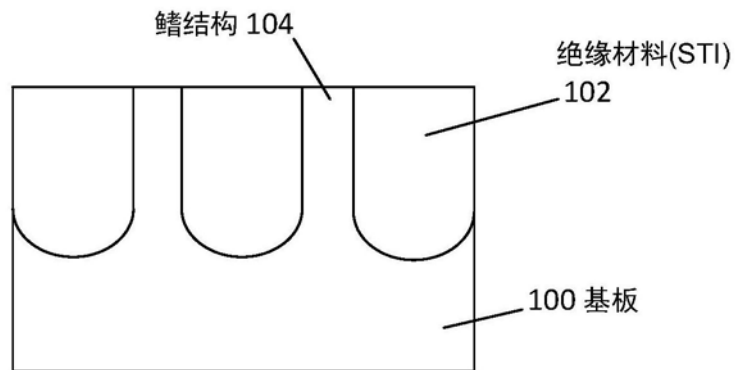


图1B

**图 1C****图 1D****图2**

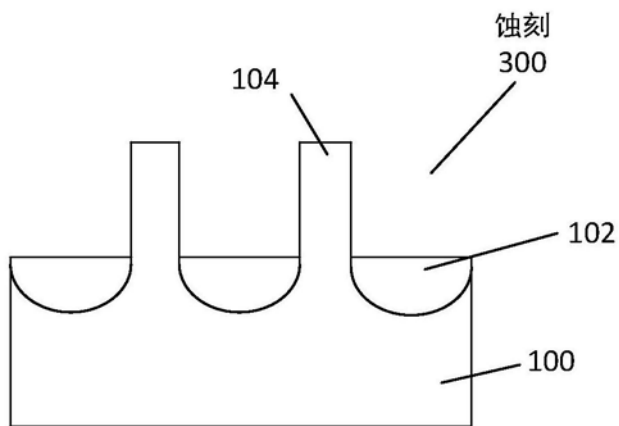


图3

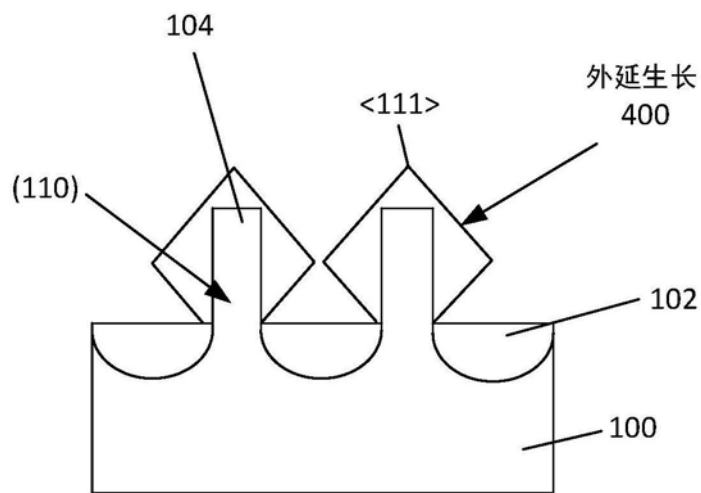


图4

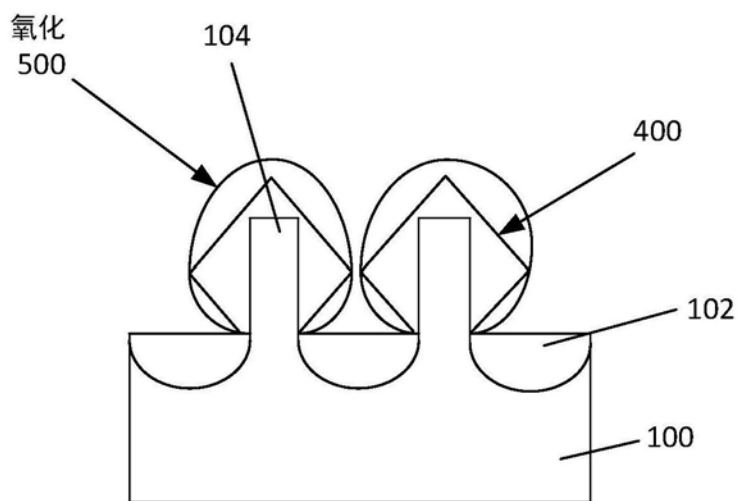


图5

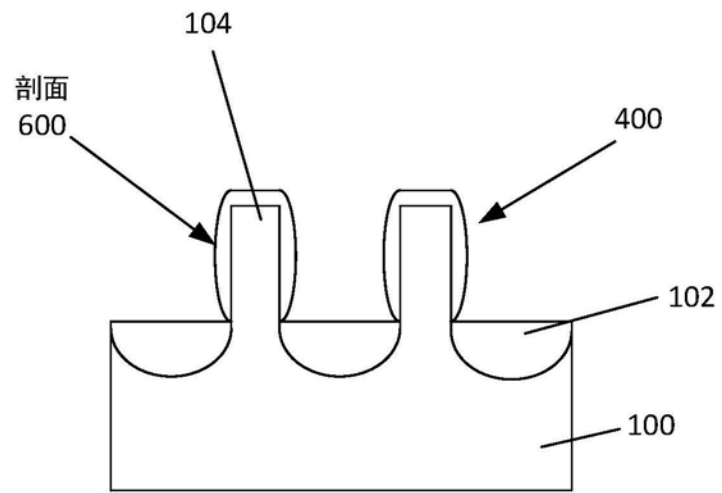


图6

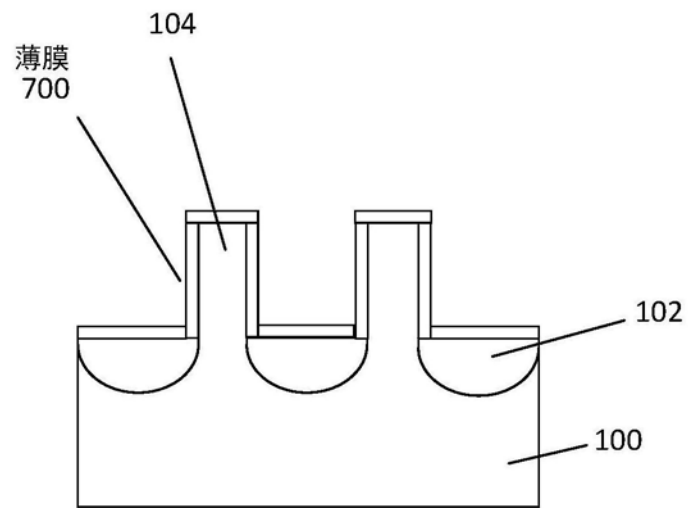


图7

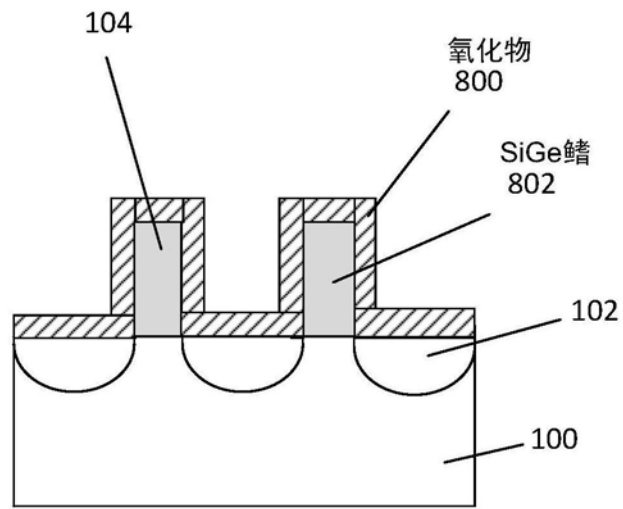


图8

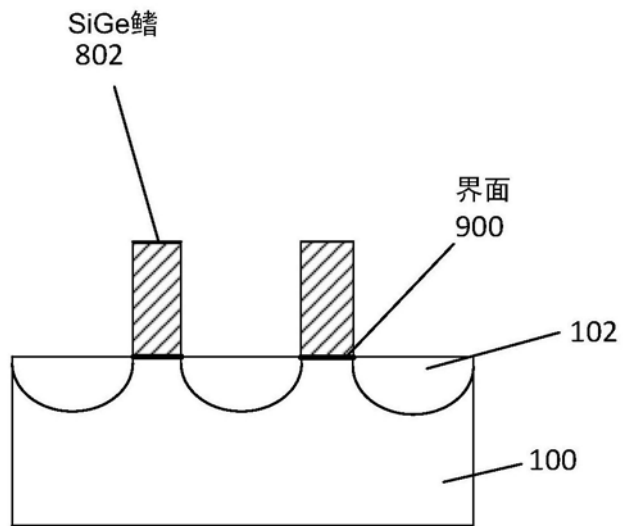


图9

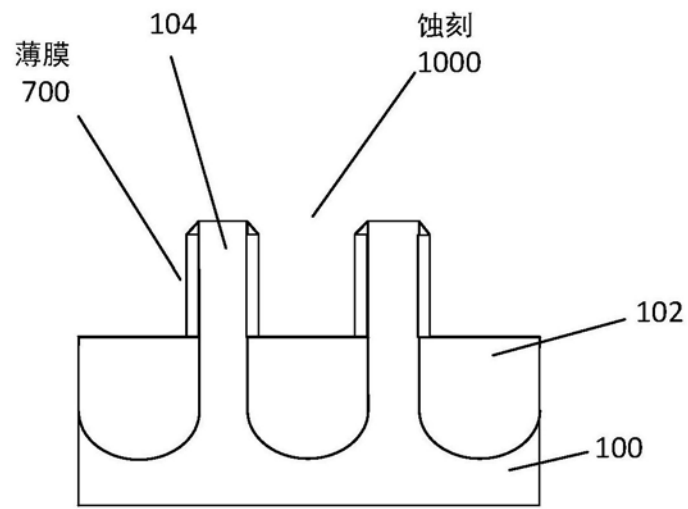


图10

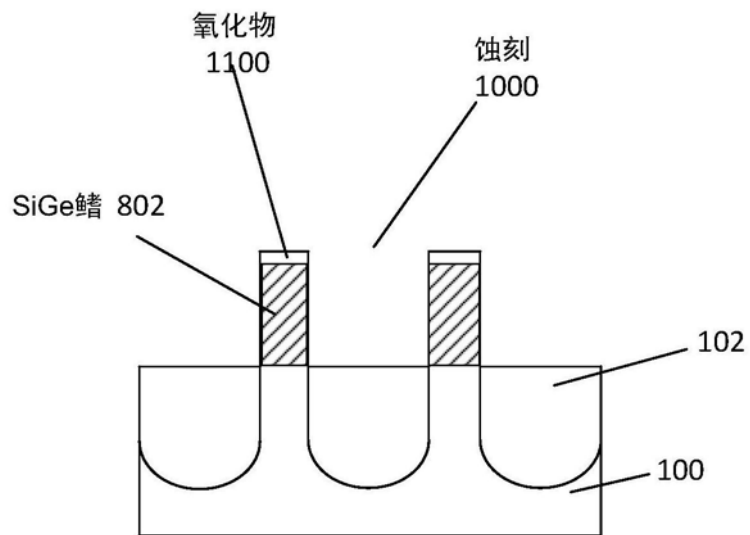


图11



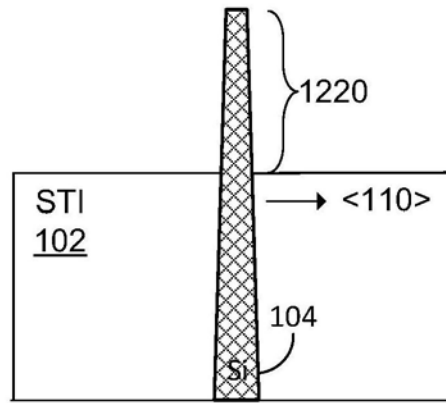


图12A

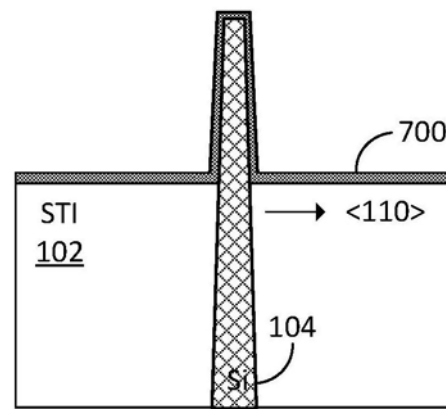


图12B

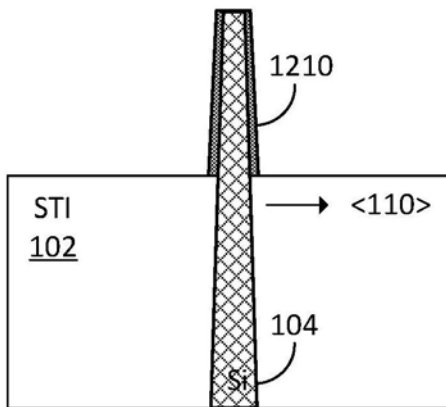


图12C

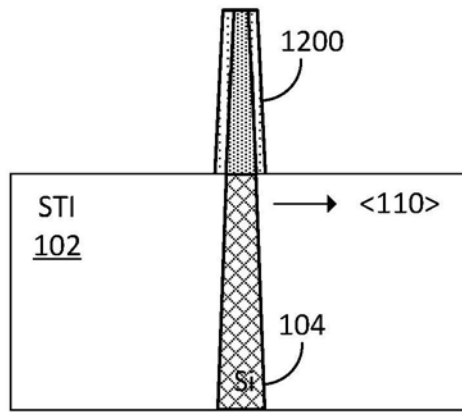


图12D

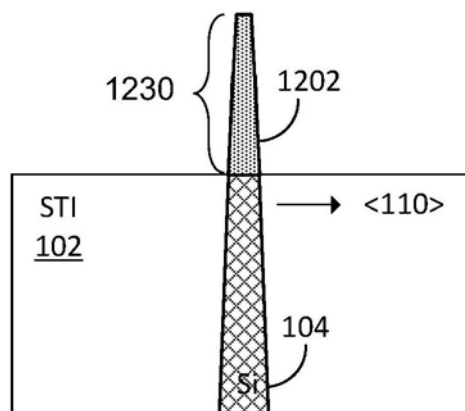


图12E

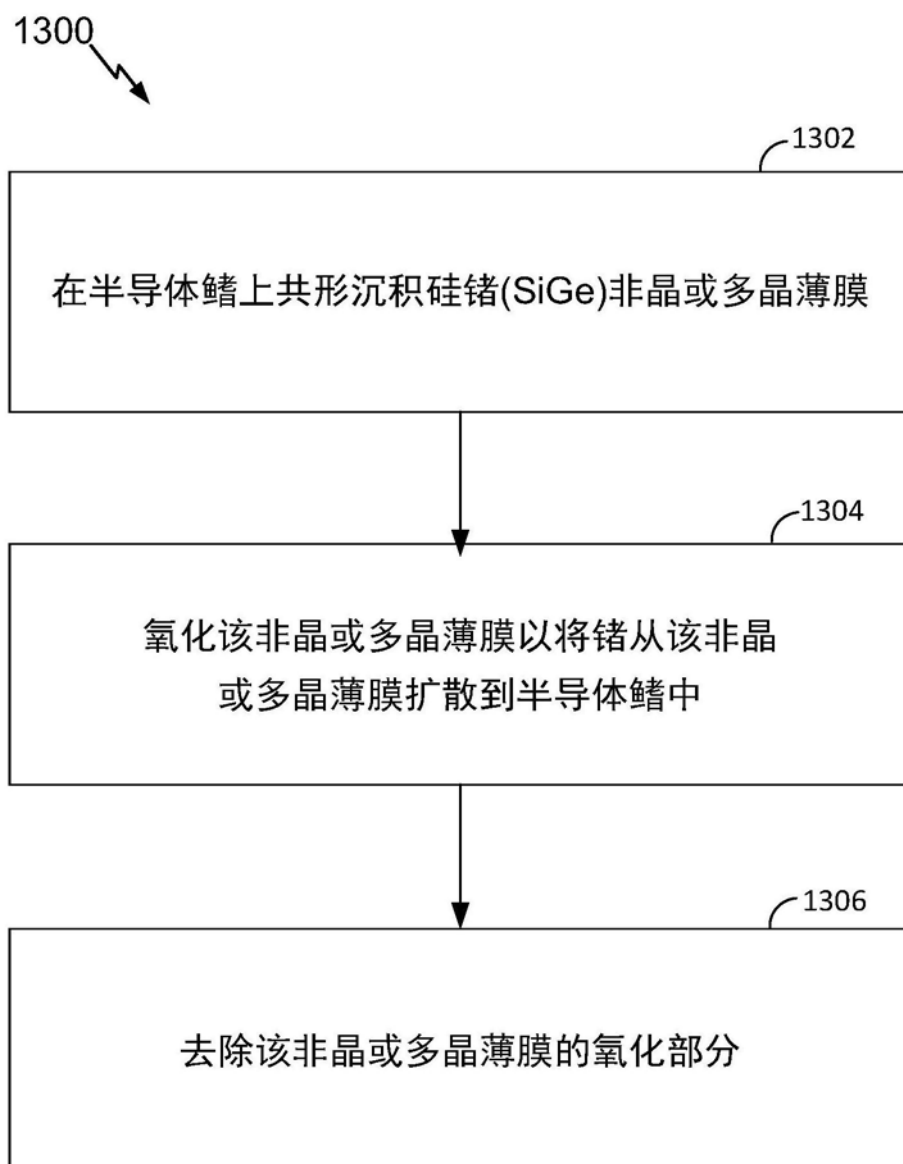


图13

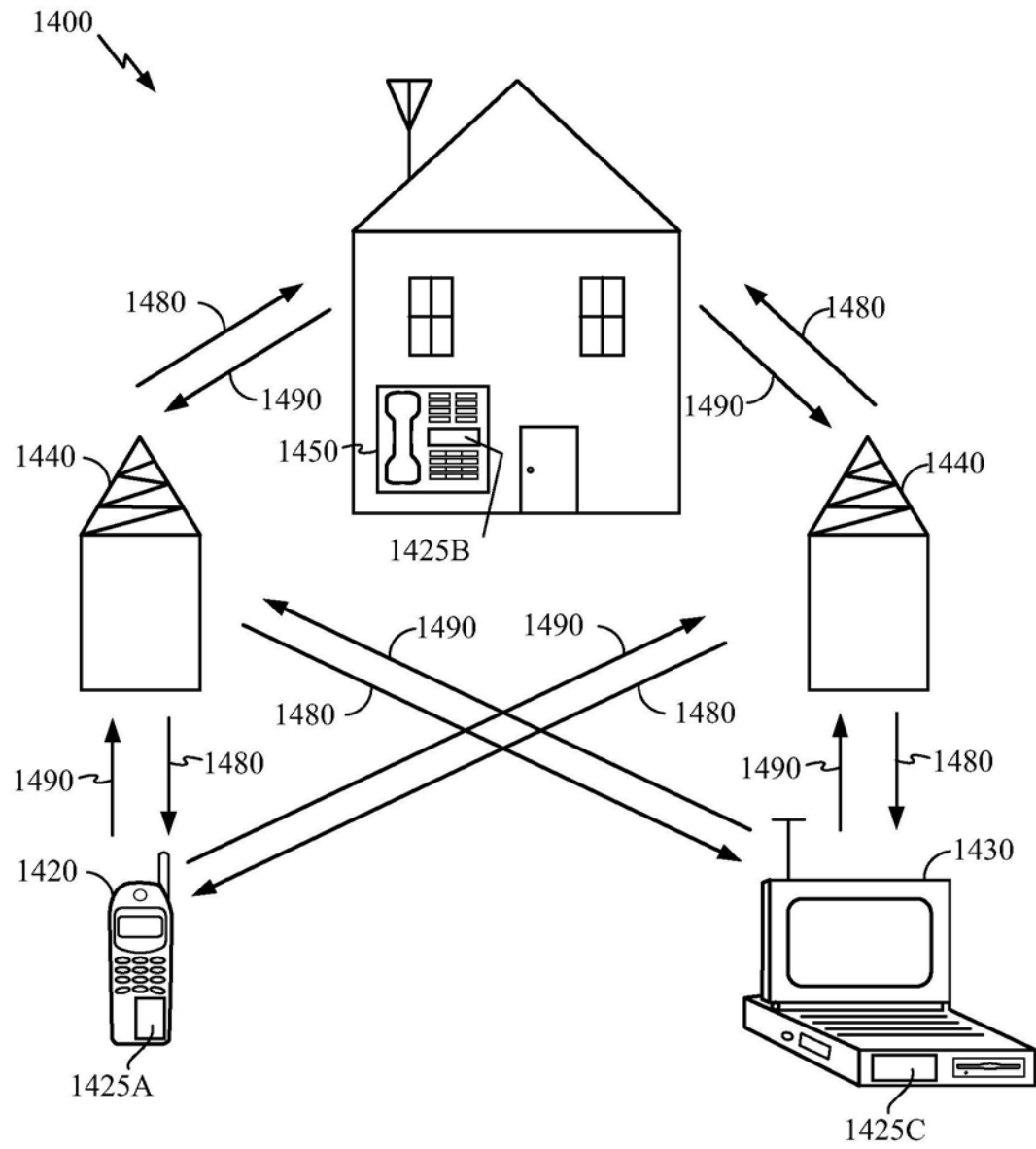


图14

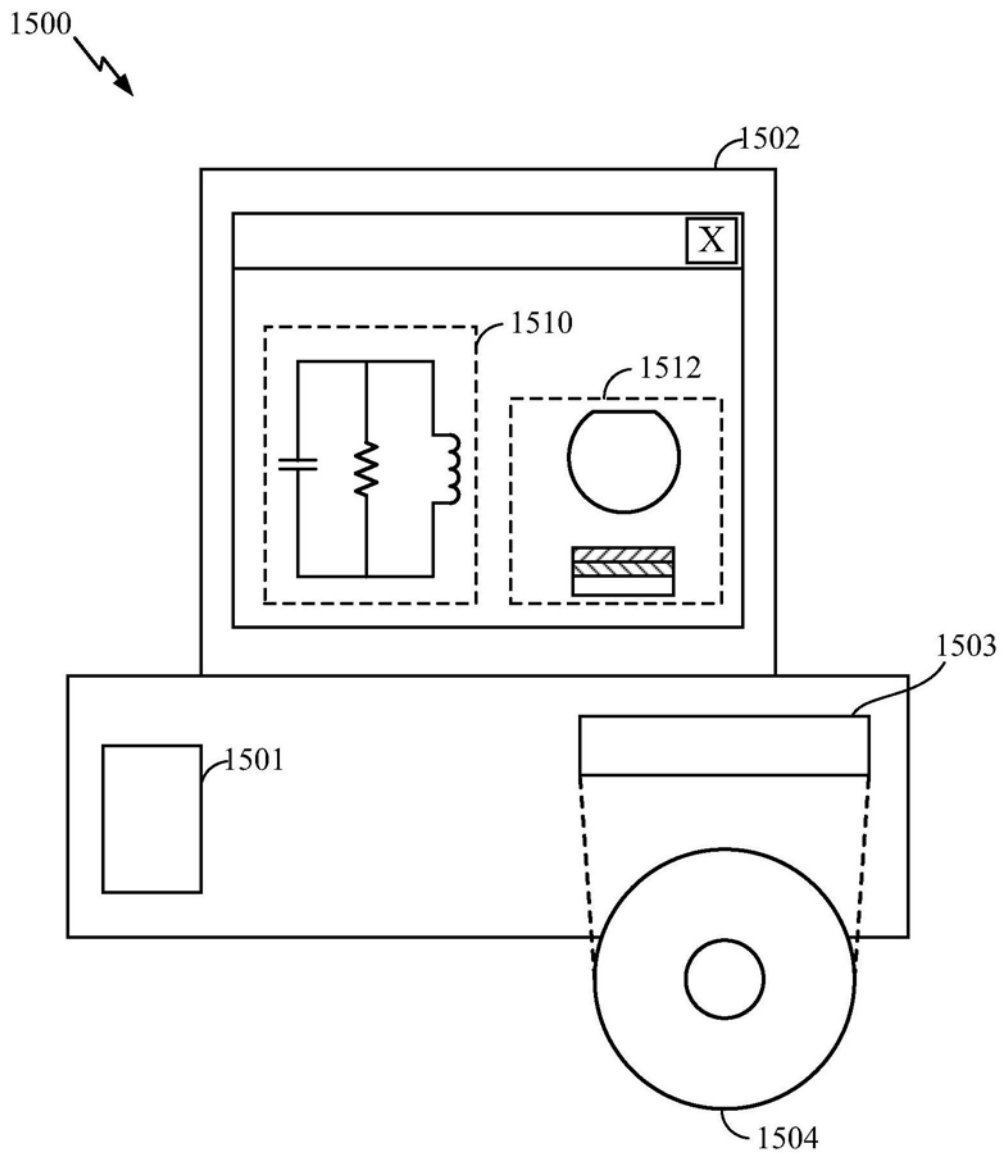


图15