

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年5月31日(31.05.2018)



(10) 国際公開番号

WO 2018/096828 A1

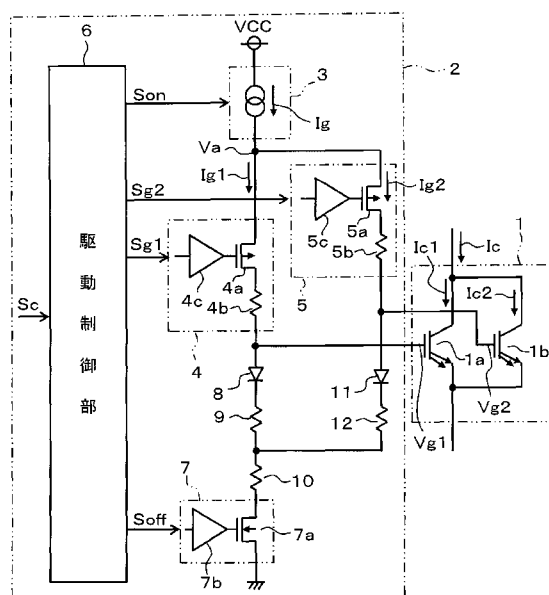
- (51) 国際特許分類:
H02M 1/08 (2006.01) H03K 17/56 (2006.01)
H03K 17/06 (2006.01) H03K 17/687 (2006.01)
- (21) 国際出願番号: PCT/JP2017/036988
- (22) 国際出願日: 2017年10月12日(12.10.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-228961 2016年11月25日(25.11.2016) JP
- (71) 出願人: 株式会社デンソー (DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).

- (72) 発明者: 千田 康隆 (SENDA, Yasutaka);
〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP).
- (74) 代理人: 特許業務法人 サトー国際特許事務所 (SATO INTERNATIONAL PATENT FIRM);
〒4600008 愛知県名古屋市中区栄四丁目6番15号 フォーティーンヒルズセンタービル Aichi (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: GATE DRIVE DEVICE

(54) 発明の名称: ゲート駆動装置

[図1]



6 Drive control unit

(57) Abstract: A gate drive device that drives a plurality of gate drive-type semiconductor elements (1a, 1b) connected in parallel is provided with: a constant current circuit (3) for supplying constant currents to the gates of the plurality of semiconductor elements; a plurality of switching elements (4a, 5a) provided in paths for supplying gate currents to the respective gates of the plurality of semiconductor elements from the constant current circuit; and a drive control unit (6) for controlling the driving of the plurality of switching elements so that the constant currents supplied from the constant current circuit are supplied to the respective gates of the plurality of semiconductor elements.

(57) 要約: 並列接続されたゲート駆動型の複数の半導体素子(1a、1b)を駆動するゲート駆動装置であって、前記複数の半導体素子のゲートに定電流を供給する定電流回路(3)と、前記定電流回路から前記複数の半導体素子のそれぞれのゲートに対してゲート電流を給電する経路に設けられる複数のスイッチング素子(4a、5a)と、前記複数の半導体素子の各ゲートに対して前記定電流回路により供給される定電流を供給するように前記複数のスイッチング素子を駆動制御する駆動制御部(6)とを備える。

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：ゲート駆動装置

関連出願の相互参照

[0001] 本出願は、2016年11月25日に出願された日本出願番号2016-228961号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本開示は、ゲート駆動形の半導体素子を複数個並列に設けて駆動制御するゲート駆動装置に関する。

背景技術

[0003] 負荷に対して大電流を供給するために、IGBTなどのゲート駆動形の半導体素子を複数個並列に設けて駆動制御するゲート駆動装置がある。この場合、半導体素子の特性にバラツキがあると、半導体素子に流れる電流にバラツキが生じることがある。この結果、必要な電流を供給するために、バラツキを考慮して大きめの電流容量の半導体素子を用いる必要があった。

先行技術文献

特許文献

[0004] 特許文献1：特開2014-93836号公報

発明の概要

[0005] 本開示は、上記事情を考慮してなされたもので、その目的は、複数の半導体素子を同時にオン動作させる時に、特性のバラツキに起因した電流バラツキを抑制することができるゲート駆動装置を提供することにある。

[0006] 本開示の第一の態様において、並列接続されたゲート駆動型の複数の半導体素子を駆動するゲート駆動装置であって、前記複数の半導体素子のゲートに定電流を供給する定電流回路と、前記定電流回路から前記複数の半導体素子のそれぞれのゲートに対してゲート電流を給電する経路に設けられる複数のスイッチング素子と、前記複数の半導体素子の各ゲートに対して前記定電流回路により供給される定電流を供給するように前記複数のスイッチング素

子を駆動制御する駆動制御部とを備えている。

[0007] 上記構成を採用することにより、複数の半導体素子のそれぞれのゲートに対して定電流回路からスイッチング素子を介してゲート電流を供給する構成とすることで、抵抗で結合した構成に比べてゲート電圧のバラツキに対応して安定してゲート電流を定電流で供給することができ、各半導体素子にゲート電圧を適切に付与することができ、並列接続されたゲート駆動型の複数の半導体素子のそれぞれに電流を均等となるように駆動制御することができるようになる。

図面の簡単な説明

[0008] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。その図面は、
[図1]図1は、第1実施形態を示す電氣的構成図であり、
[図2]図2は、定電流回路の電氣的構成図であり、
[図3]図3は、制御信号に対するゲート電流およびゲート電圧、コレクタ電流のタイムチャートであり、
[図4]図4は、動作原理を説明するための作用説明図であり、
[図5]図5は、動作原理を説明するための数式を示した作用説明図であり、
[図6]図6は、第2実施形態を示す定電流回路の電氣的構成図であり、
[図7]図7は、第3実施形態を示す電氣的構成図であり、
[図8]図8は、第4実施形態を示す電氣的構成図であり、
[図9]図9は、第5実施形態を示す電氣的構成図であり、
[図10]図10は、第6実施形態を示す電氣的構成図であり、
[図11]図11は、第7実施形態を示す電氣的構成図である。

発明を実施するための形態

[0009] (第1実施形態)

以下、第1実施形態について、図1～図5を参照して説明する。

半導体素子部1は、複数のゲート駆動形の半導体素子として同一サイズのIGBT (Insulated Gate Bipolar Transistor) 1aおよび1bが並列に接

続した状態で設けられている。I G B T 1 a および 1 b は、コレクターエミッタを共通に接続した状態で電源から負荷に給電する構成である。また、I G B T 1 a および 1 b はゲート駆動装置 2 からそれぞれのゲートに駆動信号が与えられる。

[0010] ゲート駆動装置 2 において、直流電源 V C C には定電流回路 3 が接続され、駆動回路 4 を介して I G B T 1 のゲートにゲート電流 I_{g1} が供給され、駆動回路 5 を介して I G B T 2 のゲートにゲート電流 I_{g2} が供給される。

[0011] 定電流回路 3 は、例えば図 2 に示すように、P チャンネル型の M O S F E T 3 a に抵抗 3 b を介して直流電源 V C C を供給する構成である。M O S F E T 3 a は、差動増幅器 3 c からゲート駆動信号が与えられる。差動増幅器 3 c の反転入力端子は M O S F E T 3 a のソースに接続され、非反転入力端子は参照電源 7 d を介して直流電源 V C C に接続される。

[0012] 差動増幅器 3 c は、抵抗 3 b の端子間電圧と参照電源 7 d の参照電圧 V_{ref} が等しくなるように M O S F E T 3 a を駆動する。これにより、参照電圧 V_{ref} により設定される定電流 I_g が M O S F E T 3 a に流れるようになる。この定電流 I_g が I G B T 1 a および 1 b のゲート電流 I_{g1} および I_{g2} として供給される。定電流回路 3 は、駆動制御部 6 から駆動信号 S_{on} が与えられて動作する。

[0013] 駆動回路 4 は、P チャンネル型の M O S F E T 4 a および抵抗 4 b を直列に接続した構成で、M O S F E T 4 a はドライバ 4 c からゲート駆動信号が与えられる。同じく、駆動回路 5 は、P チャンネル型の M O S F E T 5 a および抵抗 5 b を直列に接続した構成で、M O S F E T 5 a はドライバ 5 c からゲート駆動信号が与えられる。ドライバ 4 c および 5 c には、それぞれ駆動制御部 6 から駆動信号 S_{g1} および S_{g2} が与えられる。

[0014] オフ回路 7 は、I G B T 1 a および 1 b を同時にオフさせる回路で、N チャンネル型の M O S F E T 7 a とゲート信号を与えるドライバ 7 b を備えている。I G B T 1 a のゲートは、ダイオード 8、抵抗 9、10 を直列に介してオフ回路 7 の M O S F E T 7 a に接続される。また、I G B T 1 b のゲー

トは、ダイオード 11、抵抗 12、10を直列に介してオフ回路7のMOSFET 7aに接続される。MOSFET 7aは、オン動作によりIGBT 1aのゲート電荷をグラウンドに放電する。ドライバ7bには駆動制御部6からオフ動作の駆動信号Soffが与えられる。

[0015] 次に、上記構成の作用について、図3から図5も参照して説明する。

駆動制御部6は、IGBT 1aおよび1bの駆動指示の信号Scが与えられると、定電流回路3にオン信号Sonを与えるとともに、駆動回路4および5に駆動信号Sg1およびSg2を与える。これにより、定電流回路3は、MOSFET 3aがオンされて参照電源7dで設定された定電流Igを供給するようになる。

[0016] また、駆動回路4および5では、駆動信号Sg1およびSg2により、MOSFET 4aおよび5aがフルオン動作される。つまり、MOSFET 4aおよび5aは、いずれもゲート電圧が十分与えられることで、飽和領域で動作される。これにより、各IGBT 1a、1bのゲートに対して、特性バラツキに起因してゲート電圧が異なる場合でもほぼ同じゲート電流Ig1、Ig2を供給することができるようになる。この結果、2つのIGBT 1a、1bはほぼ同じコレクタ電流Ic1、Ic2を分担した状態で流すことができるようになる。

[0017] 図3は上記の動作について、制御信号Scにより動作するIGBT 1aおよび1bのゲート電流、ゲート電圧およびコレクタ電流の時間推移を示している。図3に示すように、駆動制御部6は、時刻t1でIGBT 1aおよび1bの駆動を指示するローレベルの制御信号Scが与えられると、定電流回路3に駆動信号Sonを与えて駆動し、この後、時刻t2で駆動回路4および5に駆動信号Sg1およびSg2を与える。これにより、図3(b)に示すように、定電流回路3により供給される定電流Igが、図3(c)に示すように各駆動回路4および5に分岐され、IGBT 1aおよび1bのゲートにゲート電流Ig1およびIg2として供給される。

[0018] この場合、駆動回路4および5では、MOSFET 4aおよび5aが駆動

信号 S_{g1} および S_{g2} に応じてフルオン状態で駆動される。IGBT1a および 1b は、各ゲートにゲート電流 I_{g1} および I_{g2} がそれぞれ供給され、定電流駆動される。IGBT1a および 1b は、それぞれのゲート電圧 V_{g1} および V_{g2} が閾値電圧 V_{t1} および V_{t2} に達すると、コレクタ電流 I_{c1} および I_{c2} が流れ始める。

[0019] この後、図3(d)に示すように、IGBT1a および 1b のゲートへの給電により時刻 $t_3 \sim t_4$ のミラー期間に入ると、ゲート電圧 V_{g1} および V_{g2} は、ゲート電流 I_{g1} および I_{g2} の供給を受けても一定電圧となる。このとき、上記したように各 IGBT1a および 1b の特性ばらつきにより、閾値電圧 V_{t1} および V_{t2} が異なり、また、ミラー電圧 $V_{mirror1}$ および $V_{mirror2}$ が異なる。このため、駆動回路4 および 5 の MOSFET4a および 5b は、ドレイン電圧が異なる状態となる。

[0020] しかし、MOSFET4a および 5a をフルオン駆動しているので、後述する理由によりゲート電流 I_{g1} および I_{g2} はほぼ同じ電流に設定することができるようになる。これにより、図3(e)に示すように、IGBT1a および 1b のコレクタ電流 I_{c1} および I_{c2} をほぼ同じレベルの電流に揃えた状態で駆動することができるようになる。

[0021] ミラー期間が終了すると、ゲート電流 I_{g1} および I_{g2} の給電により、IGBT1a および 1b のゲート電圧 V_{g1} および V_{g2} は再び上昇を開始し、時刻 t_5 で所定のゲート電圧に達するとゲート電流 I_{g1} および I_{g2} はゼロになる。この状態では、2個の IGBT1a および 1b は、ほぼ同じコレクタ電流 I_{c1} および I_{c2} で駆動された状態となり、全体の電流を均等に分担した状態で駆動される。

[0022] この後、駆動制御部6は、時刻 t_6 で IGBT1a および 1b をオフさせるハイレベルの制御信号 S_c が与えられると、定電流回路3 および駆動回路4 および 5 への駆動信号 S_{on} 、 S_{g1} 、 S_{g2} を停止して IGBT1a および 1b のゲートへの電圧印加を停止する。さらに、駆動制御部6は、時刻 t_7 でオフ回路7にオフ信号 S_{off} を出力する。これにより、オフ回路7

のMOSFET 7 aはオン動作され、2個のIGBT 1 aおよび1 bのゲートの電荷を放電する経路を形成する。IGBT 1 aのゲート電荷はダイオード8、抵抗9、10およびMOSFET 7 aを介して放電され、IGBT 1 bのゲート電荷はダイオード11、抵抗12、10およびMOSFET 7 aを介して放電される。ゲート電圧 V_{g1} および V_{g2} が時刻 t_8 で閾値電圧 V_{t1} および V_{t2} よりも低くなると、コレクタ電流 I_{c1} および I_{c2} も低下してIGBT 1 aおよび1 bはオフ状態に移行する。

[0023] 次に、駆動回路4および5にそれぞれMOSFET 4 aおよび5 aを設けてフルオンで駆動することで、2個のIGBT 1 aおよび1 bにほぼ同じコレクタ電流 I_{c1} および I_{c2} を流すことができる原理について図4および図5を参照して説明する。

[0024] 駆動回路4および5のそれぞれに設けられるMOSFET 4 aおよび5 aの飽和領域での特性を簡単に説明する。図4は、MOSFETをあるゲート電圧で駆動した場合の、ドレインソース間の電圧 V_d とドレイン電流 I_d の関係を示している。MOSFETは、ゲート電圧 V_g が与えられて流れるドレイン電流 I_d は、図5の式(1)で示されるようになる。なお、図5の式中、 W はチャンネル幅、 L はチャンネル長、 V_t は閾値電圧、 λ はチャンネル長変調係数、 μ はキャリア移動度、 C_o は単位面積当たりゲート酸化膜容量である。

[0025] ドレイン電流 I_d は、ドレイン電圧 V_d が高くなると、チャンネル長変調効果のために若干増加する。式(1)は、チャンネル長変調係数 λ を考慮したドレイン電流 I_d の値を示すものである。式(1)は、ゲート電圧 V_g を一定としたときに、ドレイン電圧 V_d を含む項以外の部分を式(3)、(4)のように定数で置き換えると、ドレイン電圧 V_d に依存する式(2)として表すことができる。

[0026] 次に、上記のように、ドレイン電圧 V_d が異なる場合には、ドレイン電流 I_d も変化するが、この変化量 ΔI_d は比較的小さくなる。例えば、図4中、ドレイン電圧 V_{d1} と V_{d2} との差がある場合に、ドレイン電流 I_{d1} と

I_{d2} との差 ΔI_d は、式(5)のように表せるから、式(2)を代入すると、ドレイン電圧 V_{d1} および V_{d2} を用いた式(6)のように表すことができる。

[0027] この式(6)で示す関係を、駆動回路4および5のMOSFET4aおよび5aの関係に当てはめると、MOSFET4aおよび5aの各ドレイン電流 I_{d1} および I_{d2} は、本実施形態ではIGBT1aおよび1bの各ゲート電流 I_{g1} および I_{g2} に相当する。また、MOSFET4aおよび5aの各ドレイン電圧 V_{d1} および V_{d2} は、定電流回路3の出力電圧 V_a からIGBT1aおよび1bの各ゲート電圧 V_{g1} および V_{d2} をそれぞれ差し引いた電圧である。

[0028] したがって、IGBT1aおよび1bに特性バラツキがあり、閾値電圧 V_{t1} と V_{t2} との間のバラツキ、あるいは前述したミラー電圧 $V_{mirror1}$ と $V_{mirror2}$ との間のバラツキにより、ゲート電圧 V_{g1} と V_{g2} との間に差が生ずることがある。この場合でも、MOSFET4aおよび5aをフルオン条件で動作させるので、ドレイン電圧 V_{d1} と V_{d2} との間に差が生じている場合でも、式(6)からドレイン電流の差 ΔI_d すなわち、IGBT1aのゲート電流 I_{g1} とIGBT1bのゲート電流 I_{g2} との差は抑制することができる。

[0029] これに対して、従来方式で駆動する場合には、次のような大きい誤差が発生する。本実施形態のようにMOSFET4a、5aをフルオンで動作させる駆動回路4および5を設けることなく、バランス抵抗を用いてゲート駆動を行う場合について考える。この場合には、バランス抵抗の抵抗値を R_b とすると、バランス抵抗の端子電圧をバランス抵抗で除した値がゲート電流となる。IGBT1aおよび1bのゲート電圧がミラー電圧 $V_{mirror1}$ および $V_{mirror2}$ であるときに、ゲート電流 I_{g1} および I_{g2} は、次式のように表すことができる。

[0030]
$$I_{g1} = (V_a - V_{mirror1}) / R_b$$

$$I_{g2} = (V_a - V_{mirror2}) / R_b$$

そして、ミラー電圧 $V_{\text{mirror } 1}$ および $V_{\text{mirror } 2}$ が特性バラツキによって異なる電圧となる場合には、上式から、ゲート電流 I_{g1} および I_{g2} が異なる値となる。この場合、バランス抵抗の抵抗値 R_b が大きく設定されている場合には、 $\Delta I_g (= I_{g1} - I_{g2})$ を低減することができるが、ゲート電流を制限することになる。この結果、バランス抵抗を用いる構成では、 I_{GBT1a} および I_{GBT1b} を個別にゲート電圧 V_{g1} および V_{g2} を与える駆動が困難となり、コレクタ電流 I_{c1} と I_{c2} との間に大きい誤差が生ずることになる。

[0031] この点、本実施形態の構成を採用することで、前述したように、 I_{GBT1a} および I_{GBT1b} のゲート電圧 V_{g1} および V_{g2} のバラツキに起因したゲート電流 I_{g1} および I_{g2} の差を低減して I_{GBT1a} および I_{GBT1b} を駆動することができるので、コレクタ電流 I_{c1} および I_{c2} を均等なレベルで流すことができるようになる。

[0032] このような本実施形態によれば、2個の I_{GBT1a} および I_{GBT1b} を並列接続して負荷に給電する構成で、駆動回路4および5を設け、 $MOSFET4a$ および $MOSFET5a$ をフルオン駆動して I_{GBT1a} および I_{GBT1b} のゲート電流 I_{g1} および I_{g2} を供給する構成としたので、 I_{GBT1a} および I_{GBT1b} が特性バラツキを有する場合でも、均等なコレクタ電流 I_{c1} および I_{c2} を流すことができるようになる。

[0033] (第2実施形態)

図6は第2実施形態を示すもので、以下、第1実施形態と異なる部分について説明する。この実施形態では、定電流回路3に代えて定電流回路20を設ける構成としている。図6に示すように、定電流 I_g を流すためのpnp型トランジスタ20aを設け、このトランジスタ20aにpnp型トランジスタ20bをカレントミラー接続した構成としている。トランジスタ20bは、定電流回路20cにより所定電流を流すように設けられ、ミラー比に応じた電流を定電流 I_g として流す構成である。

したがって、このような第2実施形態によっても第1実施形態と同様の作

用効果を得ることができる。

[0034] (第3実施形態)

図7は第3実施形態を示すもので、以下、第1実施形態と異なる部分について説明する。この実施形態では、ゲート駆動装置30は、直流電源VCCと定電流回路4との間に、定電圧回路31を設ける構成としている。

[0035] 定電圧回路31は、直流電源VCCの電圧が変動するのを抑制して定電流回路3に精度の高い直流電圧VDを供給するものである。図7において、直流電源VCCと定電流回路3との間にpnp型トランジスタ31aのコレクターエミッタ間が接続されている。トランジスタ31aのベースは差動アンプ31bによりベース電流が与えられる。差動アンプ31bの非反転入力端子には出力電圧VDを出力するための参照電圧Vrefが与えられる。トランジスタ31aのエミッタとグランドとの間に抵抗31cおよび31dの直列回路が接続される。抵抗31cと31dの共通接続点は差動アンプ31bの反転入力端子に接続される。

[0036] 上記構成を設けることで、トランジスタ31aは、エミッタ電圧がVDとなるように差動アンプ31bによりベース電流が与えられるので、高精度で定電流回路3に電圧VDを供給することができる。

[0037] このような第3実施形態によれば、定電圧回路31を設けたので、第1実施形態の効果に加えて、IGBT1aおよび1bのゲートへの電圧印加を、バラツキを抑制して更に精度の高い駆動制御を行うことができる。

[0038] (第4実施形態)

図8は第4実施形態を示すもので、以下、第1実施形態と異なる部分について説明する。この実施形態では、ゲート駆動装置40は、駆動回路4、5に代えて、駆動回路41、42を設ける構成としている。

[0039] 駆動回路41は、定電流回路3からIGBT1aのゲートに至る経路のPチャンネル型MOSFET4aおよび抵抗4bはそのまま設ける構成としている。MOSFET4aは、差動アンプ41aからゲート信号が与えられる。差動アンプ41aは、反転入力端子に参照電圧Vref1が与えられる。

MOSFET 4 a のドレインとグランドとの間に抵抗 4 1 b、4 1 c の分圧回路が接続され、抵抗 4 1 b、4 1 c の共通接続点が差動アンプ 4 1 a の非反転入力端子に接続されている。

[0040] 同様にして、駆動回路 4 2 は、定電流回路 3 から IGBT 1 b のゲートに至る経路の P チャンネル型 MOSFET 5 a および抵抗 5 b はそのまま設ける構成としている。MOSFET 5 a は、差動アンプ 5 1 a からゲート信号が与えられる。差動アンプ 5 1 a は、反転入力端子に参照電圧 V_{ref2} が与えられる。MOSFET 5 a のドレインとグランドとの間に抵抗 4 2 b、4 2 c の分圧回路が接続され、抵抗 4 2 b、4 2 c の共通接続点が差動アンプ 4 2 a の非反転入力端子に接続されている。

[0041] 上記のように構成することで、駆動回路 4 1 および 4 2 は、MOSFET 4 a、5 a に対してドレイン電圧を分圧回路でモニタしながら差動アンプ 4 1 a、4 2 a によりフィードバック制御することができる。この結果、MOSFET 4 a および 5 a を精度良くフルオン動作させることができるようになる。

このような第 4 実施形態によっても、第 1 実施形態と同様の効果を得ることができるようになる。

[0042] (第 5 実施形態)

図 9 は第 5 実施形態を示すもので、以下、第 1 実施形態と異なる部分について説明する。この実施形態では、ゲート駆動装置 5 0 は、オフ回路 7 に代えて、IGBT 1 a および 1 b を個別にオフさせるオフ回路 5 1 および 5 2 を設ける構成としている。

[0043] オフ回路 5 1 は、N チャンネル型 MOSFET 5 1 a を備え、ゲート信号を与えるドライバ 5 1 b を備えている。同じくオフ回路 5 2 は、N チャンネル型 MOSFET 5 2 a を備え、ゲート信号を与えるドライバ 5 2 b を備えている。また、第 1 実施形態で設けていたダイオード 8、1 1、抵抗 1 0 は設けていない。

[0044] 上記構成を採用することにより、IGBT 1 a および 1 b はそれぞれオン

オフ動作を個別に駆動制御することができる。また、この実施形態においても、第1実施形態と同様の作用効果を得ることができる。

[0045] (第6実施形態)

図10は第6実施形態を示すもので、以下、第1実施形態と異なる部分について説明する。この実施形態では、ゲート駆動装置60は、駆動回路4および5に代えて、駆動回路61および62を設ける構成としている。

[0046] 駆動回路61は、Nチャンネル型のMOSFET61aおよび抵抗61bを直列に接続した構成で、MOSFET61aはドライバ61cからゲート駆動信号が与えられる。同じく、駆動回路62は、Nチャンネル型のMOSFET62aおよび抵抗62bを直列に接続した構成で、MOSFET62aはドライバ62cからゲート駆動信号が与えられる。ドライバ61cおよび62cには、それぞれ駆動制御部6から駆動信号Sg1およびSg2が与えられる。

[0047] この実施形態では、ゲート駆動のためのスイッチング素子として、駆動回路61および62のそれぞれにNチャンネル型MOSFET61a、62aを設けている。IGBT1aおよび1bのゲート駆動においては、MOSFET61aおよび62aをドライバ61c、62cによりフルオン動作するようにハイサイド駆動する。

したがって、このような第6実施形態によっても、第1実施形態と同様の作用効果を得ることができる。

[0048] (第7実施形態)

図11は第7実施形態を示すもので、以下、第1実施形態と異なる部分について説明する。この実施形態では、ゲート駆動装置70は、駆動回路4および5に代えて、駆動回路71および72を設ける構成としている。

[0049] 駆動回路71は、pnp型のバイポーラトランジスタ71aおよび抵抗71bを直列に接続した構成で、トランジスタ71aはドライバ71cからベース電流が与えられる。同じく、駆動回路72は、pnp型のバイポーラトランジスタ72aおよび抵抗72bを直列に接続した構成で、トランジスタ

72aはドライバ72cからベース電流が与えられる。ドライバ71cおよび72cには、それぞれ駆動制御部6から駆動信号Sg1およびSg2が与えられる。

[0050] 駆動回路71および72の各トランジスタ71aおよび72aは、ドライバ71cおよび72cからベース電流が与えられると、飽和領域で動作するように駆動制御される。これによって、スイッチング素子がフルオン状態に制御された状態となる。

したがって、このような第7実施形態によっても、第1実施形態と同様の作用効果を得ることができる。

[0051] (他の実施形態)

なお、本開示は、上述した実施形態のみに限定されるものではなく、その要旨を逸脱しない範囲で種々の実施形態に適用可能であり、例えば、以下のように変形または拡張することができる。

[0052] ゲート駆動形の半導体素子は、IGBT1a、1bに限らず、3個以上のIGBTを設ける構成とすることもできる。

また、ゲート駆動型の半導体素子は、IGBT以外に、MOSFETに適用することもできる。

[0053] スwitchング素子は、Pチャンネル型MOSFET、Nチャンネル型MOSFET、pnp型バイポーラトランジスタ以外に、npn型バイポーラトランジスタを用いることもできるし、他のスイッチング素子を用いることもできる。

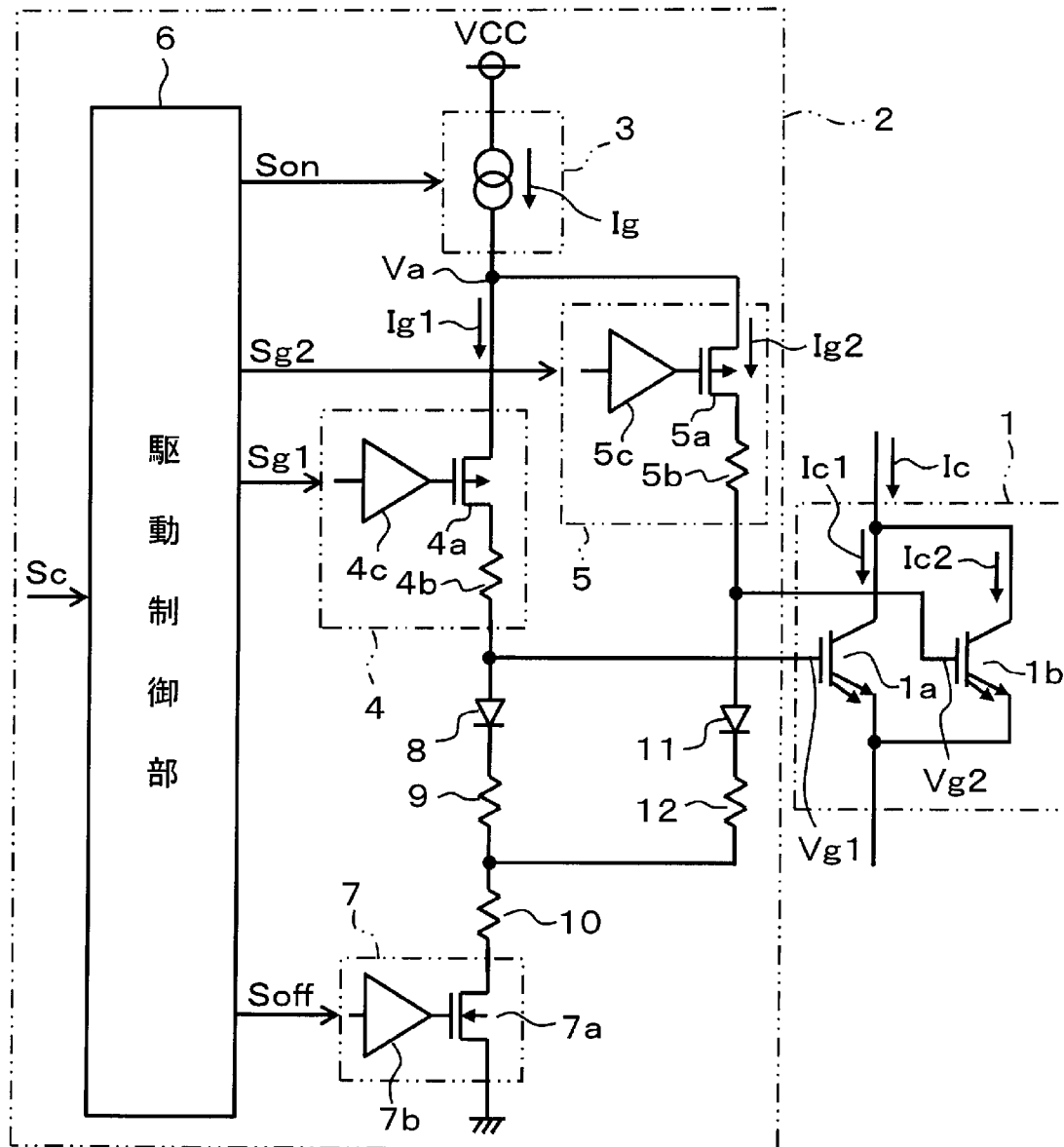
[0054] 第5実施形態のように個別にオフ回路を設ける構成は、第1から第4実施形態、あるいは第6、第7実施形態に適用することができる。

[0055] 本開示は、実施例に準拠して記述されたが、本開示は当該実施例や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

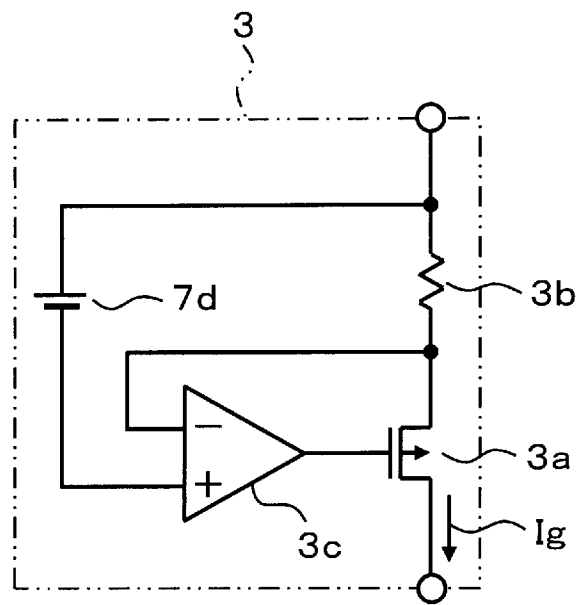
請求の範囲

- [請求項1] 並列接続されたゲート駆動型の複数の半導体素子（1 a、1 b）を駆動するゲート駆動装置であって、
- 前記複数の半導体素子のゲートに定電流を供給する定電流回路（3）と、
- 前記定電流回路から前記複数の半導体素子のそれぞれのゲートに対してゲート電流を給電する経路に設けられる複数のスイッチング素子（4 a、5 a）と、
- 前記複数の半導体素子の各ゲートに対して前記定電流回路により供給される定電流を供給するように前記複数のスイッチング素子を駆動制御する駆動制御部（6）と、
- を備えたゲート駆動装置。
- [請求項2] 前記駆動制御部（6）は、前記複数の半導体素子の駆動時に、前記複数のスイッチング素子をフルオン動作させる請求項1記載のゲート駆動装置。
- [請求項3] 前記複数のスイッチング素子（4 a、5 a）のそれぞれに設けられ、前記複数の半導体素子のゲートに定電圧を供給するフィードバック回路（4 1、4 2）を備える請求項1または2記載のゲート駆動装置。
- [請求項4] 前記定電流回路に定電圧を供給する定電圧回路（3 1）を備えた請求項1または2記載のゲート駆動装置。
- [請求項5] 前記複数のスイッチング素子は、Pチャンネル型のMOSFET（4 a、4 b）である請求項1から4のいずれか一項に記載のゲート駆動装置。
- [請求項6] 前記複数のスイッチング素子は、Nチャンネル型のMOSFET（6 1 a、6 2 a）である請求項1から4のいずれか一項に記載のゲート駆動装置。

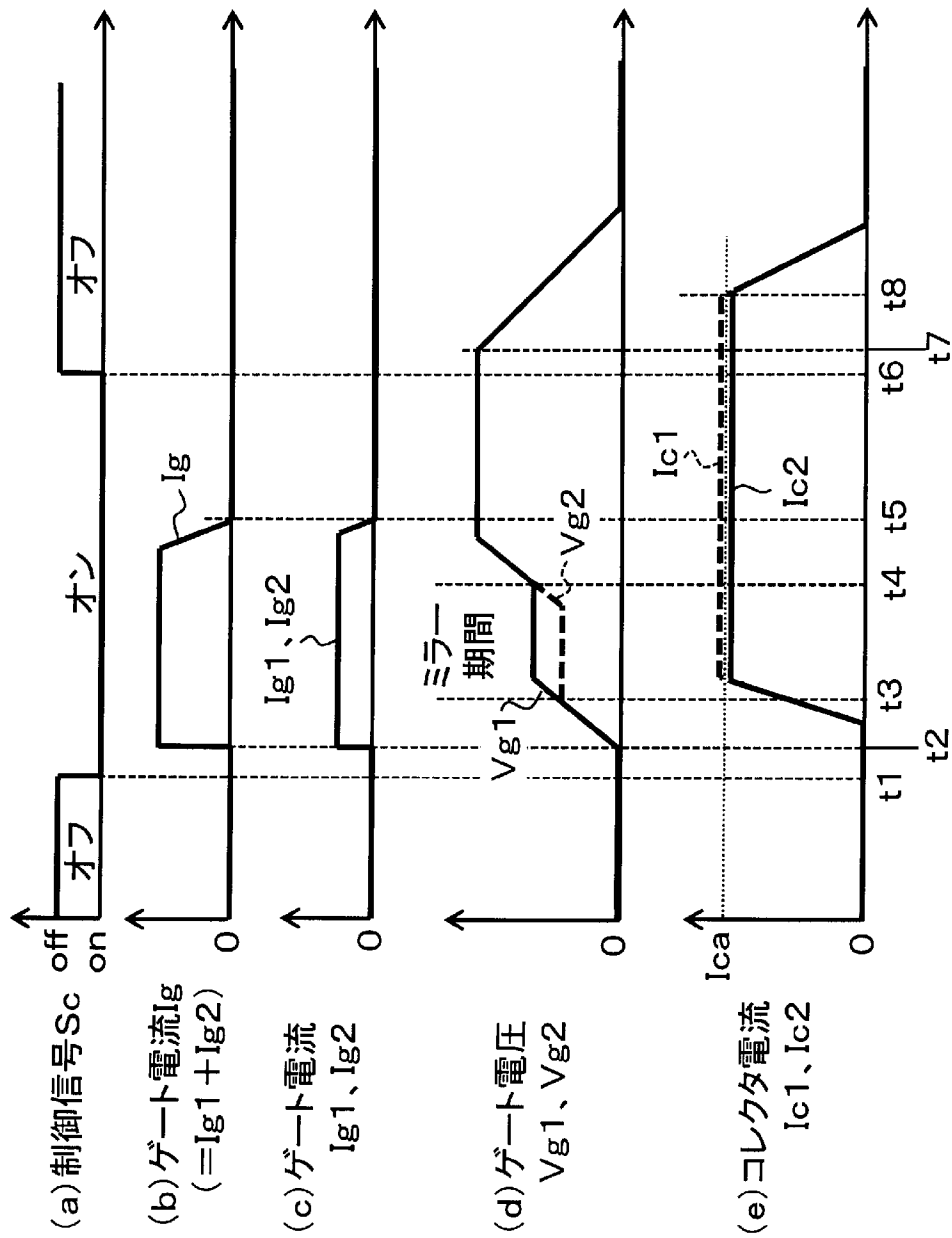
[図1]



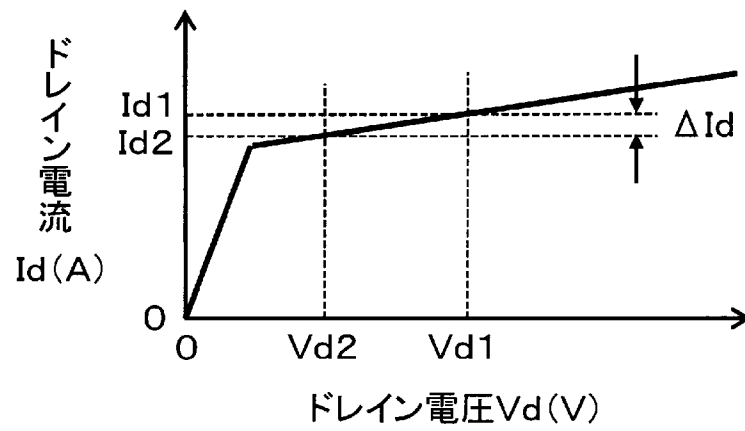
[図2]



[図3]



[図4]



[図5]

$$Id = \frac{1}{2} \beta \cdot \frac{W}{L} \cdot (Vg - Vt)^2 \cdot (1 + \lambda Vd) \quad \cdots (1)$$

$$= K \cdot (1 + \lambda Vd) \quad \cdots (2)$$

$$K = \frac{1}{2} \beta \cdot \frac{W}{L} \cdot (Vg - Vt)^2 \quad \cdots (3)$$

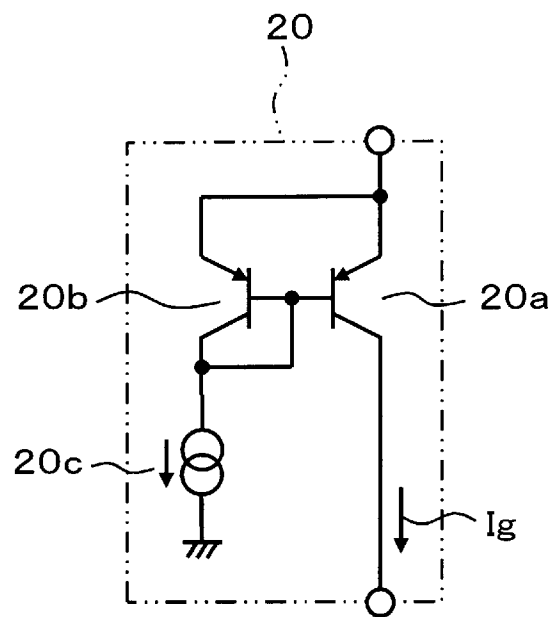
$$\beta = \mu \cdot Co \quad \cdots (4)$$

$$\Delta Id = Id1 - Id2 \quad \cdots (5)$$

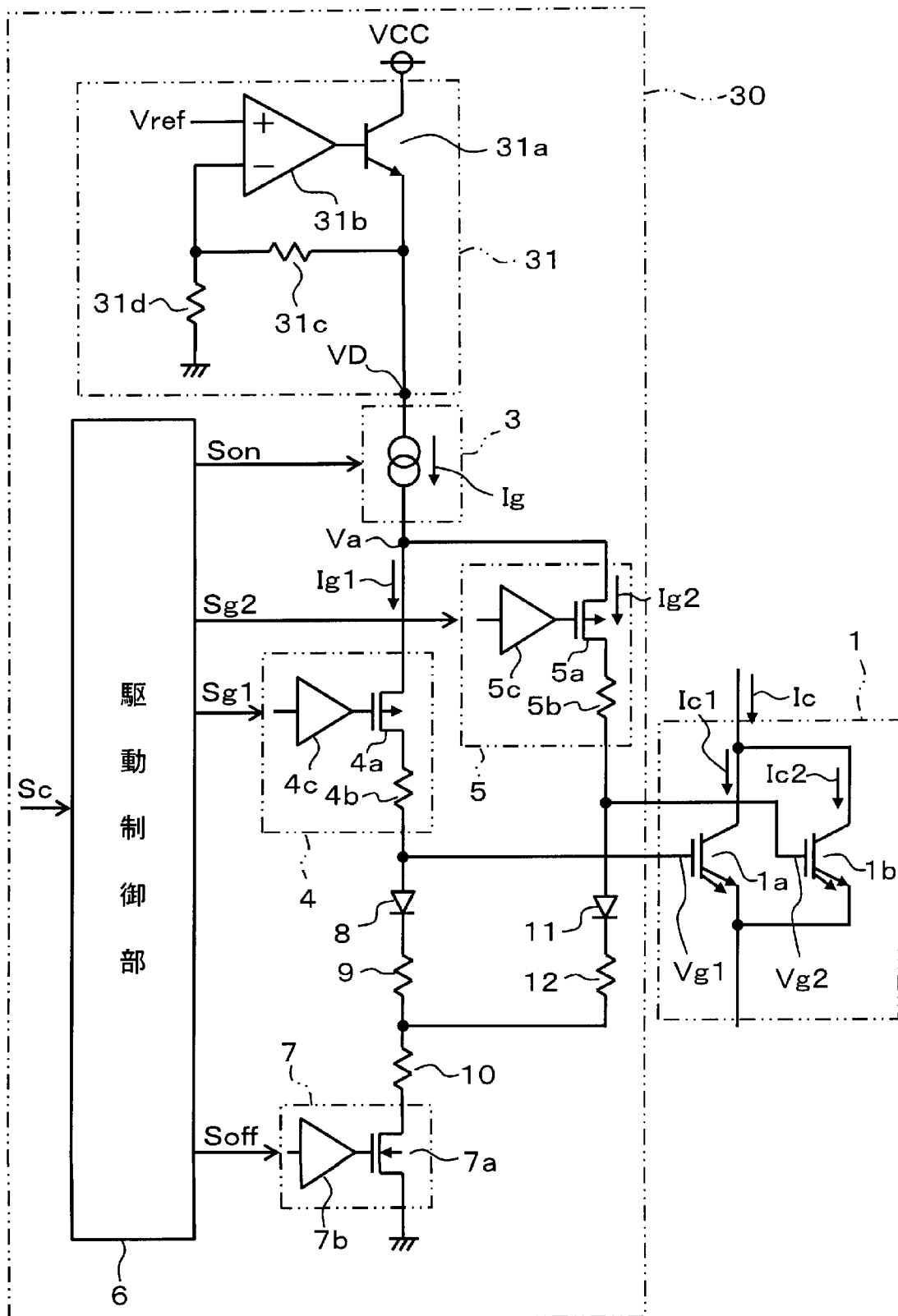
$$= K \cdot (1 + \lambda Vd1) - K \cdot (1 + \lambda Vd2)$$

$$= K \cdot \lambda \cdot (Vd1 - Vd2) \quad \cdots (6)$$

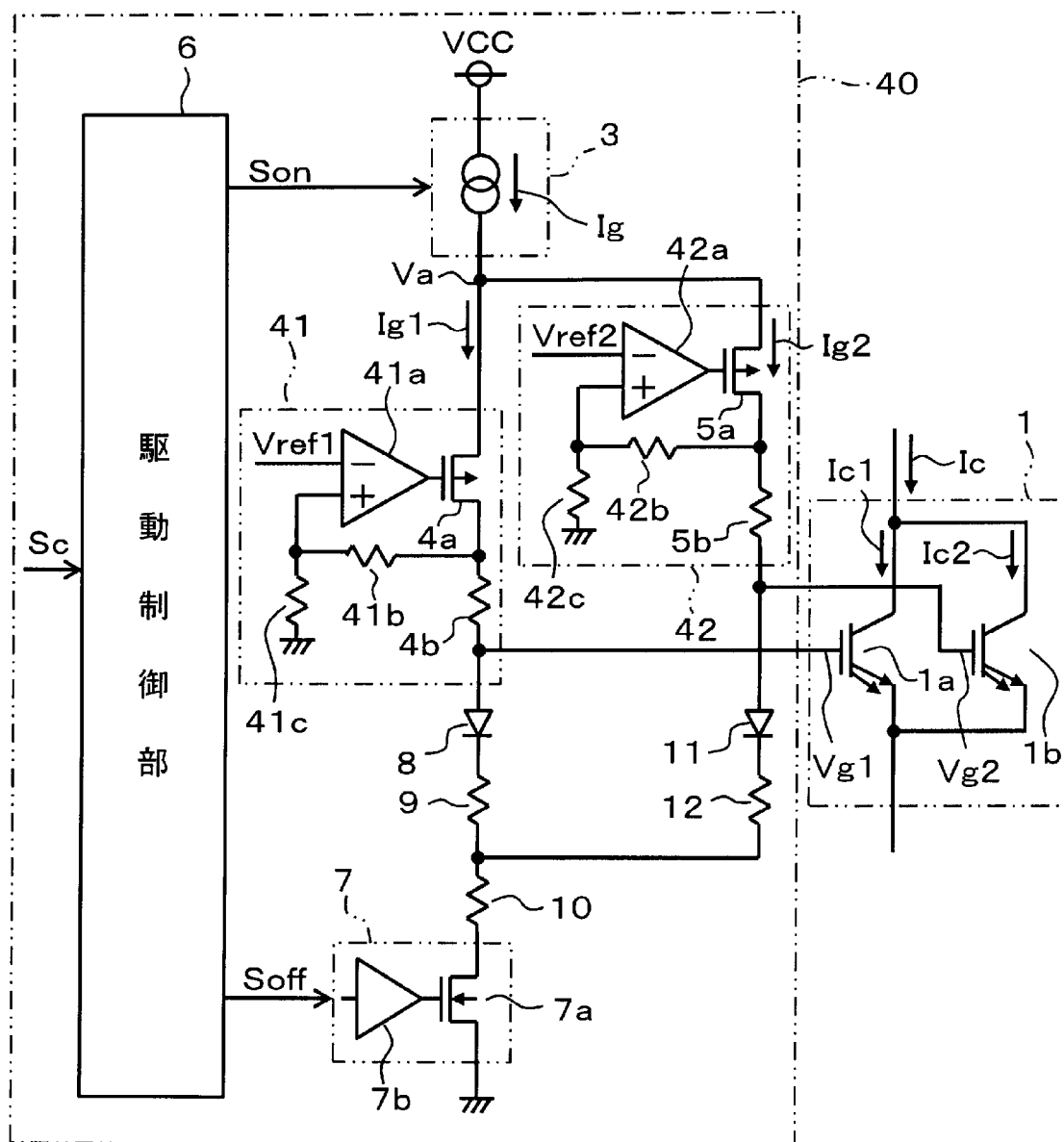
[図6]



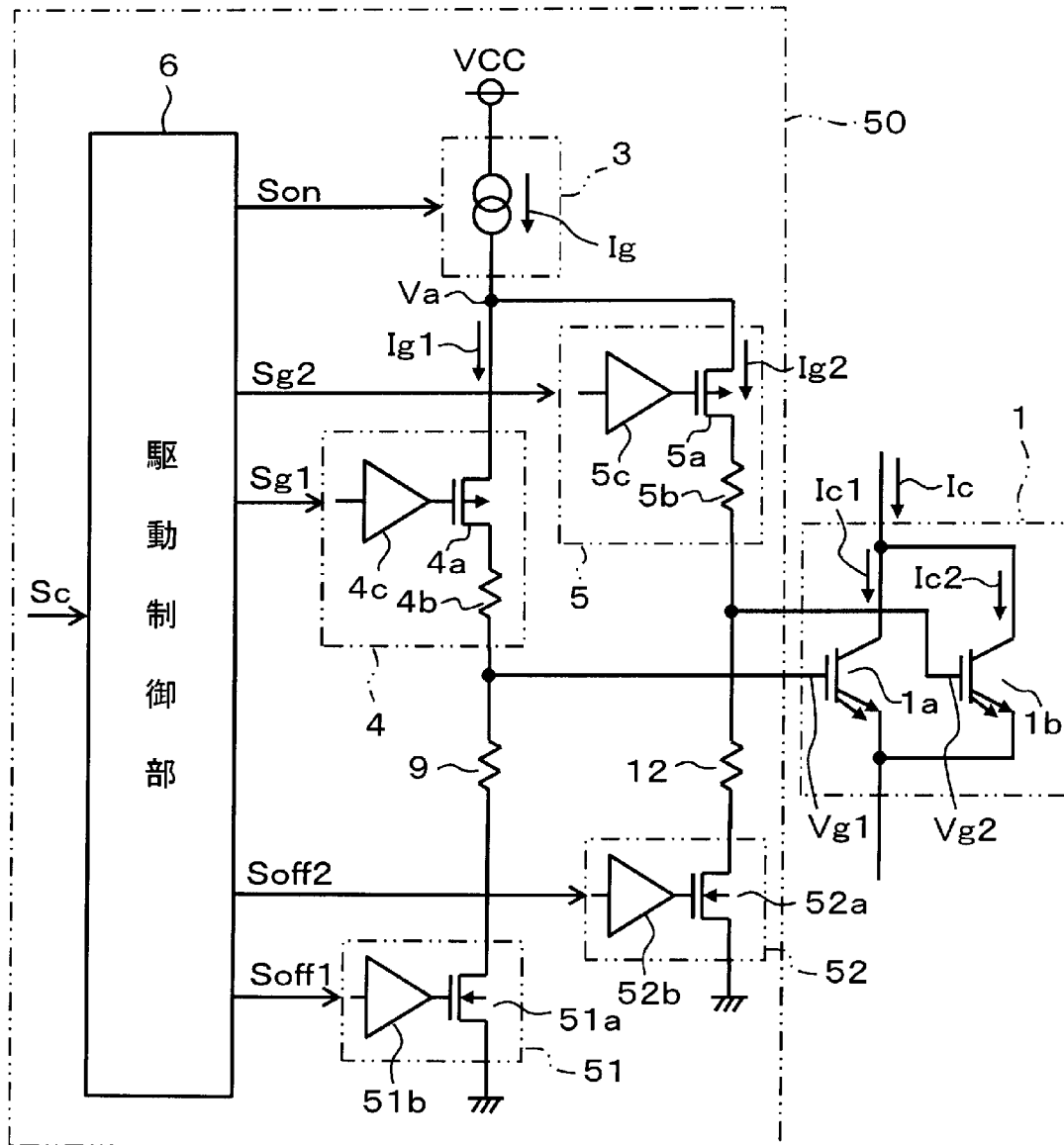
[図7]



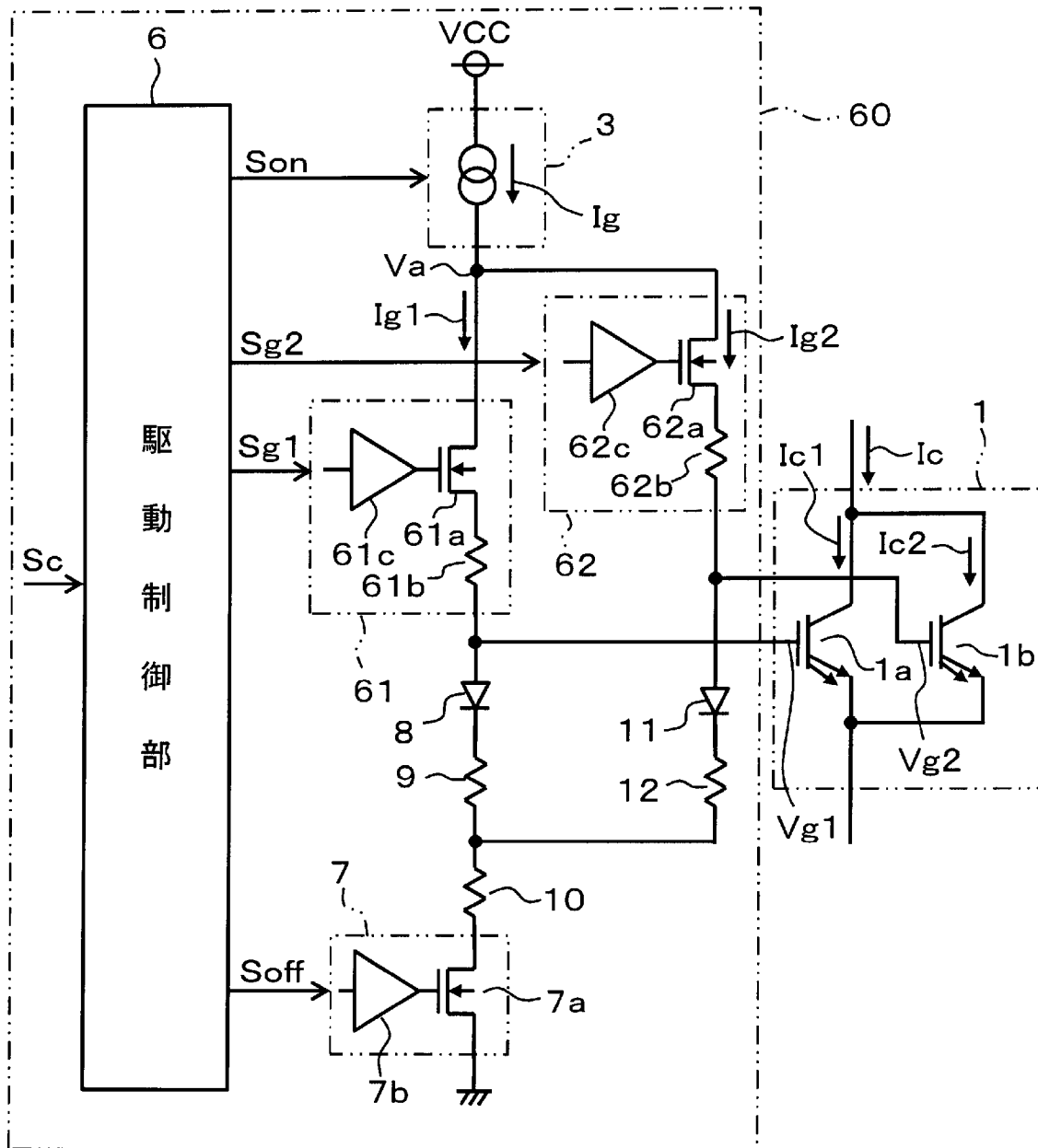
[図8]



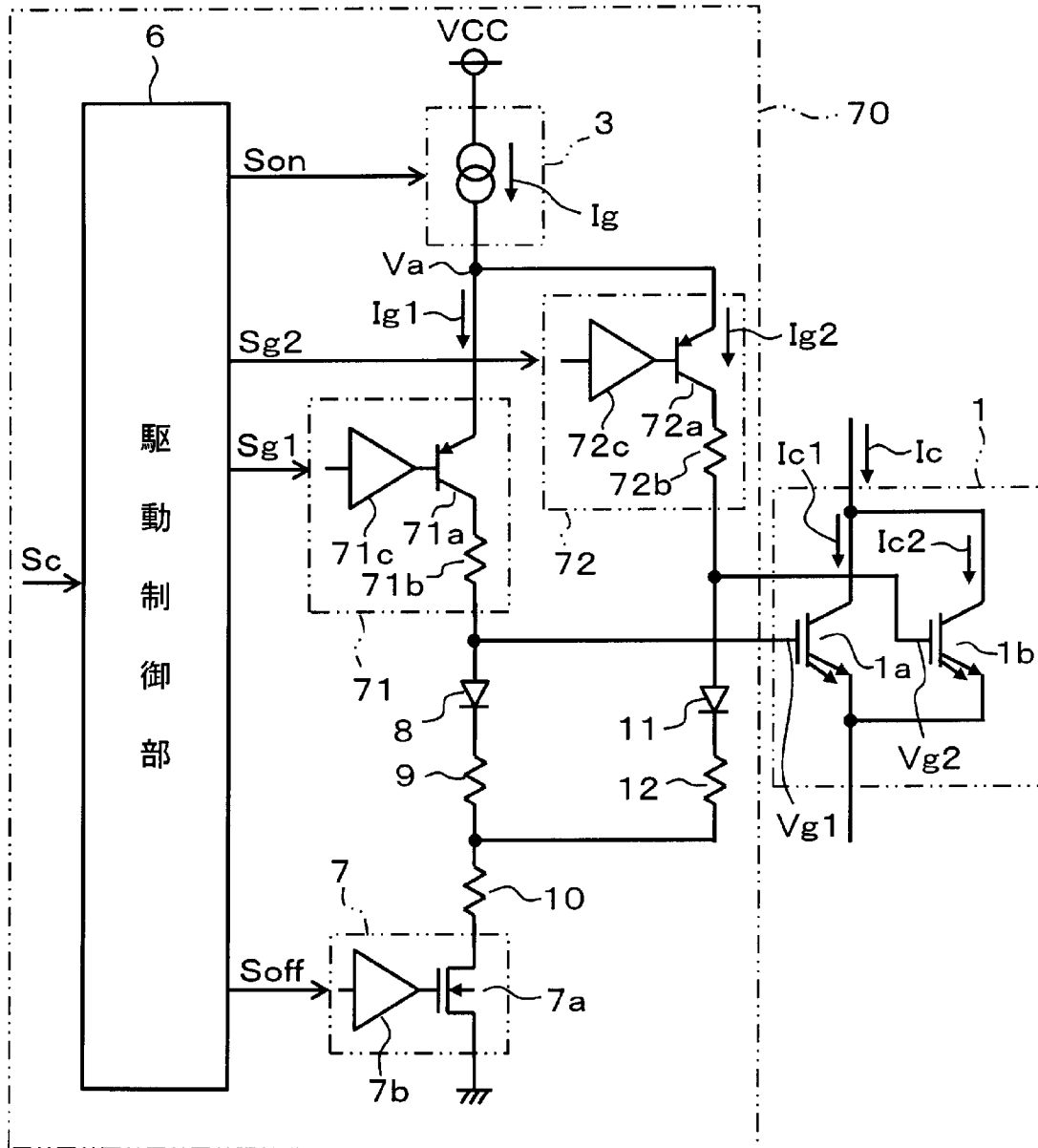
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/036988

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H02M1/08 (2006.01) i, H03K17/06 (2006.01) i, H03K17/56 (2006.01) i, H03K17/687 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H02M1/08, H03K17/06, H03K17/56, H03K17/687

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2017

Registered utility model specifications of Japan 1996-2017

Published registered utility model applications of Japan 1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-143788 A (DENSO CORPORATION) 07 August 2014, abstract & US 2014/0203848 A1, abstract	1-6
A	JP 2002-142445 A (TOSHIBA CORPORATION) 17 May 2002, fig. 10 (Family: none)	1-6
A	JP 2002-369498 A (FUJI ELECTRIC CO., LTD.) 20 December 2002, fig. 8 (Family: none)	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

01 December 2017

Date of mailing of the international search report

12 December 2017

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02M1/08(2006.01)i, H03K17/06(2006.01)i, H03K17/56(2006.01)i, H03K17/687(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02M1/08, H03K17/06, H03K17/56, H03K17/687

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-143788 A（株式会社デンソー）2014.08.07, 要約 & US 2014/0203848 A1, Abstract	1-6
A	JP 2002-142445 A（株式会社東芝）2002.05.17, 第10図（ファミリーなし）	1-6
A	JP 2002-369498 A（富士電機株式会社）2002.12.20, 第8図（ファミリーなし）	1-6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

01.12.2017

国際調査報告の発送日

12.12.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小原 正信

5G

3803

電話番号 03-3581-1101 内線 3526