[19]中华人民共和国国家知识产权局

[51]Int.Cl[6]
H01L 21/824
H01L 21/336 H01L 21/3205

# [12]发明专利申请公开说明书

[21]申请号 99101316.6

[43]公开日 1999年10月6日

[11]公开号 CN 1230780A

[22]申请日 99.1.19 [21]申请号 99101316.6
[30]优先权
[32]98.1.21 [33]US [31]010,081
[71]申请人 西门子公司
地址 联邦德国慕尼黑
共同申请人 国际商业机器公司
[72]发明人 马赛厄斯·伊尔克 乔纳森·福尔特迈耶
雷德希卡·斯里尼瓦森

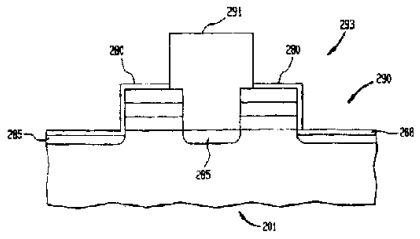
[74]专利代理机构 柳沈知识产权律师事务所
代理人 陶凤波

权利要求书2页 说明书7页 附图页数2页

[54]发明名称 改进的多晶硅－硅化物

[57]摘要

一种用于形成一动态随机存取存储器(DRAM)的方法,该DRAM包括一具有多晶硅－硅化物栅的晶体管,此方法包括:在衬底上形成一氧化物层;在氧化物层之上形成一多晶硅层;和在多晶硅层之上沉积一金属硅化物层,该金属硅化物层是用掺杂剂就地掺杂的,以减少多晶硅和金属硅化物层之间的富金属界面;和给氧化物,多晶硅和金属硅化物层构图以形成栅。




ISSN1008-4274

# 权　利　要　求　书

1. 一种用于形成一动态随机存取存储器(DRAM)的方法，该 DRAM 包括一具有多晶硅－硅化物栅的晶体管，此方法包括以下步骤:

在衬底上形成一氧化物层;

在氧化物层之上形成一多晶硅层；和

在多晶硅层之上沉积一金属硅化物层，该金属硅化物层是用掺杂剂就地掺杂的，以减少多晶硅和金属硅化物层之间的富金属界面；和

给氧化物，多晶硅和金属硅化物层构图以形成栅。

2. 一种包括一多晶硅－硅化物栅的晶体管，包括:

一栅极氧化物层;

一多晶硅层；和

一就地掺杂的金属硅化物，金属硅化物中的掺杂剂减少了多晶硅和金属硅化物层之间的富金属界面。

3. 一种制造半导体器件的方法，包括:

在一衬底上形成一多晶硅层；和

在多晶硅层上沉积一金属硅化物层，该金属硅化物层是用掺杂剂就地掺杂的，以减少多晶硅和金属硅化物层之间的富金属界面。

4. 如权利要求 3 所述的方法，其中掺杂剂是从由 n-型或 p-型掺杂剂组成的组中选择的。

5. 如权利要求 4 所述的方法，其中 n 型掺杂剂是从由砷或磷组成的组中选择的， p 型掺杂剂包括硼。

6. 如权利要求 5 所述的方法，其中多晶硅层包括掺杂剂。

7. 如权利要求 6 所述的方法，其中，多晶硅层中的掺杂剂与金属硅化物层中的掺杂剂属于同一类型。

8. 如权利要求 7 所述的方法，其中，金属硅化物和多晶硅层包括 n 型掺杂剂。

9. 如权利要求 8 所述的方法，其中， n 型掺杂剂包括磷。

10. 如权利要求 9 所述的方法，其中金属硅化物层中的掺杂剂浓度约为 $10^{19} - 5 \times 10^{21}$。

11. 如权利要求 10 所述的方法，其中多晶硅层中的掺杂剂的浓度约为

$10^{19}$ - 5 × $10^{21}$。

12. 如权利要求 11 所述的方法，其中金属硅化物是从包括钨，钼，钽，钛和钴的组中选择的。

13. 如权利要求 12 所述的方法，其中，金属硅化物包括钨。

14. 如权利要求 13 所述的方法，其中，金属硅化物是通过化学气相沉积法(CVD)沉积的。

15. 如权利要求 14 所述的方法，其中，一硅先驱物，一钨先驱物和一掺杂剂先驱物被用于 CVD。

16. 如权利要求 15 所述的方法，其中，硅先驱物是从包括 $SiH_4$, $Si_2H_6$ 或 $SiH_2Cl_2$ 的组中选择的，钨先驱物是从包括 $WF_6$, $WCl_6$ 或 $W[CO]_6$ 的组中选择的，磷先驱物是从包括 $PH_3$ 或 $POCl_4$ 的组中选择的。

17. 如权利要求 16 所述的方法，其中硅化物的沉积是在温度为 450-600 ℃，压力约为 1-5 毛下进行的。

# 说　明　书

## 改进的多晶硅－硅化物

本发明总体上涉及半导体制造，更具体地说，涉及具有多晶硅－硅化物(polycide)栅极的晶体管。

在器件制造中，绝缘，半导电和导电层形成于一衬底上。这些层被构图以产生图形(features)和间隔(spaces)。这些图形和间隔被构图以形成器件，诸如晶体管，电容和电阻。然后将这些器件内部连接以实现一个期望的电子功能，产生一个集成电路(IC)。

为减小表面电阻，一金属氧化物半导体(MOS)晶体管采用一多晶硅－硅化物栅。该多晶硅－硅化物栅包括在重掺杂多晶硅(poly)之上的金属硅化物，比如钨硅化物($WSi_x$)。典型地，该多晶硅掺杂有磷(P)。该多晶硅应包括一高度掺杂浓度以降低其表面电阻。

然而，重掺杂多晶硅之上的金属硅化物存在化学配化的控制问题，表现出一富金属的界面。富金属界面是不期望的，因为它不耐受后续的热过程。结果，该界面被氧化。氧化引起表面粗糙，而且，在某些情况下会引起硅化物薄膜的脱层。传统地，富金属界面的不利影响是通过在重掺杂多晶硅和金属硅化物之间提供一本征(无掺杂)层来避免的。无掺杂多晶硅层的添加增大了栅堆积的高度，增大了栅堆积的高宽比(aspect ratio)。降低基本图形尺寸(groundrule)进一步增大高宽比，会导致工艺(生产)问题。而且，添加无掺杂多晶硅层也会增大栅电阻，它使器件性能降低。避免富金属界面的另一技术是降低多晶硅的掺杂浓度。典型地，多晶硅层磷的浓度应保持在 $10^{20}$ 原子/立方厘米以下。这一技术也会不希望地增大栅电阻。

从上面的描述中可知，希望提供一种具有减小的表面电阻的可靠的多晶硅－硅化物栅。

本发明的目的是提供可形成具有减小的厚度和较低的表面电阻的可靠的栅极导体的一种用于形成 DRAM 的方法、一种包括多晶硅－硅化物栅的晶体管和一种制造半导体器件的方法。

为实现上述目的，本发明一方面提供一种用于形成一动态随机存取存储器(DRAM)的方法，该 DRAM 包括一具有多晶硅－硅化物栅的晶体管，

此方法包括以下步骤：在衬底上形成一氧化物层；在氧化物层之上形成一多晶硅层；和在多晶硅层之上沉积一金属硅化物层，该金属硅化物层是用掺杂剂就地掺杂的，以减少多晶硅和金属硅化物层之间的富金属界面；和给氧化物，多晶硅和金属硅化物层构图以形成栅。

本发明另一方面提供一种包括一多晶硅－硅化物栅的晶体管，包括：一栅极氧化物层；一多晶硅层；和一就地掺杂的金属硅化物，金属硅化物中的掺杂剂减少了多晶硅和金属硅化物层之间的富金属界面。

本发明在一方面提供一种制造半导体器件的方法，包括：在一衬底上形成一多晶硅层；和在多晶硅层上沉积一金属硅化物层，该金属硅化物层是用掺杂剂就地掺杂的，以减少多晶硅和金属硅化物层之间的富金属界面。

根据本发明，减小的厚度和较低的表面电阻是通过在一掺杂多晶硅层之上沉积一就地(insitu)掺杂金属硅化物层来实现的。金属硅化物层中的掺杂剂减少了伴随富金属界面的问题。这允许沉积一金属硅化物层，而不需要一本征罩帽多晶硅层或要求多晶硅具有一较低的掺杂浓度。

通过以下结合附图对优选实施例的详细描述，本发明的上述以及其他目的、特征和优点会更清楚。附图中：

图 1 示出了一说明性的 DRAM 单元；

图 2a-c 显示了本发明的用于形成一多晶硅－硅化物栅叠层的一个实施例。

本发明涉及一种可靠的多晶硅－硅化物栅，它具有减小的表面电阻。为简化本发明的讨论，在上下文中结合一个存储器集成电路(IC)来描述，然而，本发明的覆盖面是很宽的，它适用于一般的集成电路。下面提供了对一 DRAM 单元的描述。

参考图 1，显示了一沟槽电容型 DRAM 单元 100。这样的沟槽电容 DRAM 单元，例如，在 Nesbit 等人的“A 0.6 μ $m^2$ 256Mb Trench DRAM Cell With Self-Aligned Buried Strap(BEST), IEDM 93-627”中描述过，在此参考它来进行描述。尽管显示了一沟槽电容 DRAM 单元，本发明并不局限于此。例如，也可使用一堆积电容 DRAM 单元。典型地，这样的单元的矩阵是通过字线和位线内部连接以形成一 DRAM IC。

例如，DRAM 单元 100 包括一沟槽电容 160，它形成于一衬底 101 中。

沟槽典型地是由多晶硅 161 填充的，多晶硅 161 重(高度)掺杂有具有一第一导电率(如 n 型)的掺杂剂。掺杂的多晶硅用作电容器的一个电极，被称为一“存储节点”。可选择地，一掺杂有第一导电率的掺杂剂的掩埋极板 165 围绕沟槽的底部。掩埋板用作电容器的另一电极。在沟槽的上部是一环状物 168，以减小寄生泄漏。一节点介质 163 将电容的两极板隔开。一包括有第一导电率的掺杂剂的掩埋阱 170 提供来连接矩阵中的 DRAM 单元的掩埋极板。在该掩埋阱之上是一阱 173，它包括有具有一第二导电率的掺杂剂，如 P 型。该 P 型阱包括的掺杂剂浓度足以形成一相反的导电率连接，以降低晶体管 110 的垂直泄漏。

晶体管包括一多晶硅－硅化物栅叠层 112。该栅叠层，有时称之为一“栅导体”(GC)，用作 DRAM 矩阵中的字线。由于字线被连接到电容上，它又被称作“活动字线”。如图所示，该栅叠层包括一多晶硅层 120，它重度掺杂有掺杂剂。在一个实施例中，多晶硅层 120 重度掺杂有磷掺杂剂。也可使用硼(B)或砷(As)掺杂剂。为保持低表面电阻，多晶硅的掺杂剂浓度应足够高。在重掺杂的多晶硅 120 之上提供了一本征多晶硅层 121 和一金属硅化物层 122。本征多晶硅层用作一缓冲层，以避免在硅化物和重掺杂的多晶硅层之间的富金属界面。尽管在后续的热工序中，掺杂剂从重掺杂的多晶硅层扩散到本征多晶硅，在最初的金属硅化物层的沉积期间多晶硅是本征的。在金属硅化物层之上是，例如，一用作刻蚀阻挡层的氮化物层。

与栅极相邻提供有重掺杂扩散区 113 和 114。扩散区包括具有与多晶硅层相同并与阱 173 相反的导电率的掺杂剂。扩散区，例如，重掺杂有 n 型掺杂剂。根据电流流动的方向，扩散区 113 和 114 分别称作“漏极”或“源极”。用在这里，术语“漏极”和“源极”是可互换的。晶体管和电容间的连接是通过一扩散区 125 来实现的，称之为“节点扩散”。

一浅沟槽隔离(STI)180 被提供来将 DRAM 单元从其它单元或器件中隔离开。如图所示，一字线 120，形成于沟槽之上并由 STI 与其隔开。字线 120 被称作“传输字线”，因为它没有与 DRAM 单元电连接。这种结构被称为一折叠位线结构。其它结构，包括打开和打开折叠结构也是可用的。

一层间介质层 189 形成于字线之上。一导电层，代替一位线，形成于层间介质层之上。在层间介质层中提供了一位线接触开口 186，以使源极 113 与位线 190 接触。

如前所述，在重掺杂多晶硅和硅化物层间使用多晶硅缓冲层增加了栅叠层的厚度。这个增加的厚度是不希望的，因为它产生了较高的高宽比图形，产生了工艺困难。

图 2a-c 显示了根据本发明形成一多晶硅－硅化物栅叠层的工艺。参考图 2a，显示了代表一 IC 的一部分的衬底的横截面。这样一个 IC，例如，是一存储器 IC，它包括一随机存取存储器(RAM)，一动态 RAM(DRAM)，一同步 DRAM(SDRAM)，一静态 RAM(SRAM)和一只读存储器(ROMS)。该 IC 可以是一逻辑器件，如一可编程逻辑矩阵(PLA)，一专用 IC(ASIC)，一合并 DRAM 逻辑 IC(嵌入 DRAM)或任何其它逻辑器件。

典型地，多个 IC 并行制造一个半导体衬底之上，如一硅片。处理之后，该片被切割成小片以便将 IC 分成多个独立的芯片。这些芯片接着被包装成最终产品以便使用，例如，用户产品诸如计算机系统，办公设备包括复印机，打印机，以及传真系统，峰窝电话，个人数字辅助器(PDA)和其它电子产品。

衬底 201 是，例如，一硅片。其它衬底如硅位于绝缘体之上(SOI)，硅位于蓝宝石之上(SOS)，锗，砷化镓，和 III-V 族化合物也可采用。在一个实施例中，衬底轻度掺杂有具有一第一导电率的掺杂剂。尽管所示衬底没有包括其它器件层器件图形，这里所用术语“衬底”可理解为包括一衬底，其上具有一个或更多个器件层和器件图形。在一个实施例中，衬底轻掺杂有 P 型掺杂剂($p^-$)，如硼。硼的浓度约为 $1.5 \times 10^{16}$ 原子/立方厘米。

衬底，例如，包括多个形成于其中的沟槽电容(未显示)。沟槽电容，例如，为图 1 中所描述的。在一个实施例中，沟槽电容用作 n 沟道 DRAM 单元的存储电容。掩埋的 n 阱提供来将电容的 n 型掩埋极板连接在一起。p 阱提供来用于 n 沟道 DRAM 存取晶体管。p 阱的浓度约为 $5 \times 10^{17} - 8 \times 10^{17} cm^{-3}$。另外，n 型阱提供来用于 P 沟道晶体管，如那些包括在支持电路中的。如有必要，其它扩散区可能提供在衬底中。

在此工序中，衬底包括一平面表面 210。一牺牲氧化物层(未显示)形成于该表面之上。该牺牲氧化物层用作一屏蔽氧化物，用于注入离子以调整后续形成的晶体管的栅极域值电压($V_t$)。$V_t$ 调整注入物，例如，采用传统的光刻与掩模技术以有选择地将掺杂剂注入栅极的沟道区域。这种技术包括在屏蔽氧化物层之上沉积一光致抗蚀剂层，并用一暴光源和掩模有选择地

暴露它。根据所用的是正或负抗蚀剂，在有选择地暴露衬底以下区域的过程中，或是暴露或是未暴露的抗蚀剂层被移去。接着暴露区被注入离子以实现期望的 $V_t$。

在 $V_t$ 注入之后，抗蚀剂和屏蔽氧化物层被，例如，湿腐蚀移去。接着一薄氧化物层 220 形成于衬底表面之上。氧化物层用作栅极氧化物。在一个实施例中，栅极氧化物是通过热氧化产生的。栅极氧化物的厚度是，例如，约 6-10nm 。

一多晶硅层 230 沉积于栅氧化物之上。多晶硅层是通过，例如，化学气相沉积(CVD)来沉积的。另外，一非晶硅层可用于替代多晶硅。典型地，多晶硅层包括掺杂剂以降低它的电阻率。这样的掺杂剂，例如，包括磷(P)，砷(As)或硼(B)。此多晶硅层可在它形成中或之后掺杂。在 CVD 工序中混合掺杂剂称为就地掺杂。

在一个实施例中，多晶硅层掺杂有 P 掺杂剂。多晶硅是就地掺杂。 P 掺杂剂的浓度约为 $10^{19}$ - 5 × $10^{21}$ 原子/立方厘米，最好约为 $10^{20}$-$10^{21}$ 原子/立方厘米，更好约为 5 × $10^{20}$。多晶硅在一 CVD 反应器中沉积，温度约为 600-650 ℃，压力约为 100-180 毛，使用 $SiH_4$ 作为硅先质， $PH_3$ 作为一 P 掺杂剂源。掺杂的多晶硅的厚度约为 10-200nm ，最好为 40-150nm ，更好为 50-100nm 。当然，实际厚度可随各种因素而变化。例如，对工作功能目标要求一最小厚度，这取决于设计要求。这个最小厚度，在某些情况下，可低于 10nm 。

参考图 2b ，一金属硅化物层 240 沉积于多晶硅层 230 之上。该金属硅化物包括，例如，硅化钨($WSi_x$)，硅化钼($MoSi_x$)，硅化钽($TaSi_x$)，硅化钛($TiSi_x$)，硅化钴($CoSi_x$)或其它金属硅化物。根据一个实施例，该金属硅化物包括掺杂剂，它是 $p^-$或 $n^-$型。这种掺杂剂包括，例如 P 、 As 或 B 。在此例中，掺杂剂类型与用作掺杂多晶硅层 230 的掺杂剂相同。典型的金属硅化物层的浓度约为 $10^{19}$ - 5 × $10^{21}$ 原子/厘米 $^3$，最好为 $10^{20}$ - $10^{21}$ 原子/厘米 $^3$，更好为 5 × $10^{20}$ 原子/厘米 $^3$。就地掺杂的金属硅化物潜在地增加了它以其非晶(不定形)态沉积的趋势。以其非晶态沉积金属硅化物增加了薄膜的晶粒尺寸，从而降低了它的电阻。

就地掺杂的金属硅化物是通过用于沉积一无掺杂金属硅化物薄膜的传统 CVD 技术沉积的。一掺杂剂源被包括在 CVD 工序中以提供沉积的膜的

就地掺杂。

在一个实施例中，掺杂的金属硅化物层包括有 P 掺杂的 $WSi_x$。 $WSi_x$ 是就地掺杂的。 P 掺杂剂的浓度约为 $10^{19}$ - 5 × $10^{21}$ 原子/厘米 $^3$，最好为 $10^{20}$-$10^{21}$ 原子/厘米 $^3$，更好约为 5 × $10^{20}$ 原子/厘米 $^3$。沉积的金属硅化物的厚度约为 50-200nm，最好约为 80nm。当然，实际厚度可依据设计和参数而变化。

传统的 W, Si 和掺杂剂先驱物被采用来形成掺杂的 $WSi_x$ 膜。传统的硅先驱物包括，例如，硅烷($SiH_4$)，乙硅烷($Si_2H_6$)或二氯甲硅烷($SiH_2Cl_2$)； W 先驱物包括六氟化钨($WF_6$)，六氯化钨($WCl_6$)，或六羰基化钨($W[CO]_6$)。磷化氢($PH_3$ 或 $POCl_4$)，例如，用于提供 P 掺杂剂源。在一个实施例中， $PH_3$ 被加入到 $WF_6$ 和 $SiH_4$ 以形成掺杂有 P 的 $WSi_x$ 膜。先驱物被引入一 CVD 反应器，如由位于 Santa Clara, CA 的 Applied Materials 制造的一 Centura CVD 反应器。 CVD 工序的典型的温度和压力分别约为 450-600 ℃和 1-5 乇。最好温度约为 550 ℃，压力约为 1.5 乇。

在沉积过程中向金属硅化物膜添加掺杂剂减少了富金属界面的形成。尽管用于减少富金属界面的机理并不表楚，但可以相信掺杂剂能提高金属的反应率。例如， $WF_6$ 反应率被提高。由于掺杂剂是在沉积工序中加入的，在整个沉积过程(工序)中 $WF_6$ 反应的效率被提高。因此， W 被相对均匀地分布于整个 $WSi_x$ 膜，避免了一富金属界面。

在一重掺杂层之上一沉积－金属硅化物薄膜而没有富金属界面的能力允许在一重掺杂层上沉积金属硅化物薄膜，而不需要本征盖帽多晶硅层。这在当生产具有较低高宽比的栅叠层时极为有利，特别是基本图形尺寸(groundrule)较小时。而且，可实现较低的电阻，增大器件性能。

而且，由于使用了一掺杂的硅化物层，多晶硅层可以是无掺杂的。一无掺杂非晶硅可用来替代多晶硅。无掺杂多晶硅或非晶硅的厚度可以是，例如，约 20-50nm。

在后续工序中的热暴露引起金属硅化物或多晶硅层中的掺杂剂的扩散。可选择地，进行退火以扩散各层中的掺杂剂。退火被设计来提高或优化薄膜特性。该退火，例如，是在约 1000 ℃的温度，大气压下进行的。退火的环境包括，例如，氧($O_2$)，氩(Ar)，或氮($N_2$)。 在多晶硅层包括的掺杂剂浓度低于硅化物层的情况下，退火增大了多晶硅层中的掺杂剂的掺杂浓

度。通过提供一用作掺杂剂源的掺杂的硅化物层，多晶硅层的掺杂剂浓度可低于引起富金属界面的掺杂剂浓度。栅叠层的多晶硅层可包括一较高的掺杂剂浓度而不会增加它的厚度，以避免一富金属界面。结果，提供了一种具有低表面电阻的栅叠层。

在金属硅化物之上形成了一刻蚀阻挡层，用于后续的处理。该蚀刻阻挡层，例如，包括氮化硅。

参考图 2c，栅堆积层被构图以形成栅极导体 280。栅极导体的构图是使用传统的光刻和腐蚀技术实现的。这种技术包括沉积一抗蚀剂层并用暴光源和掩模有选择地暴露该抗蚀剂层。显影之后部分抗蚀剂被移去，剩下部分栅叠层未保护。栅堆叠层的未保护部分是通过，例如，一活性离子刻蚀移去。

间隔层(未显示)可被选择形成于栅极导体的侧壁。在间隔层形成之后，注入掺杂剂以形成与晶体管的栅极相邻的扩散区。间隔层限定了扩散区的层下扩散，降低了覆盖电容。

一氮化物层 288 被沉积于衬底的表面，用作一迁移离子阻挡层和用于形成无边界的字线接触的蚀刻停止层。一介质层 290 形成于器件结构之上，以提供导电层 293 和栅极导体之间的绝缘。介质层也用作一保护层以使器件结构与杂质，潮湿和擦伤绝缘。介质层，例如，包括掺杂磷的二氧化硅，如磷硅化物玻璃(PSG，phosphosilicate glass)或硼磷硅化物琉璃(BPSG，borophosphosilicate glass)。

接触点 291 形成于介质层中，在导电层和一下层导电区 285 间进行内部连接。导电层，例如，表示 DRAM 芯片的一位线。

参考各种实施例对本发明进行了特别的显示和描述，对本领域的技术人员来说可不脱离本发明范畴地对本发明进行改进和变化。因此本发明的范畴不应由以上描述确定，而应参考所附权利要求及它们的等同物范畴确定。

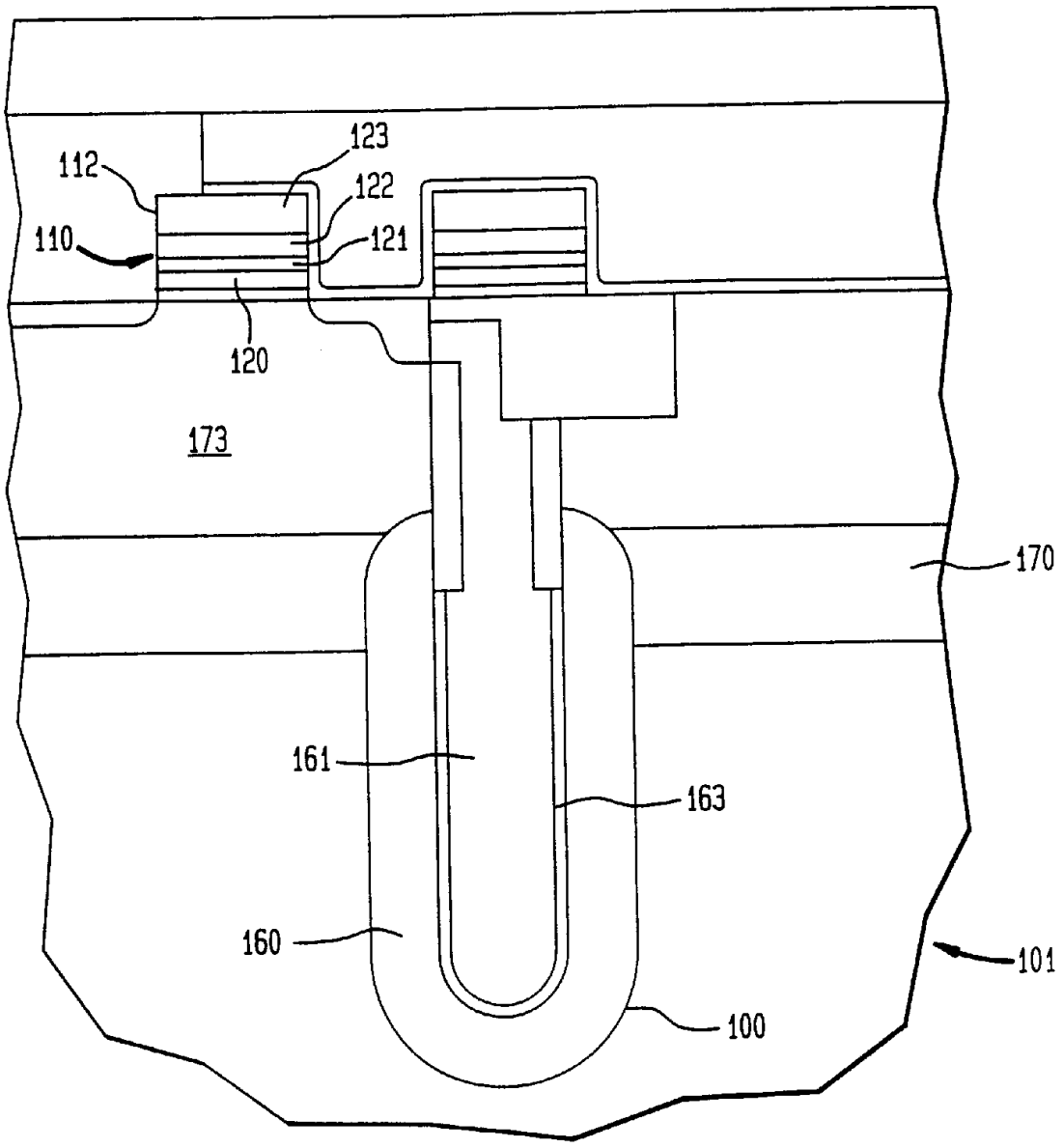



图 1

图 2a

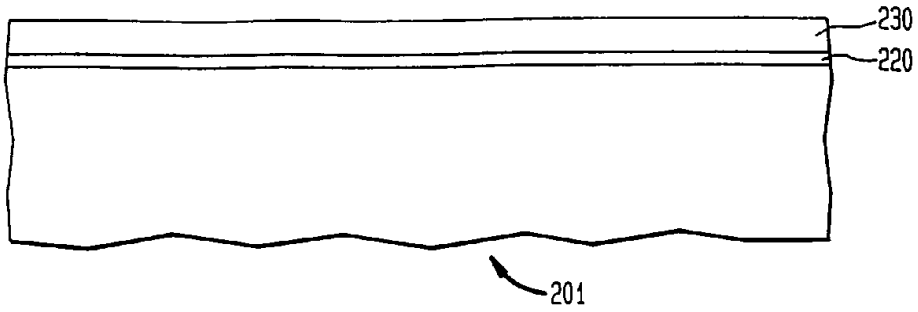

230
220
201

图 2b

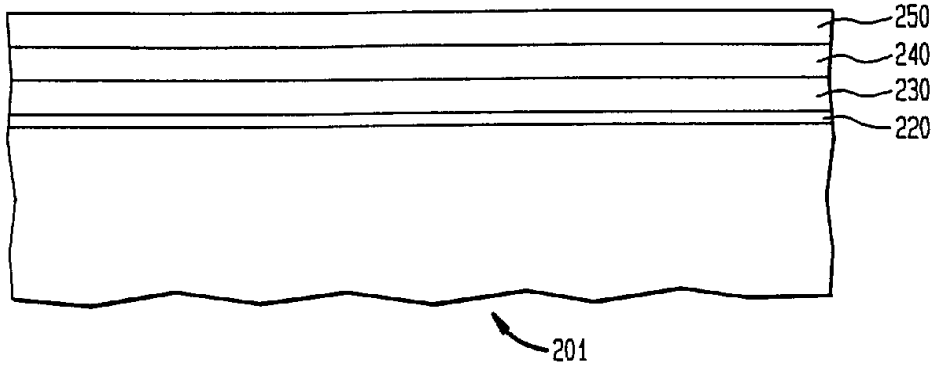
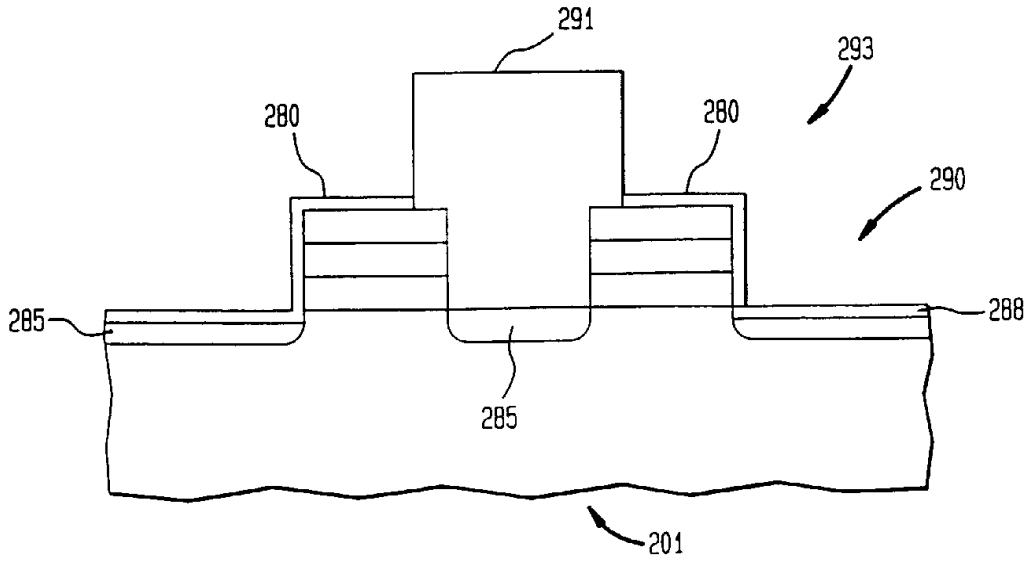

250
240
230
220
201

图 2C


291
293
280
280
290
285
288
285
201