

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4841807号
(P4841807)

(45) 発行日 平成23年12月21日(2011.12.21)

(24) 登録日 平成23年10月14日(2011.10.14)

(51) Int.Cl.	F 1
HO 1 L 23/00	(2006.01) HO 1 L 23/00 A
GO 6 K 19/07	(2006.01) GO 6 K 19/00 H
HO 1 L 27/04	(2006.01) HO 1 L 27/04 F
HO 1 L 21/822	(2006.01) HO 1 L 29/78 6 1 3 Z
HO 1 L 29/786	(2006.01)

請求項の数 8 (全 19 頁)

(21) 出願番号	特願2004-55466 (P2004-55466)
(22) 出願日	平成16年2月27日 (2004.2.27)
(65) 公開番号	特開2005-244132 (P2005-244132A)
(43) 公開日	平成17年9月8日 (2005.9.8)
審査請求日	平成19年2月14日 (2007.2.14)

(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(72) 発明者	荒井 康行 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	秋葉 麻衣 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	神野 洋平 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	館村 祐子 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】薄膜集積回路及び薄型半導体装置

(57) 【特許請求の範囲】

【請求項 1】

40 nm ~ 170 nm の膜厚を有する半導体膜を含む薄膜トランジスタを有する薄膜集積回路であって、

前記薄膜トランジスタの作製過程において、前記薄膜トランジスタが有する前記半導体膜、ゲート電極、配線、ゲート絶縁膜、及び層間絶縁膜のいずれか一を用いて、文字、図形、記号もしくは数字又はこれらの結合が形成された識別情報が形成され、

前記識別情報は、前記薄膜集積回路内に一体形成されており、

前記識別情報及び前記薄膜集積回路は、透光性を有することを特徴とする薄膜集積回路。

【請求項 2】

40 nm ~ 170 nm の膜厚を有する半導体膜を含む薄膜トランジスタを有する薄膜集積回路であって、

前記薄膜トランジスタの作製過程において、前記薄膜トランジスタが有する前記半導体膜に対して、レーザーマーカーを照射し、前記レーザーマーカーが照射された領域と、前記レーザーマーカーが照射されない領域とがマトリクス状に配置された識別情報が形成され、

前記識別情報は、前記薄膜集積回路内に一体形成されており、

前記識別情報及び前記薄膜集積回路は、透光性を有することを特徴とする薄膜集積回路。

【請求項 3】

請求項 1 又は請求項 2 において、前記薄膜集積回路は 5 mm 四方以下であることを特徴とする薄膜集積回路。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一において、前記半導体膜は、水素濃度又はハロゲンの濃度が $1 \times 10^{-9} \sim 5 \times 10^{-2}$ / cm³ であることを特徴とする薄膜集積回路。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一において、前記薄膜集積回路は同一基板上に形成されたアンテナを有することを特徴とする薄膜集積回路。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一において、前記薄膜集積回路は絶縁基板上に形成され、後に前記絶縁基板は剥離されたことを特徴とする薄膜集積回路。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一に記載の薄膜集積回路と、前記薄膜集積回路に接続された表示手段とを有することを特徴とする薄型半導体装置。

【請求項 8】

請求項 7 において、前記表示手段は、エレクトロクロミック材又は強誘電性液晶材を有することを特徴とする薄型半導体装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、集積回路が破壊、偽造等されたときであっても、情報を読み出すことができる薄膜集積回路及び当該薄膜集積回路を有する薄型半導体装置に関する。

【背景技術】

【0002】

近年、シリコンウェハから形成されるチップを実装した商品を見かける機会が増えてきた。シリコンウェハから形成されるチップにより、多様な情報を記録でき、消費者等へ提供することができるようになっている。

【0003】

このようなチップは、磁気カード、バーコードなどとは異なり、記憶されているデータを物理的方法により読み取られる恐れがなく、またそのデータが改ざんされにくいという点で優れている。

【0004】

また偽造防止対策として、カード基材に複数の情報点を配置し、この情報点の組み合わせが個々のICチップを特定する情報を有したものがある（例えば、特許文献1参照）。特許文献1には、IC破壊時等でもICカードを正確に識別でき、不正に偽造されたICカードを排除できることが記載されている。

【0005】

またメモリ内容が破壊・改ざんされてもデータの再生・復旧が可能なICカードを提供することを目的として、ICモジュール、データ表示部により構成されるICカードが提案されている（特許文献2参照）。特許文献2によると、データ表示部は非電気的に、目視可能なように記録できる表示部であり、ICモジュールのメモリの内容が読み取り不能、あるいは、破壊されたとしてもデータ表示部に表示することができ、内容チェックを行うことができると記載されている。

【特許文献1】特開2000-113155号公報

【特許文献2】特開平7-311826号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

上記特許文献1には、情報点を形成し、情報点の組み合わせが個々のICチップを特定

20

30

40

50

する情報を有していることが記載されている。そして情報点として、センサーにて識別可能な材料をパターン状に設け、例えば基材シート状に塗工、電子写真法、インクジェット、等により情報列を設けた後、I Cカード内に電子部品とともに成形一体化して収めることができが記載され、情報点はI Cチップと別途形成していることがわかる。このようにI Cチップ以外に情報点を形成すると、情報点の凹凸や有色性により視認されやすく、さらに商品のデザイン性が低下してしまう。

【0007】

そこで本発明は、上記特許文献とは異なる手段により識別情報を形成する方法を提供することを課題とする。

【0008】

また上記特許文献2と異なり、識別情報を有する集積回路を前提とし、破壊時等でも集積回路の情報が読み出せる手段を提供することを課題とする。

【課題を解決するための手段】

【0009】

上記課題を鑑み本発明は、0.2μm以下代表的には40nm～170nm、好ましくは50nm～150nmの半導体膜を能動領域として有する薄膜集積回路（以下IDFチップとも表記する）を形成し、当該IDFチップの作製過程においてIDFチップ内に識別を行うことを可能とする情報源（以下、識別情報と表記する）を形成することを特徴とする。また識別情報は、文字、図形、記号もしくは数字又はこれらの結合を形成し、当該文字、図形、記号もしくは数字又はこれらの結合により構成されることを特徴とする。

【0010】

識別情報を形成する手段は、半導体膜、絶縁膜、又は導電膜等のパターンを用いたり、当該パターンや基板の一部にレーザーマーカーにより捺印（マーキング）する方法がある。このように本発明の識別情報は、IDFチップの内部に一体形成することができる。その結果、識別情報を有するIDFチップを、物品へ実装することができる。また本発明のIDFチップは薄型であるため、実装物品においてIDFチップを視認することは難しい。このようなIDFチップは第三者に改ざんされ難く、さらにIDFチップ内に形成する識別情報を改ざんすることは不可能となり、セキュリティを高めることができる。

【0011】

また識別情報は、図形等の模様を使用してもよく、微少なドットの組み合わせをコード化したものより構成することができる。このように図形等を、2次元的に組み合わせて配列させてコード化した識別情報は、所定の微少範囲で形成することができ、より多くの情報を有することができる。

【0012】

さらに本発明は、当該薄膜集積回路を有する薄型半導体装置において、目視できる表示手段を設けることを特徴とする。表示手段は、メモリ性を有するとよく、例えばエレクトロクロミック材、強誘電性液晶材を使用することができる。

【0013】

また上述のようにIDFチップは非常に薄型の半導体膜を有するように形成されるため、シリコンウェハから形成されるチップと比較して、薄型化を達成することができる。具体的なIDFチップの厚みは0.3μm～3μm、代表的には2μm程度となり、飛躍的に薄くすることができる。

【0014】

さらに本発明のIDFチップは絶縁表面を有する基板（以下、絶縁基板と表記する）上に形成されるため、シリコンウェハから形成されるチップと異なり、透光性を有することを特徴とする。そのため、IDFチップの作製過程において形成された識別情報は、目視で認識されることができない。すなわち識別情報は、透光性を有する、又は微細である。その結果、第三者が識別情報を改ざんすることは困難となり、セキュリティ性を高めることができる。

【0015】

10

20

30

40

50

さらに本発明のIDFチップはフレキシブル性を有する基板（以下、フレキシブル基板とも表記する）へ形成してもよい。フレキシブル基板へ形成するため、シリコンウェハから形成されるチップと比較して、高いフレキシブル性を有し、更に軽量化を達成することができる。

【発明の効果】

【0016】

このように本発明の識別情報は、IDFチップの内部に一体形成することができるため、IDFチップが第三者に改ざんされ難く、さらにIDFチップ内に形成する識別情報を改ざんすることは不可能となり、セキュリティを高めることができる。

【0017】

また本発明の識別情報は、IDFチップと一体形成することができるため、識別情報により、実装物品のデザイン性を低下させることができない。また識別情報が形成されたIDFチップは透光性を有するため、IDFチップにより、実装物品のデザイン性を低下させることがない。

【0018】

また本発明のIDFチップは、シリコンウェハから形成されたチップと比較して非常に薄型となるため、物品へ実装してもデザイン性を低下させることができない。このような薄膜、軽量、フレキシブル性の高いIDFチップは、シリコンウェハから形成されるチップと比較して、破損しにくい。

【0019】

さらに本発明のIDFチップは絶縁基板上に形成するため、円形のシリコンウェハから形成されたチップと比較して、母体基板形状に制約がない。そのため、IDFチップの生産性を高め、大量生産を行うことができる。その結果、IDFチップのコストの削減が期待できる。単価が非常に低いIDFチップは、単価コストの削減により非常に大きな利益を生むことができる。

【発明を実施するための最良の形態】

【0020】

以下に、本発明の実施の形態を図面に基づいて説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【0021】

（実施の形態1）

本実施の形態では、識別情報及び表示部を有する薄型半導体装置の利用形態について説明する。なお本実施の形態では、薄型半導体装置としてIDFチップを搭載したカード（以下、IDFカードと表記する）を用いて説明する。

【0022】

図5（A）には、絶縁基板11上に、識別情報を有するIDFチップ10、アンテナ12、及び表示手段13が設けられている。IDFチップ、及びアンテナの構成及び作製方法は、以下の実施の形態を参照すればよい。

【0023】

表示手段には、エレクトロクロミック材を用いることができる。エレクトロクロミック材は、メモリ性を有するため表示手段のみを単体で使用することができる。またエレクトロクロミック材は、対向する電極層間に狭持させて表示を行う。さらに対向する電極間に、固体電解質層を積層させてもよい。なお電極は、透明導電膜により形成する必要がある。透明導電膜としては、例えはインジウム錫酸化物（ITO、Indium Tin Oxide）、酸化インジウムに2～20%の酸化亜鉛（ZnO）を混合したIZO（indium zinc oxide）、酸化インジウムに2～20%の酸化珪素（SiO₂）を混合したITSO、有機インジウ

10

20

30

40

50

ムを用いることができる。

【0024】

このようなエレクトロクロミック材を有する表示手段は、非常に薄いため、IDFチップと共にIDFカードへ実装しても、デザイン性を損ねることがない。同様な効果を奏する表示手段として、強誘電性液晶材がある。

【0025】

そして図5(B)に示すように、第1のフィルム14及び第2のフィルム15を張り合わせ、IDFカード20を完成させる。

【0026】

このときIDFチップは、実装するカードに対して中心部に配置し、IDFチップの周囲は物品の基材、本実施の形態においては第1及び第2のフィルムで覆われるように形成するとよい。その結果、IDFチップの機械的強度を高めることができる。具体的には、IDFチップを挟み込む位置(IDFチップの中心)：Xは、カードの厚みをDとするところ、 $(1/2) \cdot D - 30 \mu m < X < (1/2) \cdot D + 30 \mu m$ を満たすように配置するといよい。

10

【0027】

また本実施の形態では、基板上にアンテナが形成されたIDFチップを用いる場合で説明したが、アンテナが実装されたIDFチップを用いた場合であってもよく、IDFチップは上記位置を満たすと好ましい。

【0028】

20

図6(A)は、IDFカードのシステムブロック図を示す。識別情報を有するIDFチップは、通信手段、及び電力供給(発生)手段に接続されている。通信手段、及び電力供給(発生)手段は、図5(A)におけるアンテナに相当する。そしてIDFチップは、表示手段に接続される。また表示手段を制御する回路(制御回路)は、IDFチップに一体形成されているとよい。

【0029】

図6(B)は、IDFチップの回路ブロック図を示す。まず、IDFチップ10は、アンテナ12、容量素子52とを有し、復調回路53、変調回路54、整流回路55、マイクロプロセッサ56、メモリ57、負荷をアンテナに与えるためのスイッチ58とを有している。これらの回路やマイクロプロセッサは、薄膜集積回路により形成することができる。なおメモリ57は1つに限定されず、複数であってもよい。

30

【0030】

またIDFチップでは、リーダ・ライター装置から電波として送られてきた信号は、アンテナ12において電磁誘導により交流の電気信号に変換される。復調回路53では該交流の電気信号を復調し、後段のマイクロプロセッサ56に送信する。また整流回路55では、交流の電気信号を用いて電源電圧を生成し、後段のマイクロプロセッサ56に供給する。

【0031】

マイクロプロセッサ56では、入力された信号に従って各種演算処理を行う。メモリ57にはマイクロプロセッサ56において用いられるプログラム、データなどが記憶されている他、演算処理時の作業エリアとしても用いることができる。そしてマイクロプロセッサ56から変調回路54に送られた信号は、交流の電気信号に変調される。スイッチ58は、変調回路54からの交流の電気信号に従って、アンテナ12に負荷を加えることができる。リーダ・ライター装置は、アンテナ12に加えられた負荷を電波で受け取ることで、結果的にマイクロプロセッサ56からの信号を読み取ることができる。

40

【0032】

このように形成された、IDFチップは識別情報を有しているため、破壊、偽造等されたときであっても、情報を読み出すことができる。例えば、リーダ・ライター装置に、識別情報を読み出す手段を具備させ、さらに識別情報を保存させておく。そして破損時等に、リーダ・ライター装置へかざし、識別情報が一致した場合、リーダ・ライター装置が有

50

する、又は接続された表示部へ I D F チップの情報を出力させることができる。その結果、I D F チップから読み出す経路が破壊等されても、識別情報が一致次第、I D F チップの情報を読み出すことができる。

【 0 0 3 3 】

また表示手段には、I D F チップのメモリに情報を記録する経路と異なる経路により情報を記録し、さらに表示を保持することができる。そのため、I D F チップから情報を読み出す経路が破壊等されても、I D F チップの情報を読み出すことができる。このとき例えば個人情報等は、表示手段へ表示することが懸念されるため、識別情報をを利用して、リーダ・ライター装置が有する、又は接続された表示部へ出力するとよい。

【 0 0 3 4 】

(実施の形態 2)

本実施の形態では、識別情報を形成する I D F チップについて説明する。

【 0 0 3 5 】

図 1 (A) に示すように、薄膜トランジスタ (T F T とも表記する) は半導体膜 1 0 7 、ゲート配線や信号線等として機能する導電膜 1 1 0 を有し、当該半導体膜 1 0 7 により識別情報 1 1 3 a を形成する。識別情報は、文字、図形、記号もしくは数字又はこれらの結合からなり、I D F チップの一部に形成する。また識別情報として、バーコードのような情報用符号を形成してもよい。

【 0 0 3 6 】

図 1 (B) には、薄膜トランジスタは半導体膜 1 0 7 、ゲート配線や信号線等として機能する導電膜 1 1 0 を有し、当該導電膜 1 1 0 により識別情報を形成する場合を示す。

【 0 0 3 7 】

このとき識別情報、つまり導電膜は、液滴吐出法により描画して形成することができる。液滴吐出法とは、導電膜や絶縁膜などの材料が混入された組成物の液滴 (ドットとも表記する) を選択的に吐出 (噴出) する方法であり、その方式によっては、インクジェット法とも呼ばれる。

【 0 0 3 8 】

また液滴吐出法以外に、スパッタリング法、印刷法、メッキ法、フォトリソグラフィー法及びメタルマスクを用いた蒸着法のいずれか、又はそれらを組み合わせた方法により形成することができる。

【 0 0 3 9 】

なお本発明の識別情報は、薄膜トランジスタが有するその他のパターンによって形成してもよい。例えば、ゲート絶縁膜や層間絶縁膜等の絶縁膜により識別情報を形成することができる。

【 0 0 4 0 】

図 1 (C) には、レーザーマーカーより、I D F チップが有する基板、又は薄膜パターン等に識別情報 1 1 3 c を形成する場合を示す。

【 0 0 4 1 】

例えばガラス基板へ識別情報を形成する場合、ガラス基板に吸収されるレーザー、例えば C O₂ レーザーを使用することができる。また半導体膜へ識別情報を形成する場合、半導体膜に吸収されるレーザー、例えば Y A G レーザーを使用することができる。もちろん、レーザーマーカーにより絶縁膜や導電膜の一部に識別情報を形成してもよい。

【 0 0 4 2 】

液滴吐出法やレーザーマーカーのような識別情報を描画できる手段では、フォトマスク等を形成することができない。その結果、マスク形成工程、及び当該マスクパターンにかかるコストを削減することができる。

【 0 0 4 3 】

以上のような識別情報は、例えば透過率や、反射パターン、吸収スペクトルの変化として、認識することができる。そして識別情報により、I D F チップ固有情報を管理することができる。その結果、I D F チップの不正使用や、偽造を防止することができ、識別情

10

20

30

40

50

報によってセキュリティを向上することができる。

【0044】

またIDFチップが実装された物品の破壊後、当該IDFチップの情報を読み出したいとき、正規なるアクセスか否かを判断するために、識別情報を使用することができる。識別情報によりIDFチップの固有情報を形成することができるため、これら識別情報により正規なるアクセスか否かを判断することができる。その結果、破壊等された場合であっても、正規なるアクセス権を有する者であって識別情報を取得することによって、IDFチップの情報を読み出すことを許可することができる。

【0045】

このようにIDFチップ内に識別情報を形成することにより、IDFチップの偽造を防止し、セキュリティを向上することができる。またIDFチップ及び識別情報は透光性を有するため、第三者が識別情報を認識することが難しく、結果として改ざんすることが困難となる。さらにIDFチップが非常に薄く、これの一部に形成される識別情報は、デザイン性を低下させることなく物品へ実装することができる。

10

【0046】

なおIDFチップは、詳しく述べると、アンテナが実装されている非接触型IDFチップ（無線タグとも呼ばれる）と、アンテナは実装せずに外部電源と接続する端子を形成した接触型IDFチップと、非接触型及び接触型とを混在したハイブリッド型IDFチップがある。さらに詳しく述べると、非接触型では、IDFチップとアンテナとを別途形成し、張り合わせたものがある。また、アンテナをIDFチップに一体形成したものがある。例えば、TFTのゲート電極、配線等によりアンテナを一体形成することができる。IDFチップにアンテナを一体形成すると、張り合わせにかかるコストや時間等を低減することができ好ましい。

20

【0047】

IDFチップとアンテナを別途形成する場合、IDFチップの実装面とは異なる面にアンテナを形成してもよい。IDFチップとアンテナとの実装面を異ならせると、実装面積の制約がなくなり、設計の自由度が増す。この場合のアンテナは、基板（アンテナを形成する為の基板をアンテナ用基板と表記する）に形成したり、物品に直接形成することもできる。

【0048】

30

本発明のIDFチップは、接触型、非接触型、及びハイブリッド型のいずれのIDFチップであっても、上述したような識別情報を形成することができる。

【0049】

（実施の形態3）

本実施の形態では、半導体膜により形成された識別情報を有するIDFチップの作製工程について説明する。

【0050】

図2(A)に示すように、絶縁基板100上に剥離層101を介して設けられた絶縁膜102、所望の形状にパターニングされた半導体膜107a、107b、ゲート絶縁膜として機能する絶縁膜（以下、ゲート絶縁膜）105を介して設けられたゲート電極として機能する導電膜（以下、ゲート電極と表記する）106を有する薄膜トランジスタ130n、130pを有し、半導体膜の一部を用いて識別情報113を形成する。

40

【0051】

絶縁基板としては、バリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板等が挙げられる。またその他の絶縁表面を有する基板としては、ポリエチレン-テレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルフォン(PES)に代表されるプラスチックや、アクリル等の可撓性を有する合成樹脂からなる基板がある。また、ステンレスなどの金属または半導体基板などの表面に酸化珪素や窒化珪素などの絶縁膜を形成した基板なども用いることができる。このような絶縁基板は、円形のシリコンウェハからチップを取り出す場合と比較して、母体基板形状

50

に制約がなく、IDFチップの低コスト化を達成することができる。

【0052】

また半導体膜はチャネル形成領域、及び不純物領域（ソース領域、ドレイン領域、GOLD領域、LDD領域を含む）を有し、不純物領域に添加される不純物元素の導電型によりnチャネル型薄膜トランジスタ130n、又はpチャネル型薄膜トランジスタ130pと区別することができる。そして各不純物領域と接続するように形成された配線110を有する。

【0053】

本実施の形態では半導体膜の一部を用いて識別情報を形成するが、図8（A）に示すように、ゲート電極の一部を用い、図8（B）に示すように配線110を用いて識別情報を形成してもよい。すなわち本発明の識別情報は、IDFチップ内に形成することを特徴としており、薄膜トランジスタが有するパターンの一つ、又はそれらを組み合わせて識別情報を形成することができる。

【0054】

また上述した絶縁基板に、レーザーマーカーを用いて識別情報をマーキングしても構わない。なお、以下に示すとおり、絶縁基板は剥離する場合がある。このような場合、薄膜トランジスタが有するパターンに、レーザーマーカーを用いて識別情報をマーキングしてもよい。

【0055】

以上のような識別情報は、数字やバーコード以外に図形等の模様を使用してもよく、微少なドットの組み合わせをコード化したものから構成してもよい。例えば、レーザーマーカーを照射する領域と、照射しない領域とから微少なドットを形成する。1ドットは、1bitに対応させることができ、これらをマトリクス状に形成することで多くの情報を提供することができる。またドットを、薄膜トランジスタが有するパターン、例えば半導体膜から形成してもよい。このように図形等を、2次元的に組み合わせて配列させてコード化した識別情報は、所定の微少範囲で形成することができ、より多くの情報を有することができる。

【0056】

本発明は識別情報をIDFチップ内に形成することを特徴としており、識別情報の形態には限定されない。

【0057】

剥離層は、珪素を有する膜であればよく、その状態は、非晶質半導体、非晶質状態と結晶状態とが混在したセミアモルファス半導体（SASとも表記する）、及び結晶性半導体のいずれでもよい。なおSASは、非晶質半導体中に0.5nm～20nmの結晶粒を観察することができる微結晶半導体が含まれる。これら剥離層は、スパッタリング法、又はプラズマCVD法等によって形成することができる。また剥離層は、30nm～1μmの膜厚とすればよく、剥離層の成膜装置の薄膜形成限界が許容すれば、30nm以下とすることも可能である。本実施の形態では、剥離層に30nm～1μm、好ましくは30nm～50nmの膜厚を有するSASを用いるが、上述したその他の材料を用いても構わない。

【0058】

またTFT層がエッティングされないために、剥離層上には絶縁膜を形成するとよい。絶縁膜は、酸化珪素（SiO_x）、窒化珪素（SiN_x）、酸化窒化珪素（SiO_xN_y）（x>y）、窒化酸化珪素（SiN_xO_y）（x>y）（x, y=1, 2, ..., ）等の酸素、又は窒素を有する絶縁膜の単層構造、又はこれらの積層構造を有する。

【0059】

上述した絶縁膜は、例えば下地膜として形成することができる。すなわち下地膜は、積層構造を有してもよく、本実施の形態では第1の絶縁膜102a、第2の絶縁膜102b、第3の絶縁膜102cを有する。例えば第1の絶縁膜として酸化珪素膜、第2の絶縁膜として酸化窒化珪素膜、第3の絶縁膜として酸化珪素膜を用いる。更に下地膜は、基板等

10

20

30

40

50

からの不純物拡散を考えると、酸化窒化珪素膜を用いると好ましいが、当該酸化窒化珪素膜は剥離層や半導体膜との密着性が低いことが懸念される。そこで、第2の絶縁膜に酸化窒化珪素膜を設け、剥離層、半導体膜、及び酸化窒化珪素膜との密着性の高い酸化珪素膜を第1の絶縁膜及び第3の絶縁膜として設けるとよい。

【0060】

半導体膜107a、107bは、0.2μm以下、代表的には40nm～170nm、好ましくは50nm～150nmの膜厚とする。また半導体膜107a、107bは、非晶質半導体、非晶質状態と結晶状態とが混在したセミアモルファス半導体（微結晶半導体を含む）、及び結晶性半導体のいずれの状態を有していてもよい。

【0061】

本実施の形態では、非晶質半導体膜を形成し、加熱処理により結晶化された結晶性半導体膜を形成する。加熱処理とは、加熱炉、レーザー照射、若しくはレーザー光の代わりにランプから発する光の照射（以下、ランプアニールと表記する）、又はそれら組み合わせて用いることができる。

【0062】

レーザー照射を用いる場合、連続発振型のレーザー（CWレーザー）やパルス発振型のレーザー（パルスレーザー）を用いることができる。レーザーとしては、Arレーザー、Krレーザー、エキシマレーザー、YAGレーザー、Y₂O₃レーザー、YVO₄レーザー、GdVO₄レーザー、YLFレーザー、Y_A1O₃レーザー、ガラスレーザー、ルビーレーザー、アレキサンドライトレーザー、Ti:サファイヤレーザー、銅蒸気レーザーまたは金蒸気レーザーのうち一種または複数種を用いることができる。このようなレーザーから発振される基本波、及び当該基本波の第2高調波から第4高調波のレーザーを照射することで、大粒径の結晶を得ることができる。例えば、Nd:YVO₄レーザー（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を用いることができる。このときレーザーのエネルギー密度は0.01～100MW/cm²程度（好ましくは0.1～10MW/cm²）必要である。そして、走査速度を10～2000cm/sec程度として照射する。

【0063】

このとき例えば図7（A）に示すような光学系を用い、CWレーザーを用いて結晶化を行うことができる。まず、レーザー発振器290から射出されるCWレーザービームが光学系291により長く引き伸ばされ、線状に加工される。具体的には、光学系291が有するシリンドリカルレンズや凸レンズを、レーザービームが通過すると線状に加工することができる。このときスポットの長軸の長さが、200～350μmとなるように加工するとい。

【0064】

その後、線状に加工されたレーザービームは、ガルバノミラー293と、fレンズ294とを介して被照射物である半導体膜107へ入射する。このとき線状レーザーは、半導体膜上に所定の大きさのレーザースポット282を形成するように調整されている。またfレンズ294により、ガルバノミラーの角度によらず、被照射物表面において、レーザースポット282の形状を一定とすることができる。fレンズの代わりに、テレセントリックfレンズを用いてもよく、同様の効果を奏する。

【0065】

このときガルバノミラーの振動を制御する装置（制御装置）296によりガルバノミラーが振動、つまりミラーの角度が変化するようになっており、レーザースポット282は、一方向に移動する。例えば、ガルバノミラーが半周期振動すると、レーザービームが半導体膜上のX軸方向に一定距離移動するよう調節されている（往路）。

【0066】

そして、半導体膜はXYステージ295によりY軸方向へ一定距離移動する。そして同様に、ガルバノミラーにより、レーザースポットが半導体膜上のX軸方向に移動する（復路）。このようなレーザービームの往復運動を用いて、経路283をレーザースポットが

移動し、半導体膜全体に対してレーザーアニールを行うことができる。

【0067】

このとき図7(B)に示すように、当該薄膜トランジスタのキャリアの移動方向281と、レーザービームの長軸への移動方向(走査方向)283とが沿う(平行となる)よう にレーザーアニールを行う。例えば図7(B)に示す形状を有する半導体膜の場合、レーザービームの長軸への移動方向(走査方向)283と平行となるように、半導体膜に形成されるソース領域107(s)、チャネル形成領域107(c)、及びドレイン領域107(d)を配置する。その結果、キャリアが横切る粒界を少なくする又はなくすことができるため、薄膜トランジスタの移動度を高めることができる。

【0068】

またさらにレーザーの入射角を、半導体膜に対して(0° < θ < 90°)となるようにしてもよい。その結果、反射光等によるレーザーの干渉を防止することができる。

【0069】

なお連続発振の基本波のレーザー光と連続発振の高調波のレーザー光とを照射するようにしてもよいし、連続発振の基本波のレーザー光とパルス発振の高調波のレーザー光とを照射するようにしてもよい。複数のレーザー光を照射することにより、エネルギーを補うことができる。

【0070】

またパルス発振型のレーザーであって、半導体膜がレーザー光によって溶融してから固化するまでに、次のパルスのレーザー光を照射できるような発振周波数でレーザー光を発振させることで、走査方向に向かって連続的に成長した結晶粒を得ることができる。すなわち、パルス発振の周期が、半導体膜が溶融してから完全に固化するまでの時間よりも短くなるように、発振の周波数の下限を定めたパルスビームを使用することにより、走査方向に向かって連続的に成長した結晶粒を得ることができる。実際に用いることができるパルスビームの発振周波数は10MHz以上であって、通常用いられている数十Hz~数百Hzの周波数帯よりも著しく高い周波数帯を使用する。

【0071】

なお、希ガスや窒素などの不活性ガス雰囲気中でレーザー光を照射するようにしてもよい。これにより、レーザー光照射による半導体表面の荒れを抑えることができ、界面準位密度のばらつきによって生じる閾値のばらつきを抑えることができる。

【0072】

またSiH₄とF₂、又はSiH₄とH₂を用いて微結晶半導体膜を形成し、その後上記のようなレーザー照射をおこなって結晶化してもよい。すなわち半導体膜の状態が非晶質、微結晶、結晶のいずれであっても、レーザー照射を行って、結晶状態を改善することができる。

【0073】

その他の加熱処理として、加熱炉を用いる場合、非晶質半導体膜を500~550℃で2~20時間かけて加熱する。このとき、徐々に高温となるように温度を500~550℃の範囲で多段階に設定するとよい。最初の低温加熱工程により、非晶質半導体膜の水素等が出てくるため、結晶化の際の膜荒れを低減する、いわゆる水素だしを行うことができる。さらに、結晶化を促進させる金属元素、例えばNiを非晶質半導体膜上に形成すると、加熱温度を低減することができ好ましい。なおこのような金属元素を用いた結晶化であっても、600~950℃に加熱しても構わない。このように高温処理が必要となるときは、耐熱性の高い石英基板を用いるとよい。

【0074】

但し、金属元素を形成する場合、半導体素子の電気特性に悪影響を及ぼすことが懸念されるので、該金属元素を低減又は除去するためのゲッタリング工程を施す必要が生じる。例えば、非晶質半導体膜をゲッタリングシンクとして金属元素を捕獲するよう加熱処理を行えばよい。

【0075】

10

20

30

40

50

また直接被形成面に、結晶性半導体膜を形成してもよい。この場合、GeF₄、又はF₂等のフッ素系ガスと、SiH₄、又はSi₂H₆等のシラン系ガスとを用い、熱又はプラズマを利用して直接被形成面に、結晶性半導体膜を形成することができる。このように直接結晶性半導体膜を形成する場合であって、高温処理が必要となるときは、耐熱性の高い石英基板を用いるとよい。

【0076】

以上のような半導体膜を加熱する工程により、剥離層へ加熱の影響があると考えられる。例えば、炉を用いた加熱処理を行う場合や、532 nmの波長を用いてレーザー照射を行う場合、剥離層までエネルギーが到達することができる。その結果、剥離層も同時に結晶化されることがある。このような剥離層の結晶化状態の変化によって、反応速度を改善することができる。10

【0077】

一方、効率よく半導体膜を結晶化するため、剥離層へレーザーによるエネルギーを到達させないように、下地膜の構造を選択することもできる。例えば、下地膜の材料、膜厚、又は積層順を選択する。

【0078】

以上に示したいずれかの手段により形成される半導体膜は、シリコンウェハから形成されるチップと比べて多くの水素を有する。具体的には、水素を $1 \times 10^{19} \sim 1 \times 10^{22} / \text{cm}^3$ 、好ましくは $1 \times 10^{19} \sim 5 \times 10^{20} / \text{cm}^3$ 有するように形成することができる。この水素により、半導体膜中の欠陥を緩和する、所謂欠陥のターミネート効果を奏することができる。また水素により、IDFチップの柔軟性を高めることができる。また水素に代えてハロゲンを有するように形成しても同様の効果を奏する。20

【0079】

このような半導体膜を有する薄膜トランジスタのサブシュレッド係数(S値)は、0.35 V / dec 以下、好ましくは 0.09 ~ 0.25 V / dec となる。また当該薄膜トランジスタの移動度は、 $10 \text{ cm}^2 / \text{V s}$ 以上となる。

【0080】

このような薄膜トランジスタを用いて 19 段リングオシレータを構成した場合、電源電圧 3 ~ 5 Vにおいて、その発振周波数は 1 MHz 以上、好ましくは 100 MHz 以上の特性を有する。また電源電圧 3 ~ 5 Vにおいて、インバータ 1 段あたりの遅延時間は 26 ns 、好ましくは 0.26 ns 以下を有する。30

【0081】

さらに、パターニングされた半導体膜が IDFチップにおいて占める面積の割合を、1 ~ 30 % とすることで、曲げ応力による薄膜トランジスタの破壊や剥がれを防止することができる。

【0082】

以上の構造により薄膜トランジスタとしての機能を奏することは可能であるが、好ましくは第1の層間絶縁膜 108、第2の層間絶縁膜 109を形成するとよい。第1の層間絶縁膜からの水素により、半導体膜のダメージ、欠陥等を補修することができる。すなわち水素による欠陥のターミネーション効果を奏することができる。このような第1の層間絶縁膜としては、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y) ($x > y$)、窒化酸化珪素(SiN_xO_y) ($x > y$) ($x, y = 1, 2 \dots$) 等の酸素、又は窒素を有する絶縁膜を用いることができる。40

【0083】

また第2の層間絶縁膜により平坦性を高めることができる。このような第2の層間絶縁膜は、有機材料や無機材料を用いることができる。有機材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト又はベンゾシクロブテン、シロキサン、ポリシラザンを用いることができる。シロキサンとは、珪素(Si)と酸素(O)との結合で骨格構造が構造され、置換基に少なくとも水素を含む、又は置換基にフッ素、アルキル基、又は芳香族炭化水素のうち少なくとも 1 種を有するポリマー材料を出発原料として50

形成される。またポリシラザンとは、珪素(Si)と窒素(N)の結合を有するポリマー材料、いわゆるポリシラザンを含む液体材料を出発原料として形成される。無機材料としては、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)(x > y)、窒化酸化珪素(SiN_xO_y)(x > y)(x, y = 1, 2, ...,)等の酸素、又は窒素を有する絶縁膜を用いることができる。また無機材料を用いる場合、窒素を有する絶縁膜とするとNa等のアルカリイオンの侵入を防ぐことができ好ましい。第2の層間絶縁膜として、これら絶縁膜の積層構造を用いてもよい。特に、有機材料を用いて第2の層間絶縁膜を形成すると、平坦性は高まる一方で、有機材料によって水分や酸素が吸収されてしまう。これを防止するため、有機材料上に、無機材料を有する絶縁膜を形成した積層構造とするとよい。

10

【0084】

更に好ましくは、配線110を覆うように第4の絶縁膜111を設けるとよい。IDFチップが実装される物品は、手で触ることが多いため、Na等のアルカリイオンの拡散が懸念される。そのため、IDFチップの最上面に第4の絶縁膜を形成すると好ましい。第4の絶縁膜としては、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)(x > y)、窒化酸化珪素(SiN_xO_y)(x > y)(x, y = 1, 2, ...,)等の酸素、又は窒素を有する絶縁膜を用いることができるが、代表的には窒化酸化珪素(SiN_xO_y)を用いるとよい。

【0085】

以上のようにしてIDFチップを完成することができるが、薄型化を達成するため、絶縁基板を剥離すると好ましい。若しくは、絶縁基板を化学的機械研磨(Chemical-Mechanical Polishing: 以下、CMPと表記する)等により研磨し、薄型化を達成してもよい。本実施の形態では、絶縁基板を剥離する場合について説明する。

20

【0086】

その後、IDFチップ間に溝114を形成する。溝は、ダイシング、スクライビング又はマスクを利用したエッティング等によって行うことができる。ダイシングの場合には、ダイシング装置(ダイサー; dicer)を用いるブレードダイシング法が一般的である。ブレード(blade)とは、ダイヤモンド砥粒を埋め込んだ砥石で、その幅は約30~50μmであり、このブレードを高速回転させることにより、TFT層を分離する。また、スクライビングの場合には、ダイヤモンドスクライビング法とレーザースクライビング法等がある。また、エッティングの場合には、露光、現像工程によりマスクパターンを形成し、ドライエッティング法、ウェットエッティング法等によりTFT層を分離することができる。ドライエッティング法においては、大気圧プラズマ法を用いてもよい。

30

【0087】

なお溝は必ずしも、各IDFチップ間に形成する必要はなく、複数のIDFチップ間に形成してもよい。

【0088】

次に図2(B)に示すように、エッティング剤115を溝114へ導入することにより剥離層を除去する。エッティング剤としては、ハロゲン化フッ素を含む气体又は液体を用いることができる。

40

【0089】

本実施の形態では、減圧CVD装置を用い、ハロゲン化フッ素としてClF₃(三フッ化塩素)を使用する。そして温度:350、流量:300sccm、気圧:6Torr、時間:3hの条件で剥離層を除去するが、この条件に限定されるものではない。また処理温度を上げる(例えば100~400とする)と、ClF₃の反応速度を高めることができる。その結果、使用するClF₃の量を少なくすることができる。

【0090】

なおClF₃は、塩素を200以上でフッ素と反応させることにより、Cl₂(g)+3F₂(g)→2ClF₃(g)の過程を経て生成することができる。またClF₃は、反応空間の温度によっては液体の場合もあり(沸点11.75)、その際にはハロゲン化

50

フッ素を含む液体としてウェットエッティングを採用することもできる。

【0091】

このようなエッティング剤の導入により、剥離層であるSASを徐々に後退させ、絶縁基板を矢印に示すように除去することができる。

【0092】

また、その他のハロゲン化フッ素を含む気体として、ClF₃等に窒素を混合したガスを用いてもよい。また、剥離層をエッティングし、下地膜をエッティングしないようなエッチャントであれば、ClF₃に限定されるものでなく、またハロゲン化フッ素に限定されるものでもない。例えば、CF₄、SF₆、NF₃、F₂等のフッ素を含む気体をプラズマ化して用いることもできる。その他のエッティング剤として、テトラエチルアンモニウムハイドロオキサイド(TMAH)のような強アルカリ溶液を用いてもよい。

10

【0093】

さらに、ClF₃等のハロゲン化フッ素を含む気体によって化学的に除去する場合、選択的にエッティングされる材料を剥離層として用い、エッティングされない材料を下地膜として用いるという条件に従うならば、剥離層及び下地膜の組み合わせは、上記材料に限定されるものではない。

【0094】

このようなエッティング行程では、TFTの各層がエッティングされないようにエッティング剤、ガス流量、温度等を設定する。なお本実施の形態で用いるClF₃は、珪素を選択的にエッティングする特性があるため、剥離層であるSASを選択的に除去する。そのため剥離層には、SASを代表とする珪素を主成分とする層を用い、下地膜に酸素、又は窒素を有する絶縁膜を用いる構成となっており、ClF₃によりTFT層がエッティングされることはない。剥離層と、下地膜等の反応速度の差が大きく、つまりエッチレートの選択比が高いため、IDFチップを保護しつつ、剥離層を除去することができる。

20

【0095】

また剥離層の結晶状態によっても、エッティング処理時間を調整することができる。エッティング処理時間が短くなると、TFTの各層への影響が少ないため好ましい。また使用するエッティング剤の量を減らすことができるため好ましい。

【0096】

絶縁基板の剥離により各IDFチップがばらばらに分離しないように、IDFチップを構成する半導体膜、絶縁膜、又は導電膜により、各IDFチップを接続しておいてよい。

30

また、アンテナが形成された基板(以下、アンテナ用基板と表記する)を貼り付けた後に、エッティング剤を導入して絶縁膜を剥離するとよい。

【0097】

以上の工程によりIDFチップを完成することができるが、図2(C)に示すように、フレキシブル基板を接着してもよい。この場合、フレキシブル基板へ識別情報を形成しておいてよい。図2(C)にはフレキシブル基板150を接着剤151により接着した状態の断面図を示す。

【0098】

40

フレキシブル基板には、上述のようなプラスチックや、アクリル等の可撓性を有する合成樹脂からなる基板を用いることができる。なお、本実施の形態ではプラスチックを有する構成樹脂からなる基板を用いる。

【0099】

接着剤としては、熱硬化樹脂、紫外線硬化樹脂、エポキシ樹脂系接着剤、樹脂添加剤等の接着剤又は両面テープ等を用いることができる。

【0100】

フレキシブル基板を接着することにより、絶縁基板上に形成された状態よりも薄型化、軽量化を達成しつつ、IDFチップの破壊強度を高めることができる。

【0101】

50

その後図2(D)に示すように、各IDFチップをダイシング、スクライビング、又はレーザカット法により切断し、フレキシブル基板上に形成されたIDFチップが完成する。例えば、ガラス基板に吸収されるレーザー、例えばCO₂レーザーを使用して切断することができる。

【0102】

その後、IDFチップの側面等の周囲に、エポキシ樹脂等の有機樹脂を充填してもよい。その結果、IDFチップは外部から保護され、持ち運びしやすい形態となる。このように形成されるIDFチップの大きさは、5mm四方(25mm²)以下、好ましくは0.3mm四方(0.09mm²)~4mm四方(16mm²)とすることができます。

【0103】

また本発明のIDFチップは、絶縁基板上に設けられる、又は絶縁基板を剥離するため、シリコンウェハから形成されるチップと比較して、電波吸収の心配がなく、高感度な信号の受信を行うことができる。

【0104】

このように形成されたIDFチップを、所望の物品に実装すればよい。このときに使用する接着剤は、熱硬化樹脂、紫外線硬化樹脂、エポキシ樹脂系接着剤、樹脂添加剤等の接着剤又は両面テープ等を用いることができる。

【0105】

また図示しないが、IDFチップを保護するために、特にIDFチップの側面に樹脂や窒素を有する絶縁膜で覆ってもよい。樹脂や窒素を有する絶縁膜で覆うことにより、IDFチップの破壊強度が向上し、持ち運び易くなる。この樹脂や窒素を有する絶縁膜は、IDFチップを実装する物品の材料の一部であってもよい。

【0106】

本実施の形態では異方性導電体により、IDFチップの接続端子と、アンテナの接続端子とが向き合っている、所謂フェイスダウンで実装する場合を説明したが、IDFチップの接続端子がアンテナの接続端子とが向き合はず、同一方向を向いている、所謂フェイスアップで実装してもよい。フェイスアップの場合、接続する手段にワイヤボンディング法を用いることができる。

【0107】

以上、絶縁基板上に薄膜トランジスタを形成後、絶縁基板を剥離し、好ましくはフレキシブル基板へ移し替える形態を説明したが、剥離するタイミング、剥離する回数、又はIDFチップがフェイスダウン状態となる形態は、本実施の形態に限定されない。また移し替える回数によって、IDFチップが、フェイスアップ状態となるか、又はフェイスダウン状態となるかを決めることができる。また移し替える先は、フレキシブル基板に限定されず、実装する物品(実装物品)であってもよい。

【0108】

以上、本実施の形態では、わかりやすくするためIDFチップ等を厚く記載したが、実際は非常に薄い形状となっている。

【0109】

(実施の形態4)

本実施の形態では、アンテナの作製方法、及びアンテナの実装方法について説明する。

【0110】

図3を用いて、アンテナの作製工程について説明する。図3では、アンテナ用基板へ矩形状に巻かれたアンテナを形成する場合を説明するが、アンテナの形状はこれに限定されない。例えば、円状、又は線状のアンテナであってもよい。

【0111】

アンテナ用基板はバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、ポリエチレン-テレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルファン(PES)に代表されるプラスチックや、アクリル等の可撓性を有する合成樹脂からなる基板を用いることができる。アンテナ用基板の厚

10

20

30

40

50

みは薄い方が好ましいため、フィルム状の基板が好ましい。

【0112】

図3(A)はアンテナ用基板全体を示し、図3(B)にはその拡大図を示す。図3(B)に示すように、アンテナ用基板161にノズル180を用いた液滴吐出法によりアンテナ162を形成する。液滴吐出法とは、導電膜や絶縁膜などの材料が混入された組成物の液滴(ドットとも表記する)を選択的に吐出(噴出)する方法であり、その方式によっては、インクジェット法とも呼ばれる。また液滴吐出法以外に、スパッタリング法、印刷法、メッキ法、フォトリソグラフィー法及びメタルマスクを用いた蒸着法のいずれか、又はそれらを組み合わせた方法により形成することができる。例えば、スパッタリング法、液滴吐出法、印刷法、フォトリソグラフィー法及び蒸着法のいずれかにより第1のアンテナを形成し、メッキ法により第1のアンテナを覆うように第2のアンテナを形成する、積層型アンテナを形成することもできる。特に、液滴吐出法、又は印刷法によりアンテナを形成する場合、導電膜をパターニングする必要がないため、作製工程を低減することができる。

【0113】

またアンテナには、接続端子領域(以下、単に接続端子)165を形成するとよい。当該接続端子により、簡便に薄膜集積回路と接続することができる。接続端子は、ノズルから吐出される液滴を多くしたり、ノズルを留めることにより形成することができる。なお接続端子は、必ずしも設ける必要はなく、本実施の形態の形状及び配置に限定されるものではない。

【0114】

アンテナ材料には、Ag(銀)、Al(アルミニウム)、Au(金)、Cu(銅)、Pt(白金)等の導電材料を用いることができる。比較的抵抗の高いAlやAuを用いる場合、配線抵抗が懸念される。しかし、アンテナを厚くしたり、アンテナ形成面積が広い場合には、アンテナの幅を広くすることで配線抵抗を低減することができる。また積層型アンテナとし、抵抗の低い材料で覆ってもよい。Cuのように拡散が懸念される導電材料は、アンテナの被形成面、又はCuの周囲を覆うように保護膜として機能する絶縁膜を形成するとよい。

【0115】

本実施の形態では、溶媒としてテトラデカンに混入されたAgをノズル180より滴下して、アンテナ162を形成する。このときAgの密着性を高めるため、アンテナ用基板上に酸化チタン(TiO_x)からなる下地膜を形成してもよい。

【0116】

このように形成されたアンテナを覆うように、有機材料を充填してもよい。その結果、アンテナ間に有機材料が充填されるため、アンテナの強度を高めることができる。

【0117】

更に好ましくは、形成されたアンテナに圧力を加え、平坦性を向上させるとよい。その結果、アンテナを薄膜化することができる。加圧手段に加えて、加熱手段を有してもよく、加圧処理と加熱処理とを同時に用うことができる。特に液滴吐出法を用いる場合であって、溶媒を除去するために加熱処理をする必要があるときは、当該加熱処理と兼ねることができる。

【0118】

またアンテナ用基板のアンテナ形成領域において溝を形成し、当該溝にアンテナを形成してもよい。溝にアンテナを形成することができるため、アンテナ用基板及びアンテナの薄膜化を達成することができ、加えてアンテナの強度を高めることができる。

【0119】

またアンテナは、アンテナ用基板の両面に形成することもできる。その結果、アンテナ長を延ばすことができるため、通信距離を広げることができる。その場合、アンテナ用基板の他方の面に、上記と同様な方法によりアンテナを形成すればよい。

【0120】

10

20

30

40

50

また接続端子の配置によっては、アンテナの一部をアンテナ用基板の他方の面に形成してもよい。例えばアンテナを巻くように形成すると、接続端子の配置によって、アンテナを乗り越える必要性がでてくる。このときアンテナ同士がショートしないよう絶縁物を介す必要があるが、当該絶縁物としてアンテナ用基板を用いてもよい。

【0121】

そして図4に示すように、アンテナが形成されたアンテナ用基板と、フレキシブル基板150上に接着されたIDFチップとを張り合わせる。図4(A)には、張り合わせた状態の上面図、図4(B)にはa-bにおける断面図を示す。

【0122】

張り合わせる手段として、導電体164が分散している異方性導電体163がある。異方性導電体は、IDFチップの接続端子160及びアンテナの接続端子165が設けられた領域では、当該導電体が各接続端子の厚みにより圧着されるため、導通をとることができ。その他の領域では、導電体同士が十分な間隔を保っているため、導通することはない。異方性導電体の他に、超音波接着剤、紫外線硬化樹脂、又は両面テープ等を用いて張り合わせてもよい。

【0123】

またアンテナが形成されたアンテナ用基板を、IDFチップの両面へ張り合わせてもよい。その結果、アンテナの合計距離を長くすることができ、通信距離等の感度を高めることができる。このような場合、フレキシブル基板に代えて、アンテナ用基板を接着する構成であってもよい。その結果、アンテナ用基板によってIDFチップの強度を高めることができ、さらに通信距離等の感度を高めることができる。

【0124】

本実施の形態では、IDFチップとアンテナとを張り合わせる場合について説明したが、IDFチップ上にアンテナを直接形成してもよい。例えば、ゲート電極106、又は配線110と同一層にアンテナを形成することができる。このとき、アンテナの低抵抗化を達成するために、メッキ法、例えば無電解メッキにより形成されうるCuで覆ってもよい。このような低抵抗材料であるCuは、薄膜トランジスタの電気特性に悪影響を及ぼすことがある。そのため、Cuの拡散を防止するため、第4の絶縁膜111上に、Cuを有するアンテナを形成するとよい。このとき、第4の絶縁膜は窒素を有する絶縁膜であると好みしい。

【0125】

このようにIDFチップ上にアンテナを直接形成する場合、張り合わせるためのコストや時間、又は張り合わせによる不良を低減することができる。

【0126】

本実施の形態では、IDFチップがアンテナを有する非接触型IDFチップについて説明したが、本発明は上述したような識別情報を形成することを特徴としているため、接触型IDFチップ、及びハイブリッド型IDFチップのいずれでもよい。

【0127】

以上、本実施の形態では、わかりやすくするためにIDFチップやアンテナ用基板を厚く記載したが、実際は非常に薄い形状となっている。

【図面の簡単な説明】

【0128】

【図1】薄膜集積回路内に形成された識別情報を示した断面図である

【図2】薄膜集積回路の作製工程を示した断面図である

【図3】アンテナの作製工程を示した断面図である

【図4】薄膜集積回路とアンテナとを張り合わせた状態を示した断面図である

【図5】薄膜集積回路及び表示手段を実装したカードの斜視図である

【図6】薄膜集積回路及び表示手段を実装したカードのシステムブロック図である

【図7】薄膜集積回路の作製工程を示した図である

【図8】薄膜集積回路の作製工程を示した断面図である

10

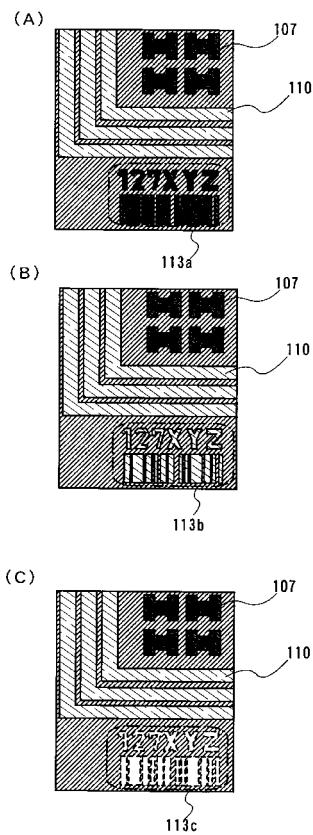
20

30

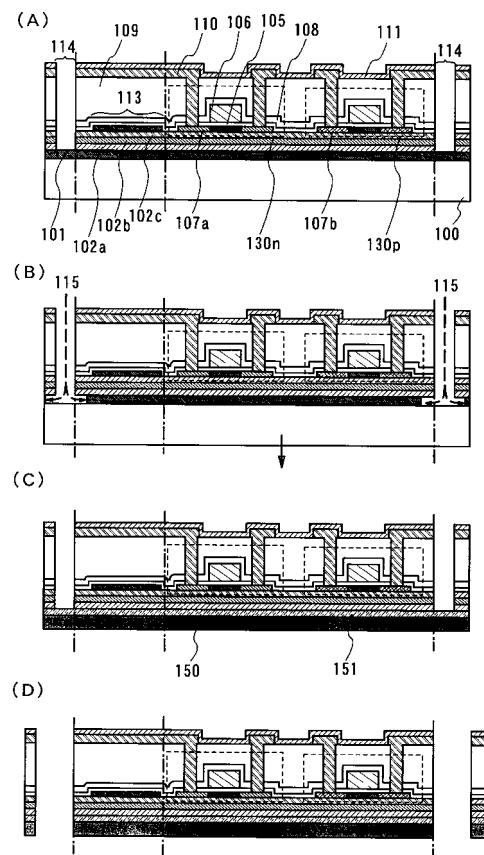
40

50

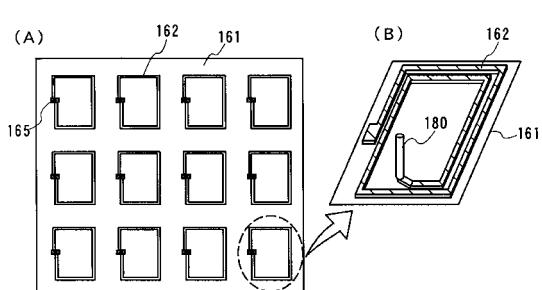
【図1】



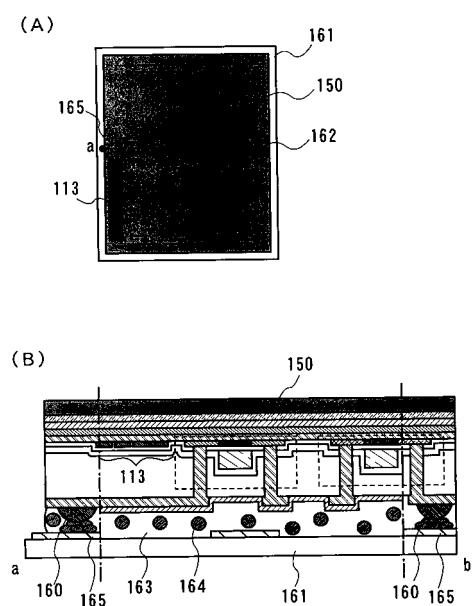
【図2】



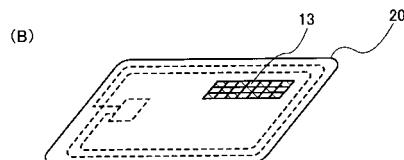
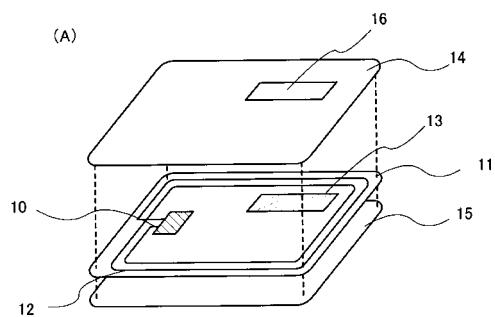
【図3】



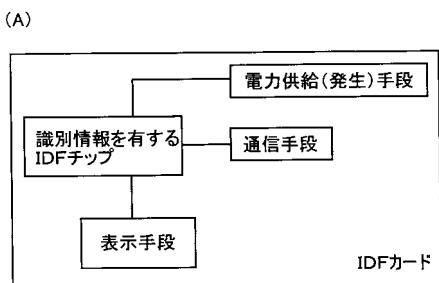
【図4】



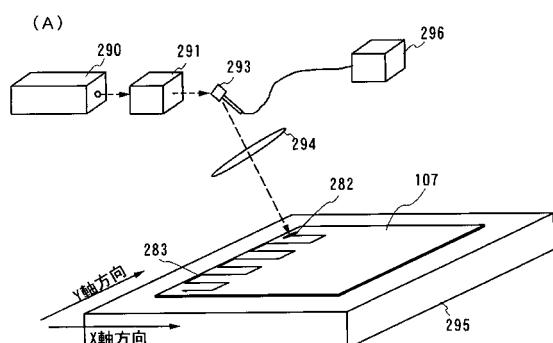
【図5】



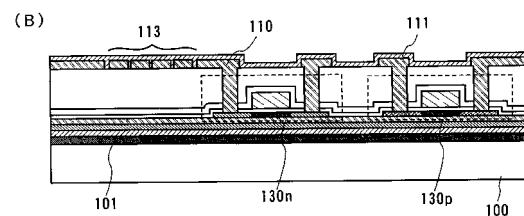
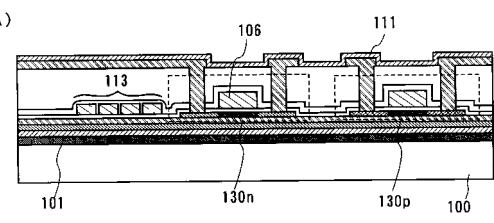
【図6】



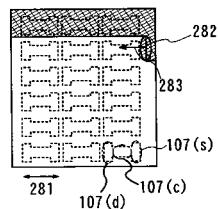
【図7】



【図8】



(B)



フロントページの続き

審査官 坂本 薫昭

(56)参考文献 特開昭62-298105(JP,A)
特開平07-311826(JP,A)
特開平09-148457(JP,A)
特開平10-287072(JP,A)
特開2000-113155(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/00
H01L 21/02
G06K 19/07
H01L 21/822
H01L 27/04
H01L 29/786