

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成17年9月15日(2005.9.15)

【公開番号】特開2004-22067(P2004-22067A)

【公開日】平成16年1月22日(2004.1.22)

【年通号数】公開・登録公報2004-003

【出願番号】特願2002-175531(P2002-175531)

【国際特許分類第7版】

G 1 1 C 29/00

G 1 1 C 16/02

【F I】

G 1 1 C 29/00 6 5 2

G 1 1 C 29/00 6 7 3 T

G 1 1 C 17/00 6 0 1 Z

【手続補正書】

【提出日】平成17年4月1日(2005.4.1)

【手続補正1】

【補正対象書類名】手続補正書

【補正対象項目名】手続補正1

【補正方法】変更

【補正の内容】

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 メモリセルアレイ、デコーダを含み、データ書き換え時に高電圧を使用する不揮発性メモリ手段と、

電源電圧を昇圧して前記高電圧を発生し、前記不揮発性メモリ手段に供給する高電圧発生手段と、

前記不揮発性メモリ手段に供給される高電圧に応じた電圧を所定の電圧と比較する電圧判定手段とを、備えることを特徴とする半導体装置。

【請求項2】 内部回路で用いる高電圧を発生して供給するための高電圧発生回路を有する半導体装置であって、

該高電圧発生回路で発生された高電圧に応じた電圧と所定の電圧とを比較した結果に応じて異常の有無を判定する電圧判定手段を備えることを特徴とする半導体装置。

【請求項3】 前記電圧判定手段は、前記高電圧を分圧する分圧手段と、該分圧された電圧と前記所定の電圧とを比較する比較手段とを、備えることを特徴とする請求項2に記載の半導体装置。

【請求項4】 前記電圧判定手段は、前記内部回路を動作させない状態で前記高電圧に応じた電圧を前記所定の電圧と比較する第1の比較状態と、前記内部回路を動作させた状態で前記高電圧に応じた電圧を前記所定の電圧と比較する第2の比較状態とを有し、第1の比較状態での比較結果と第2の比較状態での比較結果とにより異常の有無を判定することを特徴とする請求項2に記載の半導体装置。

【請求項5】 前記所定の電圧は外部から入力された電圧であり、前記比較手段の出

力に応じた信号を外部へ出力する出力端子を有することを特徴とする請求項2に記載の半導体装置。

【請求項6】 前記分圧手段及び前記比較手段は、所定のタイミングでのみ動作することを特徴とする請求項2に記載の半導体装置。

【請求項7】 前記内部回路はメモリセルアレイ、デコーダを含み、データ書き換え時に前記高電圧を使用する不揮発性メモリ手段であることを特徴とする請求項2乃至請求項6に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高電圧発生回路を有する半導体装置、特に高電圧発生回路及び発生された高電圧が供給されるEEPROMなど不揮発性メモリを有する半導体装置に関する。

【0002】

【従来の技術】

電気的プログラム可能なEEPROMなどの不揮発性メモリでは、データ書き換え時の電圧として、それが作り込まれる半導体装置の電源電圧（例えば、3V）より高い電圧（例えば、16V）を必要とする。通常、この高電圧は、その半導体装置に設けられる高電圧発生回路により、電源電圧を昇圧して得ている。

【0003】

従来、この高電圧発生回路からの高電圧は、その電圧値を単独で検査することではなく、不揮発性メモリのメモリセルが指令通りに書き込み及び消去できるかどうかの検査で代用されていた。このため、その検査結果が良或いは不良として得られても、不良である場合に、それが高電圧発生回路の異常によるものか、メモリセルの異常によるものかは、判定できていない。

【0004】

また、不揮発性メモリの検査では、一般的に、所定範囲のメモリセル群を単位として順次検査が行われるが、その際、当該メモリセル群を一律に全て消去‘1’或いは書き込み‘0’（1ワード16ビットの場合に、0(H)或いはF(H)、に相当する）を行って、その消去・書き込みの結果を判定することが多い。また、メモリセル群の検査を、一律に行うのではなく、組み合わせに応じて時間は長く掛かるがランダムに行うこともあった。

【0005】

【発明が解決しようとする課題】

しかし、所定のメモリセル群を一律に消去或いは書き込みする場合には、このメモリセル群内のメモリセルや、デコーダなどの周辺回路の対応する箇所においても印加される電圧が同時に変化することになる。従って、メモリセル間や対応する箇所間で、例えばリーク箇所等が存在したとしても、この検査においてはそれを検知することができないという問題がある。

【0006】

また、所定のメモリセル群をランダムに消去或いは書き込みする場合には、メモリセル間や対応する箇所間に存在するリーク箇所で、実際にリークが発生するが、そのリークの程度によっては、結果として指令通りに消去或いは書き込みが行われることがある。しかし、このような場合には、例え指令通りに消去或いは書き込みが行われたとしても、メモリセルのスレッショルド値Vthが予定されている値（例えば、0V~5V）に変化していない場合も多く、市場へ出荷後の故障発生の原因ともなっていた。

【0007】

そこで、本発明は、高電圧発生回路側の異常か不揮発性メモリ側の異常かを判別するとともに、不揮発性メモリ内部のリークなどの不具合な状態を検出することを可能にした、半導体装置を提供することを目的とする。

【0008】

【課題を解決するための手段】

請求項 1 の半導体装置は、メモリセルアレイ、デコーダを含み、データ書き換え時に高電圧を使用する不揮発性メモリ手段と、電源電圧を昇圧して前記高電圧を発生し、前記不揮発性メモリ手段に供給する高電圧発生手段と、前記不揮発性メモリ手段に供給される高電圧に応じた電圧を所定の電圧と比較する電圧判定手段とを、備えることを特徴とする。

【0009】

本発明によれば、不揮発性メモリ手段に供給される高電圧の電圧値を判定するから、半導体装置の検査時に、高電圧発生手段側と不揮発性メモリ手段側とを切り分けて検査することにより、発生した異常が、高電圧発生手段側の異常であるか或いは不揮発性メモリ手段側の異常であるかを区別して判定することができる。

【0010】

また、所定のメモリセル群をランダムに書き換えしながら、不揮発性メモリ手段に供給される高電圧の電圧値を判定することにより、書き換え結果に関わりなく、不揮発性メモリ手段側のリークの発生を検出することができる。

【0011】

また、発生された高電圧を外部に出力する必要がないので、そのための外部端子は不要であり、また高電圧発生手段の能力を本来の必要な分以上に上げる必要がない。

また、請求項 2 の半導体装置は、内部回路で用いる高電圧を発生して供給するための高電圧発生回路を有する半導体装置であって、該高電圧発生回路で発生された高電圧に応じた電圧と所定の電圧とを比較した結果に応じて異常の有無を判定する電圧判定手段を備えることを特徴とする。請求項 3 の半導体装置は、請求項 2 に記載の半導体装置の前記電圧判定手段は、前記高電圧を分圧する分圧手段と、該分圧された電圧と前記所定の電圧とを比較する比較手段とを、備えることを特徴とする。請求項 4 の半導体装置は、請求項 2 に記載の半導体装置の前記電圧判定手段は、前記内部回路を動作させない状態で前記高電圧に応じた電圧を前記所定の電圧と比較する第 1 の比較状態と、前記内部回路を動作させた状態で前記高電圧に応じた電圧を前記所定の電圧と比較する第 2 の比較状態とを有し、第 1 の比較状態での比較結果と第 2 の比較状態での比較結果とにより異常の有無を判定することを特徴とする。請求項 5 の半導体装置は、請求項 2 に記載の半導体装置の前記所定の電圧は外部から入力された電圧であり、前記比較手段の出力に応じた信号を外部へ出力する出力端子を有することを特徴とする。請求項 6 の半導体装置は、請求項 2 に記載の半導体装置の前記分圧手段及び前記比較手段は、所定のタイミングでのみ動作することを特徴とする。請求項 7 の半導体装置は、請求項 2 乃至請求項 6 に記載の半導体装置の前記内部回路はメモリセルアレイ、デコーダを含み、データ書き換え時に前記高電圧を使用する不揮発性メモリ手段であることを特徴とする。

【0012】**【発明の実施の形態】**

以下、図面を参照して、本発明の高電圧発生回路を有する半導体装置の実施の形態について説明する。

【0013】

図 1 は、本発明の第 1 の実施の形態に係る半導体装置 100 の全体構成図であり、また、図 2 及び図 3 は、その動作フローを示す図である。

【0014】

図 1 において、半導体装置 100 の外部端子 T1 から電源電圧 Vcc (例えは 3V) が供給される。高電圧発生回路 20 は、チャージポンプ回路等の昇圧回路を備えており、供給される電源電圧 Vcc を昇圧して所定の高電圧 Vpp (例えは 16V) を発生する。

【0015】

不揮発性メモリ 10 は、EEPROM やフラッシュメモリ等であり、電源電圧 Vcc と高電圧 Vpp が供給されるとともに、検査信号を含む各種の制御信号 CONT が供給される。不揮発性メモリ 10 には、メモリセルを m 行 n 列に並べたメモリセルアレイ 11 、行を選択するローデコーダ 12 、列を選択するカラムデコーダ 13 、データを検出するセンス

アンプ 14、データを入出力する入出力回路 15、これらを制御するための制御回路 16 等を含んでいる。

【0016】

このメモリセルアレイ 11 の消去、書き込み、読み出しの制御は、ローデコーダ 12 とカラムデコーダ 13 で指定される所定のメモリセル群毎に行われる。その消去や書き込み、即ち書き換え時に、高電圧 V_{pp} がメモリセルアレイ 11 やローデコーダ 12、カラムデコーダ 13 等に印加されることになる。

【0017】

本発明では、高電圧発生回路 20 で発生され、不揮発性メモリ 10 に供給される高電圧 V_{pp} を、検査（或いは監視）してその電圧値を判定するための電圧判定手段を設けている。

【0018】

この電圧判定手段は、高電圧 V_{pp} とグランド間に、抵抗値 R_1 と抵抗値 R_2 に分圧する抵抗分圧器 30 と、動作しないときに抵抗分圧器 30 により消費電流が生じるのを防止するための P 型 MOS トランジスタ Q_1 が設けられる。これにより、以降の回路を通常の電源電圧 V_{cc} で動作させることができる。この抵抗分圧器 30 から取り出された分圧電圧 V_p が比較器 OP1 の一方入力（+）に入力される。また、外部端子 T2 に供給される基準電圧 V_{ref} が P 型 MOS トランジスタ Q_2 を介して、比較器 OP1 の他方入力（-）に入力される。トランジスタ Q_1 、 Q_2 のゲートにそれぞれ反転回路 NOT1、NOT2 を介して検査信号 Test が印加される。なお、反転回路 NOT1 はレベルシフト回路を兼ねている。また、トランジスタ Q_1 、 Q_2 はアナログスイッチでも構わない。さらに、検査信号 Test により比較器 OP1 の動作を制御するようにしても良い。

【0019】

検査信号 Test が H レベルになると、トランジスタ Q_1 、 Q_2 がオンし、比較器 OP1 には分圧電圧 V_p と基準電圧 V_{ref} とが入力される。分圧電圧 V_p は、 $V_{pp} \times R_2 / (R_1 + R_2)$ だから抵抗値 R_1 を 3M、抵抗値 R_2 を 1M とすると、高電圧 V_{pp} が 16V 以上であることを検査するためには、基準電圧 V_{ref} を 4V にすればよい。勿論、高電圧発生回路 20 からの高電圧 V_{pp} は、不揮発性メモリ 10 の駆動により若干低下するから、その低下分を余裕分として見込んで設定される。これにより、比較器 OP1 の判定出力は、高電圧 V_{pp} が 16V 以上の時に H レベルになり、16V 未満の時には L レベルになる。

【0020】

次に、このように構成された図 1 の半導体装置の検査動作を、図 2 及び図 3 のフロー図をも参照して説明する。

【0021】

まず、図 2 で、テストを開始（スタート）すると、ステップ S101 で、検査信号 Test を H レベルにし、 Q_1 、 Q_2 をオンする。この段階では、高電圧発生回路 20 の検査のみを目的としており、不揮発性メモリ 10 は駆動されていない。

【0022】

ステップ S102 で、分圧電圧 V_p と基準電圧 V_{ref} とが比較器 OP1 で比較される。比較器 OP1 の比較結果が L レベルの時には、高電圧発生回路 20 から所定の高電圧 V_{pp} が発生されていない。従って、ステップ S103 で高電圧発生回路 20 が異常であると判定し、異常終了する。この異常終了時には、比較器 OP1 からの判定出力 L レベルによって、テスト装置において警報、表示など所要の制御信号を発生させたり、不具合部のリペア動作を行うようにすればよい。一方、比較器 OP1 の比較結果が H レベルの時には、所定の高電圧 V_{pp} が高電圧発生回路 20 から発生されているから、不揮発性メモリ 10 の検査に移る。

【0023】

ステップ S104 で、順次、デコーダ 12、13 で指定される所定のメモリセル群のデータ内容を一律に消去する。

【 0 0 2 4 】

この消去の結果、そのメモリセル群の各メモリセルが消去されたかどうかは、別途モニタされている。このモニタにより、消去されていないメモリセルが発見された場合には、そのメモリセル群は異常であると判定され、少なくともそのメモリセル群は使用されないように処置される。なお、異常であると判定されるメモリセル群には、そのメモリセル群自体及びそのメモリセル群に関係するデコーダなどの周辺回路も含まれる（以下、同様）。この一律の消去についてのモニタ及び処置については、一律の書き込みの場合、及びランダムの書き換えの場合にも、同様に適用される。

【 0 0 2 5 】

ステップ S 1 0 5 で、比較器 O P 1 での比較結果が L レベルの時には、ステップ S 1 0 2 で正常と判定されている高電圧発生回路 2 0 の高電圧が当該メモリセル群の駆動により低下したことになるから、ステップ S 1 0 6 で当該メモリセル群は異常であると判定され、少なくともそのメモリセル群は使用されないように処置されて、異常終了する。

【 0 0 2 6 】

なお、ステップ S 1 0 6 で当該メモリセル群が異常であると判定された場合に、検査フローを終了するのではなく、その次のメモリセル群の検査に移るようにしてよい。このためには、ステップ S 1 0 6 の異常判定後に、ステップ S 1 0 4 に移るフローとすればよい。この異常判定後の処理フローは、他の異常判定ステップ（他の実施の形態を含む）においても同様に適用することができる。

【 0 0 2 7 】

ステップ S 1 0 7 で、ステップ S 1 0 4 で一律消去されたメモリセル群を、一律に書き込む。そして、ステップ S 1 0 8 で比較器 O P 1 での比較結果が L レベルの時には、再びステップ S 1 0 6 で当該メモリセル群は異常であると判定され、少なくともそのメモリセル群は使用されないように処置されて、異常終了する。

【 0 0 2 8 】

ステップ S 1 0 8 で、比較器 O P 1 での比較結果が H レベルの時には、そのメモリセル群は一律書き換え（即ち、消去及び書き込み）の検査では正常と判定される。

【 0 0 2 9 】

ステップ S 1 0 9 で、全てのメモリセル群についてステップ S 1 0 4 ~ ステップ S 1 0 8 の処理が行なわれたかどうかを判断し、全てのメモリセル群に対する一律書き換えの検査が終了したとき、図 3 のフロー図に移る。

【 0 0 3 0 】

図 3 のフローでは、メモリセル群毎に所要の種類のランダムパターンで、書き換え（即ち、消去 / 書き込み）を行う。

【 0 0 3 1 】

ステップ S 1 1 0 で、あるメモリセル群を任意のランダムパターンで書き換える。

【 0 0 3 2 】

このランダムパターンでの書き換えでは、一律の書き込みや消去の場合と異なり、隣り合うメモリセル間や対応する周辺回路の配線間でリークなどが発生している場合に、不揮発性メモリ 1 0 に供給されている高電圧 V p p の電圧値が低下する。

【 0 0 3 3 】

高電圧 V p p の電圧値が低下した場合には、メモリセルの書き換え動作が完全には行われないことになる。もし、結果的に、書き換わったとしても、そのときのメモリセルのスレッショルド電圧 V t h が正常時に 0 V から 5 V に書き変わるはずが、例えば 0 V から 3 V にしかならない、といった状態が発生する。

【 0 0 3 4 】

従来であれば、この場合には、書き換え結果を別途モニタしていたとしても、結果的に、そのメモリセル群の各メモリセルが正常に書き換えられたと認識されてしまうから、そのようなリークを発見することはできない。

【 0 0 3 5 】

本発明では、ステップ S 111 で比較器 O P 1 での比較結果を判定している。そして、その比較結果が L レベルの時には、ステップ S 112 で当該メモリセル群はリークなどにより異常であると判定され、少なくともそのメモリセル群は使用されないように処置され、異常終了する。

【 0 0 3 6 】

そのメモリセル群について、ステップ S 113 で、所要の種類のランダムパターンでの書き換えが行われたかどうかを判断し、所要の種類のランダムパターンでの書き換えの検査を実行する。

【 0 0 3 7 】

ステップ S 114 で、ステップ S 110 ~ S 113 の処理を全てのメモリセル群について行って、終了する。この場合は、高電圧発生回路 20 及び不揮発性メモリ 10 の両方が正常であると判定されたことになる。

【 0 0 3 8 】

このように、不揮発性メモリ 10 に供給される高電圧 V pp の電圧値を判定するから、半導体装置 100 の検査時に、高電圧発生回路 20 側と不揮発性メモリ 10 側とを切り分けて検査することにより、半導体装置 100 に発生した異常が、高電圧発生回路 20 側の異常であるか或いは不揮発性メモリ 10 側の異常であるかを区別して判定できる。

【 0 0 3 9 】

また、所定のメモリセル群をランダムに書き換えしながら、不揮発性メモリ 10 に供給される高電圧 V pp の電圧値を判定するから、各々のメモリセルの書き換え結果に関わりなく、不揮発性メモリ 10 内のリークの発生を検出できる。

【 0 0 4 0 】

図 4 は、本発明の第 2 の実施の形態に係る半導体装置 200 の全体構成図であり、また、図 5 ~ 図 7 は、その動作フローを示す図である。

【 0 0 4 1 】

図 4 において、半導体装置 200 は、図 1 の半導体装置と比較して、抵抗分圧器 30 がその分圧比を変更できる可変型となっていること、その分圧比を変化させるためのセレクタ 40 を設けていること、及び基準電圧 V ref を発生する基準電圧発生回路 50 を設けていること、検査信号 Test によって基準電圧発生回路 50 及び比較器 O P 1 を制御していることが、異なっている。また、トランジスタ Q 2 及び反転回路 NOT 2 が削除されている。その他の点は、図 1 と同様であるので、異なる点について説明する。

【 0 0 4 2 】

抵抗分圧器 30 は、抵抗値 R 1、R 2 による分圧比を変えることができるよう構成されている。このためには、例えば、多数の抵抗を直列に接続し、その多数の接続点から電圧取り出し用に配線を引き出し、それらの引出配線の 1 つから分圧電圧 V p を得るようすればよい。

【 0 0 4 3 】

セレクタ 40 は、抵抗分圧器 30 からの多数の引出配線のうちの 1 つを比較器 O P 1 の入力端子に接続するように選択して、分圧電圧 V p を供給するように構成されている。具体的には、可逆シフトレジスタを用いて、比較器 O P 1 の出力 ‘ H レベル ’ または ‘ L レベル ’ により、上(右)シフトと、下(左)シフトを切り替えて、セレクト位置を任意の方向にシフトすることができる。どの引出配線の電圧を分圧電圧 V p として選択するかは、比較器 O P 1 の出力に応じてセレクタ 40 のセレクト位置を変化させることにより行う。また、そのセレクタ 40 の選択されたセレクト位置は、基準電圧 V ref との関係で高電圧 V pp の電圧値を表す (V pp - V ref × (R 1 + R 2) / R 2) から、このセレクト位置を出力してその時点での高電圧 V pp の電圧値を得ることができるように構成される。

【 0 0 4 4 】

また、基準電圧発生回路 50 は、半導体装置 200 の内部で基準電圧 V ref を発生させるもので、例えばバンドギャップ型定電圧回路を用いることにより、温度などに影響され

にくい基準電圧を得ることができる。この場合、基準電圧 V_{ref} 用の外部端子が不要となる。

【0045】

次に、このように構成された図4の半導体装置の検査動作を、図5～図7のフロー図をも参照して説明する。

【0046】

まず、図5を参照して、スタートすると、ステップS201で、検査信号 T_{est} をHレベルにし、トランジスタQ1をオンするとともに、基準電圧発生回路50を制御して基準電圧 V_{ref} を発生し、また比較器OP1を動作させる。この段階では、高電圧発生回路20の検査のみを目的としており、不揮発性メモリ10は駆動されていない。

【0047】

ステップS202で、選択されている分圧電圧 V_p と基準電圧 V_{ref} とが比較器OP1で比較される。

【0048】

ステップS202で比較器OP1の出力がHレベルの時は、高電圧 V_{pp} が高いのでどの程度の電圧値であるかを調べるために、ステップS203でセレクタ40のセレクト位置を1タップだけ下げる。そして、ステップS204で再び比較器OP1の出力を判定し、Hレベルの時にはさらにセレクタ40のセレクト位置を1タップだけ下げる。この処理を、ステップS204で比較器OP1の出力がLレベルになるまで繰り返す。Lレベルになると、ステップS205でセレクト位置を1タップ上げる。

【0049】

そして、ステップS206で、高電圧 V_{pp} の値をセレクト位置と基準電圧 V_{ref} とに基づいて計算により求める。そして、求めた高電圧 V_{pp} が許容値以内かどうか判定する。高電圧 V_{pp} が許容値範囲外（この場合には予定値よりも高いことが検出される）の場合には、ステップS207で高電圧発生回路20が異常であると判定して、異常終了する。また、高電圧 V_{pp} が許容値範囲内の場合には、ステップS208で高電圧 V_{pp} の値を記憶する。

【0050】

一方、ステップS202で比較器OP1の出力がLレベルの時は、高電圧 V_{pp} が低いのでどの程度の電圧値であるかを調べるために、ステップS209でセレクタ40のセレクト位置を1タップだけ上げる。そして、ステップS210で再び比較器OP1の出力を判定し、Lレベルの時にはさらにセレクタ40のセレクト位置を1タップだけ下げる。この処理を、ステップS210で比較器OP1の出力がHレベルになるまで繰り返す。

【0051】

そして、ステップS211で、高電圧 V_{pp} の値をセレクト位置と基準電圧 V_{ref} とに基づいて計算により求める。求めた高電圧 V_{pp} が許容値以内かどうか判定する。高電圧 V_{pp} が許容値範囲外（この場合には予定値よりも低いことが検出される）の場合には、ステップS207で高電圧発生回路20が異常であると判定して、異常終了する。また、高電圧 V_{pp} が許容値範囲内の場合には、ステップS208で高電圧 V_{pp} の値を記憶する。

【0052】

なお、セレクタ40のセレクト位置が最高の位置からスタートする場合には、図5のフロー中でステップS209～S211は省略できる。また、逆に、セレクタ40のセレクト位置が最低の位置からスタートする場合には、図5のフロー中でステップS203～S206は省略できる。

【0053】

この高電圧発生回路20単独での高電圧 V_{pp} の値が求められたら、図6のフロー図に移る。

【0054】

図6のフローでは、メモリセル群毎に一律の書き換え（即ち、消去及び書き込み）を行う

。この図6のフローは、図2のステップS104～ステップS109と同様である。各ステップを対応させると、ステップS220がステップS104に、ステップS221がステップS105に、ステップS222がステップS106に、ステップS223がステップS107に、ステップS224がステップS108に、ステップS225がステップS109になる。従って、ステップS225で全てのメモリセル群に対する一律書き換えの検査が終了したとき、図7のフロー図に移る。

【0055】

図7のフローでは、メモリセル群毎に所要の種類のランダムパターンで、書き換え（即ち、消去／書き込み）を行う。この図7のフローは、図3のステップS110～ステップS114と同様である。各ステップを対応させると、ステップS231がステップS110に、ステップS232がステップS111に、ステップS233がステップS112に、ステップS234がステップS113に、ステップS235がステップS114になる。ステップS235で、全てのメモリセル群について行って終了すると、高電圧発生回路20及び不揮発性メモリ10の両方が正常であると判定されたことになる。

【0056】

図6、図7のフロー図においては、ステップS221、ステップS224及びステップS232において、比較器OP1での比較結果がLレベルの時には、直ちにステップS222及びステップS233で当該メモリセル群は異常であると判定している。

【0057】

しかし、この第2の実施の形態では、セレクタ40のセレクト位置に対応して分圧電圧Vpを変更できるから、高電圧Vppが低い場合にどの程度低いのかを判定することが可能である。この判定手法を、代表してステップS233について、図8のフロー図を参照して説明する。

【0058】

ステップS232で比較器OP1出力がLレベルになった場合を想定する。この場合には、まずステップS301でセレクタ40のセレクト位置を1タップ上げる。これによって、分圧電圧Vpは1タップ分だけ高くなるので、この状態でステップS302で再び比較器OP1の出力を判定する。

【0059】

このステップS302での判定がHレベルであれば、高電圧Vppの電圧低下は1タップ分以内であることが判明したので、この場合はメモリセル群は異常でないと判定することができる。

【0060】

ステップS302での判定でもLレベルであれば、高電圧Vppの電圧低下は大きいので、この場合はメモリセル群は異常である判定（S233）して、異常終了する。

【0061】

なお、どちらの判定になったとしても、次のメモリセル群の検査のために、ステップS303にて、セレクト位置を1タップ下げて元に戻しておくことが必要である。

【0062】

この図8の判定手法は、1タップに限らず、2タップ以上に亘って、採用することができる。また、この結果に基づいて、昇圧電圧である高電圧Vppを調整するようにしてもよい。

【0063】

このように、第2の実施の形態では、分圧器30を分圧比可変型とし、その分圧比を比較器OP1の出力により変更する。また、比較器OP1の出力により分圧器30の分圧比の変更操作を行うとともに、その変更された選択位置（即ち、セレクト位置）を出力するセレクタ40を設ける。これにより、分圧電圧Vpが基準電圧Vrefに合致するように、セレクタ40が分圧器30の分圧比を変更するから、そのセレクタ40の選択位置によって不揮発性メモリ10に供給される高電圧Vppの電圧値を知ることができる。従って、正常或いは異常の判定をより精度良く行うことができる。

【0064】

なお、各実施の形態において、検査信号 T_{est} が印加された場合に高電圧 V_{pp} を基準電圧 V_{ref} と比較するようにしているが、この高電圧 V_{pp} の比較を常時行うようにしても良く、また定期的に行うようにしても良い。このように検査時以外にも高電圧 V_{pp} を監視することにより、実使用中の不揮発性メモリの劣化を検出することができる。

【0065】

【発明の効果】

本発明によれば、内部回路で用いる高電圧を発生して供給するための高電圧発生回路を有する半導体装置において、該高電圧発生回路で発生された高電圧に応じた電圧と所定の電圧とを比較した結果に応じて異常の有無を判定する電圧判定手段を備えているので、半導体装置の検査時に、高電圧発生回路側と内部回路側とを切り分けて検査することにより、発生した異常が、高電圧発生回路側の異常であるか或いは内部回路側の異常であるかを区別して判定することができるようになる。特に、高電圧を用いる内部回路が不揮発性メモリ手段の場合には、不揮発性メモリ手段に供給される高電圧の電圧値を判定するから、半導体装置の検査時に、高電圧発生手段側と不揮発性メモリ手段側とを切り分けて検査することにより、発生した異常が、高電圧発生手段側の異常であるか或いは不揮発性メモリ手段側の異常であるかを区別して判定することができる。

【0066】

また、所定のメモリセル群をランダムに書き換えしながら、不揮発性メモリ手段に供給される高電圧の電圧値を判定することにより、書き換え結果に関わりなく、不揮発性メモリ手段側のリークの発生を検出することができる。

【0067】

また、発生された高電圧を外部に出力する必要がないので、そのための外部端子は不要であり、また高電圧発生手段の能力を本来の必要な分以上に上げる必要がない。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体装置の全体構成図。

【図2】図1の動作フローを示す図。

【図3】図1の動作フローを示す図。

【図4】本発明の第2の実施の形態に係る半導体装置の全体構成図。

【図5】図4の動作フローを示す図。

【図6】図4の動作フローを示す図。

【図7】図4の動作フローを示す図。

【図8】図6、図7の動作フローの変形を示す図。

【符号の説明】

100、200 半導体装置

10 不揮発性メモリ

11 メモリセルアレイ

12 ローデコーダ

13 カラムデコーダ

14 センスアンプ

15 入出力回路

16 制御回路

20 高電圧発生回路

30 抵抗分圧器

40 セレクタ

50 基準電圧発生回路

O P 1 比較器

Q 1、Q 2 M O Sトランジスタ

V_{pp} 高電圧

V_p 分圧電圧

Vref 基準電圧

Test 検査信号

【手続補正2】

【補正対象書類名】手続補正書

【補正対象項目名】手続補正2

【補正方法】削除

【補正の内容】