

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成30年3月15日(2018.3.15)

【公表番号】特表2017-516289(P2017-516289A)

【公表日】平成29年6月15日(2017.6.15)

【年通号数】公開・登録公報2017-022

【出願番号】特願2016-551164(P2016-551164)

【国際特許分類】

H 01 L	21/02	(2006.01)
H 01 L	29/47	(2006.01)
H 01 L	29/872	(2006.01)
H 01 L	21/329	(2006.01)
H 01 L	21/28	(2006.01)
H 01 L	29/868	(2006.01)
H 01 L	29/861	(2006.01)
C 25 D	11/32	(2006.01)
H 01 L	21/306	(2006.01)
H 01 L	21/3063	(2006.01)

【F I】

H 01 L	21/02	B
H 01 L	29/48	D
H 01 L	29/48	P
H 01 L	21/28	3 0 1 B
H 01 L	29/91	A
H 01 L	29/91	F
H 01 L	29/86	3 0 1 P
H 01 L	29/86	3 0 1 D
C 25 D	11/32	
H 01 L	21/306	B
H 01 L	21/306	L

【手続補正書】

【提出日】平成30年1月31日(2018.1.31)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項8

【補正方法】変更

【補正の内容】

【請求項8】

前記第1の半導体層および前記第2の半導体層は、それぞれ、窒化ガリウムまたは窒化ガリウム合金を含む、請求項5に記載の方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】変更

【補正の内容】

【0041】

図4Bは、n-エピ層104の上に多層半導体デバイス410が設けられた状態で、図4Aの多層構造を例示する。1つの実施例において、多層半導体デバイス410は、P-I

Nダイオードとすることができる、PINダイオード構造を形成するために、非ドープおよび/または低導電性の半導体層によって分離される、異なる導電率および/またはドーパントを持つ1つまたは複数の半導体層を含むことができる。描寫されるように、多層半導体デバイス410は、例えば、オーム性接触層412、オーム性接触層412の上に配置されたドリフト層414、およびドリフト層414の上に配置されたオーム性接触層416を含み得る。多層半導体デバイス410の層の材料は、n⁺基板102およびn-エピ層104の材料と類似または同一とすることができます、(例えば)分子線エピタキシ(MBE)、超高真空化学気相成長(UHV-CVD)などの、さまざまなエピタキシャル成長プロセスによって形成され得る。描寫された層412、414、416の厚さは、使われる製造プロセスおよび結果として生じるダイオードの望ましい機能性に応じて、変化し得る。1つの実施例において、n-エピ層104は、有利には、本明細書で説明した電気化学エッチング処理の間に、PINダイオードの1つまたは複数の高導電性半導体層412、416をエッチングされることから保護することを容易にする、停止層としての役割を果たし得ることに留意されたい。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0061

【補正方法】変更

【補正の内容】

【0061】

図7Cは、多層半導体デバイス710の上に接触層714を設けた後、図7Bの多層構造を例示する。接触層714は、例えば、半導体層712へのオーム性接触としての役割を果たすことができ、接触層514(図5C)の材料と類似とすることができます、例えば、接触層514に対して上で述べた析出プロセスの1つを使用して形成され得る。