



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0078647
(43) 공개일자 2017년07월07일

(51) 국제특허분류(Int. Cl.)
H02M 3/158 (2006.01) H02M 1/00 (2007.01)
(52) CPC특허분류
H02M 3/158 (2013.01)
H02M 2001/0012 (2013.01)
(21) 출원번호 10-2017-7011518
(22) 출원일자(국제) 2015년10월02일
심사청구일자 없음
(85) 번역문제출일자 2017년04월27일
(86) 국제출원번호 PCT/US2015/053706
(87) 국제공개번호 WO 2016/073090
국제공개일자 2016년05월12일
(30) 우선권주장
14/534,034 2014년11월05일 미국(US)

(71) 출원인
켈컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
차키라라, 수바라오 수렌드라
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
첸, 지웨이
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(74) 대리인
특허법인 남앤드남

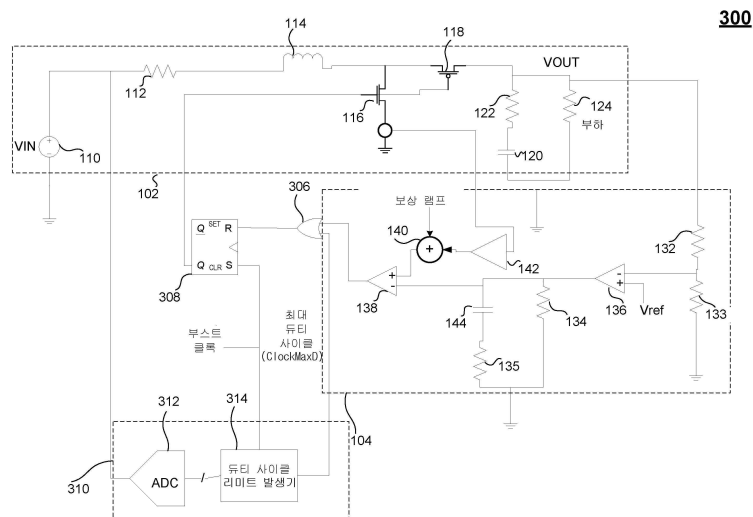
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 자체-적응형 최대 듀티-사이클-리미트 제어를 갖는 부스트 컨버터들

(57) 요약

일 실시예에서, 제어 회로는, 부스트 컨버터의 듀티 사이클을 조절하고, 그리고 입력 전압에 대한 응답으로 부스트 컨버터의 출력 전압을 제어하도록 부스트 컨버터의 듀티 사이클을 조절하기 위해 부스트 컨버터에 제공될 제어 신호를 발생시키도록 그리고 부스트 컨버터에 제공되는 입력 전압을 수신하도록 구성되는 듀티 사이클 리미터 발생기를 포함한다. 일 실시예에서, 최대 듀티 사이클 리미터 발생기는 부스트 컨버터의 출력 전압에 대한 응답으로 최대 듀티 사이클 신호를 추가로 발생시킨다.

대표도 - 도3



(52) CPC특허분류
H02M 2001/0022 (2013.01)

명세서

청구범위

청구항 1

부스트 컨버터의 듀티 사이클을 조절하기 위한 제어 회로로서,

상기 부스트 컨버터에 제공되는 입력 전압을 수신하고, 상기 입력 전압에 대한 응답으로 상기 부스트 컨버터의 출력 전압을 제어하도록 상기 부스트 컨버터의 상기 듀티 사이클을 조절하기 위해 상기 부스트 컨버터에 제공될 제어 신호를 발생시키도록 구성되는 듀티 사이클 리미터 발생기(duty cycle limiter generator)를 포함하는,

부스트 컨버터의 듀티 사이클을 조절하기 위한 제어 회로.

청구항 2

제 1 항에 있어서,

상기 듀티 사이클 리미터 발생기는:

상기 부스트 컨버터의 입력 전압에 대한 응답으로 디지털화된 신호를 발생시키기 위한 아날로그-디지털 컨버터; 및

상기 아날로그-디지털 컨버터에 의해 발생하는 상기 디지털화된 신호에 대한 응답으로 상기 부스트 컨버터의 상기 듀티 사이클을 제한하기 위해 최대 듀티 사이클 신호를 발생시키기 위한 최대 듀티 사이클 리미트 발생기를 포함하는,

부스트 컨버터의 듀티 사이클을 조절하기 위한 제어 회로.

청구항 3

제 2 항에 있어서,

상기 최대 듀티 사이클 리미트 발생기는:

상기 부스트 컨버터를 제어하도록 제공된 스위칭 신호에 대한 응답으로 전류를 제공하기 위한 전류 제한 버퍼(current starved buffer);

상기 전류 제한 버퍼의 출력과 접지 사이에 커플링된 커패시터;

상기 디지털화된 신호에 대한 응답으로 기준 전압을 발생시키기 위한 기준 전압 선택 회로; 및

상기 커패시터 양단의 전압 및 상기 기준 전압에 대한 응답으로 최대 듀티 사이클 신호를 발생시키기 위한 비교기를 포함하는,

부스트 컨버터의 듀티 사이클을 조절하기 위한 제어 회로.

청구항 4

제 1 항에 있어서,

상기 최대 듀티 사이클 리미트 발생기는 상기 부스트 컨버터의 출력 전압에 대한 응답으로 상기 최대 듀티 사이클 신호를 추가로 발생시키는,

부스트 컨버터의 듀티 사이클을 조절하기 위한 제어 회로.

청구항 5

제 1 항에 있어서,

상기 최대 듀티 사이클 리미트 발생기는:

상기 부스트 컨버터의 상기 입력 전압 및 출력 전압에 대한 응답으로 전류를 발생시키기 위한 전압-전류

컨버터;

상기 전류를 타이밍하기 위한 아날로그 타이머; 및

타이밍된 전류에 대한 응답으로 최대 듀티 사이클 신호를 발생시키기 위한 듀티 사이클 리미트 발생기를 포함하는,

부스트 컨버터의 듀티 사이클을 조절하기 위한 제어 회로.

청구항 6

제 5 항에 있어서,

상기 아날로그 타이머는 상기 전류를 저장하기 위해 상기 전압-전류 컨버터의 출력에 커플링된 커패시터인,

부스트 컨버터의 듀티 사이클을 조절하기 위한 제어 회로.

청구항 7

제 5 항에 있어서,

상기 최대 듀티 사이클 리미트 발생기는:

상기 전압-전류 컨버터로부터의 전류에 대한 응답으로 바이어스 전류를 발생시키기 위한 가변 전류원;

상기 부스트 컨버터를 제어하도록 제공된 스위칭 신호 및 상기 바이어스 전류에 대한 응답으로 버퍼 전류를 제공하기 위한 버퍼;

상기 전류 제한 버퍼의 출력과 접지 사이에 커플링된 커패시터; 및

상기 커패시터 양단의 전압 및 기준 전압에 대한 응답으로 최대 듀티 사이클 신호를 발생시키기 위한 비교기를 포함하는,

부스트 컨버터의 듀티 사이클을 조절하기 위한 제어 회로.

청구항 8

부스트 컨버터의 듀티 사이클을 조절하기 위한 방법으로서,

상기 부스트 컨버터에 제공되는 입력 전압을 수신하는 단계; 및

상기 입력 전압에 대한 응답으로 상기 부스트 컨버터의 출력 전압을 제어하도록 상기 부스트 컨버터의 상기 듀티 사이클을 조절하기 위해 상기 부스트 컨버터에 제공하기 위한 제어 신호를 발생시키는 단계를 포함하는,

부스트 컨버터의 듀티 사이클을 조절하기 위한 방법.

청구항 9

제 8 항에 있어서,

상기 제어 신호를 발생시키는 단계는:

상기 부스트 컨버터의 상기 입력 전압에 대한 응답으로 디지털화된 신호를 발생시키는 단계; 및

상기 디지털화된 신호에 대한 응답으로 상기 부스트 컨버터의 상기 듀티 사이클을 제한하기 위해 최대 듀티 사이클 신호를 발생시키는 단계를 포함하는,

부스트 컨버터의 듀티 사이클을 조절하기 위한 방법.

청구항 10

제 9 항에 있어서,

상기 최대 듀티 사이클 신호를 발생시키는 단계는:

상기 부스트 컨버터를 제어하도록 제공된 스위칭 신호에 대한 응답으로 전류를 발생시키는 단계;

상기 전류를 저장하는 단계;

상기 디지털화된 신호에 대한 응답으로 기준 전압을 발생시키는 단계; 및

최대 듀티 사이클 신호를 발생시키기 위해, 저장된 버퍼 전류와 상기 기준 전압을 비교하는 단계를 포함하는, 부스트 컨버터의 듀티 사이클을 조절하기 위한 방법.

청구항 11

제 8 항에 있어서,

상기 제어 신호를 발생시키는 단계는, 상기 부스트 컨버터의 상기 입력 전압 및 출력 전압에 대한 응답으로 제어 신호를 발생시키는 단계를 더 포함하는,

부스트 컨버터의 듀티 사이클을 조절하기 위한 방법.

청구항 12

제 8 항에 있어서,

상기 제어 신호를 발생시키는 단계는:

상기 부스트 컨버터의 상기 입력 전압 및 출력 전압에 대한 응답으로 전류를 발생시키는 단계;

발생된 전류를 타이밍하는 단계; 및

타이밍된 전류에 대한 응답으로 최대 듀티 사이클 신호를 발생시키는 단계를 포함하는,

부스트 컨버터의 듀티 사이클을 조절하기 위한 방법.

청구항 13

제 12 항에 있어서,

상기 발생된 전류를 타이밍하는 단계는, 상기 발생된 전류의 전하를 저장하는 단계를 포함하는,

부스트 컨버터의 듀티 사이클을 조절하기 위한 방법.

청구항 14

제 12 항에 있어서,

상기 최대 듀티 사이클 신호를 발생시키는 단계는:

상기 발생된 전류에 대한 응답으로 바이어스 전류를 발생시키는 단계;

상기 부스트 컨버터를 제어하도록 제공된 스위칭 신호 및 상기 바이어스 전류에 대한 응답으로 버퍼 전류를 발생시키는 단계;

상기 버퍼 전류를 저장하는 단계; 및

저장된 버퍼 전류를 나타내는 전압 및 기준 전압에 대한 응답으로 최대 듀티 사이클 신호를 발생시키기 위해 상기 저장된 버퍼 전류와 기준 전압을 비교하는 단계를 포함하는,

부스트 컨버터의 듀티 사이클을 조절하기 위한 방법.

청구항 15

부스트 컨버터의 듀티 사이클을 조절하기 위한 제어 회로로서,

상기 부스트 컨버터에 제공되는 입력 전압을 수신하기 위한 수단; 및

상기 입력 전압에 대한 응답으로 상기 부스트 컨버터의 출력 전압을 제어하도록 상기 부스트 컨버터의 상기 듀티 사이클을 조절하기 위해 상기 부스트 컨버터에 제공하기 위한 제어 신호를 발생시키기 위한 수단을 포함하는,

부스트 컨버터의 듀티 사이클을 조절하기 위한 제어 회로.

청구항 16

제 15 항에 있어서,

상기 제어 신호를 발생시키기 위한 수단은:

상기 부스트 컨버터의 상기 입력 전압에 대한 응답으로 디지털화된 신호를 발생시키기 위한 수단; 및

상기 디지털화된 신호에 대한 응답으로 상기 부스트 컨버터의 상기 듀티 사이클을 제한하기 위해 최대 듀티 사이클 신호를 발생시키기 위한 수단을 포함하는,

부스트 컨버터의 듀티 사이클을 조절하기 위한 제어 회로.

청구항 17

제 16 항에 있어서,

상기 최대 듀티 사이클 신호를 발생시키기 위한 수단은:

상기 부스트 컨버터를 제어하도록 제공된 스위칭 신호에 대한 응답으로 전류를 발생시키기 위한 수단;

상기 전류를 저장하기 위한 수단;

상기 디지털화된 신호에 대한 응답으로 기준 전압을 발생시키기 위한 수단; 및

최대 듀티 사이클 신호를 발생시키기 위해, 저장된 버퍼 전류와 상기 기준 전압을 비교하기 위한 수단을 포함하는,

부스트 컨버터의 듀티 사이클을 조절하기 위한 제어 회로.

청구항 18

제 15 항에 있어서,

상기 제어 신호를 발생시키기 위한 수단은, 상기 부스트 컨버터의 상기 입력 전압 및 출력 전압에 대한 응답으로 상기 제어 신호를 발생시키기 위한 수단을 더 포함하는,

부스트 컨버터의 듀티 사이클을 조절하기 위한 제어 회로.

청구항 19

제 15 항에 있어서,

상기 제어 신호를 발생시키기 위한 수단은:

상기 부스트 컨버터의 상기 입력 전압 및 출력 전압에 대한 응답으로 전류를 발생시키기 위한 수단;

발생된 전류를 타이밍하기 위한 수단; 및

타이밍된 전류에 대한 응답으로 최대 듀티 사이클 신호를 발생시키기 위한 수단을 포함하는,

부스트 컨버터의 듀티 사이클을 조절하기 위한 제어 회로.

청구항 20

제 19 항에 있어서,

상기 발생된 전류를 타이밍하기 위한 수단은, 발생된 전류의 전하를 저장하기 위한 수단을 포함하는,

부스트 컨버터의 듀티 사이클을 조절하기 위한 제어 회로.

발명의 설명

기술 분야

[0001] 관련 출원들에 대한 상호 참조

[0002] [0001] 35 U.S.C. § 119(e)에 따라, 본 출원은, 2014년 11월 5일자로 출원된 U.S. 출원 제14/534,034호의 출원일의 이익을 주장하고 이를 우선권으로 주장하며, 그 내용은 모든 목적을 위해 그 전체가 참조로 본원에 포함된다.

배경 기술

[0003] [0002] 본 개시내용은, 부스트 컨버터들, 특히, 자체-적응형 최대 듀티-사이클-리미트 제어를 갖는 부스트 컨버터들에 관한 것이다.

[0004] [0003] 본원에 달리 명시되지 않는 한, 이 섹션에서 설명된 접근방식들은 이 섹션에 포함됨으로 인해 종래 기술이 되는 것으로 인정되지는 않는다.

[0005] [0004] 부스트 컨버터들은, 고정 듀티 사이클에서 부스트 컨버터를 스위칭함으로써 입력 전압(Vin) 보다 더 높은 출력 전압(Vout)을 발생시킨다. 부스트 컨버터가 더 낮은 입력 전압들에서 더 높은 출력 부하들을 구동할 때, 부스트 컨버터에 의한 허용가능한 규제를 달성하는 것은 어려울 수 있다. 이러한 문제는, 부스트 컨버터의 이득이 높고 큰 변동을 가질 때 종종 발생한다. 예컨대, 입력 전압(Vin)은 2.5볼트 내지 4.7볼트로 변할 수 있는 반면, 출력 전압(Vout)은 10볼트에 있다(부스트 컨버터에 의해 2.12 내지 4.0의 이득을 생성한다).

[0006] [0005] 허용가능한 신뢰도 및 허용가능한 스파이크 레벨들을 달성하는 것은, 입력 전압(Vin)이 타겟 출력 전압(Vout)에 매우 가까울 때에는 어려울 수 있다. 이러한 예시에서, 듀티 사이클은 더 낮아야만 한다. 듀티 사이클이 고정되기 때문에, 최대 듀티 사이클에 의해 정의되는 가능한 최대 출력 전압은 부스트 컨버터의 타겟 출력 전압보다 훨씬 더 높을 수 있다.

발명의 내용

[0007] [0006] 본 개시내용은 자체-적응형 최대 듀티-사이클-리미트 제어를 갖는 부스트 컨버터들을 설명한다.

[0008] [0007] 일 실시예에서, 제어 회로는 부스트 컨버터의 듀티 사이클을 조절한다. 제어 회로는, 부스트 컨버터에 제공되는 입력 전압을 수신하고, 입력 전압에 대한 응답으로 부스트 컨버터의 출력 전압을 제어하도록 부스트 컨버터의 듀티 사이클을 조절하기 위해 부스트 컨버터에 제공될 제어 신호를 발생시키도록 구성되는 듀티 사이클 리미터 발생기(duty cycle limiter generator)를 포함한다.

[0009] [0008] 일 실시예에서, 듀티 사이클 리미터 발생기는, 부스트 컨버터의 입력 전압에 대한 응답으로 디지털화된 신호를 발생시키기 위한 아날로그-디지털 컨버터; 및 아날로그-디지털 컨버터에 의해 발생된 디지털화된 신호에 대한 응답으로 부스트 컨버터의 듀티 사이클을 제한하도록 최대 듀티 사이클 신호를 발생시키기 위한 최대 듀티 사이클 리미터 발생기를 포함한다.

[0010] [0009] 일 실시예에서, 최대 듀티 사이클 리미터 발생기는, 부스트 컨버터를 제어하도록 제공된 스위칭 신호에 대한 응답으로 전류를 제공하기 위한 전류 제한 버퍼(current starved buffer); 전류 제한 버퍼의 출력과 접지 사이에 커플링된 커패시터; 디지털화된 신호에 대한 응답으로 기준 전압을 발생시키기 위한 기준 전압 선택 회로; 및 커패시터 양단의 전압 및 기준 전압에 대한 응답으로 최대 듀티 사이클 신호를 발생시키기 위한 비교기를 포함한다.

[0011] [0010] 일 실시예에서, 최대 듀티 사이클 리미터 발생기는 부스트 컨버터의 출력 전압에 대한 응답으로 최대 듀티 사이클 신호를 추가로 발생시킨다.

[0012] [0011] 일 실시예에서, 최대 듀티 사이클 리미터 발생기는: 부스트 컨버터의 입력 전압 및 출력 전압에 대한 응답으로 전류를 발생시키기 위한 전압-전류 컨버터; 전류를 타이밍하기 위한 아날로그 타이머; 및 타이밍된 전류에 대한 응답으로 최대 듀티 사이클 신호를 발생시키기 위한 듀티 사이클 리미터 발생기를 포함한다.

[0013] [0012] 일 실시예에서, 아날로그 타이머는 전류를 저장하기 위해 전압-전류 컨버터의 출력에 커플링된 커패시터이다.

[0014] [0013] 일 실시예에서, 최대 듀티 사이클 리미터 발생기는, 전압-전류 컨버터로부터의 전류에 대한 응답으로 바이어스 전류를 발생시키기 위한 가변 전류원; 부스트 컨버터를 제어하도록 제공된 스위칭 신호 및 바이어스 전류에 대한 응답으로 버퍼 전류를 제공하기 위한 버퍼; 전류 제한 버퍼의 출력과 접지 사이에 커플링된 커패시터; 및 커패시터 양단의 전압 및 기준 전압에 대한 응답으로 최대 듀티 사이클 신호를 발생시키기 위한

비교기를 포함한다.

- [0015] [0014] 일 실시예에서, 방법은, 부스트 컨버터의 듀티 사이클을 조절하기 위한 것이다. 방법은, 부스트 컨버터에 제공되는 입력 전압을 수신하는 단계; 및 입력 전압에 대한 응답으로 부스트 컨버터의 출력 전압을 제어하도록 부스트 컨버터의 듀티 사이클을 조절하기 위해 부스트 컨버터에 제공하기 위한 제어 신호를 발생시키는 단계를 포함한다.
- [0016] [0015] 일 실시예에서, 제어 신호를 발생시키는 단계는, 부스트 컨버터의 입력 전압에 대한 응답으로 디지털화된 신호를 발생시키는 단계; 및 디지털화된 신호에 대한 응답으로 부스트 컨버터의 듀티 사이클을 제한하기 위해 최대 듀티 사이클 신호를 발생시키는 단계를 포함한다.
- [0017] [0016] 일 실시예에서, 최대 듀티 사이클 신호를 발생시키는 단계는, 부스트 컨버터를 제어하도록 제공된 스위칭 신호에 대한 응답으로 전류를 발생시키는 단계; 전류를 저장하는 단계; 디지털화된 신호에 대한 응답으로 기준 전압을 발생시키는 단계; 및 최대 듀티 사이클 신호를 발생시키기 위해 기준 전압과 저장된 버퍼 전류를 비교하는 단계를 포함한다.
- [0018] [0017] 일 실시예에서, 제어 신호를 발생시키는 단계는, 부스트 컨버터의 입력 전압 및 출력 전압에 대한 응답으로 제어 신호를 발생시키는 단계를 더 포함한다.
- [0019] [0018] 일 실시예에서, 제어 신호를 발생시키는 단계는, 부스트 컨버터의 입력 전압 및 출력 전압에 대한 응답으로 전류를 발생시키는 단계; 발생된 전류를 타이밍하는 단계; 및 타이밍된 전류에 대한 응답으로 최대 듀티 사이클 신호를 발생시키는 단계를 포함한다.
- [0020] [0019] 일 실시예에서, 발생된 전류를 타이밍하는 단계는, 발생된 전류의 전하를 저장하는 단계를 포함한다.
- [0021] [0020] 일 실시예에서, 최대 듀티 사이클 신호를 발생시키는 단계는, 발생된 전류에 대한 응답으로 바이어스 전류를 발생시키는 단계; 부스트 컨버터를 제어하도록 제공된 스위칭 신호 및 바이어스 전류에 대한 응답으로 버퍼 전류를 발생시키는 단계; 버퍼 전류를 저장하는 단계; 및 저장된 버퍼 전류를 나타내는 전압 및 기준 전압에 대한 응답으로 최대 듀티 사이클 신호를 발생시키기 위해 저장된 버퍼 전류와 기준 전압을 비교하는 단계를 포함한다.
- [0022] [0021] 일 실시예에서, 제어 회로는 부스트 컨버터의 듀티 사이클을 조절하기 위한 것이다. 제어 회로는, 부스트 컨버터에 제공되는 입력 전압을 수신하기 위한 수단; 및 입력 전압에 대한 응답으로 부스트 컨버터의 출력 전압을 제어하도록 부스트 컨버터의 듀티 사이클을 조절하기 위해 부스트 컨버터에 제공하기 위한 제어 신호를 발생시키기 위한 수단을 포함한다.
- [0023] [0022] 일 실시예에서, 제어 신호를 발생시키기 위한 수단은, 부스트 컨버터의 입력 전압에 대한 응답으로 디지털화된 신호를 발생시키기 위한 수단; 및 디지털화된 신호에 대한 응답으로 부스트 컨버터의 듀티 사이클을 제한하기 위해 최대 듀티 사이클 신호를 발생시키기 위한 수단을 포함한다.
- [0024] [0023] 일 실시예에서, 최대 듀티 사이클 신호를 발생시키기 위한 수단은, 부스트 컨버터를 제어하도록 제공된 스위칭 신호에 대한 응답으로 전류를 발생시키기 위한 수단; 전류를 저장하기 위한 수단; 디지털화된 신호에 대한 응답으로 기준 전압을 발생시키기 위한 수단; 및 최대 듀티 사이클 신호를 발생시키기 위해 기준 전압과 저장된 버퍼 전류를 비교하기 위한 수단을 포함한다.
- [0025] [0024] 일 실시예에서, 제어 신호를 발생시키기 위한 수단은, 부스트 컨버터의 입력 전압 및 출력 전압에 대한 응답으로 제어 신호를 발생시키기 위한 수단을 더 포함한다.
- [0026] [0025] 일 실시예에서, 제어 신호를 발생시키기 위한 수단은, 부스트 컨버터의 입력 전압 및 출력 전압에 대한 응답으로 전류를 발생시키기 위한 수단; 발생된 전류를 타이밍하기 위한 수단; 및 타이밍된 전류에 대한 응답으로 최대 듀티 사이클 신호를 발생시키기 위한 수단을 포함한다.
- [0027] [0026] 일 실시예에서, 발생된 전류를 타이밍하기 위한 수단은, 발생된 전류의 전하를 저장하기 위한 수단을 포함한다.
- [0028] [0027] 일 실시예에서, 최대 듀티 사이클 신호를 발생시키기 위한 수단은, 발생된 전류에 대한 응답으로 바이어스 전류를 발생시키기 위한 수단; 부스트 컨버터를 제어하도록 제공된 스위칭 신호 및 바이어스 전류에 대한 응답으로 버퍼 전류를 발생시키기 위한 수단; 버퍼 전류를 저장하기 위한 수단; 및 저장된 버퍼 전류를 나타내는 전압 및 기준 전압에 대한 응답으로 최대 듀티 사이클 신호를 발생시키기 위해 저장된 버퍼 전류와 기준 전압을

비교하기 위한 수단을 포함한다.

[0029] [0028] 후술하는 상세한 설명 및 첨부 도면들은 본 개시내용의 속성 및 이점들의 더 나은 이해를 제공한다.

도면의 간단한 설명

[0030] [0029] 후술하는 특히 도면들에 대한 논의와 관련하여, 도시된 특정사항들이 예시적인 논의의 목적을 위한 예시들을 나타내고, 본 개시내용의 원리들 및 개념적 양상들의 설명을 제공하기 위해 제시되는 것이 강조된다. 이와 관련하여, 본 개시내용의 기본적인 이해를 위해 필수적인 것 이외의 구현 세부사항들을 나타내기 위한 어떠한 시도도 이루어지지 않는다. 도면들과 관련하여 후술하는 논의는, 본 발명에 따른 실시예들이 어떻게 실행되는지를 당업자들에게 명백하게 한다. 첨부 도면들에서:

[0030] 도 1은 종래의 부스트 컨버터의 블록도를 도시한다.

[0031] 도 2는 도 1의 종래의 부스트 컨버터의 타이밍도를 도시한다.

[0032] 도 3은 일부 실시예들에 따른 부스트 컨버터의 블록도를 도시한다.

[0033] 도 4는 일부 실시예들에 따른 도 3의 부스트 컨버터의 타이밍도를 도시한다.

[0034] 도 5는 일부 실시예들에 따른 도 3의 부스트 컨버터의 적응형 듀티 사이클의 타이밍도를 도시한다.

[0035] 도 6은 일부 실시예들에 따른 부스트 컨버터의 블록도를 도시한다.

[0036] 도 7은 일부 실시예들에 따른 듀티 사이클 리미터의 블록도를 도시한다.

[0037] 도 8은 일부 실시예들에 따른 듀티 사이클 리미터의 블록도를 도시한다.

[0038] 도 9는 일부 실시예들에 따라 부스트 컨버터의 듀티 사이클을 조절하기 위한 프로세스 흐름을 도시하는 간략화된 도면이다.

[0039] 도 10는 일부 다른 실시예들에 따라 부스트 컨버터의 듀티 사이클을 조절하기 위한 프로세스 흐름을 도시하는 간략화된 도면이다.

발명을 실시하기 위한 구체적인 내용

[0031] [0040] 이하의 설명에서, 설명의 목적들을 위해, 본 개시내용의 완전한 이해를 제공하기 위해 다수의 예시들 및 특정 세부사항들이 설명된다. 그러나, 청구항들에 나타난 것과 같은 본 개시내용은 몇몇 또는 모든 특징들을 이들의 예시들에서만 단독으로 또는 이하 설명된 다른 특징들과 조합하여 포함할 수 있고, 본원에 설명된 특징들 및 개념들의 변형들 및 등가물들을 추가로 포함할 수 있다는 점이 당업자에게 명백하게 될 것이다.

[0032] [0041] 도 1은 종래의 부스트 컨버터(100)의 블록도를 도시한다. 부스트 컨버터(100)는, 부스트 컨버터(102), 피드백 회로(104), OR 게이트(106), 및 RS 플립-플롭(108)을 포함한다. 부스트 컨버터(102)는 입력 DC 전압보다 더 큰 출력 DC 전압을 갖는 전력 컨버터이다. 피드백 회로(104)는, 출력 전압(Vout) 및 인덕터 전류를 검출하고, 출력 전압에 의해 설정된 임계치를 초과하는 인덕터 전류를 나타내는 전압에 대한 응답으로 트리거 신호를 발생시킨다. 피드백 회로(104)는 OR 게이트(106)의 제 1 입력에 그 트리거 신호를 제공한다. OR 게이트(106)의 제 2 입력은, 고정된(이 예시에서는, 50% 듀티에 고정된) 최대 듀티 사이클(ClockMaxD) 신호를 수신한다. OR 게이트(106)는, 트리거 신호 또는 최대 듀티 사이클(ClockMaxD) 신호가 하이인 것에 대한 응답으로, 리셋 신호를 RS 플립-플롭(108)에 제공한다. RS 플립-플롭(108)은 외부 제어기(미도시)로부터의 부스트 클럭 입력 또는 OR 게이트(106)로부터의 리셋 신호에 대한 응답으로 부스트 컨버터(102)를 스위칭하기 위한 제어 신호를 제공한다.

[0033] [0042] 부스트 컨버터(102)는, 입력 전압(VIN) 소스(110), 직렬 저항기(112), 인덕터(114), NMOS 트랜지스터(116), PMOS 트랜지스터(118), 커패시터(120), 유효 직렬 저항기(122), 및 부하 저항기(124)를 포함한다. RS 플립-플롭(108)으로부터의 제어 신호에 대한 응답으로, NMOS 트랜지스터(116)는 인덕터(114) 내에 에너지를 저장하기 위해 부스트 컨버터(102)의 온 페이즈(on phase) 동안 접지에 인덕터(114)를 커플링한다. 온 페이즈 동안, RS 플립-플롭(108)은 PMOS 트랜지스터(118)를 턴 오프한다. 부스트 컨버터(102)의 오프 페이즈 동안, RS 플립-플롭(108)으로부터의 제어 신호는, NMOS 트랜지스터(116)를 턴 오프하고 그리고 PMOS 트랜지스터(118)를 턴 온하여 인덕터(114)에 저장된 전류를 부하 저항기(124)에 제공한다. 커패시터(120)는 유효 직렬 저항기(122)과 직렬로 이상적인 커패시터로서 도시된다. 커패시터(120)는 오프 페이즈 동안 인덕터 전류를 저장한다.

[0034] [0043] 피드백 회로(104)는, 복수의 저항기들(132 및 134), 복수의 비교기들(136 및 138), 합산 회로(140), 및 전류-전압 컨버터(142)를 포함한다. 저항기들(132 및 134)은, 출력 전압(VOUT)과 접지 사이에 직렬로 커플링되고, 출력 전압(VOUT)을 나타내는 피드백 전압을 비교기(136)의 반전 입력에 제공하기 위해 전압 분배기로서 배열된다. 기준 전압(Vref)은 비교기(136)의 비-반전 입력에 제공된다. 비교기(136)는, 기준 전압(Vref)을 초과하는 저항기들(132 및 134)의 분할된 출력 전압으로 표현되는, 임계치를 초과하는 출력 전압(VOUT)에 대한 응답으로 비교기(138)의 반전 입력에 출력 전압 임계 신호를 제공한다. 저항기들(134 및 135) 및 커패시터(144)는 비교기(138)의 출력에 루프 안정성을 위한 필터링을 제공한다. NMOS 트랜지스터(116)의 소스 상의 전류는, 감지되어 NMOS 트랜지스터(116)를 통해 합산회로(140)로 흐르는 전류를 나타내는 전압을 제공하는 전류-전압 컨버터(142)에 제공된다. 보상 램프 신호는, 루프 안정성을 위해, OR 게이트(106)의 제 1 입력에 트리거 신호를 제공하는 비교기(138)의 비-반전 입력에 램프 전압 신호를 제공하는 합산 회로(140)에 제공된다. OR 게이트(106)의 동작이 위에 설명된다.

[0035] [0044] 도 2는 부스트 컨버터(100)의 타이밍도를 도시한다. 라인(202)은 부스트 컨버터(100)의 외부 제어기의 클록 신호의 타이밍을 도시한다. 라인(204)은 라인(202)에 도시된 클록 신호로부터 도출된 50% 클록 신호의 타이밍을 도시한다. 라인(206)은 부스트 컨버터(102)에 의한 부스트의 온-스테이지를 시작하도록 플립-플롭(108)을 설정하기 위해 OR 게이트(106)에 의해 플립-플롭(108)에 제공된 부스트 클록 신호의 타이밍을 도시한다.

[0036] [0045] 라인(208)은 부스트 컨버터(102)에 의한 부스트의 온-스테이지를 종료하도록 플립-플롭(108)을 리셋하기 위해 OR 게이트(106)에 제공된 최대 듀티 사이클 클록 신호의 타이밍을 도시한다. 최대 듀티 사이클 클록 신호의 펄스는 고정된다.

[0037] [0046] 도 3은 일부 실시예들에 따른 부스트 컨버터(300)의 블록도를 도시한다. 부스트 컨버터(300)는, 부스트 컨버터(102), 피드백 회로(104), OR 게이트(306), RS 플립-플롭(308), 및 최대 듀티 사이클 리미트 발생기(310)를 포함한다. 부스트 컨버터(300)는, 부스트 컨버터(102) 이외의 부스트 컨버터들을 포함할 수 있거나 또는 피드백 회로(104) 이외의 피드백 회로를 포함할 수 있다. 피드백 회로(104)는 OR 게이트(306)의 제 1 입력에 그 트리거 신호를 제공한다. OR 게이트(306)의 제 2 입력은, 최대 듀티 사이클 리미트 발생기(310)로부터 가변적인 최대 듀티 사이클(ClockMaxD) 신호를 수신한다. OR 게이트(306)는, 피드백 회로(104)로부터의 트리거 신호 또는 최대 듀티 사이클(ClockMaxD) 신호가 하이(high)인 것에 대한 응답으로 RS 플립-플롭(308)에 리셋 신호를 제공한다. RS 플립-플롭(308)은 외부 제어기(미도시)로부터의 부스트 클록 입력 또는 OR 게이트(306)로부터의 리셋 신호에 대한 응답으로 부스트 컨버터(102)를 스위칭하기 위한 제어 신호를 제공한다.

[0038] [0047] 최대 듀티 사이클 리미트 발생기(310)는 입력 전압(Vin)에 적응가능하다. 최대 듀티 사이클 리미트 발생기(310)는 입력 전압(Vin)에 대한 응답으로 출력 전압(Vout)을 제어하기 위해 RS 플립-플롭(308)으로부터 부스트 컨버터(102)로 제어 신호의 최대 허용 듀티 사이클을 조절한다. 최대 듀티 사이클 리미트 발생기(310)는 최대 듀티 사이클을 증가시키고 이에 의해 입력 전압(Vin)의 감소에 대한 응답으로 부스트 컨버터(102)의 허용 이득을 증가시킨다. 반대로, 최대 듀티 사이클 리미트 발생기(310)는 최대 듀티 사이클을 감소시키고 이에 의해 입력 전압(Vin)의 증가에 대한 응답으로 부스트 컨버터(102)의 허용 이득을 감소시킨다.

[0039] [0048] 최대 듀티 사이클 리미트 발생기(310)는 아날로그-디지털 컨버터(312) 및 듀티 사이클 리미트 발생기(314)를 포함한다. 아날로그-디지털 컨버터(312)는 입력 전압(Vin)을 디지털화하여 디지털화된 신호를 듀티 사이클 리미트 발생기(314)에 제공한다. 듀티 사이클 리미트 발생기(314)는 최대 듀티 사이클(ClockMaxD) 신호를 OR 게이트(306)에 제공하여 이에 의해 RS 플립-플롭(308)을 리셋한다. 아래 설명된 바와 같이, 도 7은 듀티 사이클 리미트 발생기(314)의 일 실시예를 도시한다.

[0040] [0049] 일부 실시예들에서, 최대 듀티 사이클 리미트 발생기(310)는, 이하의 관계식에 기반하여 최대 듀티 사이클 Dmax를 발생시킨다.

$$D_{max} = 1 - 1/2 \left(\frac{1}{G} - \frac{R_p - R_n}{R_{eq}} \right)$$

[0041] [0050]

[0042] [0051] 여기서, G 는 전압 이득(Vout/Vin)이고, R_n 은 NMOS 트랜지스터(116)의 임피던스이고, R_p 는 PMOS 트

랜지스터(118)의 임피던스이며, R_{eq} 는 등가 부하 저항(V_{out}/I_{out})이다.

[0043] [0052] 일부 실시예들에서, 등가 부하 저항은 PMOS 트랜지스터(118)의 임피던스와 NMOS 트랜지스터(116)의 임피던스 사이의 차이보다 훨씬 더 크다.

[0044] [0053] $(R_{eq} \gg (R_p - R_n))$,

[0045] [0054] 이 예시에서, 최대 듀티 사이클 D_{max} 는:

[0046] [0055]
$$D_{max} = 1 - \frac{1}{2G}$$

[0047] 가 된다.

[0048] [0056] 이하에 설명된 최대 듀티 사이클 리미트 발생기들은 또한 이러한 관계식들에 기반하여 최대 듀티 사이클 D_{max} 를 발생시킬 수 있다.

[0049] [0057] 도 4는 부스트 컨버터(300)의 타이밍도를 도시한다. 라인(402)은 부스트 컨버터(300)의 외부 제어기의 클록 신호의 타이밍을 도시한다. 라인(404)은 라인(402)에 도시된 클록 신호로부터 도출된 50% 클록 신호의 타이밍을 도시한다. 라인(406)은 부스트 컨버터(102)에 의한 부스트의 온-스테이지를 시작하도록 플립-플롭(108)을 설정하기 위해 OR 게이트(306)에 의해 플립-플롭(108)에 제공된 부스트 클록 신호의 타이밍을 도시한다.

[0050] [0058] 라인(408)은 부스트 컨버터(102)에 의한 부스트의 온-스테이지를 종료하도록 플립-플롭(308)을 리셋하기 위해 OR 게이트(306)에 제공된 최대 듀티 사이클 클록 신호의 타이밍을 도시한다. 최대 듀티 사이클 리미트 발생기(310)는, 듀티 사이클을 변경시키기 위해, 도 4에서 화살표에 의해 도시된 바와 같이, 최대 클록 듀티 신호의 타이밍을 조절한다. 최대 듀티 사이클 클록 신호의 펄스는 가변적이다. 펄스들(408-1 및 408-3)은 50% 듀티 사이클에 대응하는 펄스들을 나타낸다. 부스트 컨버터(300)는, 펄스(408-1) 및 펄스(408-3)와는 상이한 시간에 발생하는 최대 듀티 사이클($ClockMaxD$) 신호들을 발생시킴으로써 부스트 조절기(302)의 최대 듀티 사이클을 변경시킬 수 있다. 이 예에서, 최대 듀티 사이클($ClockMaxD$) 신호는, 펄스(408-1)보다 더 나중의 펄스(408-2), 및 펄스(408-3)보다 더 나중의 펄스(408-4)로서 발생한다. 펄스(408-4)는, 시간 펄스(408-2) 보다 더 짧은 펄스(408-3)가 펄스(408-1) 이후에, 한 번에 발생한다. 도 4에 도시되지 않았지만, 펄스들(408-2 및 408-4)은 각각 펄스(408-1 및 408-3) 이전에 발생할 수 있다.

[0051] [0059] 도 5는 일부 실시예들에 따른 부스트 컨버터(300)의 적응형 듀티 사이클의 타이밍도를 도시한다. 라인(502)은 시간 경과에 따라 부스트 컨버터(300)의 출력 전압(V_{out})을 나타낸다. 이 예에서, 라인(502)은 듀티 사이클($D1$) 동안 타겟(V_{out})에 있다. 듀티 사이클이 듀티 사이클($D2$)까지 증가하면, 출력 전압(V_{out})은 최대 출력 전압(V_{out})을 초과한다. 부스트 컨버터(300)는 부스트 컨버터(300)의 출력 전압을 최대 출력 전압(V_{out})까지 제한시키도록 최대 듀티 사이클(D_{max})을 설정한다.

[0052] [0060] 도 6은 일부 실시예들에 따른 부스트 컨버터(600)의 블록도를 도시한다. 부스트 컨버터(600)는, 부스트 컨버터(102), 피드백 회로(104), OR 게이트(306), RS 플립-플롭(308), 및 최대 듀티 사이클 리미트 발생기(610)를 포함한다. 부스트 컨버터(600)는, 부스트 컨버터(102) 이외의 컨버터들을 포함할 수 있거나 또는 피드백 회로(104) 이외의 피드백 회로를 포함할 수 있다. 피드백 회로(104)는 OR 게이트(306)의 제 1 입력에 그 트리거 신호를 제공한다. OR 게이트(306)의 제 2 입력은, 최대 듀티 사이클 리미트 발생기(610)로부터 가변적인 최대 듀티 사이클($ClockMaxD$) 신호를 수신한다. OR 게이트(306)는, 피드백 회로(104)로부터의 트리거 신호 또는 최대 듀티 사이클($ClockMaxD$) 신호가 하이(high)인 것에 대한 응답으로 RS 플립-플롭(308)에 리셋 신호를 제공한다. RS 플립-플롭(308)은 외부 제어기(미도시)로부터의 부스트 클록 입력 또는 OR 게이트(306)로부터의 리셋 신호에 대한 응답으로 부스트 컨버터(102)를 스위칭하기 위한 제어 신호를 제공한다.

[0053] [0061] 최대 듀티 사이클 리미트 발생기(610)는 입력 전압(V_{in}) 및 출력 전압(V_{out})에 적응가능하다. 최대 듀티 사이클 리미트 발생기(610)는 입력 전압(V_{in}) 및 출력 전압(V_{out})에 대한 응답으로 출력 전압(V_{out})을 제어하기 위해 RS 플립-플롭(308)으로부터 부스트 컨버터(102)로의 제어 신호의 최대 듀티 사이클을 조절한다. 최대 듀티 사이클 리미트 발생기(610)는 최대 듀티 사이클을 증가시키고 이에 의해 입력 전압(V_{in})의 감소 또는 출력 전압(V_{out})의 감소에 대한 응답으로 부스트 컨버터(102)의 허용 이득을 증가시킨다. 반대로, 최대 듀티

사이클 리미트 발생기(610)는 최대 듀티 사이클을 감소시키고 이에 의해 입력 전압(Vin)의 증가 또는 출력 전압(Vout)의 증가에 대한 응답으로 부스트 컨버터(102)의 허용 이득을 감소시킨다.

[0054] [0062] 최대 듀티 사이클 리미트 발생기(610)는 전압-전류 컨버터(612), 아날로그 타이머(614) 및 듀티 사이클 리미트 발생기(616)를 포함한다. 전압-전류 컨버터(612)는, 입력 전압(Vin)을, 아날로그 타이머(614)에 제공되는 전류로 컨버팅한다. 전압의 전류로의 컨버전은, 출력 전압의 프로그래밍된 값인 출력 전압 세트 Vout-set에 기반하거나 또는 그의 함수이다. 아날로그 타이머(614)는, 듀티 사이클의 시작으로부터의 지속기간 동안 부스트 클록과 관련하여 시간을 결정하고, 그 시간을 듀티 사이클 리미트 발생기(314)에 제공한다. 듀티 사이클 리미트 발생기(616)는, 임계 시간과 동일하거나 또는 초과하는 시간에 대한 응답으로 최대 듀티 사이클(ClockMaxD) 신호를 OR 게이트(306)에 제공하고 이에 의해 RS 플립-플롭(308)을 리셋한다. 아래 설명된 바와 같이, 도 8은 듀티 사이클 리미트 발생기(614)의 일 실시예를 도시한다.

[0055] [0063] 도 7은 일부 실시예들에 따른 듀티 사이클 리미터(700)의 블록도를 도시한다. 듀티 사이클 리미터(700)는 듀티 사이클 리미트 발생기(314)를 위해 사용될 수 있다. 듀티 사이클 리미터(700)는, 버퍼(702), 커패시터(704), 비교기(706), 기준 전압 선택 회로(708), 및 딜레이 회로(710)를 포함한다. 버퍼(702)는, 공급 전압과 접지 사이에 직렬로 커플링된 전류원(714) 및 전류 제한 버퍼(716)를 포함한다. 전류 제한 버퍼(716)는 부스트 컨버터(102)를 스위칭하는 RS 플립-플롭(308)로부터의 제어 신호에 대한 응답으로 비교기(706)를 트리거하기 위해 비교기(706)의 비-반전 입력에 그리고 커패시터(704)를 충전하기 위해 커패시터(704)에 전압 신호를 제공한다. 커패시터(704)의 충전은 타이머로서 기능한다. 커패시터(704)는 방전 회로(미도시)에 의해 다음 듀티 사이클 동안 방전될 수 있다.

[0056] [0064] 기준 전압 선택 회로(708)는 ADC(312)로부터의 입력 전압 코드(VIN ADC CODE)에 대한 응답으로 비교기(706)의 반전 입력에 기준 전압을 제공한다. 기준 전압은 입력 전압 코드에 의해 표시된 바와 같이 입력 전압(VIN)에 반비례한다. 다시 말해서, 더 높은 입력 전압들이 더 낮은 기준 전압들을 발생시키며, 반대로 더 낮은 입력 전압들이 더 높은 기준 전압들을 발생시킨다. 비교기(706)는 기준 전압 선택 회로(708)에 의해 설정된 기준 전압을 초과하는 커패시터(704) 양단의 전압에 대한 응답으로 RS 플립-플롭(308)을 리셋하기 위한 신호를 딜레이 회로(710)에 제공한다. 전류원(714)으로부터의 전류의 양 및 디폴트 기준 전압 출력은 파워-온 동안 캘리브레이팅되어 임의의 입력 클록 주파수에 대해 작동하도록 그것들을 설정할 수 있다.

[0057] [0065] 도 8은 일부 실시예들에 따른 듀티 사이클 리미터(800)의 블록도를 도시한다. 듀티 사이클 리미터(800)는 듀티 사이클 리미트 발생기(314)를 위해 사용될 수 있다. 듀티 사이클 리미터(800)는, 버퍼(802), 커패시터(704), 비교기(706), 및 딜레이 회로(710)를 포함한다. 버퍼(802)는, 공급 전압과 접지 사이에 직렬로 커플링된 가변 전류원(814) 및 버퍼(816)를 포함한다. 버퍼(802)는 또한 부스트 컨버터(102)의 출력 전압(Vout)으로부터 도출된 출력 전압 설정(Vout-set)에 대한 응답으로 가변 전류원(814)에 의해 제공되는 전류를 변경시키기 위한 전압-전류 컨버터(818)를 포함한다. 전압-전류 컨버터(818)는, 부스트 컨버터(102) 및 출력 전압 설정(Vout-set)을 스위칭하는 RS 플립-플롭(308)으로부터의 제어 신호에 대한 응답으로 가변 전류원(814)에 의해 제공되는 적응형 전류를 변경시키기 위한 제어 신호를 발생시킨다. 버퍼(816)는 부스트 컨버터(102)를 스위칭하는 RS 플립-플롭(308)으로부터의 제어 신호에 대한 응답으로 비교기(706)를 트리거하기 위해 비교기(706)의 비-반전 입력에 그리고 커패시터(704)를 충전하기 위해 커패시터(704)에 전압 신호를 제공한다.

[0058] [0066] 커패시터(704)의 충전은 타이머로서 기능한다. 커패시터(704)는 방전 회로(미도시)에 의해 다음 듀티 사이클 동안 방전될 수 있다. 고정 기준 전압(Vref)은 비교기(706)의 반전 입력에 제공된다. 듀티 사이클 리미터(800)에서, 비교기(706)에 공급되는 기준 전압(Vref)은 고정되고, 버퍼(802)에 의해 제공되는 전류는 입력 전압(Vin) 및 출력 전압(Vout)에 기반하여 가변적이다. 대조적으로, 듀티 사이클 리미터(800)에서, 비교기(706)에 공급되는 기준 전압(Vref)은 입력 전압(Vin)에 기반하여 가변적이며, 버퍼(702)에 의해 제공되는 전류는 고정된다. 비교기(706)는 기준 전압(Vref)을 초과하는 커패시터(704) 양단의 전압에 대한 응답으로 RS 플립-플롭(308)을 리셋하기 위한 신호를 딜레이 회로(710)에 제공한다. 인식할 바와 같이, 버퍼(802) 및 비교기(706)는 유사한 기능을 제공하는 다른 타입들의 회로들일 수 있다. 최대 듀티 사이클(ClockMaxD) 신호는 부스트 조절기(102)의 더 원활한 제어를 허용하기 위해 적응형이고 연속적이다.

[0059] [0067] 도 9는 일 실시예에 따라 부스트 컨버터(102)의 듀티 사이클을 조절하기 위한 프로세스 흐름(900)을 도시하는 간략화된 도면이다.

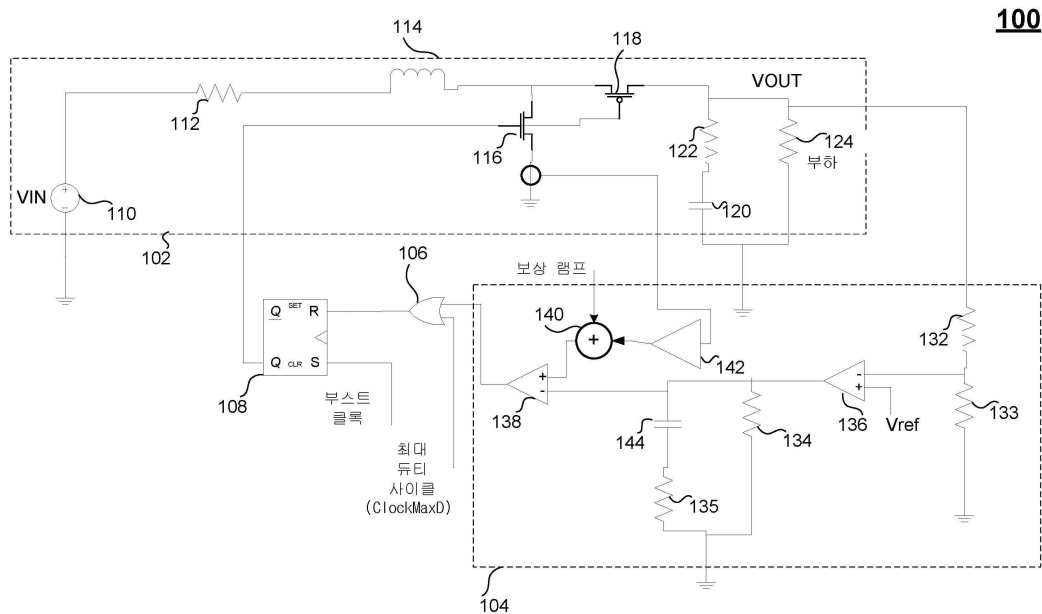
[0060] [0068] 902에서, 부스트 컨버터(102)에 제공될 입력 전압이 수신된다. 904에서, 입력 전압에 대한 응답으로 제어 신호가 발생된다. 제어 신호는, 부스트 컨버터(102)의 출력 전압을 제어하도록 부스트 컨버터(102)의 듀티

사이클을 조절하기 위해 부스트 컨버터(102)에 제공될 것이다.

- [0061] [0069] 904에서 제어 신호를 발생시키는 것은, 906에서, 부스트 컨버터(102)의 입력 전압에 대한 응답으로 디지털화된 신호가 발생되는 것을 포함할 수 있다. 908에서, 부스트 컨버터(102)의 듀티 사이클을 제한하기 위해 최대 듀티 사이클 리미트 신호가 디지털화된 신호에 대한 응답으로 발생된다.
- [0062] [0070] 도 10는 일 실시예에 따라 부스트 컨버터(102)의 듀티 사이클을 조절하기 위한 프로세스 흐름(1000)을 도시하는 간략화된 도면이다.
- [0063] [0071] 1002에서, 부스트 컨버터(102)에 제공될 입력 전압이 수신된다. 1004에서, 부스트 컨버터(102)의 입력 전압 및 출력 전압에 대한 응답으로 제어 신호가 발생된다. 제어 신호는, 부스트 컨버터(102)의 출력 전압을 제어하도록 부스트 컨버터(102)의 듀티 사이클을 조절하기 위해 부스트 컨버터(102)에 제공될 것이다.
- [0064] [0072] 1004에서 제어 신호를 발생시키는 것은, 1006에서, 부스트 컨버터의 입력 전압 및 출력 전압에 대한 응답으로 전류가 발생되는 것을 포함할 수 있다. 1008에서, 발생된 전류는 타이밍된다. 1010에서, 최대 듀티 사이클 리미트 신호는 타이밍된 전류에 대한 응답으로 발생된다.
- [0065] [0073] 전술한 설명은, 특정 실시예들의 양상들이 구현될 수 있는 방법의 예시들과 함께 본 개시내용의 다양한 실시예들을 도시한다. 전술한 예시들은, 유일한 실시예들인 것으로 간주되어서는 안되며, 이하의 청구범위들에 의해 정의되는 것과 같이 특정 실시예들의 유연성 및 이점들을 예시하기 위해 제공된다. 전술한 개시내용 및 이하의 청구항들에 기초하여, 청구항들에 의해 정의된 바와 같은 본 개시내용의 범위를 벗어나지 않고 다른 배열들, 실시예들, 구현들, 및 등가물들이 사용될 수 있다.

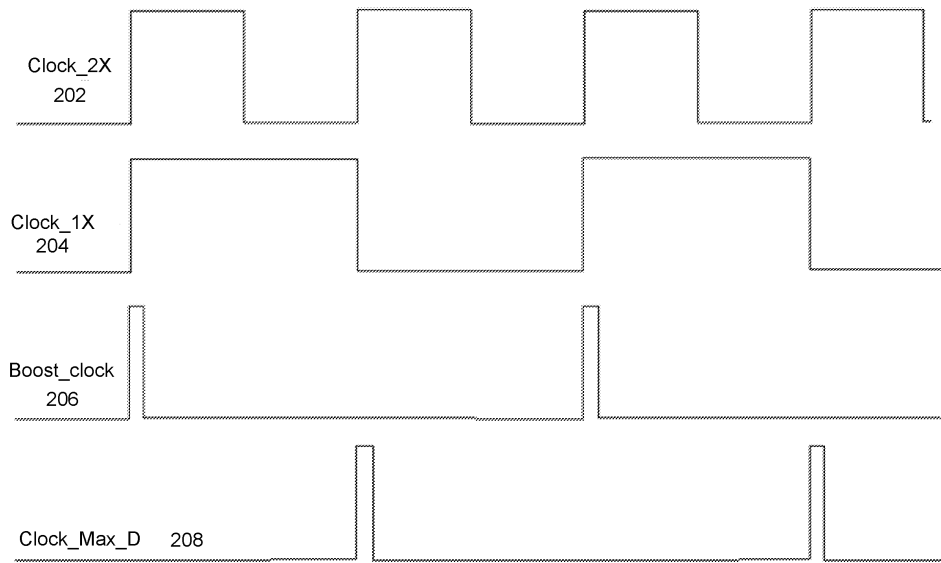
도면

도면1



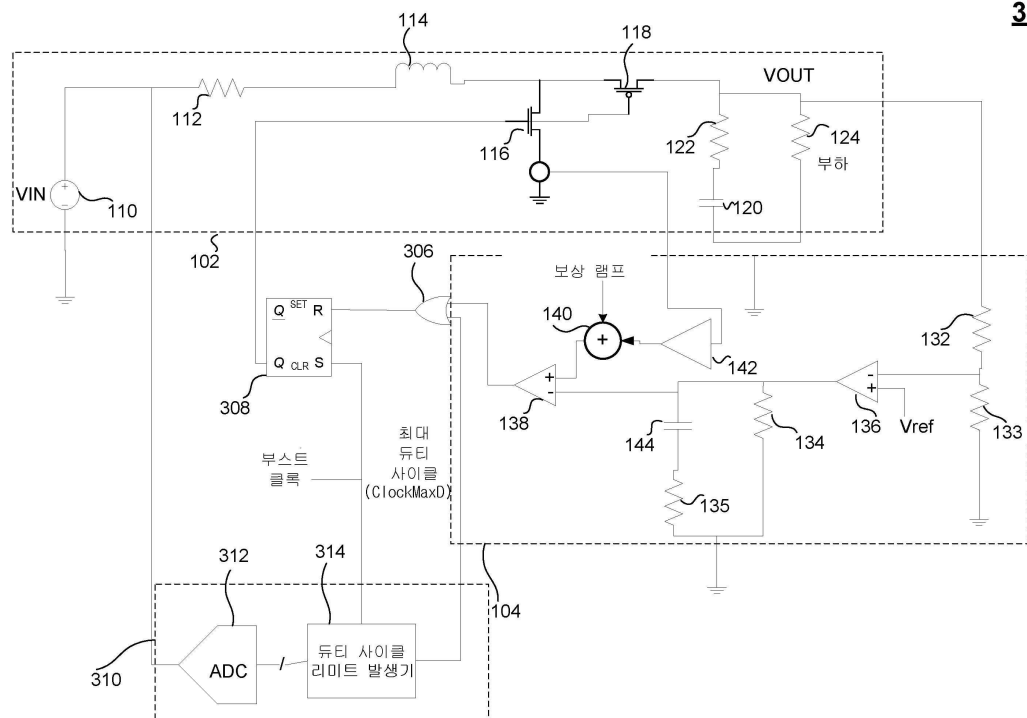
도면2

200



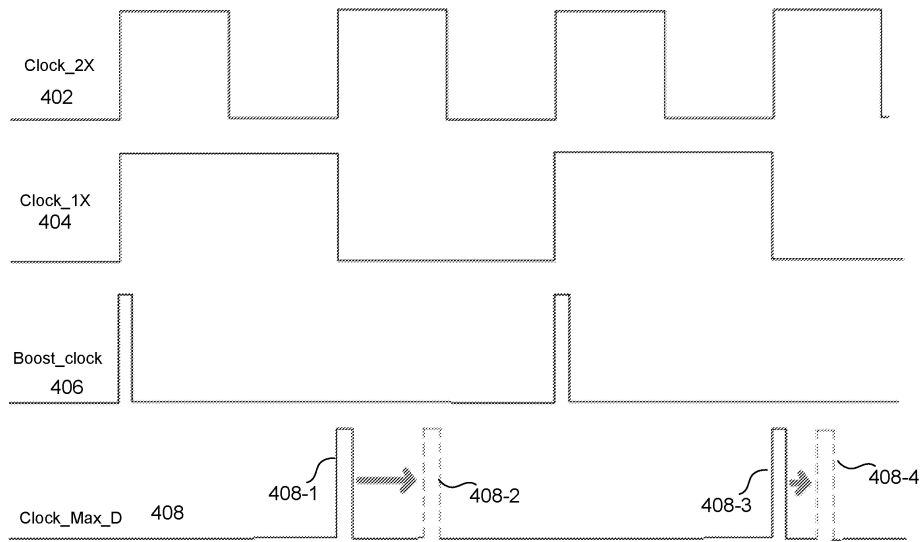
도면3

300

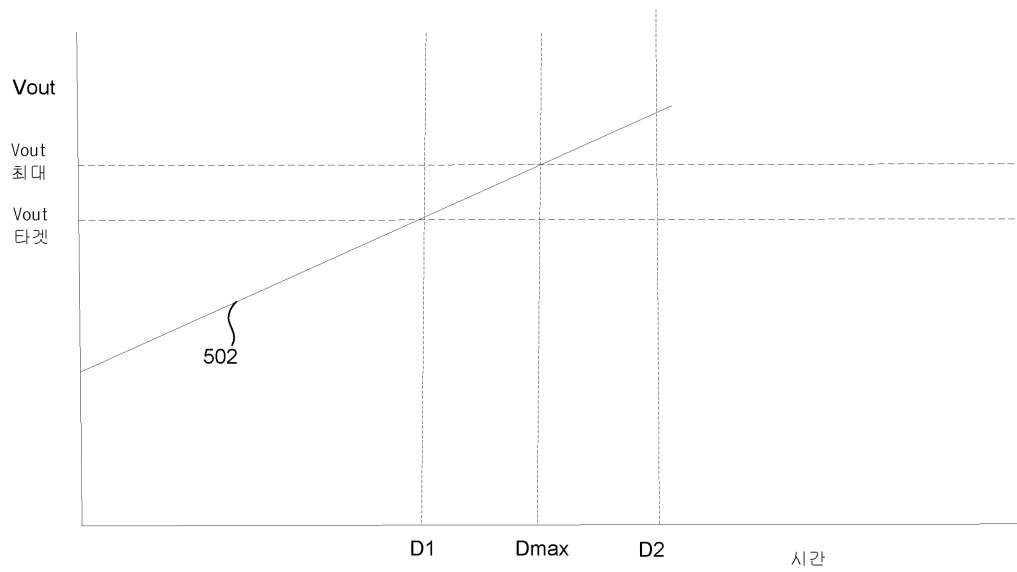


도면4

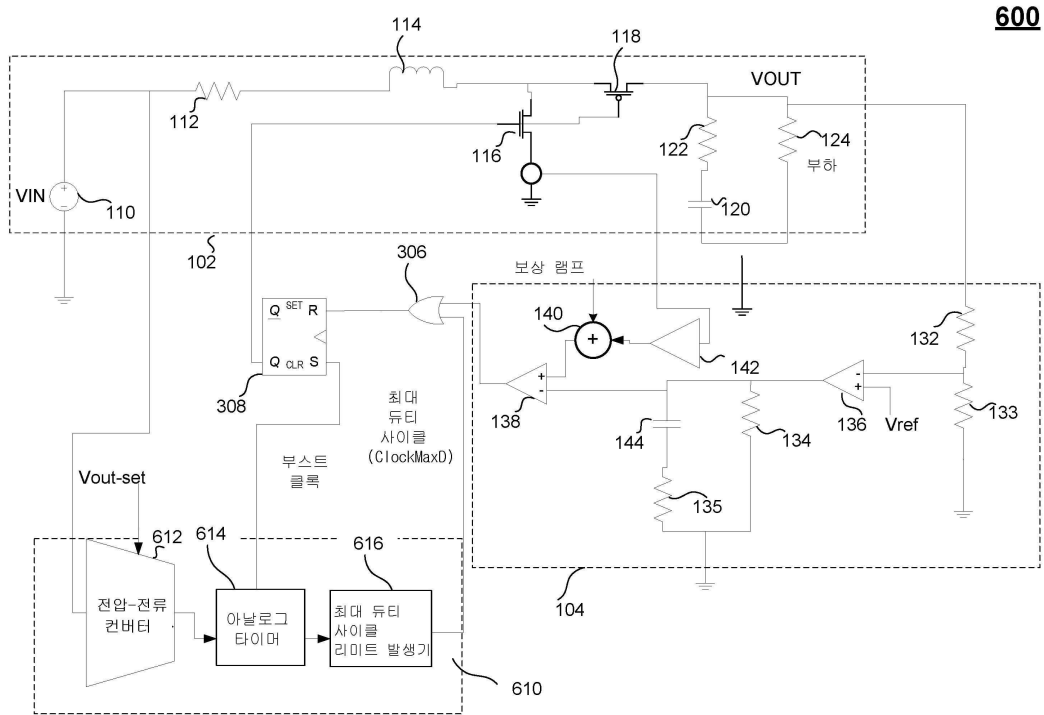
400



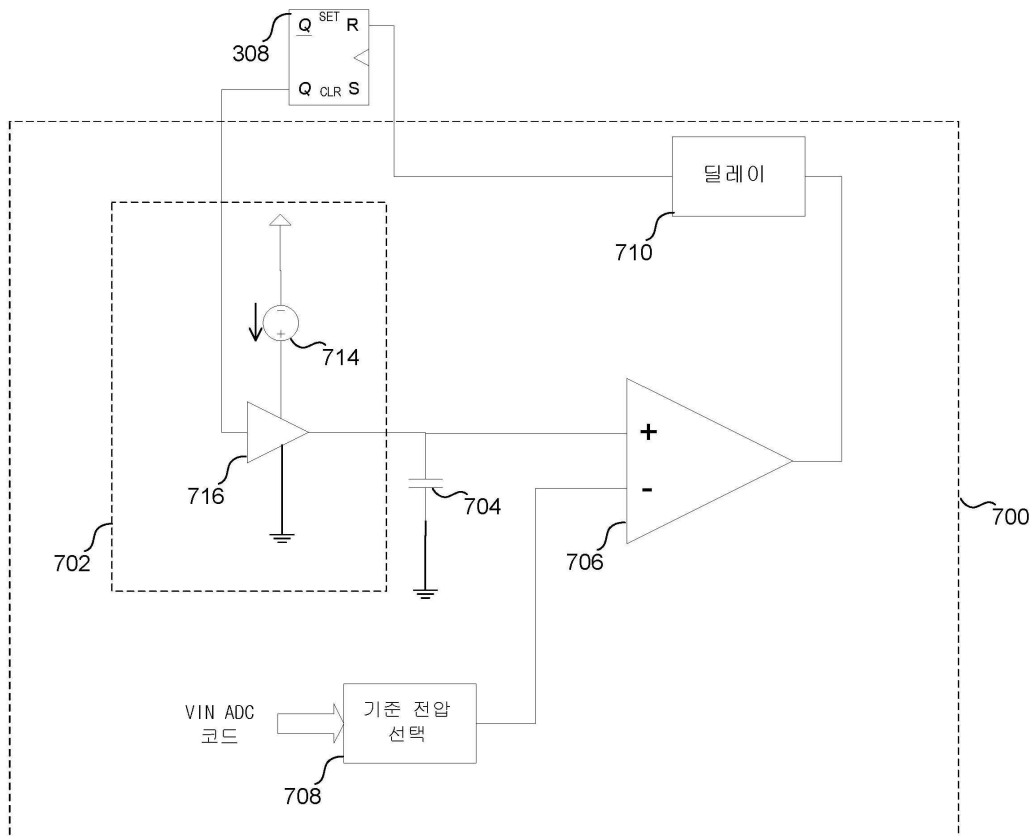
도면5



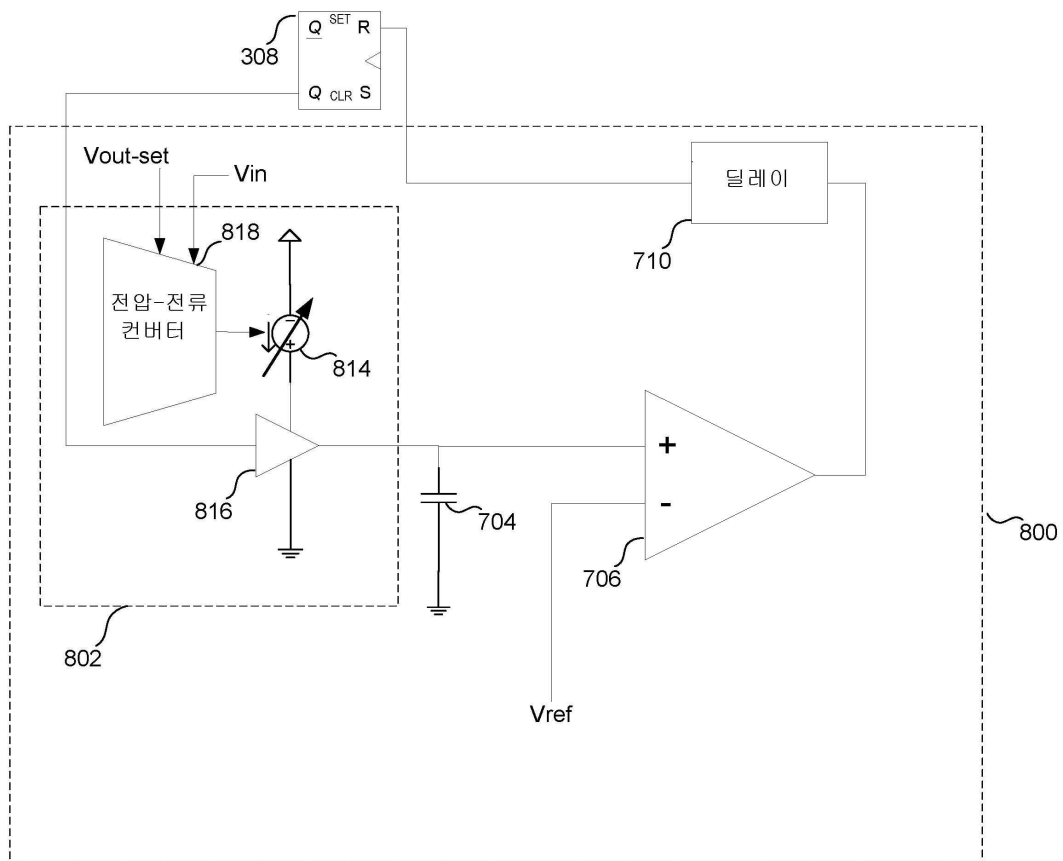
도면6



도면7

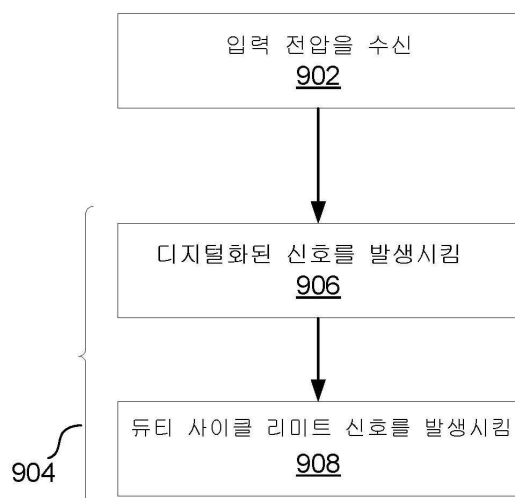


도면8



도면9

900



도면10

1000

