



(12) 发明专利

(10) 授权公告号 CN 102215350 B

(45) 授权公告日 2014. 07. 09

(21) 申请号 201110082118. X

审查员 蒋一明

(22) 申请日 2011. 04. 01

(30) 优先权数据

2010-085471 2010. 04. 01 JP

(73) 专利权人 佳能株式会社

地址 日本东京

(72) 发明人 山崎竜彦 竹中真太郎

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 杨国权

(51) Int. Cl.

H04N 5/341 (2011. 01)

(56) 对比文件

CN 101594491 A, 2009. 12. 02, 说明书第 8 页
第 13 行至第 32 页第 24 行、附图 1-33.

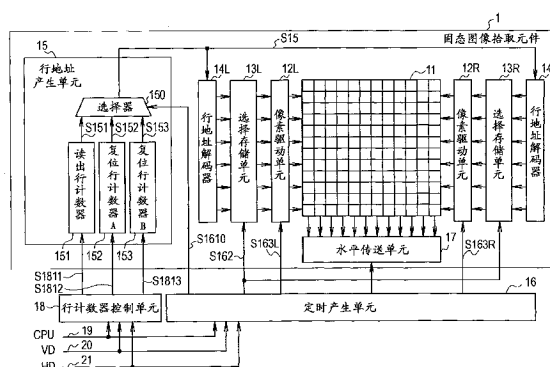
权利要求书 4 页 说明书 11 页 附图 7 页

(54) 发明名称

固态图像拾取装置及其驱动方法

(57) 摘要

本发明涉及固态图像拾取装置及其驱动方法。提供了一种固态图像拾取装置,其包括:像素部分,具有以二维阵列方式布置并且产生像素信号的多个像素;读出行计数器,产生用于读取像素部分的行地址;第一复位行计数器,产生用于复位像素部分的第一场的行地址;第二复位行计数器,产生用于复位像素部分的第二场的行地址;选择器,选择由读出行计数器、第一复位行计数器和第二复位行计数器产生的行地址中的一个行地址;以及像素驱动单元,分别选择两行:与所选择的行地址对应的像素部分的奇数行和相邻的偶数行。



1. 一种固态图像拾取装置,包括:

像素部分,具有以二维矩阵方式布置并且通过光电转换产生像素信号的多个像素;

读出行计数器,产生用于读取像素部分的行地址;

第一复位行计数器,产生用于复位像素部分的第一场的行地址;

第二复位行计数器,产生用于复位像素部分的第二场的行地址,第二场跟在第一场之后;

选择器,选择分别由读出行计数器、第一复位行计数器和第二复位行计数器产生的行地址中的一个行地址;以及

像素驱动单元,选择像素部分的与所选择的行地址对应的行,

其中像素驱动单元被设置有第一操作模式,在第一操作模式中顺序地扫描在第一场中要被读取的像素部分的多行,并且在第一场中要被读取的像素部分的像素的像素信号被复位,然后顺序地扫描在第二场中要被读取的像素部分的多行,并且在第二场中要被读取的像素部分的像素的像素信号被复位,然后顺序地读取第一场的像素的像素信号,并且然后顺序地读取第二场的像素的像素信号,其中在第一场中要被读取的像素不包括在第二场中要被读取的像素且在第二场中要被读取的像素也不包括在第一场中要被读取的像素。

2. 根据权利要求1所述的固态图像拾取装置,其中选择器还选择与所选择的行地址对应的像素部分的奇数行和相邻的偶数行。

3. 根据权利要求1所述的固态图像拾取装置,其中像素驱动单元还被设置有第二操作模式,在第二操作模式中顺序地扫描在第一场中要被读取的像素部分的多行,并且在第一场中要被读取的像素部分的像素的像素信号被复位,然后顺序地读取第一场的像素的像素信号,然后顺序地扫描在第二场中要被读取的像素部分的多行,并且在第二场中要被读取的像素部分的像素的像素信号被复位,并且然后顺序地读取第二场的像素的像素信号。

4. 根据权利要求3所述的固态图像拾取装置,其中,当继第二操作模式中的操作之后执行第一操作模式中的操作时,在已经开始第一操作模式中的第一场的像素的像素信号的复位扫描之后并且在开始第一操作模式中的第二场的像素的像素信号的复位扫描之前,开始第二操作模式中的第二场的像素的像素信号的读出扫描。

5. 根据权利要求1所述的固态图像拾取装置,还包括:

行计数器控制单元,控制读出行计数器、第一复位行计数器和第二复位行计数器,

其中行计数器控制单元包括:

第一计数器开始脉冲产生电路,产生用于使读出行计数器开始计数的计数开始脉冲;

水平同步信号计数器,在垂直同步信号的定时处被复位并且在水平同步信号的定时处执行向上计数;

第二计数器开始脉冲产生电路,根据水平同步信号计数器的计数器值而产生用于使第一复位行计数器开始计数的计数器开始脉冲;以及

第三计数器开始脉冲产生电路,根据水平同步信号计数器的计数器值而产生用于使第二复位行计数器开始计数的计数器开始脉冲。

6. 根据权利要求1所述的固态图像拾取装置,还包括:

行计数器控制单元,控制读出行计数器、第一复位行计数器和第二复位行计数器,

其中行计数器控制单元包括:

第一计数器开始脉冲产生电路,产生用于使读出行计数器开始计数的计数开始脉冲;

第一水平同步信号计数器,在每两个垂直同步信号的定时处被复位并且在水平同步信号的定时处执行向上计数;

第二水平同步信号计数器,在每两个垂直同步信号的定时处并且相对于第一水平同步信号计数器具有一个垂直同步信号的偏移地被复位,并且在水平同步信号的定时处执行向上计数;

第二计数器开始脉冲产生电路,根据第一水平同步信号计数器的计数器值而产生用于使第一复位行计数器开始计数的计数器开始脉冲;以及

第三计数器开始脉冲产生电路,根据第二水平同步信号计数器的计数器值而产生用于使第二复位行计数器开始计数的计数器开始脉冲。

7. 根据权利要求1所述的固态图像拾取装置,其中,从复位扫描的开始到相应的读出扫描的开始的时间段的长度比第一场或第二场的时段长。

8. 一种固态图像拾取装置,包括:

行地址产生单元,包括一个读出行计数器和两个复位行计数器;

行计数器控制单元,控制读出行计数器和复位行计数器;

选择器,选择由行地址产生单元产生的行地址;

行地址解码器,对所选择的行地址进行解码;

存储单元,接收行地址解码器的输出比特作为输入并且存储输出比特的状态;以及

像素驱动单元,输出与所存储的输出比特对应的行选择信号,

其中读出行计数器产生用于第一场和第二场的交错读出的行地址,以及

其中,当在相对于场读出周期具有较短蓄积时段的蓄积操作与具有较长蓄积时段的其它蓄积操作之间切换时,两个复位行计数器产生行地址以使得第一场的行复位和第二场的行复位被执行为分别跳过第二场和第一场的读出行,其中在第一场中要被读取的像素不包括在第二场中要被读取的像素且在第二场中要被读取的像素也不包括在第一场中要被读取的像素。

9. 一种驱动固态图像拾取装置的方法,所述固态图像拾取装置包括具有以二维阵列方式布置并且通过光电转换产生像素信号的多个像素的像素部分、以及选择像素部分的行的像素驱动单元,所述方法包括:

第一步骤,顺序地扫描在第一场中要被读取的像素部分的多行,并且复位在第一场的像素中要被读取的像素部分的像素信号,然后顺序地扫描在第二场中要被读取的像素部分的多行,并且复位在第二场的像素中要被读取的像素部分的像素信号,然后顺序地读取第一场的像素的像素信号,并且然后顺序地读取第二场的像素的像素信号,其中在第一场中要被读取的像素不包括在第二场中要被读取的像素且在第二场中要被读取的像素也不包括在第一场中要被读取的像素。

10. 根据权利要求9所述的方法,还包括选择与所选择的行地址对应的像素部分的奇数行和相邻的偶数行。

11. 根据权利要求9所述的方法,还包括:

第二步骤,顺序地扫描在第一场中要被读取的像素部分的多行,并且复位在第一场中要被读取的像素部分的像素的像素信号,然后顺序地读取第一场的像素的像素信号,然后

顺序地扫描在第二场中要被读取的像素部分的多行,并且复位在第二场中要被读取的像素部分的像素的像素信号,并且然后顺序地读取第二场的像素的像素信号。

12. 根据权利要求 11 所述的驱动固态图像拾取装置的方法,其中,当继第二步骤中的操作之后执行第一步骤中的操作时,在已经开始第一步骤中的第一场中的像素的像素信号的复位扫描之后并且在开始第一步骤中的第二场的像素的像素信号的复位扫描之前,开始第二步骤中的第二场的像素的像素信号的读出扫描。

13. 根据权利要求 9 所述的方法,还包括:

产生用于读取像素部分的行地址;

产生用于复位第一场中的像素部分的行的行地址;

产生用于复位第二场中的像素部分的行的行地址,第二场跟在第一场之后;

选择用于读取像素部分的行地址、用于复位第一场中的像素部分的行的行地址和用于复位第二场中的像素部分的行的行地址中的一个;以及

选择与所选择的行地址对应的像素部分的行。

14. 根据权利要求 13 所述的方法,还包括:

产生用于使读出行计数器开始计数的计数开始脉冲,其中所述读出行计数器产生用于读取像素部分的行地址;

在垂直同步信号的定时处复位并且在水平同步信号的定时处执行向上计数;

根据水平同步信号计数器的计数器值而产生用于使第一复位行计数器开始计数的计数器开始脉冲,其中所述水平同步信号计数器在垂直同步信号的定时处被复位并且在水平同步信号的定时处执行向上计数,所述第一复位行计数器产生用于复位第一场中的像素部分的行的行地址;以及

根据水平同步信号计数器的计数器值而产生用于使第二复位行计数器开始计数的计数器开始脉冲,其中所述第二复位行计数器产生用于复位第二场中的像素部分的行的行地址。

15. 根据权利要求 13 所述的方法,还包括:

产生用于使读出行计数器开始计数的计数开始脉冲,其中所述读出行计数器产生用于读取像素部分的行地址;

在每两个垂直同步信号的定时处复位,并且在水平同步信号的定时处执行向上计数;

在每两个垂直同步信号的定时处并且相对于第一水平同步信号计数器具有一个垂直同步信号的偏移地复位,并且在水平同步信号的定时处执行向上计数,其中所述第一水平同步信号计数器在每两个垂直同步信号的定时处被复位,并且在水平同步信号的定时处执行向上计数。

16. 根据权利要求 15 所述的方法,还包括:

根据第一水平同步信号计数器的计数器值而产生用于使第一复位行计数器开始计数的计数器开始脉冲,其中所述第一复位行计数器产生用于复位第一场中的像素部分的行的行地址;以及

根据第二水平同步信号计数器的计数器值而产生用于使第二复位行计数器开始计数的计数器开始脉冲,其中所述第二复位行计数器产生用于复位第二场中的像素部分的行的行地址,所述第二水平同步信号计数器在每两个垂直同步信号的定时处并且相对于第一水

平同步信号计数器具有一个垂直同步信号的偏移地被复位,并且在水平同步信号的定时处执行向上计数。

固态图像拾取装置及其驱动方法

技术领域

[0001] 本发明涉及固态装置以及驱动该装置的方法。

背景技术

[0002] 近来,包括多于几百万个像素的固态图像拾取装置已经被用于数字照相机,使得能够捕获高精度的静态图像。此外在拍摄运动图像的情况下,要求固态图像拾取装置以高的帧速率来读出图像,以便使得能够在没有急动(jerkiness)的情况下拍摄运动图像。在高速率读取的情况下,由于在固态图像拾取装置的像素部分中的光电转换元件的每一帧的图像蓄积时段短,因此存在特别是对于暗的被摄体没有获得足够的曝光量的问题。作为用于利用有限的曝光时段获得足够的曝光量的手段,日本专利公开 No. 2006-74440 公开了一种在 CCD 类型图像拾取装置中使用两种稀疏(thin out)的模式的方法。根据日本专利公开 No. 2006-74440,这两种模式之一是其中在蓄积时段处于一个垂直扫描时段之内的情况下使用电子快门执行细的蓄积时段控制的模式。另一模式是其中在蓄积时段超过一个垂直扫描时段的情况下固定蓄积时段而不使用电子快门并且根据被摄体的亮度改变信号放大装置的放大系数的模式。

[0003] 在日本专利公开 No. 2006-74440 中公开的固态图像拾取装置中,由于在两种稀疏读取模式之间执行切换,因此在切换时稀疏的方法改变。换句话说,在较短蓄积时段(例如,1/30 秒)的情况下在读取期间对于每三行跳过(skip)两行,而在较长蓄积时段(例如,1/15 秒)的情况下在读取期间对于每三行仅仅跳过一行。这根据拍摄场景而可以是可辨认的,导致不舒适。另外,在日本专利公开 No. 2006-74440 中,针对具有 1/30 ~ 1/15 秒的蓄积时段的场景而改变电路的放大系数。放大系数的改变导致电路的噪声的改变。因此,当特别是拍摄暗的被摄体时,在蓄积时段之间进行切换时图像质量改变。当观看时这也是可辨认的,导致不舒适。

发明内容

[0004] 本发明的固态图像拾取装置包括:像素部分,具有以二维矩阵方式布置并且通过光电转换产生像素信号的多个像素;读出行计数器,产生用于读取像素部分的行地址;第一复位行计数器,产生用于复位像素部分的第一场(field)的行地址;第二复位行计数器,产生用于复位像素部分的第二场的行地址,第二场跟在第一场之后;选择器,选择分别由读出行计数器、第一复位行计数器和第二复位行计数器产生的行地址中的一个行地址;以及像素驱动单元,选择与所选择的行地址对应的像素部分的行。像素驱动单元被设置有第一操作模式,在第一操作模式中顺序地扫描在第一场中要被读取的像素部分的多行并且在第一场中要被读取的像素部分的像素的像素信号被复位,然后顺序地扫描在第二场中要被读取的像素部分的多行并且在第二场中要被读取的像素部分的像素的像素信号被复位,然后顺序地读取第一场的像素的像素信号,并且然后顺序地读取第二场的像素的像素信号。

[0005] 从以下参考附图的示例性实施例的描述中本发明更多的特征将变得清晰。

附图说明

- [0006] 图 1A 和图 1B 示出固态图像拾取装置的示例性配置。
- [0007] 图 2A 和图 2B 是示出驱动固态图像拾取装置的方法的示意性时序图。
- [0008] 图 3 是示出根据第一实施例的行计数器控制单元的示例性配置的框图。
- [0009] 图 4 是示出根据第一实施例的固态图像拾取装置的操作的时序图。
- [0010] 图 5 是示出根据第二实施例的行计数器控制单元的示例性配置的框图。
- [0011] 图 6 是示出根据第二实施例的固态图像拾取装置的操作的时序图。

具体实施方式

[0012] 第一实施例

[0013] 图 1A 是示出根据本发明第一实施例的固态图像拾取装置的示例性配置的框图。固态图像拾取元件 1 包括像素部分 11 以及像素驱动单元 12L 和 12R。像素部分 11 由以行和列的二维阵列的方式布置的多个像素形成。像素驱动单元 12L 和 12R 分别针对奇数行和偶数行而产生用于驱动像素的信号,换言之,例如,用于传送蓄积在光电二极管中的电荷的传送信号和用于选择阵列的特定行的像素的行选择信号。像素部分 11 包括多个像素,其中每个像素通过由光电转换元件(光电二极管)执行的光电转换而产生像素信号。例如,每个像素可以是放大类型的像素,其包括光电转换元件和用于基于蓄积在光电转换元件中的电荷而输出电压信号的放大器单元。固态图像拾取元件 1 包括用于分别存储用于奇数行和偶数行的行选择信号的选择存储单元 13L 和 13R、用于选择与行计数值 S15 对应的一行的行地址解码器 14L 和 14R、行地址产生单元 15、定时产生单元 16、以及行计数器控制单元 18。行地址产生单元 15 包括读出行计数器 151、复位行计数器 A(152)、复位行计数器 B(153)、以及选择器 150。选择器 150 选择从三个行计数器 151 ~ 153 输出的行地址中的一个,并且将其作为行计数值 S15 输出。读出行计数器 151 产生像素部分 11 的读出行地址。第一复位行计数器 A(152) 产生指示在像素部分 11 的奇数场(第一场)中要被复位的行的行地址。第二复位行计数器 B(153) 产生指示在像素部分 11 的偶数场(第二场)中要被复位的行的行地址。奇数场和偶数场构成一帧。选择器 150 选择由读出行计数器 151、复位行计数器 A(152) 和复位行计数器 B(153) 产生的行地址中的一个。行计数器控制单元 18 基于来自外部 CPU 的通信信号 19、垂直同步(VD)信号 20 和水平同步(HD)信号 21 而分别向三个行计数器 151 ~ 153 输出计数器控制信号 S1811 ~ S1813,诸如计数器开始脉冲。行计数器控制单元 18 控制行计数器 151 ~ 153。行地址解码器 14L 和 14R 对由选择器 150 选择的行地址进行解码。选择存储单元 13L 和 13R 从行地址解码器 14L 和 14R 接收输出比特,并且存储其状态。像素驱动单元 12L 和 12R 输出与存储在选择存储单元 13L 和 13R 中的输出比特对应的行选择信号。定时产生单元 16 基于来自外部 CPU 的通信信号 19、垂直同步信号 20 和水平同步信号 21 而产生用于选择三个行计数器 151 ~ 153 中的一个的行地址产生单元选择信号 S1610。此外,定时产生单元 16 产生为奇数行和偶数行所共用的并且控制选择存储单元 13L 和 13R 的存储单元控制信号 S162、以及用于控制像素驱动单元 12L 和 12R 的像素驱动信号 S163L 和 S163R。第一像素驱动单元 12L 选择与由选择器 150 选择的行地址对应的像素部分 11 的奇数行。第二像素驱动单元 12R 选择与由选择器 150 选择的行地址对应

的像素部分 11 的偶数行。第一像素驱动单元 12L 和第二像素驱动单元 12R 被配置为通过对应的选择存储单元 13L 和 13R 的输出的逻辑和或逻辑积以及从定时产生单元 16 提供的信号（未示出）来控制像素的操作。固态图像拾取元件 1、定时产生单元 16 和行计数器控制单元 18 可以或可以不被集成在同一个半导体上。

[0014] 图 1B 是示出图 1A 中示出的选择存储单元 13L 和 13R 的示例性配置的电路图。选择存储单元 13L 和 13R 中的每一个包括以等于像素部分 11 的行的数量的一半的数量设置的行选择存储电路 131。行选择存储电路 131 被配置为包括 D 锁存器 135、逻辑积 (AND) 电路 136 和 SR 锁存器 137。到行选择存储电路 131 的输入是从行地址解码器 14L 和 14R 输出的解码信号 132 的一比特, 以及作为存储单元控制信号 S162 的写入使能信号 wen_rd、用于清除 (clear) SR 锁存器 137 的清除信号 clear_sh 和设定信号 wen_sh。写入使能信号 wen_rd 被输入到 D 锁存器 135 的时钟端子 (CK), 解码信号 132 内的一比特被输入到数据端子 (D), 并且 D 锁存器 135 的 Q 输出信号变为行选择信号 Lrd(133)。清除信号 clear_sh 被输入到 SR 锁存器 137 的复位端子 (R)。设定信号 wen_sh 和解码信号 132 内的一比特被输入到 AND 电路 136, 并且其逻辑积被输出到 SR 锁存器 137 的设定端子 (S)。SR 锁存器 137 的 Q 输出信号变为用于选择其像素要被复位的行的行选择信号 Lsh(134)。在选择存储单元 13L 和 13R 中分别产生的用于选择其像素信号要被传送的行的行选择信号 Lrd(133) 以及用于选择其像素要被复位的行的行选择信号 Lsh(134) 被输入到像素驱动单元 12L 和 12R。由此由行地址解码器 14L 和 14R 选择的像素部分 11 的对应行的像素信号可以被传送和复位。

[0015] 图 2A 和图 2B 是示出图 1A 中示出的行计数器控制单元 18、定时产生单元 16 以及选择存储单元 13L 和 13R 的操作的示意性时序图。图 2A 示出外部输入信号的输入定时。在作为垂直同步 (VD) 信号 20 被输入的脉冲 201 之前的来自 CPU 的通信信号 19 包括用于在下一个垂直同步时段 203 期间要执行的操作的通信信号 191。垂直同步时段 203 由作为水平同步 (HD) 信号 21 被输入的多个水平同步脉冲 211 形成。

[0016] 图 2B 是示出在图 2A 中示出的单个水平同步时段 212 期间驱动固态图像拾取装置的方法的示意性时序图。在水平同步时段 212 期间的操作大致被分成示出为状态转移 22 的处理时段 221 ~ 225。作为定时产生单元 16 的行地址产生单元选择信号 S1610 的结果, 行计数值 S15 在时段 221 期间变为读出行计数器 151 的输出信号 S151, 并且在时段 222 期间变为复位行计数器 A(152) 的输出信号 S152。行计数值 S15 在其它时段中变为复位行计数器 B(153) 的输出信号 S153。

[0017] 首先, 描述在水平同步时段 212 期间传送行的像素信号的操作。首先, 在时段 221 期间, 定时产生单元 16 产生写入使能信号 wen_rd 的脉冲。读出行计数器 151 的输出信号 S151 的解码信号 132 由 D 锁存器 135 锁存。这里, 所示出的示例是读出行计数器 151 的输出信号 S151 选择行 L 的情况。指示其像素信号要被传送的行的行选择信号 Lrd(133) 的电平仅仅对于行 L 而变高, 而对于其它行、即行 (L+1) 到 N 的电平仍然是低的。在这时候, 行计数值 S15 为行地址解码器 14L 和 14R 所共用, 并且写入使能信号 wen_rd 也为选择存储单元 13L 和 13R 所共用。因此, 像素驱动单元 12L 和 12R 分别从仅仅奇数行的组之中选择行 L 和从仅仅偶数行的组之中选择行 L。在时段 222 期间, 像素驱动单元 12L 由定时产生单元 16 控制, 并且在像素部分 11 中的仅仅奇数行的组中的行 L 的像素信号被垂直地传送到水平传送单元 17。在时段 223 期间, 像素驱动单元 12R 由定时产生单元 16 控制, 并且在像素部

分 11 中的仅仅偶数行的组中的行 L 的像素信号被垂直地传送到水平传送单元 17。在时段 225 期间,已经在定时产生单元 16 的控制下被垂直地传送的偶数行中的行 L 和奇数行中的行 L 的像素信号在水平传送单元 17 中被水平地传送,并且变为固态图像拾取元件 1 的输出像素信号。

[0018] 接下来,将描述在水平同步时段 212 期间行的像素信号的复位操作。定时产生单元 16 在时段 221 期间产生清除信号 `clear_sh` 的脉冲,并且在时段 222 和时段 223 期间产生设定信号 `wen_sh` 的脉冲。这里,所示出的示例是在其中复位行计数器 A(152) 的输出信号 S152 选择行 L+1、复位行计数器 B(153) 的输出信号 S153 选择行 N、而在先前的水平同步时段 212 中已经选择了行 L 的示例。

[0019] 在时段 221 期间,所有 SR 锁存器 137 由清除信号 `clear_sh` 的脉冲复位,并且已经选择的 `Lsh[L]` 的电平从高电平变为低电平。在时段 222 期间,由于 AND 电路 136 的输出, `Lsh[L+1]` 的电平从低电平变为高电平, AND 电路 136 接收设定信号 `wen_sh` 和通过对由复位行计数器 A(152) 的输出信号 S152 选择的行 L+1 进行解码而获得的解码信号 132 作为输入。在时段 223 期间,由于 AND 电路 136 的输出, `Lsh[N]` 的电平从低电平变为高电平, AND 电路 136 接收设定信号 `wen_sh` 和通过对由复位行计数器 B(153) 的输出信号 S153 选择的行 N 进行解码而获得的解码信号 132 作为输入。在这时候,行计数值 S15 为行地址解码器 14L 和 14R 所共用,并且清除信号 `clear_sh` 和设定信号 `wen_sh` 也为选择存储单元 13L 和 13R 所共用。因此,像素驱动单元 12L 和 12R 分别选择奇数行的行 L+1 和偶数行的行 L+1, 并且分别选择奇数行的行 N 和偶数行的行 N。在时段 224 期间,像素驱动单元 12L 和 12R 由定时产生单元 16 控制,并且像素部分 11 的偶数行中的所选择的行 L+1 和奇数行中的所选择的行 L+1 的像素以及像素部分 11 的偶数行的行 N 和奇数行的行 N 的像素被复位。结果,在上述配置中,在水平同步时段 212 期间,可以读取一对相邻的奇数行和偶数行,并且可以复位两对相邻的奇数行和偶数行。

[0020] 图 3 示出根据第一实施例的行计数器控制单元 18 的示例性配置。在下文中,描述驱动固态图像拾取装置的方法,该方法使得不管曝光时段比垂直同步时段短还是长都能够连续地设定蓄积时间。CPU 写入寄存器 R(401) 是用于通过由 CPU 19 开始的通信而执行的对于读出行计数器 151 的控制的寄存器。CPU 写入寄存器 R(401) 存储读出扫描标志、读出开始行、读出结束行、以及用于由读出行计数器执行的向上计数 (count up) 的步长值。CPU 写入寄存器 A(402) 是用于通过来自 CPU 19 的通信执行的对于复位行计数器 A(152) 的控制的寄存器,并且存储复位扫描开始计数、复位开始行、复位结束行、以及用于由复位行计数器 A 执行的向上计数的步长值。CPU 写入寄存器 B(403) 是用于通过由 CPU 19 开始的通信而执行的对于复位行计数器 B(153) 的控制的寄存器,并且存储复位扫描开始计数、复位开始行、复位结束行、以及用于由复位行计数器 B 执行的向上计数的步长值。当存储在 CPU 写入寄存器 A(402) 中的读出扫描标志不是“0”(扫描停止)时,计数器开始脉冲产生电路 R(407) 在垂直同步信号 20 的定时处产生读出行计数器 151 的开始脉冲 415。

[0021] 在垂直同步信号 20 的定时处,存储在 CPU 写入寄存器 R(401) 中的读出结束行和用于由读出行计数器执行的向上计数的步长值被复制并且存储在 VD 同步寄存器 R(408) 中,并且通过信号线 416 被输入到读出行计数器 151。在垂直同步信号 20 的定时处,存储在 CPU 写入寄存器 A(402) 中的复位扫描开始计数、复位结束行、用于由复位行计数器 A 执行的

向上计数的步长值被复制并且存储在 VD 同步寄存器 A(409) 中。在垂直同步信号 20 的定时处,存储在 CPU 写入寄存器 B(403) 中的复位扫描开始计数、复位开始行、复位结束行、以及用于由复位行计数器 B 执行的向上计数的步长值被复制并且存储在 VD 同步寄存器 B(410) 中。HD 计数器 414 是在垂直同步信号 20 的定时处被复位的计数器,并且在水平同步信号 21 的定时处执行向上计数。

[0022] 当连续地输入水平同步信号 21 并且 HD 计数器 414 的计数值与存储在 VD 同步寄存器 A(409) 中的复位扫描开始计数匹配时,计数器开始脉冲产生电路 A(417) 和 HD 计数器同步寄存器 A(419) 执行以下操作。首先,计数器开始脉冲产生电路 A(417) 产生用于复位行计数器 A(152) 的开始脉冲 418。存储在 VD 同步寄存器 A(409) 中的复位结束行和用于由复位行计数器 A 执行的向上计数的步长值被复制和存储在 HD 计数器同步寄存器 A(419) 中,并且作为寄存器值 420 被输出到复位行计数器 A(152)。

[0023] 类似地,当 HD 计数器 414 的计数值与存储在 VD 同步寄存器 B(410) 中的复位扫描开始计数匹配时,计数器开始脉冲产生电路 B(421) 和 HD 计数器同步寄存器 B(423) 执行以下操作。首先,计数器开始脉冲产生电路 B(421) 产生用于复位行计数器 B(153) 的开始脉冲 422。存储在 VD 同步寄存器 B(410) 中的复位结束行和用于由复位行计数器 B 执行的向上计数的步长值被复制和存储在 HD 计数器同步寄存器 B(423) 中,并且作为寄存器值 424 被输出到复位行计数器 B(153)。

[0024] 图 4 是示出根据图 3 中示出的第一实施例的行计数器控制单元 18 的操作、以及基于从行计数器控制单元 18 输出的控制信号的读出行计数器 151、复位行计数器 A(152) 和复位行计数器 B(153) 的操作的时序图。图 4 示出在垂直同步时段 500 由于垂直同步信号 20 而从时段 V0 进行到时段 V6 时各个部分的操作。CPU 写入寄存器值 501 示出通过由 CPU 19 开始的通信而对于 CPU 写入寄存器 R(401)、CPU 写入寄存器 A(402) 和 CPU 写入寄存器 B(403) 执行写入的定时。

[0025] VD 同步寄存器值 502 示出与垂直同步信号 20 同步地将 CPU 写入寄存器值 501 的内容复制到 VD 同步寄存器 R(408)、VD 同步寄存器 A(409) 和 VD 同步寄存器 B(410) 的定时。HD 计数器值 (413) 示出作为 HD 计数器 414 的输出的计数器的计数值如何向上计数,并且与垂直同步信号 20 同步地将计数值复位到零,且每当输入水平同步信号 21 时向上计数加一。HD 计数器同步寄存器 A 值 420 是 HD 计数器同步寄存器 A(419) 的输出,并且示出参照 HD 计数器值 (413) 复制 VD 同步寄存器 A(409) 的内容的时间。HD 计数器同步寄存器 B 值 424 是 HD 计数器同步寄存器 B(423) 的输出,并且示出参照 HD 计数器值 (413) 复制 VD 同步寄存器 B(410) 的内容的时间。计数器开始脉冲 R 输出 (415) 示出计数器开始脉冲产生电路 R(407) 的脉冲输出时间。计数器开始脉冲 A 输出 (418) 示出计数器开始脉冲产生电路 A(417) 的脉冲输出定时。计数器开始脉冲 B 输出 (422) 示出计数器开始脉冲产生电路 B(421) 的脉冲输出定时。

[0026] 行地址 503 示出与作为用于行地址解码器 14L 和 14R 的输入的行计数值 S15 对应的像素部分 11 的行的各个地址。例如,行地址 503 的行 1 对应于对于行地址解码器 14L 的计数值 0,并且行地址 503 的行 2 对应于对于行地址解码器 14R 的计数值 0。复位扫描 A(505,509) 示出由复位行计数器 A(152) 执行的复位扫描。例如,在复位扫描 A(505) 中,示出了复位行 5051、5053 和 5055 由被行地址解码器 14L 选择的行组成,并且复位行 5052、

5054 和 5056 由被行地址解码器 14R 选择的行组成。类似地,复位扫描 B(508,512) 示出由复位行计数器 B(153) 执行的复位扫描,并且读出扫描 506、510、513 和 514 示出由读出计数器 151 执行的读出扫描。

[0027] 现在将描述图 4 中示出的操作。首先,在时段 V1 中,通过由 CPU 19 开始的通信 5011,在 CPU 写入寄存器 R(401) 中将读出扫描标志设定为“0”(扫描停止),从而指示禁止读出扫描。HD 计数器值 (4131) 作为复位扫描开始计数被写入到 CPU 写入寄存器 A(402) 中。类似地,“0”作为复位开始行被写入,“ $n/2-1$ ”作为复位结束行被写入,并且“2”作为用于由复位行计数器 A 执行的向上计数的步长值被写入。在 CPU 写入寄存器 B(403) 中,比与一个垂直同步时段对应的 HD 计数器值 (413) 大的值被设定作为复位扫描开始计数,由此能够实际上禁止复位扫描。

[0028] 在时段 V2 期间,首先,通过通信 5011 写入的各个 CPU 写入寄存器值 501 被复制 (5021) 到 VD 同步寄存器 R(408)、VD 同步寄存器 A(409) 和 VD 同步寄存器 B(410)。然后,当 HD 计数器值 (413) 与作为存储在 VD 同步寄存器 A(409) 中的复位扫描开始计数的 HD 计数器值 (4131) 匹配时,VD 同步寄存器 A(409) 被复制 (4201) 到 HD 计数器同步寄存器 A(419)。此外,计数器开始脉冲产生电路 A(417) 产生用于复位行计数器 A(152) 的开始脉冲 4181。一收到开始脉冲 4181,复位行计数器 A(152) 就开始复位扫描 A(505)。在复位扫描 A(505) 期间,复位行计数器 A(152) 参照 HD 计数器同步寄存器 A 值 (4201)。在开始脉冲 4181 的水平同步时段期间,复位行计数器 A(152) 从作为复位开始行的“0”开始计数,并且复位像素部分 11 的行 1 和行 2(5051,5052)。在下一个水平同步时段中,复位行计数器 A(152) 输出已经增加了用于向上计数的步长值“2”的值,并且复位像素部分 11 的行 5 和 6(5053,5054)。在这之后,通过对于每个水平同步时段增加步长值“2”,执行复位扫描直到到达复位结束行“ $n/2-1$ ”。

[0029] 此外,在时段 V2 中,通过通信 5012 将以下写入到 CPU 写入寄存器 R(401) 中:作为读出标志的“1”(扫描开启)、作为读出开始行的“0”、作为读出结束行的“ $n/2-1$ ”、以及作为用于由读出计数器执行的向上计数的步长值的“2”。以下被写入到 CPU 写入寄存器 A(402) 中:作为复位扫描开始计数的 HD 计数器值 (4133)、作为复位开始行的“0”、作为复位结束行的“ $n/2-1$ ”、以及作为用于由复位行计数器 A 执行的向上计数的步长值的“2”。以下被写入到 CPU 写入寄存器 B(403) 中:作为复位扫描开始计数的 HD 计数器值 (4132)、作为复位开始行的“1”、作为复位结束行的“ $n/2$ ”、以及作为用于由复位行计数器 A 执行的向上计数的步长值的“2”。

[0030] 在时段 V3 期间,首先,通过通信 5012 写入的 CPU 写入寄存器值 501 被复制 (5022) 到 VD 同步寄存器。由于读出扫描标志为“1”(扫描开启),因此计数器开始脉冲产生电路 R(407) 产生开始脉冲 4151。一收到开始脉冲 4151,读出计数器 151 就基于读出开始行“0”、读出结束行“ $n/2-1$ ”和用于由读出计数器执行的向上计数的阶升值“2”的设定而开始读出扫描 (506)。读出扫描 (506) 为读取已经由复位扫描 A(505) 复位的像素部分 11 的奇数场 1 的过程,并且在复位扫描 A(505) 和读出扫描 (506) 之间的时间差为曝光时段 507。

[0031] 接下来,当 HD 计数器值 (413) 与作为存储在 VD 同步寄存器 B(410) 中的复位扫描开始计数的 HD 计数器值 (4132) 匹配时,VD 同步寄存器 B(410) 被复制 (4241) 到 HD 计数器同步寄存器 B(423)。此外,计数器开始脉冲产生电路 B(421) 产生用于复位行计数器

B(153) 的开始脉冲 4182。一收到开始脉冲 4182, 复位行计数器 B(153) 就基于复位开始行“1”、复位结束行“n/2”和用于向上计数的步长值“2”而开始复位扫描 B(508)。由行 3、4、7、8、..... 形成的偶数场的像素被复位。

[0032] 接下来, 当 HD 计数器值 (413) 与作为存储在 VD 同步寄存器 A(409) 中的复位扫描开始的 HD 计数器值 (4133) 匹配时, VD 同步寄存器 A(409) 被复制 (4202) 到 HD 计数器同步寄存器 A(419)。此外, 计数器开始脉冲产生电路 A(417) 产生用于复位行计数器 A(152) 的开始脉冲 4152。一收到开始脉冲 4152, 复位行计数器 A(152) 就开始复位扫描 A(509)。由行 1、2、5、6、..... 形成的奇数场的像素被复位。

[0033] 在这之后, 类似地, 通过通信 5013 进行在时段 V4 期间的复位扫描 B(512) 和读出扫描 510 的设定, 并且通过通信 5014 进行在时段 V5 期间的读出扫描 513 的设定, 如在图中示出的。读出扫描 513 为读取已经通过复位扫描 A(509) 复位的像素部分 11 的奇数场 2 的过程, 并且在复位扫描 A(509) 和读出扫描 513 之间的时间差为曝光时段 511。这里, 示出了可以设定使得曝光时段 507 比垂直同步时段短, 而曝光时段 511 比垂直同步时段长, 并且这可以通过来自 CPU 的通信信号 19 的对于复位操作的定时来控制。换句话说, 对于曝光时段 507 的用于读出扫描 506 的通信 5012 在时段 V2 中, 并且用于对应的复位扫描 A(505) 的通信 5011 在时段 V1 中, 并且因此差是一个垂直扫描时段。另一方面, 当用于读出扫描 513 的通信 5014 在时段 V4 期间、并且用于对应的复位扫描 A(509) 的通信 5012 在时段 V2 (也就是说, 提前两个垂直扫描时段) 中被执行时, 获得曝光时段 511。请注意, 在偶数场 1 的读出扫描 510 之前执行奇数场 2 的复位扫描 509。然而, 由于在复位扫描 509 中因用于向上计数的步长值“2”而导致扫描被执行为使得偶数场 1 的读出行被跳过, 因此偶数场 1 的读出行在被读取之前不被复位。

[0034] 像素驱动单元 12L 和 12R 根据由选择器 150 选择的行地址而选择像素部分 11 的作为一个奇数行和一个相邻的偶数行的对的行。较短蓄积时段操作 (第二操作模式) 中的曝光时段 507 比一个垂直同步时段短, 并且与一个场周期相比而言较短。在像素部分 11 中, 在具有曝光时段 507 的较短蓄积时段操作期间, 通过复位扫描 505 顺序地扫描由像素驱动单元 12L 和 12R 选择的像素部分 11 的行的奇数对, 并且奇数场 1 的像素的像素信号被复位。然后, 通过读出扫描 506 顺序地扫描由像素驱动单元 12L 和 12R 选择的像素部分 11 的行的奇数对, 并且奇数场 1 的像素的像素信号被读取。在这之后, 顺序地扫描由像素驱动单元 12L 和 12R 选择的像素部分 11 的行的偶数对, 并且偶数场 1 的像素的像素信号被复位。然后, 顺序地扫描由像素驱动单元 12L 和 12R 选择的像素部分 11 的行的偶数对, 并且偶数场 1 的像素的像素信号被读取。

[0035] 在较长蓄积时段操作 (第一操作模式) 中的曝光时段 511 比一个垂直同步时段长, 并且与一个场周期相比而言较长。在像素部分 11 中, 在具有曝光时段 511 的较长蓄积时段操作期间, 顺序地扫描由像素驱动单元 12L 和 12R 选择的像素部分 11 的行的奇数对, 并且奇数场 2 的像素的像素信号被复位。然后, 顺序地扫描由像素驱动单元 12L 和 12R 选择的像素部分 11 的行的偶数对, 并且偶数场 2 的像素的像素信号被复位。在这之后, 顺序地扫描由像素驱动单元 12L 和 12R 选择的像素部分 11 的行的奇数对, 并且奇数场 2 的像素的像素信号被读取。然后, 顺序地扫描由像素驱动单元 12L 和 12R 选择的像素部分 11 的行的偶数对, 并且偶数场 2 的像素的像素信号被读取。

[0036] 当在具有曝光时段 507 的较短蓄积时段操作之后接连地执行具有曝光时段 511 的较长蓄积时段操作时,执行以下操作。在用于在较长蓄积时段操作中复位奇数场 2 的像素的像素信号的复位扫描 509 已经开始之后,开始用于在较短蓄积时段操作中读取偶数场 1 的像素的像素信号的读出扫描 510。另外,在开始用于在较长蓄积时段操作中复位偶数场 2 的像素的像素信号的复位扫描 512 之前,开始用于在较短蓄积时段操作中读取偶数场 1 的像素的像素信号的读出扫描 510。

[0037] 读出行计数器 151 产生用于交错读出奇数场和偶数场的行地址。当在两种类型的蓄积操作(与场读出周期相比,一种蓄积操作具有较短的蓄积时段而另一种蓄积操作具有较长的蓄积时段)之间切换时,两个复位行计数器 152 和 153 执行以下操作。两个复位行计数器 152 和 153 产生行地址,以使得执行奇数场的行复位和偶数场的行复位以便分别跳过偶数场和奇数场的读出行。

[0038] 如图 3 中所示出的,行计数器控制单元 18 包括第一计数器开始脉冲产生电路 R(407)、水平同步信号计数器 414、第二计数器开始脉冲产生电路 A(417) 和第三计数器开始脉冲产生电路 B(421)。第一计数器开始脉冲产生电路 R(407) 产生用于使读出行计数器 151 开始计数的计数器开始脉冲 415。第二水平同步信号计数器 414 在垂直同步信号 20 的定时处被复位,并且在水平同步信号 21 的定时处向上计数。计数器开始脉冲产生电路 A(417) 根据水平同步信号计数器 414 的计数器值来产生用于使复位行计数器 A(152) 开始计数的计数器开始脉冲 418。第三计数器开始脉冲产生电路 B(421) 根据水平同步信号计数器 414 的计数器值来产生用于使第二复位行计数器 B(153) 开始计数的计数器开始脉冲 422。

[0039] 由于不在不同的模式之间执行用于读取像素部分的被稀疏的行的切换,因此在不改变在较短蓄积时段操作与第一操作模式之间进行切换前后的图像质量的情况下拍摄自然模样(natural-looking)的运动图像是可能的。

[0040] 第二实施例

[0041] 将以与第一实施例的差别为中心来描述根据本发明的第二实施例的固态图像拾取装置。在本实施例中的固态图像拾取装置的配置与图 1A 中示出的配置相同,并且除了行计数器控制单元 18 以外的操作也与第一实施例中的操作相同。

[0042] 图 5 示出根据第二实施例的行计数器控制单元 18 的示例性配置。在下文中,描述在其中不管曝光时段比垂直同步时段短还是长由外部 CPU 开始的通信的定时都相同的操作。场确定电路 604 与垂直同步信号 20 同步地输出场确定结果 605,该场确定结果 605 在“0”和“1”之间交替地改变。CPU 写入寄存器 R(401)、计数器开始脉冲产生电路 R(407) 和 VD 同步寄存器 R(408) 的操作与参考图 3 描述的那些操作相同。然而,增加了用于存储作为在参考奇数场和偶数场之间的读出开始行的差的偏移值的寄存器。当与垂直同步信号 20 同步地将开始行和结束行从 CPU 写入寄存器 R(401) 复制到 VD 同步寄存器 R(408) 时,参照场确定结果 605,并且如果结果是“0”,则行被原样复制,而如果结果是“1”,则行在加上偏移值之后被复制。

[0043] CPU 写入寄存器 S(601) 是为复位行计数器 A(152) 和复位行计数器 B(153) 所共用的设定寄存器。CPU 写入寄存器 S(601) 存储复位扫描开始计数、复位开始行、复位结束行、用于向上计数的步长值和作为在参考奇数场和偶数场之间的复位开始行的差的偏移值。当

与垂直同步信号 20 同步地通过开关 603A 将 CPU 写入寄存器 S(601) 的值复制到 VD 同步寄存器 A(409) 时,如果场确定结果 605 是“0”则执行复制,而如果结果是“1”,则 VD 同步寄存器 A(409) 保持当前值。当与垂直同步信号 20 同步地通过开关 603B 将 CPU 写入寄存器 S(601) 的值复制到 VD 同步寄存器 B(410) 时,如果场确定结果 605 是“1”则执行复制,而如果结果是“0”,则 VD 同步寄存器 B(410) 保持当前值。此外,当 CPU 写入寄存器 S(601) 中的开始行和结束行被复制到 VD 同步寄存器 B(410) 时,将偏移值加到复制值。

[0044] HD 计数器 A(606) 是只有当场确定结果 605 为“0”时才在垂直同步信号 20 的定时处被复位的计数器,并且在水平同步信号 21 的定时处执行向上计数。HD 计数器 B(608) 是只有当场确定结果 605 为“1”时才在垂直同步信号 20 的定时处被复位的计数器,并且在水平同步信号 21 的定时处执行向上计数。请注意,HD 计数器 A(606) 和 HD 计数器 B(608) 是能够计数在两个垂直同步时段期间输入的水平同步信号 21 的脉冲的数量的计数器。计数器开始脉冲产生电路 A(417) 和 HD 计数器同步寄存器 A(419) 执行与参考图 3 描述的操作相同的操作,除了在本实施例中参照 HD 计数器 A(606) 的输出信号 (HD 计数器 A 值) 607 之外。计数器开始脉冲产生电路 B(421) 和 HD 计数器同步寄存器 B(423) 执行与参考图 3 描述的操作相同的操作,除了在本实施例中参照 HD 计数器 B(608) 的输出信号 (HD 计数器 B 值) 609 之外。

[0045] 图 6 是示出根据第二实施例的行计数器控制单元 18 的操作、以及基于行计数器控制单元 18 的控制信号的读出行计数器 151、复位行计数器 A(152) 和复位行计数器 B(153) 的操作的时序图。作为场确定电路 604 的输出的场确定结果 605 与垂直同步信号 20 同步地交替地示出“0”和“1”。HD 计数器 A 值 (607) 在场确定结果 605 为“0”时与垂直同步信号 20 同步地被复位,并且在水平同步信号 21 的每个输入处执行向上计数。HD 计数器 B 值 (609) 在场确定结果 605 为“1”时与垂直同步信号 20 同步地被复位,并且在水平同步信号 21 的每个输入处执行向上计数。计数器开始脉冲 R 输出 (415)、计数器开始脉冲 A 输出 (418)、计数器开始脉冲 B 输出 (422)、复位扫描 A(505,509)、以及复位扫描 B(508,512) 的操作和定时与图 3 中示出的那些相同。读出扫描 506、510、513 和 514 的操作和定时也与图 3 中示出的那些相同。

[0046] 现在将描述图 6 中示出的操作。首先,在时段 V0 中,通过由 CPU 开始的通信 7011,在 CPU 写入寄存器 R(401) 中将读出扫描标志设定为“0”(扫描停止),从而指示禁止读出扫描。HD 计数器值 A(6071) 作为复位扫描开始计数被写入到 CPU 写入寄存器 S(601) 中。类似地,“0”作为复位开始行被写入,“ $n/2-1$ ”作为复位结束行被写入,“2”作为用于向上计数的步长值被写入,而“1”作为偏移值被写入。在这时候,复位扫描开始计数值 6071 比在一个垂直同步时段期间输入的水平同步信号 21 的脉冲的数量大。

[0047] 在时段 V1 期间,与垂直同步信号 20 同步地将 CPU 写入寄存器 R(401) 的值复制 (4081) 到 VD 同步寄存器 R(408)。由于在时段 V1 期间在垂直同步信号 20 的输入定时处场确定结果 605 为“0”,因此通过开关 603A 将 CPU 写入寄存器 S(601) 的值复制 (4111) 到 VD 同步寄存器 A(409)。另一方面,由于不通过开关 603B 执行复制,因此 VD 同步寄存器 B(410) 保持当前值。然而,在时段 V2 期间场确定结果 605 变为“1”的时候将 CPU 写入寄存器 S(601) 的值复制 (4121) 到 VD 同步寄存器 B(410)。在这时候,已经加上偏移值的值作为复位开始行和复位结束行而被存储在 VD 同步寄存器 B(410) 中。

[0048] 在时段 V2 期间,当 HD 计数器 A 值 607 与 VD 同步寄存器 A 值 (411) 的复位扫描开始计数值 6071 匹配时,将 VD 同步寄存器 A 值 (411) 复制到 HD 计数器同步寄存器 A(419)。然后计数器开始脉冲产生电路 A(417) 产生开始脉冲 4181,由此执行复位扫描 A(505)。此外,在时段 V2 期间,通过通信 7012 将以下写入到 CPU 写入寄存器 R(401) 中:作为读出扫描标志的“1”(扫描开启)、作为读出开始行的“0”、作为读出结束行的“ $n/2-1$ ”、作为步长值的“2”、以及作为偏移值的“1”。将以下写入到 CPU 写入寄存器 S(601) 中:作为复位扫描开始计数的 HD 计数器 A 值 (6072)、作为复位开始行的“0”、作为复位结束行的“ $n/2-1$ ”、作为用于向上计数的步长值的“2”、以及作为偏移值的“1”。在这时候,复位扫描开始计数值 6072 比在一个垂直同步时段期间输入的水平同步信号 21 的脉冲的数量小。

[0049] 在时段 V3 期间,作为通信 7012 的结果的 CPU 写入寄存器值 701 被复制 (4082) 到 VD 同步寄存器 R 408。在这时候,由于场确定结果 605 为“0”,因此 CPU 写入寄存器值 701 被复制到 VD 同步寄存器 A(409) 但不被复制到 VD 同步寄存器 B(410)。由于读出扫描标志为“1”(扫描开启),因此计数器开始脉冲产生电路 R(407) 产生开始脉冲 4151。一收到开始脉冲 4151,读出计数器 151 就基于读出开始行“0”、读出结束行“ $n/2-1$ ”和用于由读出计数器执行的向上计数的步长值“2”而开始读出扫描 (506)。

[0050] 接下来,当 HD 计数器值 B(609) 与作为存储在 VD 同步寄存器 B(410) 中的复位扫描开始计数的复位扫描开始计数值 (6071) 匹配时,VD 同步寄存器 B(410) 的值被复制 (4241) 到 HD 计数器同步寄存器 B(423)。此外,计数器开始脉冲产生电路 B(421) 产生用于复位行计数器 B(153) 的开始脉冲 4182。一收到开始脉冲 4182,复位行计数器 B(153) 就基于在加上偏移之后的复位开始行“1”、复位结束行“ $n/2$ ”、以及向上计数的步长值“2”而开始复位扫描 B(508)。

[0051] 接下来,当 HD 计数器 A 值 607 与作为存储在 VD 同步寄存器 A(409) 中的复位扫描开始计数的 VD 同步寄存器 A(409) 的复位扫描开始计数值 (6072) 匹配时,VD 同步寄存器 A(409) 的值被复制 (4202) 到 HD 计数器同步寄存器 A(419)。此外,计数器开始脉冲产生电路 A(417) 产生用于复位行计数器 A(152) 的开始脉冲 4152。一收到开始脉冲 4152,复位行计数器 A(152) 就开始复位扫描 A(509)。

[0052] 在 V4 期间,作为在时段 V3 期间的通信 7012 的结果的 CPU 写入寄存器值 701 被复制 (4083) 到 VD 同步寄存器 R(408)。在这时候,由于场确定结果 605 为“1”,使存储在 VD 同步寄存器 R 408 中的读出开始行和读出结束行加上“1”的偏移值。类似地,VD 同步寄存器 A(409) 不被复制,并且在 VD 同步寄存器 B(410) 中加上偏移值“1”。由于读出扫描标志为“1”(扫描开启),因此计数器开始脉冲产生电路 R(407) 产生开始脉冲 4153。一收到开始脉冲 4153,读出计数器 151 就使用已经加上了偏移的读出开始行“1”和读出结束行“ $n/2$ ”开始读出扫描 (510)。

[0053] 接下来,当 HD 计数器 B 值 (609) 与作为存储在 VD 同步寄存器 B(410) 中的复位扫描开始计数的复位扫描开始计数值 (6072) 匹配时,VD 同步寄存器 B(410) 的值被复制 (4242) 到 HD 计数器同步寄存器 B(423)。此外,计数器开始脉冲产生电路 B(421) 产生用于复位行计数器 B(153) 的开始脉冲 4183。一收到开始脉冲 4183,复位行计数器 B(153) 就基于在加上偏移之后的复位开始行“1”和复位结束行“ $n/2$ ”、以及向上计数的步长值“2”而开始复位扫描 B(512)。

[0054] 在这之后,通过通信 7013 类似地进行用于读出扫描 513 和 514 以及用于在时段 V5 和 V6 期间禁止复位扫描的设定,如图中所示出的。因此,与第一实施例类似地控制曝光时段 507 和 511。另外,不管曝光时段是比垂直同步时段长还是短,都仅仅要求总是相对于奇数场的读出时段提前两个垂直扫描时段地进行通信,如图中所示出的。

[0055] 如图 5 中所示出的,行计数器控制单元 18 包括第一计数器开始脉冲产生电路 R(407)、第二计数器开始脉冲产生电路 A(417) 和第三计数器开始脉冲产生电路 B(421)。此外,行计数器控制单元 18 包括第一水平同步信号计数器 A(606) 和第二水平同步信号计数器 B(608)。第一计数器开始脉冲产生电路 R(407) 产生用于使读出行计数器 151 开始计数的计数器开始脉冲 415。第一水平同步信号计数器 A(606) 在每两个垂直同步信号 20 的定时处被复位,并且被使得在水平同步信号 21 的定时处执行向上计数。第二水平同步信号计数器 B(608) 在每两个垂直同步信号 20 的定时处并且相对于 HD 计数器 A(606) 具有一个垂直同步信号 20 的偏移地被复位,并且被使得在水平同步信号 21 的定时处执行向上计数。第二计数器开始脉冲产生电路 A(417) 根据第一水平同步信号计数器 A(606) 的计数值来产生用于使第一复位行计数器 A(152) 开始计数的计数器开始脉冲 418。第三计数器开始脉冲产生电路 B(421) 根据第二水平同步信号计数器 B(608) 的计数值来产生用于使第二复位行计数器 B(153) 开始计数的计数器开始脉冲 422。

[0056] 第一实施例和第二实施例的固态图像拾取装置可以被用于数字照相机等的固态图像拾取装置。根据第一实施例和第二实施例,在要求对于较短蓄积时段操作的一个垂直扫描时段内的蓄积时段的设定的情况和要求对于较长蓄积时段操作的超过一个垂直扫描时段的蓄积时段的设定的情况之间不执行像素部分 11 中的读出的稀疏方法的切换。这使得能够在不改变在较短蓄积时段操作与较长蓄积时段操作之间进行切换前后的图像质量的情况下拍摄自然模样的运动图像。另外,提高在低亮度时拍摄的运动图像的图像质量,并且实现其简化控制。

[0057] 在上述实施例中,设置了行地址解码器 14、选择存储单元 13 和像素驱动单元 12 的两个集合。然而,可以仅仅使用来自每个集合中的一个组件来控制像素部分 11。换句话说,能够从行地址解码器输出的解码值的总数变为上述实施例中的两倍。如图 1 中所示出的,由于选择存储单元 13 由逻辑电路、锁存电路等形成,因此组件的数量大。因此,随着像素变得更细,对于实现更容易的布局而言,设置如所示出的行地址解码器 14、选择存储单元 13 和像素驱动单元 12 的两个集合变得更有利。

[0058] 虽然已经示出了其中两个相邻的行的像素被选为一对的示例,但是当然可以独立地选择每个行。另外,虽然上面已经描述了其中偶数场(第二场)跟在奇数场(第一场)之后的示例,但是处理奇数场和偶数场的顺序可以是相反的。

[0059] 虽然已经参考示例性实施例描述了本发明,但是应当理解,本发明不限于所公开的示例性实施例。以下权利要求的范围将被给予最宽的解释从而包括所有这样的修改、等同的结构与功能。

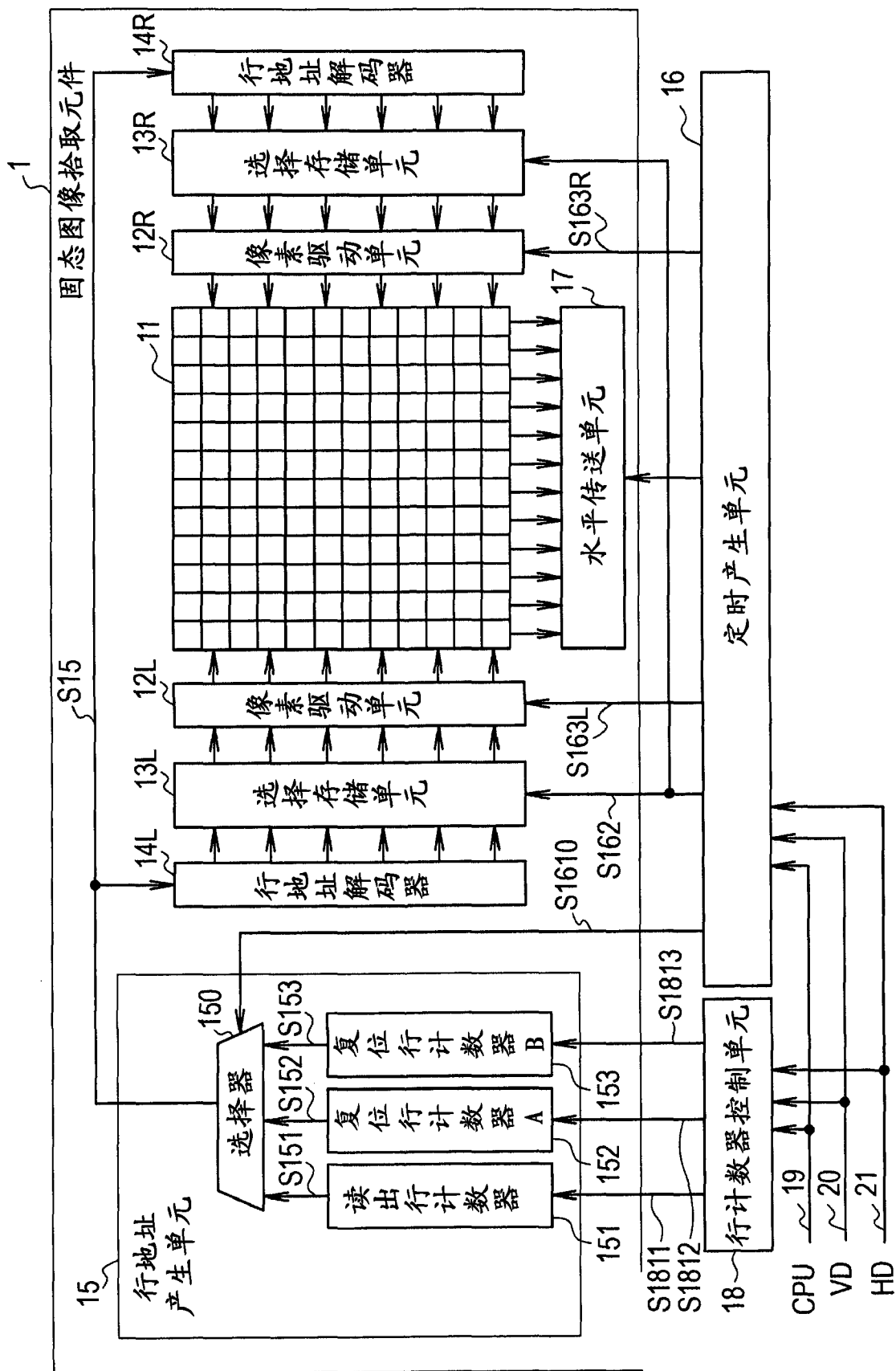


图 1A

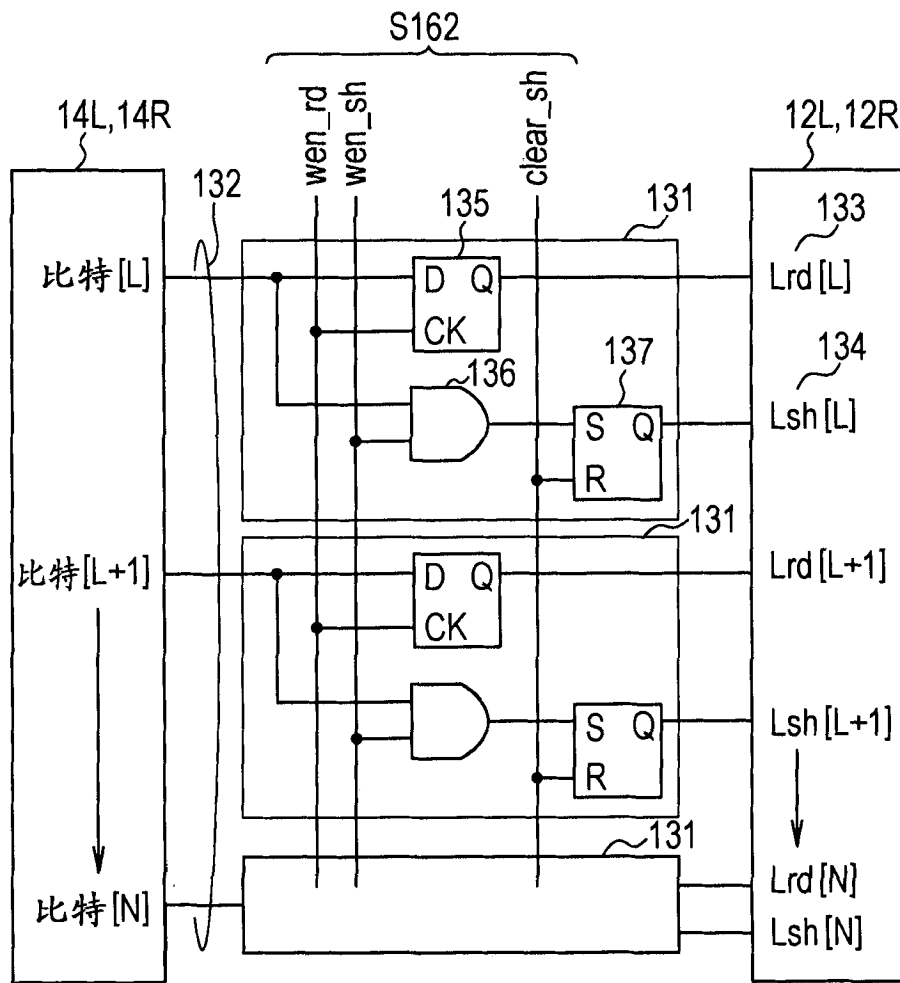


图 1B

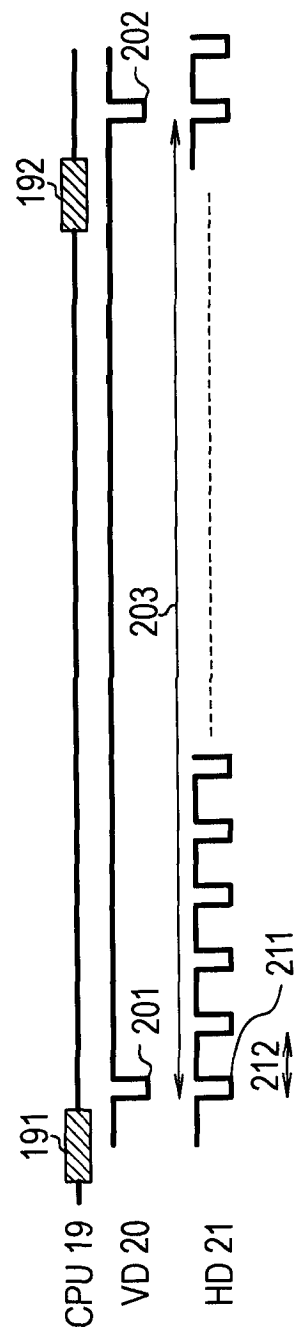


图 2A

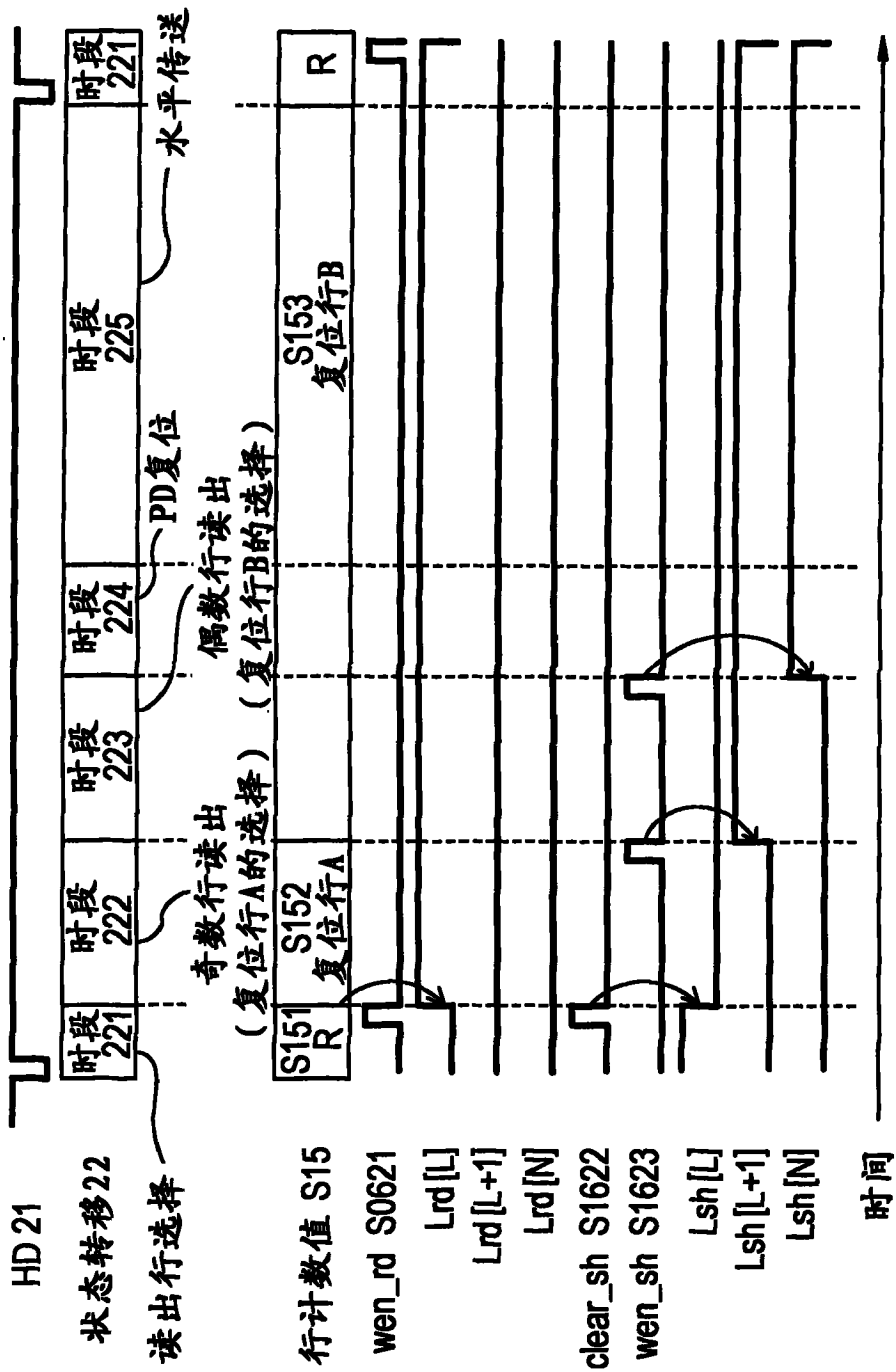


图 2B

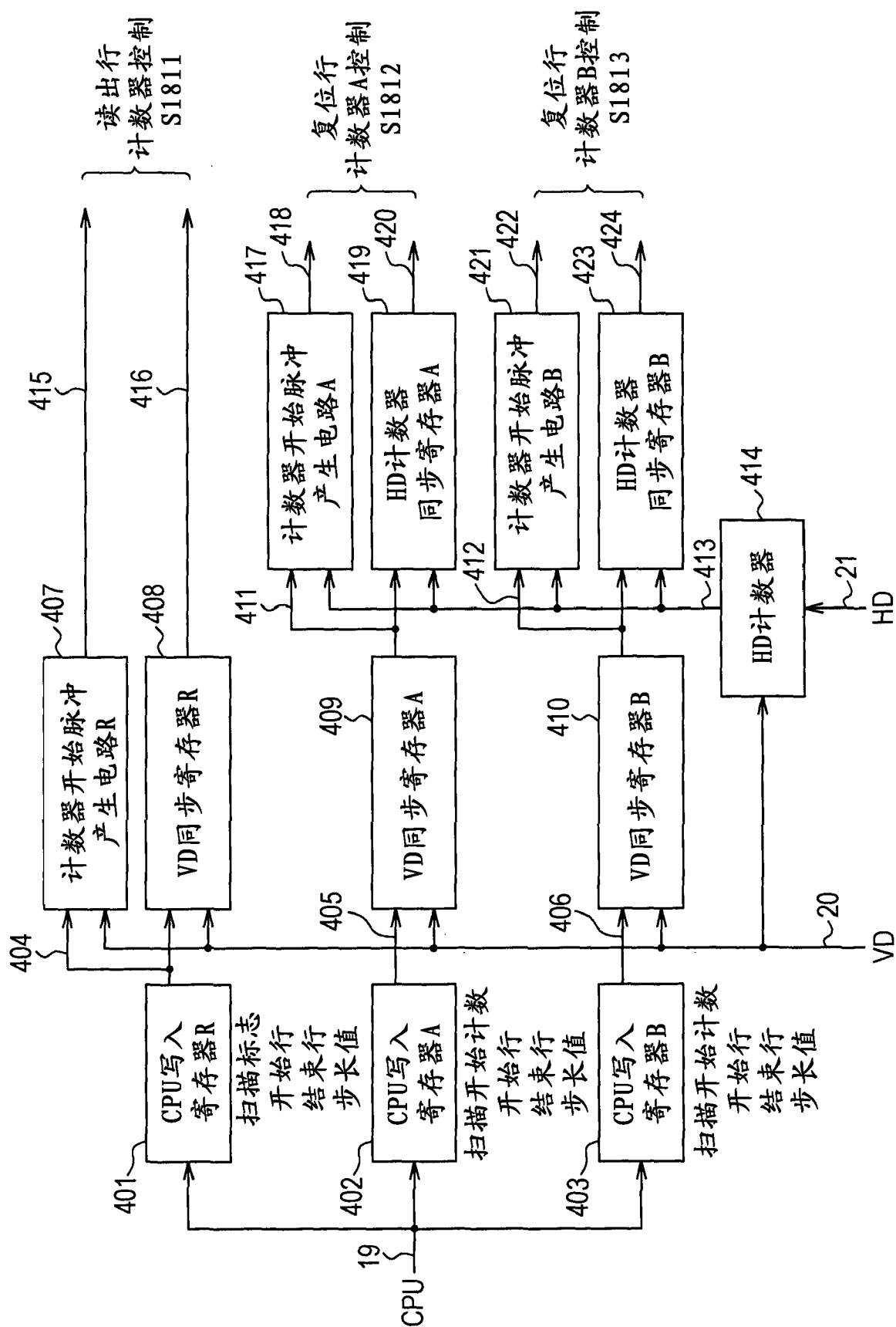


图 3

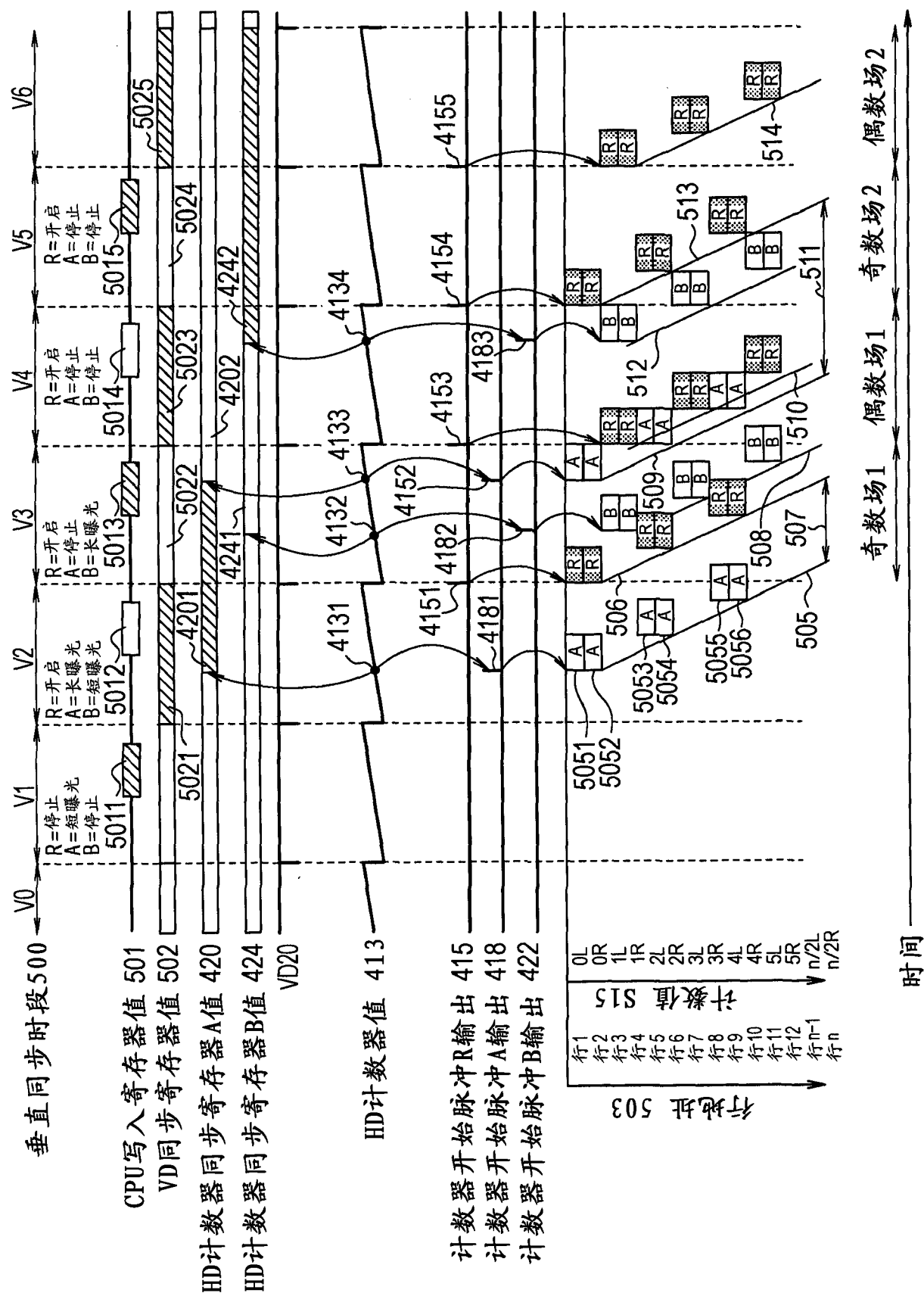


图 4

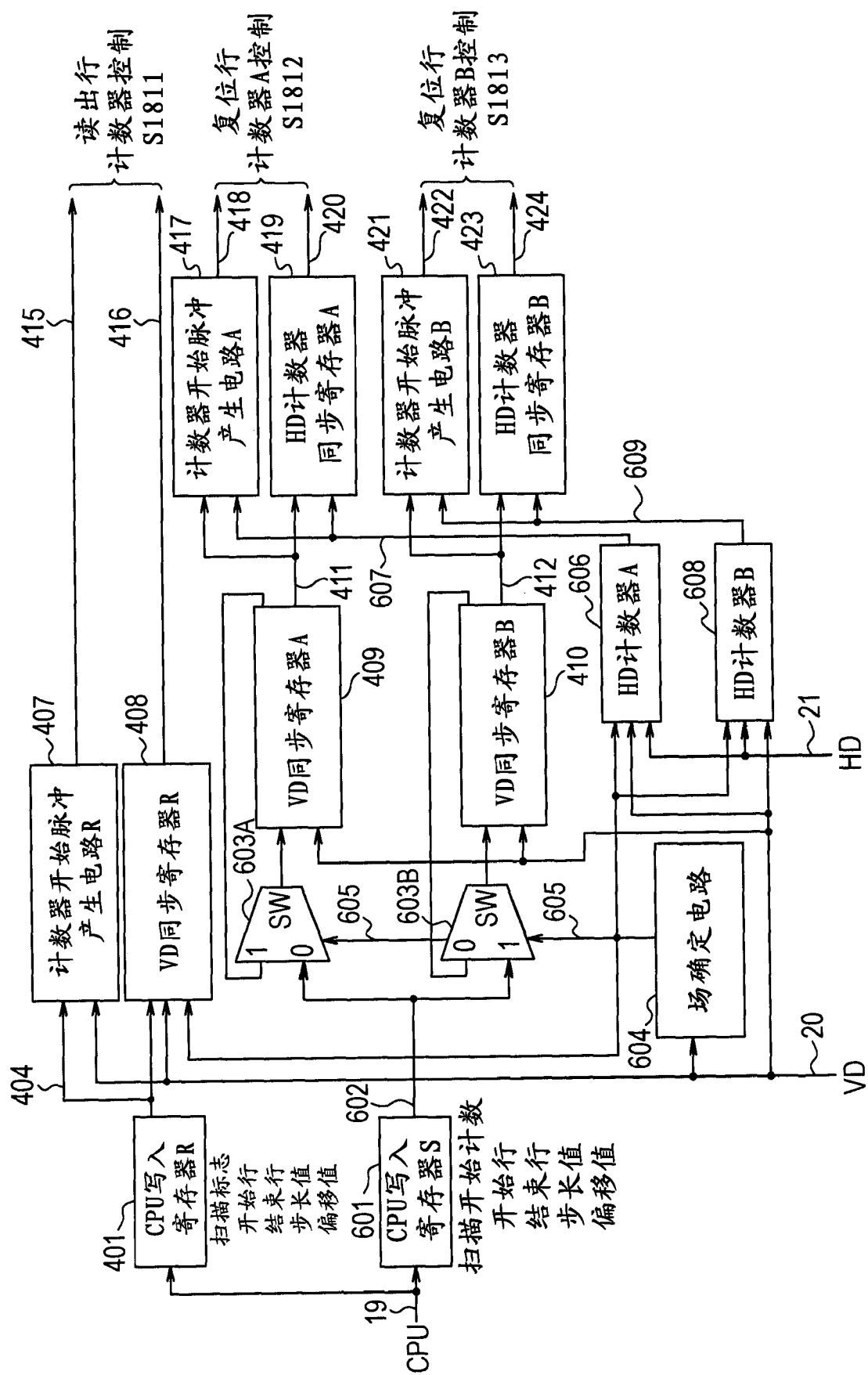


图 5

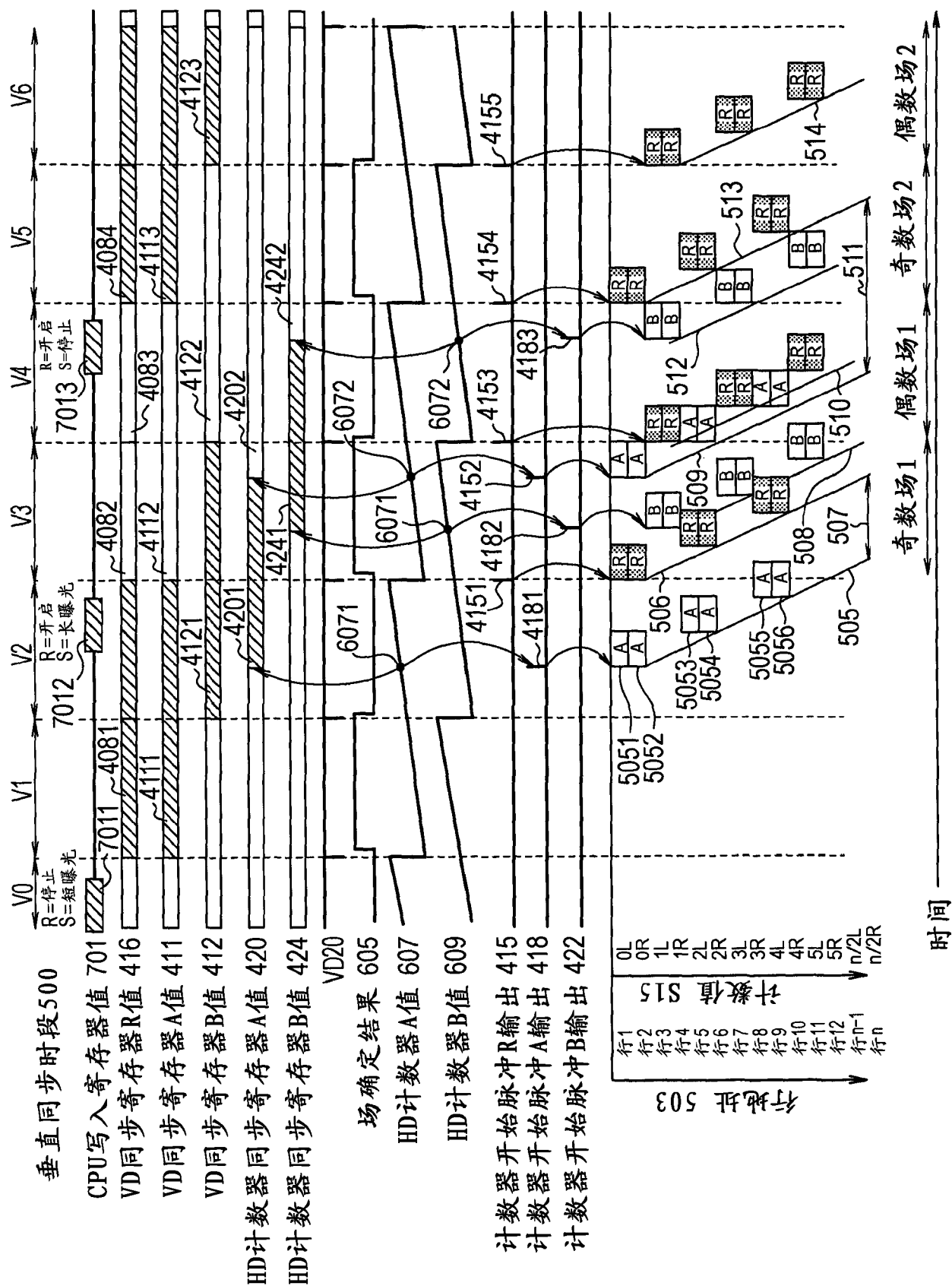


图 6