

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4901302号
(P4901302)

(45) 発行日 平成24年3月21日(2012.3.21)

(24) 登録日 平成24年1月13日(2012.1.13)

(51) Int.Cl. F I
H O 1 L 21/82 (2006.01) H O 1 L 21/82 W

請求項の数 5 (全 8 頁)

(21) 出願番号	特願2006-146520 (P2006-146520)	(73) 特許権者	000003078 株式会社東芝
(22) 出願日	平成18年5月26日(2006.5.26)		東京都港区芝浦一丁目1番1号
(65) 公開番号	特開2007-317924 (P2007-317924A)	(73) 特許権者	000221199 東芝マイクロエレクトロニクス株式会社
(43) 公開日	平成19年12月6日(2007.12.6)		神奈川県川崎市川崎区駅前本町2番地1
審査請求日	平成21年2月9日(2009.2.9)	(74) 代理人	100091351 弁理士 河野 哲
		(74) 代理人	100088683 弁理士 中村 誠
		(74) 代理人	100108855 弁理士 蔵田 昌俊
		(74) 代理人	100075672 弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

半導体基板の拡散領域または半導体基板上の配線層からなる第1の配線と上層側の配線層からなる第2の配線からなる1組の配線と、

前記1組の配線の近傍に配置された配線層からなる第3の配線と、

前記1組の配線間を接続する第1の導電体層と、

前記第1の導電体層と並んで少なくとも1つ配置され、前記1組の配線間を接続する冗長用の第2の導電体層とを具備し、

前記第1の導電体層より前記第3の配線の近傍に位置する前記第2の導電体層に接続された配線部分の余裕値は、前記1組の配線間を第1の導電体層のみで接続する場合に配線に関するデザインルールで制限された余裕値よりも小さく設定されていることを特徴とする半導体集積回路。

【請求項2】

前記第2の導電体層に接続された配線部分は、前記第2の導電体層の長さ方向の一端側における余裕値が他端側における余裕値よりも小さく設定されていることを特徴とする請求項1記載の半導体集積回路。

【請求項3】

前記第2の導電体層に接続された配線部分は、前記第2の導電体層の長さ方向の一端側から突出していないことを特徴とする請求項1記載の半導体集積回路。

【請求項4】

前記第2の導電体層に接続された配線部分は、前記第2の導電体層の幅方向の一端側における余裕値が他端側における余裕値よりも小さく設定されていることを特徴とする請求項1記載の半導体集積回路。

【請求項5】

前記第2の導電体層に接続された配線部分は、前記第2の導電体層の幅方向の一端側から突出していないことを特徴とする請求項1記載の半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路に係り、特に冗長なレイアウト設計が施されたLSIにおいてコンタクトあるいはビアに接続される配線部分のパターンに関するもので、例えばレイアウト設計時に適用されるものである。

10

【背景技術】

【0002】

半導体集積回路（以下LSIと称する）の設計は、LSIの世代が進むにつれ、より微細なパターン形状の設計を可能とするためのデザインルールが適用されている。しかし、パターン形状が微細になるほど、製造工程で発生する偶発的な要因や、プロセスのパラッキなどの影響で不良が発生することが多くなっている。このような不良が発生した場合に備えて、パターンレイアウト設計に際して、それが存在しなくても機能する構造を不良対策として配置し、歩留まり向上を図ることがある。具体的に述べると、これらの不良の中で配線の断線やショートなどは比較的発生し易い不良であり、以下のような方法で対策を施している。

20

【0003】

例えば図4に示すパターンのように下層配線11と上層配線12との層間をビア13で接続するようなレイアウト設計を行った場合、実際に製造された場合にビアに沿った縦断面構造が例えば図5に示すようになると、次のような問題が生じる。

【0004】

即ち、下層配線11が設計値よりも短く形成され、上層配線12とビア13の接合面積は小さくなっていないが、下層配線11とビア13の接合面積が小さくなり、配線11、12間が電氣的に接続されない可能性がある。

30

【0005】

また、実際に製造された場合に、図6に示すように下層配線11上に製造過程で付着したごみ14があった場合、さらにその上にビア13が形成されると、配線11、12間が電氣的に接続されず、不良となる可能性がある。

【0006】

このような不良による歩留まり低下を抑えるため、図7に示すように下層配線11と上層配線12からなる1組の配線間に例えば2つのビア13を並べて配置するといった冗長なレイアウトを施す構造が知られている。すると、2つのビア13のどちらか1つが不良を起こしたとしても、配線11、12間は電氣的に接続されるので歩留まりは向上する。

【0007】

40

しかし、配線12の周辺に他の配線14が存在している場合には、配線12、14間の間隔Dが狭くなり、デザインルール上で最小間隔違反が起きる。ここで、ビア13の位置が移動できない場合には、配線14を移動することにより間隔Dを拡げることが可能であるが、レイアウト面積が大きくなってしまう。

【0008】

なお、特許文献1には、自動レイアウト方法によるLSIの配線に形成されるビア領域を、各々対応する層の配線の幅と略同じ幅とし、配線の端部にビアホールが配置される場合や、配線の端部を越えて配線の延在方向に所定長延在させ、ミニマムエリアやエンドオブラインの問題を抑制する点が開示されている。

【特許文献1】特開2001-284455号公報

50

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明は前記した従来の問題点を解決すべくなされたもので、歩留まりを向上させるために意図した冗長なレイアウト設計を施したとしても、不良率を低くすることができ、面積の増大を起こさないで済む半導体集積回路を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明の半導体集積回路は、半導体基板の拡散領域または半導体基板上の配線層からなる第1の配線と上層側の配線層からなる第2の配線からなる1組の配線と、前記1組の配線の近傍に配置された配線層からなる第3の配線と、前記1組の配線間を接続する第1の導電体層と、前記第1の導電体層と並んで少なくとも1つ配置され、前記1組の配線間を接続する冗長用の第2の導電体層とを具備し、前記第1の導電体層より前記第3の配線の近傍に位置する前記第2の導電体層に接続された配線部分の余裕値は、前記1組の配線間を第1の導電体層のみで接続する場合に配線に関するデザインルールで制限された余裕値よりも小さく設定されていることを特徴とする。

10

【発明の効果】

【0011】

本発明の半導体集積回路によれば、歩留まりを向上させるために意図した冗長なレイアウト設計を施したとしても、不良率を低くすることができ、面積の増大を起こさないで済む。

20

【発明を実施するための最良の形態】

【0012】

以下、図面を参照して本発明の実施形態を説明する。この説明に際して、全図にわたり共通する部分には共通する参照符号を付す。なお、以下の各実施形態では、配線層からなる第1の配線と上層側の配線層からなる第2の配線からなる1組の配線間を接続するために形成されたビアに対する配線部に本発明を適用した例を説明する。しかし、本発明は、半導体基板の拡散領域からなる第1の配線と上層側の配線層からなる第2の配線からなる1組の配線間を接続するために形成された冗長用のコンタクトプラグに対する配線部にも適用することが可能であり、本発明ではビアやコンタクトプラグを導電体層と称する。

30

【0013】

<第1の実施形態>

図1(a)、(b)は、本発明のLSIの第1の実施形態における修正前のパターンレイアウトおよび修正後のパターンレイアウトの一例を示す平面図である。図1(a)に示す修正前のパターンレイアウトは、それぞれ直線状の下層配線51と上層配線52からなる1組の配線が上下方向に重なるように配設されている。この1組の配線51、52間には2つのビア53、54が並べて配置されており、2つの53、54が上層配線52によってデザインルール最小値で覆われている。上層配線52の周辺には第3の配線55がレイアウトされている。ここで、配線52、55相互の間隔Dがデザインルール最小間隔違反を起こしている。

40

【0014】

このような場合に対処して修正したパターンレイアウトの一例を図1(b)に示す。ここで、上下方向に重なるように配設されたそれぞれ直線状の下層配線(第1の配線)51と上層配線(第2の配線)52からなる1組の配線間に2つのビア53、54が並べて配置されている。そして、2つのビア53、54のうち、一方のビア53はビアが1つのみ配置された場合の通常の配線と同様の余裕(標準の余裕値)を持つ。他方のビア54は配線の余裕を小さくされている。即ち、上下方向に重なるように配設された1組の配線51、52間に並べて配置された2つのビア53、54のうち、ビア54に対する配線52の長さ方向における配線余裕を小さくすることにより、配線52とその周辺の第3の配線55との間でデザインルール最小間隔D1(>D)を確保し、デザインルール最小間隔違反

50

を回避している。

【0015】

第1の実施形態のLSIは、配線のレイアウト設計に際して、冗長なビアが存在する場合には冗長な部分のレイアウトに関するデザインルールに対する制限を、冗長な部分が存在しない場合のデザインルールに対する制限よりも緩める設計方法で製造されたものである。

【0016】

このようなパターンレイアウトにより、ビア54の不良率は高くなるが、ビアが1つの場合に比べると不良率は低くなり、歩留まりは向上し、レイアウト面積も増大しない。

【0017】

図1(c)は、図1(a)に示した修正前のパターンレイアウトに対して修正したパターンレイアウトの他の例を示している。これは、図1(b)に示した修正後のパターンレイアウトと比べて、一方のビア54に対する配線52の長さ方向における配線余裕を無くすることにより、配線52、55間でデザインルール最小間隔D1より大きな間隔D2を確保し、デザインルール最小間隔違反を回避している点が異なり、その他は同じである。このようなパターンレイアウトにより、図1(b)に示した修正後のパターンレイアウトと同様の効果が得られる。

【0018】

<第2の実施形態>

図2(a)、(b)は、本発明のLSIの第2の実施形態における修正前のパターンレイアウトおよび修正後のパターンレイアウトの一例を示す平面図である。図2(a)に示す修正前のパターンレイアウトは、平面L字形の交差部を有するように配設された下層配線61と上層配線62からなる1組の配線間に2つのビア63、64が並べて配置されている。2つのビア63、64は配線62によりデザインルール最小値で覆われており、配線62の周辺には第3の配線65がレイアウトされている。配線62、65の間隔Dはデザインルール最小間隔違反を起こしている。

【0019】

このような場合に対処して修正したパターンレイアウトを図2(b)に示す。ここで、下層配線(第1の配線)61と上層配線(第2の配線)62からなる1組の配線が平面L字形の交差部を有するように配設されており、1組の配線61、62間には2つのビア63、64が並べて配置されている。2つのビア63、64のうち一方のビア63はビアが1つのみ配置された通常配線と同様の余裕(標準の余裕値)を持ち、L字形の曲がり角部分にあるビア64は配線62の長さ方向における配線余裕を小さくされている。即ち、平面L字形の交差部を有するように配設された1組の配線61、62間に並べて配置された2つのビア63、64のうち、一方のビア64に対する配線62の長さ方向における配線余裕を小さくすることにより、配線62とその周辺の第3の配線65との間でデザインルール最小間隔D1($> D$)を確保し、デザインルール最小間隔違反を回避している。

【0020】

このようなパターンレイアウトにより、ビア64の不良率は高くなるが、ビアが1つの場合に比べると不良率は低くなり、歩留まりは向上し、レイアウト面積も増大しない。

【0021】

<第3の実施形態>

図3(a)、(b)は、本発明のLSIの第3の実施形態における修正前のパターンレイアウトおよび修正後のパターンレイアウトの一例を示す平面図である。図3(a)に示す修正前のパターンレイアウトは、下層配線(第1の配線)71と上層配線(第2の配線)72からなる1組の配線が平面T字形の交差部を有するように配設されている。この1組の配線71、72間に2つのビア73、74が並べて配置されており、2つのビア73、74が配線72によりデザインルール最小値で覆われている。配線74の周辺には第3の配線75がレイアウトされており、配線72、75の間隔Dがデザインルール最小間隔違反を起こしている。

10

20

30

40

50

【0022】

このような場合に対処して修正したパターンレイアウトを図3(b)に示す。ここで、下層配線(第1の配線)71と上層配線(第2の配線)72からなる1組の配線が平面T字形に交差して配設され、1組の配線71、72間に2つのビア73、74が並べて配置されている。2つのビア73、74のうち一方のビア73はビアが1つのみ配置された通常配線と同様の配線余裕(標準の余裕値)を持ち、T字形の交差部分にあるビア74は配線72の幅方向における配線余裕を小さくされている。即ち、平面T字形の交差部を有するように配設された1組の配線71、72間に並べて配置された2つのビア73、74のうち、一方のビア74に対する配線72の幅方向における配線余裕を小さくすることにより、配線72とその周辺の第3の配線75との間でデザインルール最小間隔 $D_1 (> D)$ を確保し、デザインルール最小間隔違反を回避している。

10

【0023】

このようなパターンレイアウトにより、ビア74の不良率は高くなるが、ビアが1つの場合に比べると不良率は低くなり、歩留まりは向上し、レイアウト面積も増大しない。

【0024】

図3(c)は、図3(a)に示した修正前のパターンレイアウトに対して修正したパターンレイアウトの他の例を示している。これは、図3(b)に示した修正後のパターンレイアウトと比べて、一方のビア74に対する配線72の長さ方向における配線余裕を無くすることにより、配線72、75間でデザインルール最小間隔 D_1 より大きな間隔 D_2 を確保し、デザインルール最小間隔違反を回避している点が異なり、その他は同じである。このようなパターンレイアウトにより、図3(b)に示した修正後のパターンレイアウトと同様の効果が得られる。

20

【0025】

なお、上記各実施形態において、1組の配線をなす第1の配線と第2の配線の上下関係は逆でもよく、第3の配線が、第2の配線の周辺に限らず、第1の配線の周辺に配置されている場合にも本発明を適用可能である。

【図面の簡単な説明】

【0026】

【図1】本発明のLSIの第1の実施形態における修正前のパターンレイアウトおよび修正後のパターンレイアウトを示す平面図。

30

【図2】本発明のLSIの第2の実施形態における修正前のパターンレイアウトおよび修正後のパターンレイアウトを示す平面図。

【図3】本発明のLSIの第3の実施形態における修正前のパターンレイアウトおよび修正後のパターンレイアウトを示す平面図。

【図4】従来のLSIのレイアウトを示す平面図。

【図5】図4に示したレイアウト設計後に製造されたLSIの断面図。

【図6】図4に示したレイアウト設計後に製造されたLSIの断面図。

【図7】従来のLSIのレイアウトの他の例を示す平面図。

【符号の説明】

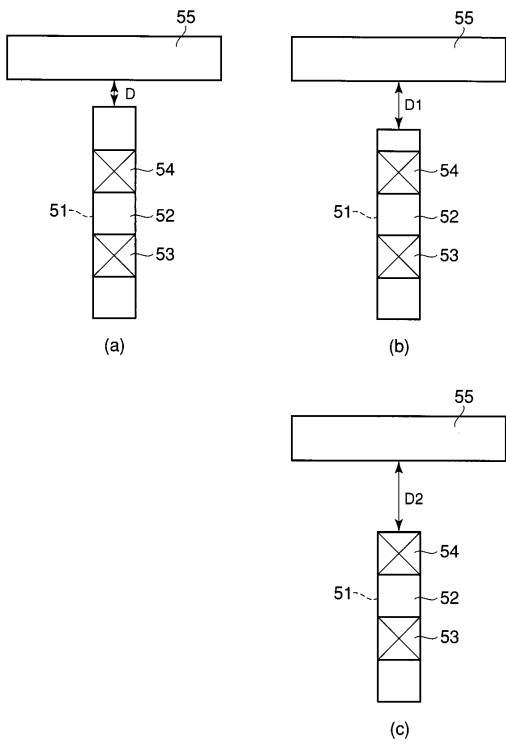
【0027】

51、61、71...下層配線、52、62、72...上層配線、53、54、63、64、73、74...ビア、55、65、75...配線。

40

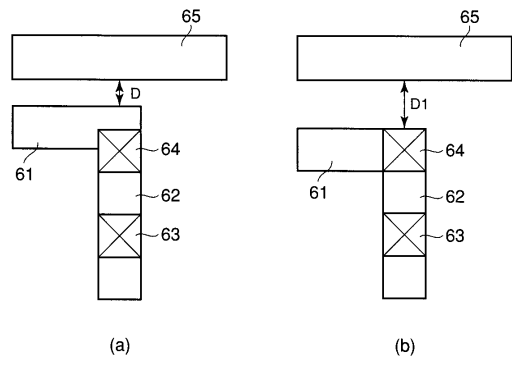
【 図 1 】

図 1.



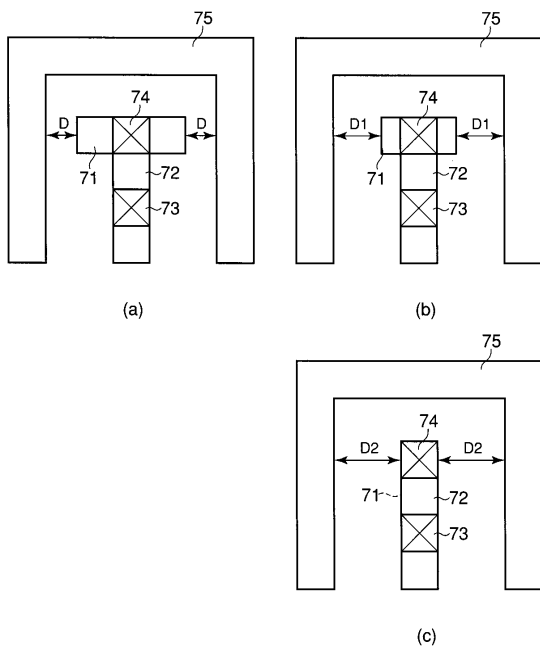
【 図 2 】

図 2



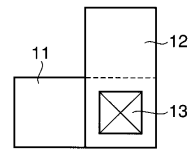
【 図 3 】

図 3



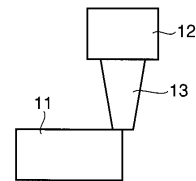
【 図 4 】

図 4



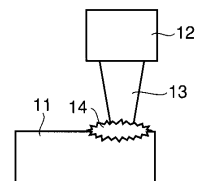
【 図 5 】

図 5



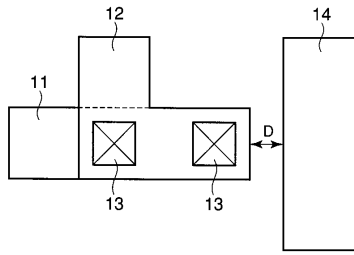
【 図 6 】

図 6



【 7 】

図 7



フロントページの続き

(74)代理人 100109830

弁理士 福原 淑弘

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 倉田 信彦

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 井上 耕一郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 藤井 真二

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 前野 宗昭

神奈川県川崎市川崎区駅前本町25番地1 東芝マイクロエレクトロニクス株式会社内

審査官 須原 宏光

(56)参考文献 特開2005-347692(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/82

H01L 21/3205