

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2019年9月6日(06.09.2019)



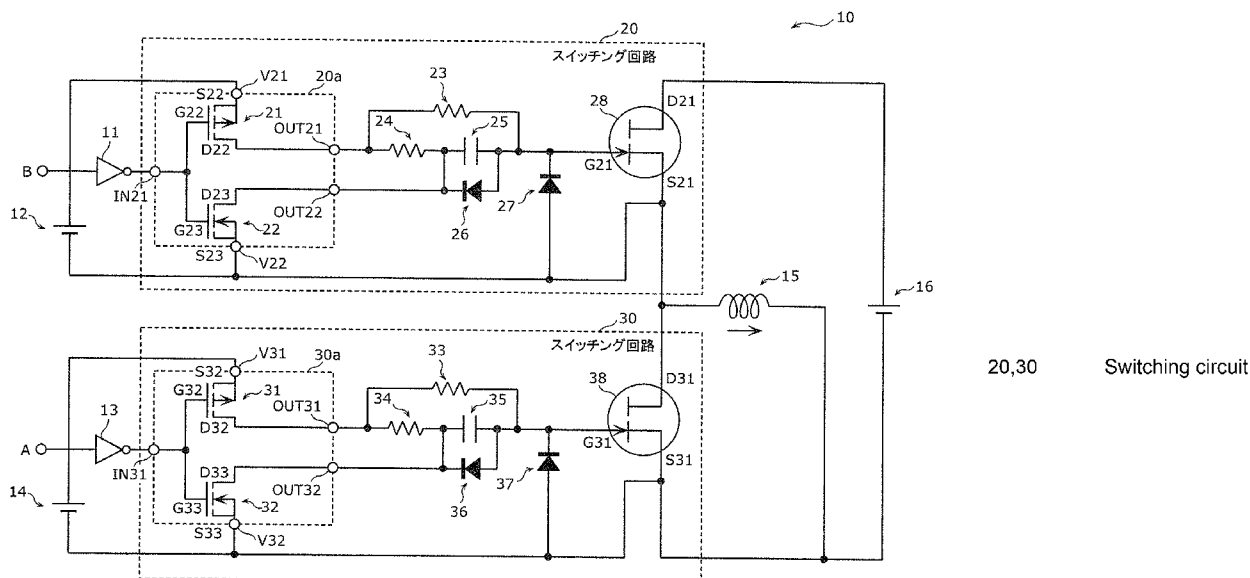
(10) 国際公開番号

WO 2019/167446 A1

- (51) 国際特許分類:  
H02M 1/08 (2006.01) H03K 17/687 (2006.01)
- (21) 国際出願番号: PCT/JP2019/000731
- (22) 国際出願日: 2019年1月11日(11.01.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2018-035949 2018年2月28日(28.02.2018) JP
- (71) 出願人: パナソニックIPマネジメント株式会社(PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) [JP/JP]; 〒5406207 大阪府大阪府中央区城見2丁目1番6-1号 Osaka (JP).
- (72) 発明者: 有澤 大治郎(ARISAWA, Daijiro). 東 武志(AZUMA, Takeshi). 山本 大介(YAMAMOTO, Daisuke). 南 善久(MINAMI, Yoshihisa). 柳原 学(YANAGIHARA, Manabu).
- (74) 代理人: 新居 広守, 外 (NII, Hiromori et al.); 〒5320011 大阪府大阪市淀川区西中島5丁目3番10号タナカ・イトーピア新大阪ビル6階新居国際特許事務所内 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

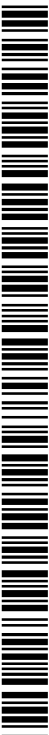
(54) Title: SWITCHING CIRCUIT

(54) 発明の名称: スイッチング回路



20,30 Switching circuit

(57) Abstract: A switching circuit (30) is provided with: a switching element (38); a drive unit (30a); a diode (37) that is connected between a source terminal (S31) and a gate terminal (G31) of the switching element (38); a resistor (33) that is connected between the drive unit (30a) and the gate terminal (G31) of the switching element (38); a series circuit that is connected in parallel to the resistor (33) and comprises a capacitor (35) and a resistor (33); and a diode (36) that comprises a positive electrode on a gate terminal (G31) side of the switching element (38) and comprises a negative electrode on a second output terminal (OUT32) side of the drive unit (30a). The diode (36) is connected in parallel to at least the capacitor (35) from between the capacitor (35) and the resistor (34) which are series-connected.



WO 2019/167446 A1

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,  
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,  
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

— 国際調査報告 (条約第21条(3))

---

(57) 要約 : スイッチング回路 (30) は、スイッチング素子 (38) と、駆動部 (30a) と、スイッチング素子 (38) のソース端子 (S31) とゲート端子 (G31) との間に接続されるダイオード (37) と、駆動部 (30a) とスイッチング素子 (38) のゲート端子 (G31) との間に接続された抵抗器 (33) と、抵抗器 (33) と並列に接続され、コンデンサ (35) と抵抗器 (33) とを有する直列回路と、スイッチング素子 (38) のゲート端子 (G31) 側に陽極を有し、駆動部 (30a) の第2の出力端子 (OUT32) 側に陰極を有するダイオード (36) とを備える。ダイオード (36) は、直列に接続されたコンデンサ (35) 及び抵抗器 (34) のうちの少なくともコンデンサ (35) と並列に接続されている。

## 明 細 書

発明の名称：スイッチング回路

### 技術分野

[0001] 本発明は、スイッチング素子を駆動するスイッチング回路に関し、特に、ノーマリオフ型の接合型電界効果トランジスタをスイッチング素子として駆動する回路に関する。

### 背景技術

[0002] スwitching電源やインバータ等の機器では、スイッチング素子が用いられ、スイッチング素子のスイッチング周波数を上げることで、コンデンサやトランス等の回路部品を小型化できる。近年、このような高周波用途のスイッチング素子として、Ga Nトランジスタに代表される、ワイドバンドギャップ型の化合物半導体を利用したノーマリオフ型の接合型電界効果トランジスタが注目されている。

[0003] そこで、従来、スイッチング素子としてノーマリオフ型の接合型電界効果トランジスタを駆動するスイッチング回路についての様々な技術が提案されている（例えば、特許文献1、2参照）。なお、スイッチング回路による駆動の対象となるトランジスタを、以下、単に「スイッチング素子」ともいう。

[0004] 特許文献1の技術では、スイッチング素子を駆動する駆動回路として、駆動信号発生回路を構成する第1スイッチ素子及び第2スイッチ素子それぞれの実出力端子とスイッチング素子のゲート端子との間に複数の抵抗器及び一つのコンデンサを接続した回路が開示されている。これにより、スイッチング素子のゲート充電電流及び放電電流を個別かつ最適に調整できるとともに、スイッチング素子のターンオン時及びターンオフ時の誤動作を防ぐことが可能になる。なお、以降では、スイッチング素子のターンオン及びターンオフを、それぞれ、単に、「ターンオン」及び「ターンオフ」ともいう。

[0005] また、特許文献2の技術では、スイッチング素子を駆動する駆動回路とし

て、駆動信号発生回路とスイッチング素子のゲート端子との間にコンデンサが接続され、さらに、スイッチング素子のゲート端子とソース端子との間に、整流素子及びツェナーダイオードで構成される逆バイアス電圧生成回路が接続された回路が開示されている。これにより、ターンオフ動作が高速化される。

## 先行技術文献

## 特許文献

[0006] 特許文献1：国際公開第2017/081856号

特許文献2：特開2016-40967号公報

## 発明の概要

### 発明が解決しようとする課題

[0007] しかしながら、特許文献1の技術では、ターンオフ時にスイッチング素子のゲート・ソース間に過剰の負バイアスが与えられ、スイッチング素子に対するゲート耐圧不良が発生したり、還流動作時のロス（つまり、電力損失）が大きくなったりするという問題がある。ここで、還流動作とは、スイッチング素子に接続された誘導性負荷に流れる電流が遮断されたときに、スイッチング素子を介して誘導性負荷に電流を流し続けようとする動作をいう。

[0008] また、特許文献1の技術では、ターンオン時にスイッチング素子のゲート端子に充電された電荷を短時間で放電するために、第1スイッチ素子の出力端子とスイッチング素子のゲート端子との間に接続された抵抗器の抵抗値を小さくする必要があるが、これらの抵抗値を過剰に小さくするとスイッチング素子のゲート電圧が耐圧を超えたり、駆動ロスが大きくなったりするなどの課題が生じるために、その抵抗値を小さくするには限界がある。そのために、スイッチング素子に期待される高周波動作に限界があるという問題がある。

[0009] また、特許文献2の技術では、スイッチング素子のゲート電極がオーミック接合のタイプである場合、ターンオン時に、ゲート・ソース間電圧が2.

5～3 Vであったとしてもゲート・ソース間に数 mA～数 10 mA 程度の電流が流れるため、ゲート・ソース間電圧が減少し、ターンオン状態を維持できないという問題がある。

[0010] また、特許文献 2 の技術では、スイッチング素子がターンオフ状態であるときに、誘導性負荷等に起因してソース電位を基準としてドレイン電圧が上昇した場合には、ドレイン・ゲート間の寄生容量への充電電流が、駆動信号発生回路とスイッチング素子のゲート端子との間に接続されたコンデンサにも流れるため、コンデンサが再放電され、ゲート・ソース間電位が増加し、その増加したゲート・ソース間電位がスイッチング素子の閾値を越えた場合には、誤点弧を起こす可能性がある。なお、誤点弧とは、スイッチング素子が誤ってターンオンすることをいう。

[0011] そこで、本発明は、上記問題点に鑑みてなされたものであり、スイッチング素子を駆動するスイッチング回路であって、スイッチング素子に対するゲート耐圧不良の発生を抑制し、還流動作時のロスを抑制し、スイッチング素子の高周波動作の限界を緩和し、ターンオン時の導通状態をより確実に維持し、かつ、誤点弧の発生を抑制することができるスイッチング回路を提供することを目的とする。

### 課題を解決するための手段

[0012] 上記目的を達成するために、本発明の一形態に係るスイッチング回路は、ソース端子、ドレイン端子及びゲート端子を有するノーマリオフ型の接合型電界効果トランジスタと、第 1 の電源入力端子、前記第 1 の電源入力端子の電位又はハイインピーダンス状態を出力する第 1 の出力端子、第 2 の電源入力端子、前記第 2 の電源入力端子の電位又はハイインピーダンス状態を出力する第 2 の出力端子、及び、前記第 1 の出力端子が前記第 1 の電源入力端子の電位を出力し、かつ、前記第 2 の出力端子がハイインピーダンス状態を出力する第 1 の出力状態と、前記第 1 の出力端子がハイインピーダンス状態を出力し、かつ、前記第 2 の出力端子が前記第 2 の電源入力端子の電位を出力する第 2 の出力状態とを切り替えるための入力端子を有する駆動部と、前記

ソース端子と前記ゲート端子との間に接続され、前記ソース端子側に陽極を有し、前記ゲート端子側に陰極を有する第1の整流素子と、前記第1の出力端子と前記ゲート端子との間に接続された第1の抵抗器と、前記第1の抵抗器と並列に接続された直列回路であって、直列に接続されたコンデンサと第2の抵抗器とを有する直列回路と、前記ゲート端子側に陽極を有し、前記第2の出力端子側に陰極を有する第2の整流素子とを備え、前記ソース端子は、前記第2の電源入力端子と接続され、前記第2の整流素子は、直列に接続された前記コンデンサ及び前記第2の抵抗器のうちの少なくとも前記コンデンサと並列に接続されている。

### 発明の効果

[0013] 本発明により、スイッチング素子を駆動するスイッチング回路であって、スイッチング素子に対するゲート耐圧不良の発生を抑制し、還流動作時のロスを抑止し、スイッチング素子の高周波動作の限界を緩和し、ターンオン時の導通状態をより確実に維持し、かつ、誤点弧の発生を抑制することができるスイッチング回路が提供される。

### 図面の簡単な説明

[0014] [図1]図1は、特許文献1に開示された従来のスイッチング回路の回路図である。

[図2]図2は、特許文献2に開示された従来のスイッチング回路の回路図である。

[図3]図3は、実施の形態に係るハーフブリッジ回路の回路図である。

[図4]図4は、実施の形態に係るハーフブリッジ回路におけるスイッチング素子の駆動に関連する信号の波形を示す図である。

[図5]図5は、実施の形態に係るハーフブリッジ回路の第1の動作を示すタイミングチャートである。

[図6]図6は、実施の形態に係るハーフブリッジ回路の第2の動作を示すタイミングチャートである。

[図7]図7は、実施の形態の変形例1に係るスイッチング回路の回路図である。

。

[図8]図8は、実施の形態の変形例1に係るスイッチング回路をローサイドのスイッチング回路として適用したハーフブリッジ回路の第2の動作を示すタイミングチャートである。

[図9]図9は、実施の形態の変形例2に係るスイッチング回路の回路図である

。

[図10]図10は、実施の形態の変形例2に係るスイッチング回路をローサイドのスイッチング回路として適用したハーフブリッジ回路の第2の動作を示すタイミングチャートである。

[図11]図11は、実施の形態の変形例3に係るスイッチング回路の回路図である。

[図12]図12は、実施の形態の変形例3に係るスイッチング回路をハイサイド及びローサイドのスイッチング回路として適用したハーフブリッジ回路の第1の動作を示すタイミングチャートである。

[図13]図13は、実施の形態の変形例3に係るスイッチング回路をハイサイド及びローサイドのスイッチング回路として適用したハーフブリッジ回路の第2の動作を示すタイミングチャートである。

[図14]図14は、実施の形態の変形例4に係るスイッチング回路の回路図である。

[図15]図15は、実施の形態の変形例4に係るスイッチング回路をハイサイド及びローサイドのスイッチング回路として適用したハーフブリッジ回路の第1の動作を示すタイミングチャートである。

[図16]図16は、実施の形態の変形例4に係るスイッチング回路をハイサイド及びローサイドのスイッチング回路として適用したハーフブリッジ回路の第2の動作を示すタイミングチャートである。

[図17]図17は、実施の形態の変形例5に係るスイッチング回路の回路図である。

[図18]図18は、実施の形態の変形例5のバリエーションに係るスイッチン

グ回路の回路図である。

[図19]図19は、実施の形態の変形例5の他のバリエーションに係るスイッチング回路の回路図である。

### 発明を実施するための形態

[0015] (本発明の基礎となった知見)

まず、本発明に係るスイッチング回路を考案するに至った本発明者らによる知見を説明する。

[0016] (1) 特許文献1の技術について

図1は、特許文献1に開示された従来のスイッチング回路の回路図である。このスイッチング回路は、駆動回路52と、主スイッチング素子51とで構成される。駆動回路52は、コンデンサ60、インバータ70、PMOSのトランジスタ53及びNMOSのトランジスタ54で構成される駆動信号発生回路と、駆動信号発生回路と主スイッチング素子51との間に接続された抵抗器55、56、58、59及びコンデンサ57とを備える。

[0017] このような構成により、主スイッチング素子51のターンオン時及びターンオフ時のゲート電流経路を分離することで、充電電流及び放電電流を個別かつ最適に調整できるとともに、ターンオン時及びターンオフ時の誤動作を防ぐことが可能となる。よって、主スイッチング素子51に対し、スイッチング速度を調整し、かつ、スイッチング回路における寄生インダクタンスを低減、又は、寄生インダクタンスの影響を抑制することにより、安定に制御されたスイッチング回路が実現される。

[0018] しかしながら、特許文献1の技術では、コンデンサ57の容量値又は電源電圧VDDが大きい場合には、ターンオフ時に主スイッチング素子51のゲート・ソース間に過剰の負バイアスが与えられ、主スイッチング素子51に対するゲート耐圧不良が発生したり、還流動作時のロスが大きくなったりするという第1の問題がある。

[0019] また、特許文献1の技術では、ターンオン時に主スイッチング素子51のゲート端子に充電された電荷を短時間で放電するためには、抵抗器55及び

56の抵抗値を小さくする必要があるが、これらの抵抗値を過剰に小さくすると主スイッチング素子51のゲート電圧が耐圧を超えたり、駆動ロスが大きくなったりするなどの課題が生じるために、抵抗器55及び56の抵抗値を小さくするには限度がある。そのために、主スイッチング素子51に期待される高周波動作に限界があるという第2の問題が生じる。

[0020] (2) 特許文献2の技術について

図2は、特許文献2に開示された従来のスイッチング回路の回路図である。このスイッチング回路は、駆動信号発生回路80、スイッチング素子Q11、並びに、駆動信号発生回路80とスイッチング素子Q11との間に接続されたコンデンサC12及び逆バイアス電圧生成回路84で構成される。

[0021] このような構成により、コンデンサC12の容量とスイッチング素子Q11の入力容量（つまり、寄生容量）とによる電圧分割が行われるので、スイッチング素子Q11の見かけ上の入力容量が小さくなる。その結果、ターンオン時のスイッチング素子Q11のゲート端子の電圧が低電圧化され、スイッチング素子Q11のターンオン動作が高速かつ効率化される。加えて、スイッチング素子Q11のゲート端子とソース端子との間に、ダイオードD11とツェナーダイオードZD11との直列回路からなる逆バイアス電圧生成回路84が接続されている。これにより、ターンオフ時において、スイッチング素子Q11のゲートに対して従来よりも強い逆バイアス電圧が印加されるので、スイッチング素子Q11のターンオフ動作が高速化される。

[0022] しかしながら、特許文献2の技術では、スイッチング素子Q11のゲート電極がオーミック接合のタイプである場合、ターンオン時に、ゲート・ソース間電圧が2.5～3Vであったとしてもゲート・ソース間に数mA～数10mA程度の電流が流れるため、ゲート・ソース間電圧が減少し、導通状態を維持できないという第3の問題がある。

[0023] また、特許文献2の技術では、ターンオフ時に、誘導性負荷等に起因してソース電位を基準としてドレイン電圧が上昇した場合には、ゲート・ドレイン間の寄生容量への充電電流がコンデンサC12にも電流が流れるため、コ

ンデンサC 1 2が再放電され、ゲート・ソース間電位が増加し、その増加したゲート・ソース間電位がスイッチング素子Q 1 1の閾値を越えた場合には、誤点弧を起こす可能性があるという第4の問題がある。

[0024] (3) 解決策

そこで、上記特許文献1の技術における第1及び第2の問題、並びに、上記特許文献2の技術における第3及び第4の問題を解決するために、本発明に係るスイッチング回路は、ソース端子、ドレイン端子及びゲート端子を有するノーマリオフ型の接合型電界効果トランジスタと、第1の電源入力端子、前記第1の電源入力端子の電位又はハイインピーダンス状態を出力する第1の出力端子、第2の電源入力端子、前記第2の電源入力端子の電位又はハイインピーダンス状態を出力する第2の出力端子、及び、前記第1の出力端子が前記第1の電源入力端子の電位を出力し、かつ、前記第2の出力端子がハイインピーダンス状態を出力する第1の出力状態と、前記第1の出力端子がハイインピーダンス状態を出力し、かつ、前記第2の出力端子が前記第2の電源入力端子の電位を出力する第2の出力状態とを切り替えるための入力端子を有する駆動部と、前記ソース端子と前記ゲート端子との間に接続され、前記ソース端子側に陽極を有し、前記ゲート端子側に陰極を有する第1の整流素子と、前記第1の出力端子と前記ゲート端子との間に接続された第1の抵抗器と、前記第1の抵抗器と並列に接続された直列回路であって、直列に接続されたコンデンサと第2の抵抗器とを有する直列回路と、前記ゲート端子側に陽極を有し、前記第2の出力端子側に陰極を有する第2の整流素子とを備え、前記ソース端子は、前記第2の電源入力端子と接続され、前記第2の整流素子は、直列に接続された前記コンデンサ及び前記第2の抵抗器のうちの少なくとも前記コンデンサと並列に接続されている。

[0025] (実施の形態)

以下、本発明の実施の形態について、図面を用いて詳細に説明する。なお、以下で説明する実施の形態は、いずれも本発明の一具体例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の

配置位置及び接続形態、波形、タイミング等は、一例であり、本発明を限定する主旨ではない。また、以下の実施の形態における構成要素のうち、本発明の最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。また、各図は、必ずしも厳密に図示したものである。各図において、実質的に同一の構成については同一の符号を付し、重複する説明は省略又は簡略化する場合がある。

[0026] 図3は、実施の形態に係るハーフブリッジ回路10の回路図である。ハーフブリッジ回路10は、ハイサイドとして、スイッチング回路20、インバータ11、電源12、及び、入力端子Bを備え、ローサイドとして、スイッチング回路30、インバータ13、電源14、及び、入力端子Aを備える。また、ハーフブリッジ回路10は、誘導性負荷としてのインダクタ15、及び、負荷用の電源16も備える。

[0027] ハイサイド及びローサイドは、同一の回路で構成される。ここでは、ハイサイドに着目して詳細な構成を説明する。

[0028] 電源12は、スイッチング回路20に直流電圧VDDを供給する。

[0029] インバータ11は、入力端子Bに入力された信号を論理反転してスイッチング回路20に出力するバッファである。

[0030] スwitching回路20は、スイッチング素子28、駆動部20a、抵抗器23及び24、コンデンサ25、ダイオード26及び27を備える。

[0031] スwitching素子28は、ソース端子S21、ドレイン端子D21及びゲート端子G21を有するノーマリオフ型の接合型電界効果トランジスタであり、例えば、ワイドバンドギャップ型の化合物半導体であるGa<sub>2</sub>N（窒化ガリウム）を用いてノーマリオフ動作と大電流及び低オン抵抗とを両立したトランジスタである。具体的には、スイッチング素子28は、例えば、p型窒化物半導体、及び、そのp型窒化物半導体とオーミック接触（つまり、オーミック接合）するゲート電極で構成されるゲート部を有するGa<sub>2</sub>N-GIT（Gallium Nitride Gate Injection Transistor）等のGa<sub>2</sub>Nトランジスタである。

[0032] GaNトランジスタにおいては、ゲート部にp型窒化物半導体を用いることで、ノーマリオフ型を実現しやすくなる。さらに、ゲート電極がp型窒化物半導体とオーミック接触することで、過剰な正電圧がゲートに印加されてもゲート電流として流すことができるために信頼性が高くなる。一方、ゲート電極がp型窒化物半導体とショットキー接合しているとゲート電流が流れにくい。しかしながら、過剰な正電圧がゲートに印加された場合に、ショットキー接合としては逆バイアスとなるために、ショットキー接合がブレークダウンを起こしてゲート部が破壊しやすくなる。

[0033] 駆動部20aは、ゲート端子G22及びG23同士が接続されたスイッチ素子21及び22で構成された駆動信号発生回路であり、第1の電源入力端子V21、第1の電源入力端子V21の電位VDD又はハイインピーダンス状態を出力する第1の出力端子OUT21、第2の電源入力端子V22、第2の電源入力端子V22の電位GND又はハイインピーダンス状態を出力する第2の出力端子OUT22、及び、第1の出力端子OUT21が第1の電源入力端子V21の電位VDDを出力し、かつ、第2の出力端子OUT22がハイインピーダンス状態を出力する第1の出力状態と、第1の出力端子OUT21がハイインピーダンス状態を出力し、かつ、第2の出力端子OUT22が第2の電源入力端子V22の電位GNDを出力する第2の出力状態とを切り替えるための入力端子IN21を有する。本実施の形態では、スイッチ素子21は、PMOSTランジスタであり、ソース端子S22が第1の電源入力端子V21に接続され、ドレイン端子D22が第1の出力端子OUT21に接続されている。また、スイッチ素子22は、NMOSTランジスタであり、ソース端子S23が第2の電源入力端子V22に接続され、ドレイン端子D23が第2の出力端子OUT22に接続されている。

[0034] ダイオード27は、スイッチング素子28のソース端子S21とゲート端子G21との間に接続され、ソース端子S21側に陽極（アノード）を有し、ゲート端子G21側に陰極（カソード）を有する第1の整流素子の一例である。

- [0035] 抵抗器23は、第1の出力端子OUT21とスイッチング素子28のゲート端子G21との間に接続された第1の抵抗器の一例である。
- [0036] 抵抗器24は、コンデンサ25と直列に接続された第2の抵抗器の一例である。抵抗器24とコンデンサ25とからなる直列回路は、抵抗器23と並列に接続されている。
- [0037] ダイオード26は、スイッチング素子28のゲート端子G21側に陽極を有し、第2の出力端子OUT22側に陰極を有する第2の整流素子の一例である。
- [0038] なお、スイッチング素子28のソース端子S21は、第2の電源入力端子V22と接続されている。
- [0039] また、ダイオード26は、直列に接続されたコンデンサ25及び抵抗器24のうちの少なくともコンデンサ25と並列に接続されている。本実施の形態では、ダイオード26は、直列に接続されたコンデンサ25及び抵抗器24のうちのコンデンサ25だけと並列に接続されている。つまり、ダイオード26の陰極は、コンデンサ25と抵抗器24との接続点に接続されている。
- [0040] ローサイドのスイッチング回路30についても、ハイサイドのスイッチング回路20と同一の構成を備える。つまり、スイッチング回路30は、スイッチング素子38、駆動部30a、抵抗器33及び34、コンデンサ35、ダイオード36及び37を備える。駆動部30aは、ゲート端子G32、ソース端子S32及びドレイン端子D32を有するスイッチ素子31並びにゲート端子G33、ソース端子S33及びドレイン端子D33を有するスイッチ素子32で構成され、第1の電源入力端子V31、第1の出力端子OUT31、第2の電源入力端子V32、第2の出力端子OUT32、及び、入力端子IN31を有する。
- [0041] 次に、以上のように構成された実施の形態に係るハーフブリッジ回路10の動作について説明する。
- [0042] 図4は、実施の形態に係るハーフブリッジ回路10におけるスイッチング

素子 28 及び 38 の駆動に関連する信号の波形を示す図である。ハイサイド及びローサイドのいずれについても同じ波形であるので、ここでは、ハイサイドでの波形を示している。「ゲート・ソース間電圧」は、スイッチング素子 28 のゲート・ソース間電圧、「ゲート端子電流」は、スイッチング素子 28 のゲート端子 G 21 に流れ込む電流、「コンデンサ 25 両端電圧」は、コンデンサ 25 の両端電圧の波形を示す。

[0043] 「ゲート・ソース間電圧」の波形に示されるように、入力端子 B の入力信号の High 及び Low に応じて（図示せず）、駆動部 20a が第 1 の出力状態及び第 2 の出力状態を交互にとるので、ゲート・ソース間電圧は、スイッチング素子 28 をターンオンさせる High と、スイッチング素子 28 をターンオフさせる Low とを交互に繰り返す。ここで、第 1 の電源入力端子 V 21 の電源電圧 VDD が抵抗器 23 を介してスイッチング素子 28 のゲート端子 G 21 に印加されるので、ゲート・ソース間電圧の High は、スイッチング素子 28 のゲートが有するダイオード特性で定まる電位 VGSF（ゲートクランプ電圧）となる。このように、駆動部 20a とスイッチング素子 28 のゲート端子 G 21 との間に接続された抵抗器 23 により、スイッチング素子 28 のターンオン状態が確実に維持され、特許文献 2 についての第 3 の問題が解消される。

[0044] なお、ゲート・ソース間電圧の Low は、ダイオード 27 の順方向電圧  $V_{fD1}$  で定まる負の電位  $V_{fD1}$  となる。また、「ゲート・ソース間電圧」の波形において、立ち上がりは、コンデンサ 25 のスピードアップ作用により、オーバーシュートしている。コンデンサ 25 と直列に接続された抵抗器 24 は、スピードアップ作用の調整だけでなく、ゲート・ソース間電圧の振動を抑制する作用も有しており、これにより、スイッチング素子 28 の誤動作を抑制している。

[0045] また、「ゲート端子電流」の波形に示されるように、ゲート端子電流は、スイッチング素子 28 のゲート容量により、ゲート・ソース間電圧の立ち上がり時及び立下り時において、一時的に大きな電流が流れる。スイッチング

素子28がターンオンの定常状態であるときは、ゲート端子電流は、 $(V_{DD} - V_{GSF}) / R_1$ の電流値となる。R1は、抵抗器23の抵抗値である。このように、抵抗器23は、ターンオンの定常時において駆動部20aからスイッチング素子28に流れる電流を調整している。

[0046] 「コンデンサ25間電圧」の波形に示されるように、コンデンサ25の両端電圧は、入力端子Bの入力信号のHigh及びLowに応じて（図示せず）、充電時の電圧と放電時の電圧とを交互に繰り返す。ここで、充電時の電圧は、 $(V_{DD} - V_{GSF})$ であり、放電時の電圧は、 $V_{f_{D1}}$ となる。

[0047] 図5は、実施の形態に係るハーフブリッジ回路10の第1の動作を示すタイミングチャートである。ここで、第1の動作とは、ハイサイドのスイッチング素子28がターンオン状態からターンオフ状態に変化し、逆に、ローサイドのスイッチング素子38がターンオフ状態からターンオン状態に変化する動作である。また、「B」は、ハイサイドの入力端子Bに入力される信号、「A」は、ローサイドの入力端子Aに入力される信号、「High-side VGS」は、ハイサイドのスイッチング素子28のゲート・ソース間電圧、「Low-side VGS」は、ローサイドのスイッチング素子38のゲート・ソース間電圧、「Low-side IGD」は、ローサイドのスイッチング素子38のゲート・ドレイン電流、「Low-side VDS」は、ローサイドのスイッチング素子38のドレイン・ソース間電圧、の波形を示す。

[0048] 「B」、「A」の波形に示されるように、本図では、ハイサイドの入力端子Bの入力信号がHighからLowに変化し、ローサイドの入力端子Aの入力信号がLowからHighに変化するときのタイミングが示されている。

[0049] 「High-side VGS」の波形に示されるように、ハイサイドでは、入力端子Bの入力信号がHighからLowに変化することで、スイッチ素子21がオンで、かつ、スイッチ素子22がオフの第1の出力状態から、スイッチ素子21がオフで、かつ、スイッチ素子22がオンの第2の出力

状態に変化し、その結果、スイッチング素子28のゲート・ソース間電圧 $V_{GS}$ は、ターンオンさせるHigh（つまり、電位 $V_{GSF}$ ）からターンオフさせるLow（つまり、負の電位 $V_{f_{D1}}$ ）に変化する。

[0050] また、「Low-side  $V_{GS}$ 」の波形に示されるように、ローサイドでは、入力端子Aの入力信号がLowからHighに変化することで、スイッチ素子31がオフで、かつ、スイッチ素子32がオンの第2の出力状態から、スイッチ素子31がオンで、かつ、スイッチ素子32がオフの第1の出力状態に変化し、その結果、スイッチング素子38のゲート・ソース間電圧 $V_{GS}$ は、ターンオフさせるLow（つまり、負の電位 $V_{f_{D1}}$ ）からターンオンさせるHigh（つまり、電位 $V_{GSF}$ ）に変化する。なお、電圧 $V_{f_{D1}}$ は、ダイオード37の順方向電圧である。また、電位 $V_{GSF}$ は、スイッチング素子38のゲートが有するダイオード特性で定まるゲートクランプ電圧である。また、図中の「 $V_{th}$ 」は、スイッチング素子38の閾値電圧である。

[0051] また、「Low-side  $I_{GD}$ 」の波形に示されるように、ハイサイドのスイッチング素子28がターンオン状態からターンオフ状態となったときに、ローサイドでは、スイッチング素子38はターンオフ状態ではあるが、誘導性負荷であるインダクタ15に起因して、インダクタ15に向かって流れる電流をスイッチング素子38のソースからドレインに向かって通電しようとする。そのためドレイン・ソース間電圧 $V_{DS}$ は急速に下降し、ゲート・ドレイン間容量 $C_{GD}$ に充電された電荷は急速に放電される。これにより、ゲート端子G31からゲート・ドレイン間容量 $C_{GD}$ を介してドレイン端子D31に至る経路で、ゲート・ドレイン電流 $I_{GD}$ が流れる。このゲート・ドレイン電流 $I_{GD}$ の大きさは、ゲート・ドレイン間容量 $C_{GD}$ と、ゲート・ドレイン間容量 $C_{GD}$ の両端電圧 $v$ の変化率とに依存して定まる値（つまり、 $C_{GD} \times dv/dt$ ）である。ここで、スイッチング素子38のゲート端子G31の電位は、ダイオード36によってクランプされるので、ゲート電位に影響がない（つまり、スイッチング素子38がターンオンするこ

とが抑制される)。

[0052] また、「Low-side VDS」の波形に示されるように、ローサイドでは、スイッチング素子38の還流動作において、スイッチング素子38のドレイン・ソース間電圧VDSが下降していくが、ダイオード37により、ゲート・ソース間電圧VGSは、減少することなく一定値(つまり、 $-V_{f_{D1}}$ )となる。スイッチング素子38がソースからドレインに向かって還流電流を通电し、還流動作を行うためにはドレイン電圧がゲート電圧よりもソース・ドレイン電圧VSD分低い電圧となる必要がある。よって、ドレイン・ソース間電圧VDSは、下降した後、負の電位(具体的には、負の電位(ソース・ドレイン電圧VSD+ $V_{f_{D1}}$ ))となる。これにより、ゲート端子G31への負バイアスが增大することによるスイッチング素子38のゲートの耐圧破壊や還流動作による損失の悪化が抑制される。これにより、特許文献1についての第1の問題が解消される。

[0053] 図6は、実施の形態に係るハーフブリッジ回路10の第2の動作を示すタイミングチャートである。ここで、第2の動作とは、ハイサイドのスイッチング素子28がターンオフ状態からターンオン状態に変化し、逆に、ローサイドのスイッチング素子38がターンオン状態からターンオフ状態に変化する動作である。図示されている信号は、図4と同じである。

[0054] 「B」、「A」の波形に示されるように、本図では、ハイサイドの入力端子Bの入力信号がLowからHighに変化し、ローサイドの入力端子Aの入力信号がHighからLowに変化するときのタイミングが示されている。

[0055] 「High-side VGS」の波形に示されるように、ハイサイドでは、入力端子Bの入力信号がLowからHighに変化することで、スイッチ素子21がオフで、かつ、スイッチ素子22がオンの第2の出力状態から、スイッチ素子21がオンで、かつ、スイッチ素子22がオフの第1の出力状態に変化し、その結果、スイッチング素子28のゲート・ソース間電圧VGSは、ターンオフさせるLow(つまり、負の電位 $V_{f_{D1}}$ )からターンオ

ンさせるHigh（つまり、電位 $V_{GSF}$ ）に変化する。なお、図中の「V<sub>th</sub>」は、スイッチング素子28の閾値電圧である。

[0056] また、「Low-side VGS」の波形に示されるように、ローサイドでは、入力端子Aの入力信号がHighからLowに変化することで、スイッチ素子31がオンで、かつ、スイッチ素子32がオフの第1の出力状態から、スイッチ素子31がオフで、かつ、スイッチ素子32がオンの第2の出力状態に変化し、その結果、スイッチング素子38のゲート・ソース間電圧VGSは、ターンオンさせるHighからターンオフさせるLow（つまり、負の電位 $V_{fD1}$ ）に変化する。その後、ハイサイドのスイッチング素子28がターンオンしたときに（つまり、「High-side VGS」でゲート・ソース間電圧VGSがHighになったときに）、ローサイドでは、スイッチング素子38のドレイン端子D31にスイッチング素子28のソース端子S21から出力された電圧が印加されるので、スイッチング素子38のゲート・ドレイン間容量CGDを介してドレイン端子D31からゲート端子G31に電圧が印加され、ゲート・ソース間電圧VGSは、「Low-side IGD」の波形の説明で述べる理由により、ダイオード36の順方向電圧に相当する電位 $V_{fD2}$ まで上昇する。なお、電位 $V_{fD2}$ は、スイッチング素子38の閾値電圧V<sub>th</sub>よりも低い。また、図中の期間（i）及び（ii）は、それぞれ、ゲート・ソース間電圧VGSの上昇における立ち上がり期間及び立ち上がった後の期間である。

[0057] また、「Low-side IGD」の波形に示されるように、ハイサイドのスイッチング素子28がターンオンしたときに（「High-side VGS」でゲート・ソース間電圧VGSがHighになったときに）、ローサイドでは、上述したように、スイッチング素子38のドレイン端子D31にスイッチング素子28のソース端子S21から出力された電圧が印加されるので、スイッチング素子38のドレイン端子D31から、ゲート・ドレイン間容量CGD、ゲート端子G31、コンデンサ35及びダイオード36の並列回路、及び、スイッチ素子32を介してGNDに向けて、ゲート・ド

レイン電流  $I_{GD}$  (つまり、負のゲート・ドレイン電流  $I_{GD}$ ) が流れる。

[0058] より詳しくは、上記期間 (i) では、スイッチング素子 38 のドレイン端子 D 31 から、ゲート・ドレイン間容量  $C_{GD}$ 、ゲート端子 G 31、コンデンサ 35、及び、スイッチ素子 32 を介して GND に向けて、ゲート・ドレイン電流  $I_{GD}$  が流れ、コンデンサ 35 の電圧が徐々に増大して電圧  $V_{f_{D2}}$  に達する。その後は (つまり、期間 (ii) では)、ダイオード 36 によるクランプにより、スイッチング素子 38 のドレイン端子 D 31 から、ゲート・ドレイン間容量  $C_{GD}$ 、ゲート端子 G 31、ダイオード 36、及び、スイッチ素子 32 を介して GND に向けて、ゲート・ドレイン電流  $I_{GD}$  が流れる。これにより、「Low-side VGS」の波形に示されるように、ゲート・ソース間電圧  $V_{GS}$  は、ダイオード 36 の順方向電圧に相当する電位  $V_{f_{D2}}$  まで上昇するが、スイッチング素子 38 の閾値電圧  $V_{th}$  を超えないので、スイッチング素子 28 及び 38 が同時にオンする誤点弧が抑制され、特許文献 2 についての第 4 の問題が解消される。また、ダイオード 36 により、抵抗器 33 及び 34 の抵抗値を小さくすることなく、スイッチング素子 38 のゲート端子 G 31 に充電された電荷を短時間で放電することができるので、スイッチング素子 38 の高周波動作の限界が緩和され、特許文献 1 についての第 2 の問題も解消される。

[0059] また、「Low-side VDS」の波形に示されるように、ハイサイドのスイッチング素子 28 がターンオンしたときに (つまり、「High-side VGS」でゲート・ソース間電圧  $V_{GS}$  が High になったときに)、ローサイドでは、上述したように、スイッチング素子 38 のドレイン端子 D 31 にスイッチング素子 28 のソース端子 S 21 から出力された電圧が印加されるので、スイッチング素子 38 のドレイン・ソース間電圧  $V_{DS}$  は上昇する。

[0060] 以上のように、本実施の形態に係るスイッチング回路 30 (及び、スイッチング回路 20 についても同様) は、ソース端子 S 31、ドレイン端子 D 31 及びゲート端子 G 31 を有する、ノーマリオフ型の接合型電界効果トラン

ジスタであるスイッチング素子38と、第1の電源入力端子V31、第1の電源入力端子V31の電位VDD又はハイインピーダンス状態を出力する第1の出力端子OUT31、第2の電源入力端子V32、第2の電源入力端子V32の電位GND又はハイインピーダンス状態を出力する第2の出力端子OUT32、及び、第1の出力端子OUT31が第1の電源入力端子V31の電位VDDを出力し、かつ、第2の出力端子OUT32がハイインピーダンス状態を出力する第1の出力状態と、第1の出力端子OUT31がハイインピーダンス状態を出力し、かつ、第2の出力端子OUT32が第2の電源入力端子V32の電位GNDを出力する第2の出力状態とを切り替えるための入力端子IN3を有する駆動部30aと、スイッチング素子38のソース端子S31とゲート端子G31との間に接続され、ソース端子S31側に陽極（アノード）を有し、ゲート端子G31側に陰極（カソード）を有する第1の整流素子であるダイオード37と、第1の出力端子OUT31とスイッチング素子38のゲート端子G31との間に接続された第1の抵抗器である抵抗器33と、第1の抵抗器と並列に接続された直列回路であって、直列に接続されたコンデンサ35と抵抗器33とを有する直列回路と、スイッチング素子38のゲート端子G31側に陽極を有し、第2の出力端子OUT32側に陰極を有する第2の整流素子であるダイオード36とを備える。スイッチング素子38のソース端子S31は、第2の電源入力端子V32と接続され、ダイオード36は、直列に接続されたコンデンサ35及び抵抗器34のうちの少なくともコンデンサ35（ここでは、コンデンサ35だけ）と並列に接続されている。

[0061] これにより、スイッチング素子38のゲート端子G31とソース端子S31の間にはダイオード37が接続されるので、ゲート端子G31への負バイアスが増大することによるスイッチング素子38のゲートの耐圧破壊や還流動作による損失の悪化が抑制され、特許文献1についての第1の問題が解消される。

[0062] また、コンデンサ35と並列にダイオード36が接続され、コンデンサ3

5とゲート端子G31との接続部とソース端子S31との間にダイオード37が接続されているので、抵抗器33及び34の抵抗値を小さくすることなく、駆動部30aが第1の出力状態から第2の出力状態に変化した際に、コンデンサ35に充電された一部の電荷によってゲート端子G31の電荷が放電されつつ、さらに残っているコンデンサ35に充電された電荷が短時間で放電され、スイッチング素子38の高周波動作の限界が緩和され、特許文献1についての第2の問題が解消される。

[0063] また、駆動部30aとスイッチング素子38のゲート端子G31との間に抵抗器33が接続されているので、スイッチング素子38のターンオン状態が確実に維持され、特許文献2についての第3の問題が解消される。

[0064] また、コンデンサ35と並列にダイオード36が接続されているので、スイッチング素子28がターンオンしたときに、ターンオフ状態にあるスイッチング素子38のゲート・ソース間電圧VGSは、ダイオード36の順方向電圧に相当する電位 $V_{fD2}$ までしか上昇しない。よって、スイッチング素子28及び38が同時にオンする誤点弧が抑制され、特許文献2についての第4の問題が解消される。

[0065] よって、スイッチング素子38を駆動するスイッチング回路であって、スイッチング素子38に対するゲート耐圧不良の発生を抑制し、還流動作時のロスを抑え、スイッチング素子38の高周波動作の限界を緩和し、ターンオン時の導通状態をより確実に維持し、かつ、誤点弧の発生を抑制することができるスイッチング回路30が実現される。

[0066] 特に、スイッチング素子28及び38が、ゲート部がp型窒化物半導体、及び、p型窒化物半導体にオーミック接触するゲート電極で構成されるGaNトランジスタの場合において、ターンオン時に数mA～数10mAの電流を流し続けることができる。したがって、誤点弧を起こしにくく、かつ信頼性の高いスイッチング回路を実現できる。

[0067] (変形例1)

次に、上記実施の形態の変形例1に係るスイッチング回路40について説

明する。

[0068] 図7は、実施の形態の変形例1に係るスイッチング回路40の回路図である。このスイッチング回路40は、上記実施の形態に係るスイッチング回路20及び30に置き換えられ得るスイッチング回路である。

[0069] スwitchング回路40は、ダイオード36の接続形態を除いて、上記実施の形態に係るスイッチング回路20及び30と同じ構成を備える。つまり、本変形例では、スイッチング回路40は、上記実施の形態に係るスイッチング回路30において、ダイオード36が、直列に接続されたコンデンサ35及び抵抗器34と並列に接続されている。具体的には、ダイオード36の陽極は、スイッチング素子38のゲート端子G31に接続され、陰極は、駆動部30aの第1の出力端子OUT31と第2の出力端子OUT32との接続点に接続されている。

[0070] 図8は、実施の形態の変形例1に係るスイッチング回路40をローサイドのスイッチング回路として適用したハーフブリッジ回路の第2の動作を示すタイミングチャートである。

[0071] 「Low-side IGD」の波形に示されるように、ハイサイドのスイッチング素子28がターンオンしたときに（「High-side VGS」でゲート・ソース間電圧VGSがHighになったときに）、ローサイドでは、スイッチング素子38のドレイン端子D31にスイッチング素子28のソース端子S21から出力された電圧が印加されるが、期間(i)では、スイッチング素子38のドレイン端子D31から、ゲート・ドレイン間容量CGD、ゲート端子G31、コンデンサ35、抵抗器34、及び、スイッチ素子32を介してGNDに向けて、ゲート・ドレイン電流IGDが流れ、コンデンサ35の電圧が徐々に増大して電圧Vf<sub>D2</sub>に達する。その後は（つまり、期間(ii)では）、上記実施の形態と同様に、ダイオード36によるクランプにより、スイッチング素子38のドレイン端子D31から、ゲート・ドレイン間容量CGD、ゲート端子G31、ダイオード36、及び、スイッチ素子32を介してGNDに向けて、ゲート・ドレイン電流IGDが流

れる。

[0072] これにより、上記実施の形態と同様に、ゲート・ソース間電圧 $V_{GS}$ は、ダイオード36の順方向電圧に相当する電位 $V_{f_{D2}}$ まで上昇するが、スイッチング素子38の閾値電圧 $V_{th}$ を超えないので、スイッチング素子28及び38が同時にオンする誤点弧が抑制される。

[0073] また、駆動部30aの第1の出力端子OUT31及び第2の出力端子OUT32が短絡されているので、第1の出力端子OUT31及び第2の出力端子OUT32が共通の端子となった駆動部30aを用いてスイッチング回路40を構築できる。つまり、スイッチング回路30を構成する駆動部30aとして、1出力タイプの駆動デバイスを使うことで、より汎用的な駆動デバイスを利用することができ、スイッチング回路30のコストを削減できる。

[0074] (変形例2)

次に、上記実施の形態の変形例2に係るスイッチング回路41について説明する。

[0075] 図9は、実施の形態の変形例2に係るスイッチング回路41の回路図である。このスイッチング回路41は、上記実施の形態に係るスイッチング回路20及び30に置き換えられ得るスイッチング回路である。

[0076] スwitchング回路41は、ダイオード39が追加されている点を除いて、上記実施の形態の変形例1に係るスイッチング回路40と同じ構成を備える。つまり、本変形例では、スイッチング回路41は、上記実施の形態の変形例1に係るスイッチング回路40の構成に加えて、抵抗器34と並列に接続され、コンデンサ35側に陽極を有し、抵抗器33側に陰極を有する第3の整流素子の一例であるダイオード39を備える。

[0077] 図10は、実施の形態の変形例2に係るスイッチング回路41をローサイドのスイッチング回路として適用したハーフブリッジ回路の第2の動作を示すタイミングチャートである。

[0078] 「Low-side IGD」の波形に示されるように、ハイサイドのスイッチング素子28がターンオンしたときに（「High-side VG

S」でゲート・ソース間電圧 $V_{GS}$ がHighになったときに)、ローサイドでは、スイッチング素子38のドレイン端子D31にスイッチング素子28のソース端子S21から出力された電圧が印加されるが、期間(i)では、スイッチング素子38のドレイン端子D31から、ゲート・ドレイン間容量 $C_{GD}$ 、ゲート端子G31、コンデンサ35、ダイオード39、及び、スイッチ素子32を介してGNDに向けて、ゲート・ドレイン電流 $I_{GD}$ が流れ、コンデンサ35の電圧が徐々に増大して電圧 $V_{f_{D2}}$ に達する。その後は(つまり、期間(ii)では)、上記実施の形態と同様に、ダイオード36によるクランプにより、スイッチング素子38のドレイン端子D31から、ゲート・ドレイン間容量 $C_{GD}$ 、ゲート端子G31、ダイオード36、及び、スイッチ素子32を介してGNDに向けて、ゲート・ドレイン電流 $I_{GD}$ が流れる。

[0079] つまり、期間(i)では、ゲート・ドレイン電流 $I_{GD}$ は、抵抗器34に代えて、ダイオード39を流れるように、バイパスされる。

[0080] これにより、上記変形例1では、スイッチング素子28のターンオフの瞬間に過大なゲート・ドレイン電流 $I_{GD}$ が抵抗器34に流れて発生する電圧によって誤点弧を起こすリスクがあったが、本変形例では、バイパス用のダイオード39により、そのリスクが低減される。

[0081] (変形例3)

次に、上記実施の形態の変形例3に係るスイッチング回路42について説明する。

[0082] 図11は、実施の形態の変形例3に係るスイッチング回路42の回路図である。このスイッチング回路42は、上記実施の形態に係るスイッチング回路20及び30に置き換えられ得るスイッチング回路である。

[0083] スwitchング回路42は、ツェナーダイオード37aが追加されている点を除いて、上記実施の形態に係るスイッチング回路20及び30と同じ構成を備える。つまり、本変形例では、スイッチング回路42は、上記実施の形態に係るスイッチング回路20又は30(ここでは、スイッチング回路30

)の構成に加えて、ソース端子S31とゲート端子G31との間で、かつ、ダイオード37と直列に接続され、ゲート端子G31側に陽極を有し、ソース端子S31側に陰極を有するツェナーダイオード37aを備える。

[0084] 図12は、実施の形態の変形例3に係るスイッチング回路42をハイサイド及びローサイドのスイッチング回路として適用したハーフブリッジ回路の第1の動作を示すタイミングチャートである。

[0085] 「Low-side VGS」の波形に示されるように、ローサイドでは、入力端子Aの入力信号がLowからHighに変化することで、スイッチング素子38のゲート・ソース間電圧VGSは、ターンオフさせるLow（つまり、負の電位（ $V_{b_{ZD1}} + V_{f_{D1}}$ ））からターンオンさせるHigh（つまり、電位VGSF）に変化する。なお、電圧 $V_{b_{ZD1}}$ は、ツェナーダイオード37aのツェナー電圧である。電圧 $V_{f_{D1}}$ は、ダイオード37の順方向電圧である。

[0086] また、「Low-side IGD」の波形に示されるように、ハイサイドのスイッチング素子28がターンオン状態からターンオフ状態となったときに、ローサイドでは、スイッチング素子38はターンオフ状態ではあるが、誘導性負荷であるインダクタ15に起因して、インダクタ15に向かって流れる電流をスイッチング素子38のソースからドレインに向かって通電しようとする。そのためドレイン・ソース間電圧VDSは急速に下降し、ゲート・ドレイン間容量CGDに充電された電荷は急速に放電される。これにより、ゲート端子G31からゲート・ドレイン間容量CGDを介してドレイン端子D31に至る経路で、ゲート・ドレイン電流IGDが流れる。このゲート・ドレイン電流IGDは、ゲート端子G31から第2の出力端子OUT32、及び、第2の電源入力端子V32からソース端子S31にかけての寄生インダクタンスに誘導起電力を発生させ、電圧や発振状態を起こす。これらの電圧はダイオード36によってクランプされることなくゲート・ソース間電圧VGSに重畳され、誤点弧のリスクとなり得る。これに対して、ツェナーダイオード37aを挿入することでゲート・ソース間の負バイアスを大き

くし、ターンオフ時の放電量を調整することで、誘導起電力によって電圧が重畳しても誤点弧が起こらない対策をすることが可能になる。また、ツェナー電圧の違うツェナーダイオード37aを選択することで、ゲート端子G31への負バイアスの値を細かく調整できるようになるため、誤点弧リスクと負バイアスの増加による還流時の損失とのトレードオフを調整しやすくなり、高速な動作を行うスイッチング素子38の性能を極限まで引き出すことができる。

[0087] また、「Low-side VDS」の波形に示されるように、ローサイドでは、スイッチング素子38の還流動作において、スイッチング素子38のドレイン・ソース間電圧VDSが下降していくが、ツェナーダイオード37a及びダイオード37により、ゲート・ソース間電圧VGSは、減少することなく一定値（つまり、 $-V_{b_{zD1}} - V_{f_{D1}}$ ）となる。スイッチング素子38がソースからドレインに向かって還流電流を通電し、還流動作を行うためにはドレイン電圧がゲート電圧よりもソース・ドレイン電圧VSD分低い電圧となる必要がある。よって、ドレイン・ソース間電圧VDSは、下降した後、負の電位（具体的には、負の電位（ソース・ドレイン電圧VSD +  $V_{b_{zD1}} + V_{f_{D1}}$ ））となる。

[0088] 図13は、実施の形態の変形例3に係るスイッチング回路42をハイサイド及びローサイドのスイッチング回路として適用したハーフブリッジ回路の第2の動作を示すタイミングチャートである。

[0089] 「Low-side VGS」の波形に示されるように、ローサイドでは、入力端子Aの入力信号がHighからLowに変化することで、スイッチ素子31がオンで、かつ、スイッチ素子32がオフの第1の出力状態から、スイッチ素子31がオフで、かつ、スイッチ素子32がオンの第2の出力状態に変化し、その結果、スイッチング素子38のゲート・ソース間電圧VGSは、ターンオンさせるHighからターンオフさせるLow（つまり、負の電位（ $V_{b_{zD1}} + V_{f_{D1}}$ ））に変化する。このように、ゲート・ソース間電圧VGSのLowでは、実施の形態よりも、ツェナーダイオード37aのツ

エナー電圧 $V_{b_{zD1}}$ の分だけ負にバイアスされる。

[0090] また、「Low-side IGD」の波形に示されるように、ハイサイドのスイッチング素子28がターンオンしたときに（「High-side VGS」でゲート・ソース間電圧VGSがHighになったときに）、ローサイドでは、スイッチング素子38のドレイン端子D31から、ゲート・ドレイン間容量CGD、ゲート端子G31、コンデンサ35及びダイオード36の並列回路、及び、スイッチ素子32を介してGNDに向けて、ゲート・ドレイン電流IGDが流れる。

[0091] より詳しくは、上記期間(i)では、スイッチング素子38のドレイン端子D31から、ゲート・ドレイン間容量CGD、ゲート端子G31、コンデンサ35、及び、スイッチ素子32を介してGNDに向けて、ゲート・ドレイン電流IGDが流れ、コンデンサ35の電圧が徐々に増大して電圧 $V_{fD2}$ に達する。その後は（つまり、期間(ii)では）、ダイオード36によるクランプにより、スイッチング素子38のドレイン端子D31から、ゲート・ドレイン間容量CGD、ゲート端子G31、ダイオード36、及び、スイッチ素子32を介してGNDに向けて、ゲート・ドレイン電流IGDが流れる。これにより、「Low-side VGS」の波形に示されるように、ゲート・ソース間電圧VGSは、ダイオード36の順方向電圧に相当する電位 $V_{fD2}$ まで上昇するが、スイッチング素子38の閾値電圧 $V_{th}$ を超えない。つまり、本変形例では、コンデンサ35に残っている負バイアス量がツェナーダイオード37aによって増加しているため、コンデンサ35の容量値が十分に大きければ、コンデンサ35の電位変化が抑えられ、ダイオード36が導通せずにスイッチング（スイッチング素子38のターンオフ）が完了し、誤点弧のリスクが低減される。よって、スイッチング素子28及び38が同時にオンする誤点弧が抑制され、特許文献2についての第4の問題が解消される。

[0092] また、「Low-side VDS」の波形に示されるように、ハイサイドのスイッチング素子28がターンオンしたときに（つまり、「High-

side VGS」でゲート・ソース間電圧VGSがHighになったときに)、ローサイドでは、上述したように、スイッチング素子38のドレイン端子D31にスイッチング素子28のソース端子S21から出力された電圧が印加されるので、スイッチング素子38のドレイン・ソース間電圧VDSは、Low(つまり、負の電位(ソース・ドレイン電圧 $V_{SD} + V_{b_{D1}} + V_{f_{D1}}$ ))からHighに向けて上昇する。

[0093] 以上のように、本変形例に係るスイッチング回路42によれば、ダイオード37と直列にツェナーダイオード37aが接続されているので、スイッチング素子38の還流動作時に、ゲート・ソース間電圧VGSの負バイアスを大きくでき、誤点弧リスクが低減される。

[0094] (変形例4)

次に、上記実施の形態の変形例4に係るスイッチング回路43について説明する。

[0095] 図14は、実施の形態の変形例4に係るスイッチング回路43の回路図である。このスイッチング回路43は、上記変形例3に係るスイッチング回路42におけるツェナーダイオード37aを少なくとも1つの整流素子(本変形例では、2つのダイオード37b及び37c)に置き換えた回路に相当する。つまり、本変形例では、スイッチング回路43は、上記実施の形態に係るスイッチング回路20又は30(ここでは、スイッチング回路30)の構成に加えて、)ソース端子S31とゲート端子G31との間で、かつ、ダイオード37と直列に接続され、ゲート端子G31側に陽極を有し、ソース端子S31側に陰極を有する少なくとも1つの整流素子(ここでは、2つのダイオード37b及び37c)を備える。

[0096] 図15は、実施の形態の変形例4に係るスイッチング回路43をハイサイド及びローサイドのスイッチング回路として適用したハーフブリッジ回路の第1の動作を示すタイミングチャートである。

[0097] 「Low-side VGS」の波形に示されるように、ローサイドでは、入力端子Aの入力信号がLowからHighに変化することで、スイッチ

ング素子38のゲート・ソース間電圧 $V_{GS}$ は、ターンオフさせるLow（つまり、負の電位（ $V_{f_{D1}} + V_{f_{D4}} + V_{f_{D5}}$ ））からターンオンさせるHigh（つまり、電位 $V_{GSF}$ ）に変化する。なお、電圧 $V_{f_{D4}}$ 及び $V_{f_{D5}}$ は、それぞれ、ダイオード37b及び37cの順方向電圧である。

[0098] また、「Low-side IGD」の波形に示されるように、ハイサイドのスイッチング素子28がターンオン状態からターンオフ状態となったときに、ローサイドでは、スイッチング素子38はターンオフ状態ではあるが、誘導性負荷であるインダクタ15に起因して、インダクタ15に向かって流れる電流をスイッチング素子38のソースからドレインに向かって通電しようとする。そのためドレイン・ソース間電圧 $V_{DS}$ は急速に下降し、ゲート・ドレイン間容量 $C_{GD}$ に充電された電荷は急速に放電される。これにより、ゲート端子G31からゲート・ドレイン間容量 $C_{GD}$ を介してドレイン端子D31に至る経路で、ゲート・ドレイン電流IGDが流れる。このゲート・ドレイン電流IGDは、ゲート端子G31から第2の出力端子OUT32、及び、第2の電源入力端子V32からソース端子S31にかけての寄生インダクタンスに誘導起電力を発生させ、電圧や発振状態を起こす。これらの電圧はダイオード36によってクランプされることなくゲート・ソース間電圧 $V_{GS}$ に重畳され、誤点弧のリスクとなり得る。これに対して、ダイオード37b及び37cを挿入することでゲート・ソース間の負バイアスを大きくし、ターンオフ時の放電量を調整することで、誘導起電力によって電圧が重畳しても誤点弧が起こらない対策をすることが可能になる。また、順方向電圧の異なるダイオード37b及び37cやその個数を選択することで、ゲート端子G31への負バイアスの値を細かく調整できるようになるため、誤点弧リスクと負バイアスの増加による還流時の損失とのトレードオフを調整しやすくなり、高速な動作を行うスイッチング素子38の性能を極限まで引き出すことができる。

[0099] また、「Low-side VDS」の波形に示されるように、ローサイドでは、スイッチング素子38の還流動作において、スイッチング素子38

のドレイン・ソース間電圧 $V_{DS}$ が下降していくが、ダイオード37、37b及び37cにより、ゲート・ソース間電圧 $V_{GS}$ は、減少することなく一定値（具体的には、負の電位（ソース・ドレイン電圧 $V_{SD} + V_{f_{D1}} + V_{f_{D4}} + V_{f_{D5}}$ ））となる。

[0100] 図16は、実施の形態の変形例4に係るスイッチング回路43をハイサイド及びローサイドのスイッチング回路として適用したハーフブリッジ回路の第2の動作を示すタイミングチャートである。

[0101] 「Low-side  $V_{GS}$ 」の波形に示されるように、ローサイドでは、入力端子Aの入力信号がHighからLowに変化することで、スイッチ素子31がオンで、かつ、スイッチ素子32がオフの第1の出力状態から、スイッチ素子31がオフで、かつ、スイッチ素子32がオンの第2の出力状態に変化し、その結果、スイッチング素子38のゲート・ソース間電圧 $V_{GS}$ は、ターンオンさせるHighからターンオフさせるLow（つまり、負の電位（ $V_{f_{D1}} + V_{f_{D4}} + V_{f_{D5}}$ ））に変化する。このように、ゲート・ソース間電圧 $V_{GS}$ のLowでは、実施の形態よりも、ダイオード37b及び37cの分だけ負にバイアスされる。

[0102] また、「Low-side  $I_{GD}$ 」の波形に示されるように、ハイサイドのスイッチング素子28がターンオンしたときに（「High-side  $V_{GS}$ 」でゲート・ソース間電圧 $V_{GS}$ がHighになったときに）、ローサイドでは、スイッチング素子38のドレイン端子D31から、ゲート・ドレイン間容量 $C_{GD}$ 、ゲート端子G31、コンデンサ35及びダイオード36の並列回路、及び、スイッチ素子32を介してGNDに向けて、ゲート・ドレイン電流 $I_{GD}$ が流れる。

[0103] より詳しくは、上記期間(i)では、スイッチング素子38のドレイン端子D31から、ゲート・ドレイン間容量 $C_{GD}$ 、ゲート端子G31、コンデンサ35、及び、スイッチ素子32を介してGNDに向けて、ゲート・ドレイン電流 $I_{GD}$ が流れ、コンデンサ35の電圧が徐々に増大して電圧 $V_{f_{D2}}$ に達する。その後は（つまり、期間(ii)では）、ダイオード36による

クランプにより、スイッチング素子38のドレイン端子D31から、ゲート・ドレイン間容量CGD、ゲート端子G31、ダイオード36、及び、スイッチ素子32を介してGNDに向けて、ゲート・ドレイン電流IGDが流れる。これにより、「Low-side VGS」の波形に示されるように、ゲート・ソース間電圧VGSは、ダイオード36の順方向電圧に相当する電位Vf<sub>D2</sub>まで上昇するが、スイッチング素子38の閾値電圧V<sub>th</sub>を超えない。つまり、本変形例では、コンデンサ35に残っている負バイアス量がダイオード37b及び37cによって増加しているため、コンデンサ35の容量値が十分に大きければ、コンデンサ35の電位変化が抑えられ、ダイオード36が導通せずにスイッチング（スイッチング素子38のターンオフ）が完了し、誤点弧のリスクが低減される。よって、スイッチング素子28及び38が同時にオンする誤点弧が抑制され、特許文献2についての第4の問題が解消される。

[0104] また、「Low-side VDS」の波形に示されるように、ハイサイドのスイッチング素子28がターンオンしたときに（つまり、「High-side VGS」でゲート・ソース間電圧VGSがHighになったときに）、ローサイドでは、上述したように、スイッチング素子38のドレイン端子D31にスイッチング素子28のソース端子S21から出力された電圧が印加されるので、スイッチング素子38のドレイン・ソース間電圧VDSは、Low（つまり、負の電位（ソース・ドレイン電圧VSD + Vf<sub>D1</sub> + Vf<sub>D4</sub> + Vf<sub>D5</sub>））からHighに向けて上昇する。

[0105] 以上のように、本変形例に係るスイッチング回路43によれば、ダイオード37と直列に少なくとも1つのダイオード37b及び37cが接続されているので、スイッチング素子38の還流動作時に、ゲート・ソース間電圧VGSの負バイアスを大きくでき、誤点弧リスクが低減される。

[0106] （変形例5）

次に、上記実施の形態の変形例5に係るスイッチング回路44について説明する。

[0107] 図17は、実施の形態の変形例5に係るスイッチング回路44の回路図である。このスイッチング回路44は、上記実施の形態に係るスイッチング回路20又は30（ここでは、スイッチング回路30）の構成に加えて、さらに、スイッチング素子38、第1の出力端子OUT31、第2の出力端子OUT32、ダイオード37、抵抗器33、抵抗器34及びコンデンサ35の直列回路、並びに、ダイオード36を収容する単一のパッケージ48を備える。パッケージ48は、封止材として、例えば、樹脂又はセラミックが用いられる。

[0108] なお、本変形例では、スイッチング素子38は、ソース端子S31として、2つのソース端子（第1のソース端子S31a及び第2のソース端子S31b）を有する。第1のソース端子S31aは、スイッチング素子38のソース電極と低抵抗の配線で接続され、スイッチング素子38の主電流（つまり、ドレイン電流）が流れる端子である。第2のソース端子S31bは、スイッチング素子38のソース電極と寄生インダクタンスを介して接続され、スイッチング素子38の駆動時の基準電位として用いられる端子である。このような構成により、スイッチング素子38のソース電極を分枝した一方（つまり、第2のソース端子S31b）が駆動部30aに接続されるという構成により、スイッチング素子38の駆動制御に対する、ドレイン・ソース間を流れる主電流の影響を除くことが可能となる。

[0109] パッケージ48は、コンデンサ35の両端のそれぞれと接続される第1の端子T1及び第2の端子T2、ダイオード37の陽極と接続される第3の端子T3、第2のソース端子S31bと接続された第4の端子T4、ドレイン端子D31と接続された第5の端子T5、第1のソース端子S31aと接続された第6の端子T6、第1の電源入力端子V31と接続された第7の端子T7、並びに、入力端子IN31と接続された第8の端子T8を有する。

[0110] 本変形例では、パッケージ48の外部において、第1の端子T1と第2の端子T2との間に、コンデンサ35が接続され、第3の端子T3と第4の端子T4との間が短絡（つまり、短絡用の配線（短絡線）が接続）され、上記

実施の形態に係るスイッチング回路 20 及び 30 と同じ回路構成が実現されている。

[0111] このように、本変形例に係るスイッチング回路 44 によれば、抵抗器 34 及び 35、ダイオード 36 及び 37、駆動部 30 a、スイッチング素子 38 が 1 つのパッケージに収められているので、これらの部品の回路基板への実装面積が大幅に低減され、スイッチング回路 44 を用いた機器の小型化に貢献できる。

[0112] 一般に、複雑なスイッチング回路をパッケージ内に収めることは、個別のアプリケーションに依存する駆動時の電圧や電流仕様に合わせたスイッチング特性の調整が不可能になる。これに対して、本変形例に係るスイッチング回路 44 によれば、スイッチング速度の調整を外付けのコンデンサ 35 で行うことができる。

[0113] また、一般に、駆動部、スイッチング素子、抵抗器、ダイオードからなるスイッチング回路では、パッケージの持つ、半導体デバイスの接合のためのワイヤやリードフレームの持つインダクタンス成分や、受動部品や基板パターンによるインダクタンス成分が大きいと、ドレイン・ゲート間に流れる急峻な電流により、電圧や発振状態が発生し、誤点弧のリスクが高まる。これに対して、本変形例に係るスイッチング回路 44 によれば、1 パッケージ化することで、受動部品やダイオード、駆動部、あるいはスイッチング素子が 1 つのチップの半導体上に構成できるため、それらのインダクタンス成分を低減することができる。なお、高耐圧のスイッチング素子 38 と低耐圧の駆動部 30 a のデバイスが別チップに分かれていても同様の効果がある。

[0114] このように、本変形例に係るパッケージ化されたスイッチング回路 44 によれば、インダクタンス成分が低減され、ゲート・ドレイン間容量を伝わる電流の電流変化に対する誘導電圧が低減されるため、より高速なドレイン・ソース間電圧の変動に対しても誤点弧が起こらないスイッチング回路が実現される。

[0115] なお、図 18 に示されるバリエーションに係るスイッチング回路 45 のよ

うに、パッケージの外部において、第3の端子T3と第4の端子T4との間に、短絡線に代えて、第3の端子T3側に陽極を有し、第4の端子T4側に陰極を有するツェナーダイオード37aが接続されてもよい。これにより、上記変形例3に係るスイッチング回路42に対応するパッケージが実現される。よって、外付け部品として、ツェナー電圧の違うツェナーダイオード37aを選択することで、ゲート端子G31への負バイアスの値を細かく調整できるようになるため、誤点弧のリスクと負バイアスの増加による還流時の損失とのトレードオフを調整しやすくことができ、高速な動作を行うスイッチング素子38の性能を極限まで引き出すことができる。

[0116] また、図19に示される他のバリエーションに係るスイッチング回路46のように、パッケージの外部において、第3の端子T3と第4の端子T4との間に、短絡線に代えて、第3の端子T3側に陽極を有し、第4の端子T4側に陰極を有する、直列に接続された複数の整流素子（ダイオード37b及び37c）が接続されてもよい。これにより、上記変形例4に係るスイッチング回路43に対応するパッケージが実現される。よって、外付け部品として、順方向電圧の異なるダイオード37b及び37cやその個数を選択することで、ゲート端子G31への負バイアスの値を細かく調整できるようになるため、誤点弧リスクと負バイアスの増加による還流時の損失とのトレードオフを調整しやすくなり、高速な動作を行うスイッチング素子38の性能を極限まで引き出すことができる。

[0117] 以上、本発明に係るスイッチング回路について、実施の形態及び変形例に基づいて説明したが、本発明は、これらの実施の形態及び変形例に限定されるものではない。本発明の主旨を逸脱しない限り、当業者が思いつく各種変形を実施の形態及び変形例に施したもののや、実施の形態及び変形例における一部の構成要素を組み合わせる別の形態も、本発明の範囲内に含まれる。

[0118] 例えば、上記実施の形態及び変形例1～4では、スイッチング素子28及び38は、1つのソース端子をもつタイプであったが、変形例5のように、

2つのソース端子をもつタイプであってもよい。これにより、上記実施の形態及び変形例1～4においても、スイッチング素子の駆動制御に対する、ドレイン・ソース間を流れる主電流の影響を除くことが可能となる。

[0119] また、上記変形例3、変形例4では、上記実施の形態に係るスイッチング回路に対して、ツェナーダイオード37a、ダイオード37b及び37cが追加されたが、上記変形例1又は変形例2に係るスイッチング回路に対して、ツェナーダイオード37a、ダイオード37b及び37cが追加されてもよい。これにより、1出力タイプの駆動部を用いることで、スイッチング回路のコストを削減できる。

[0120] また、上記変形例5では、上記実施の形態、変形例3、変形例4に係るスイッチング回路がパッケージに收容されたが、上記変形例1、変形例2に係るスイッチング回路がパッケージに收容されてもよい。これにより、1出力タイプの駆動部を用いることで、パッケージ化されたスイッチング回路のコストを削減できる。

[0121] また、上記変形例4、上記変形例5の図19に示されたスイッチング回路では、外付け部品として、2つのダイオード37b及び37cが接続されたが、少なくとも1つのダイオードが接続されればよい。ダイオードの個数については、ゲート端子G31への負バイアスの値を調整する観点から決定すればよい。

[0122] また、一つのパッケージに收容する回路としては、一つの当該スイッチング回路に限られず、複数のスイッチング回路であってもよい。一つのスイッチング回路のドレインと、別個のスイッチング回路のソースを繋げて、ハーフブリッジ回路を構成し、パッケージに收容してもよい。一つのハーフブリッジ回路に限られず、複数のハーフブリッジ回路であってもよい。

[0123] また、上記実施の形態では、スイッチング素子28及び38は、オーミック接合のゲート電極を有するGaNトランジスタであったが、ショットキー接合のゲート電極を有するGaNトランジスタであってもよい。いずれのタイプのGaNトランジスタであって、ノーマリオフ動作と大電流及び低オン

抵抗とを両立した高周波用途のスイッチング素子として用いることができる。

### 産業上の利用可能性

[0124] 本発明は、ノーマリオフ型のスイッチング素子を駆動するスイッチング回路として、特に、誤点弧が抑制されたハーフブリッジ回路を構成するスイッチング回路として、例えば、スイッチング電源やインバータ等の機器に用いられるスイッチング回路として、利用できる。

### 符号の説明

[0125] 10 ハーフブリッジ回路  
11、13 インバータ  
12、14、16 電源  
15 インダクタ  
20、30、40～46 スwitching回路  
20a、30a 駆動部  
21、22、31、32 スイッチ素子  
23、24、33、34 抵抗器  
25、35 コンデンサ  
26、27、36、37、37b、37c、39 ダイオード  
28、38 スwitching素子  
37a ツェナーダイオード  
48 パッケージ  
A、B 入力端子  
V21、V31 第1の電源入力端子  
V22、V32 第2の電源入力端子  
IN21、IN31 入力端子  
OUT21、OUT31 第1の出力端子  
OUT22、OUT32 第2の出力端子  
S21、S22、S23、S31、S32、S33 ソース端子

S 3 1 a 第1のソース端子

S 3 1 b 第2のソース端子

D 2 1、D 2 2、D 2 3、D 3 1、D 3 2、D 3 3 ドレイン端子

G 2 1、G 2 2、G 2 3、G 3 1、G 3 2、G 3 3 ゲート端子

## 請求の範囲

[請求項1]

ソース端子、ドレイン端子及びゲート端子を有するノーマリオフ型の接合型電界効果トランジスタと、

第1の電源入力端子、前記第1の電源入力端子の電位又はハイインピーダンス状態を出力する第1の出力端子、第2の電源入力端子、前記第2の電源入力端子の電位又はハイインピーダンス状態を出力する第2の出力端子、及び、前記第1の出力端子が前記第1の電源入力端子の電位を出力し、かつ、前記第2の出力端子がハイインピーダンス状態を出力する第1の出力状態と、前記第1の出力端子がハイインピーダンス状態を出力し、かつ、前記第2の出力端子が前記第2の電源入力端子の電位を出力する第2の出力状態とを切り替えるための入力端子を有する駆動部と、

前記ソース端子と前記ゲート端子との間に接続され、前記ソース端子側に陽極を有し、前記ゲート端子側に陰極を有する第1の整流素子と、

前記第1の出力端子と前記ゲート端子との間に接続された第1の抵抗器と、

前記第1の抵抗器と並列に接続された直列回路であって、直列に接続されたコンデンサと第2の抵抗器とを有する直列回路と、

前記ゲート端子側に陽極を有し、前記第2の出力端子側に陰極を有する第2の整流素子とを備え、

前記ソース端子は、前記第2の電源入力端子と接続され、

前記第2の整流素子は、直列に接続された前記コンデンサ及び前記第2の抵抗器のうちの少なくとも前記コンデンサと並列に接続されている

スイッチング回路。

[請求項2]

前記第2の整流素子は、直列に接続された前記コンデンサ及び前記第2の抵抗器のうちの前記コンデンサだけと並列に接続されている

請求項1記載のスイッチング回路。

[請求項3] 前記第2の整流素子は、直列に接続された前記コンデンサ及び前記第2の抵抗器と並列に接続されている

請求項1記載のスイッチング回路。

[請求項4] さらに、前記第2の抵抗器と並列に接続され、前記コンデンサ側に陽極を有し、前記第1の抵抗器側に陰極を有する第3の整流素子を備える

請求項3記載のスイッチング回路。

[請求項5] さらに、前記ソース端子と前記ゲート端子との間で、かつ、前記第1の整流素子と直列に接続され、前記ゲート端子側に陽極を有し、前記ソース端子側に陰極を有するツェナーダイオードを備える

請求項1～4のいずれか1項に記載のスイッチング回路。

[請求項6] さらに、前記ソース端子と前記ゲート端子との間で、かつ、前記第1の整流素子と直列に接続され、前記ソース端子側に陽極を有し、前記ゲート端子側に陰極を有する少なくとも1つの整流素子を備える

請求項1～4のいずれか1項に記載のスイッチング回路。

[請求項7] さらに、前記接合型電界効果トランジスタ、前記第1の出力端子、前記第2の出力端子、前記第1の整流素子、前記第1の抵抗器、前記直列回路、及び、前記第2の整流素子を収容する単一のパッケージを備え、

前記パッケージは、前記コンデンサの両端のそれぞれと接続される第1の端子及び第2の端子、前記第1の整流素子の陽極と接続される第3の端子、並びに、前記ソース端子と接続される第4の端子を有する

請求項1～4のいずれか1項に記載のスイッチング回路。

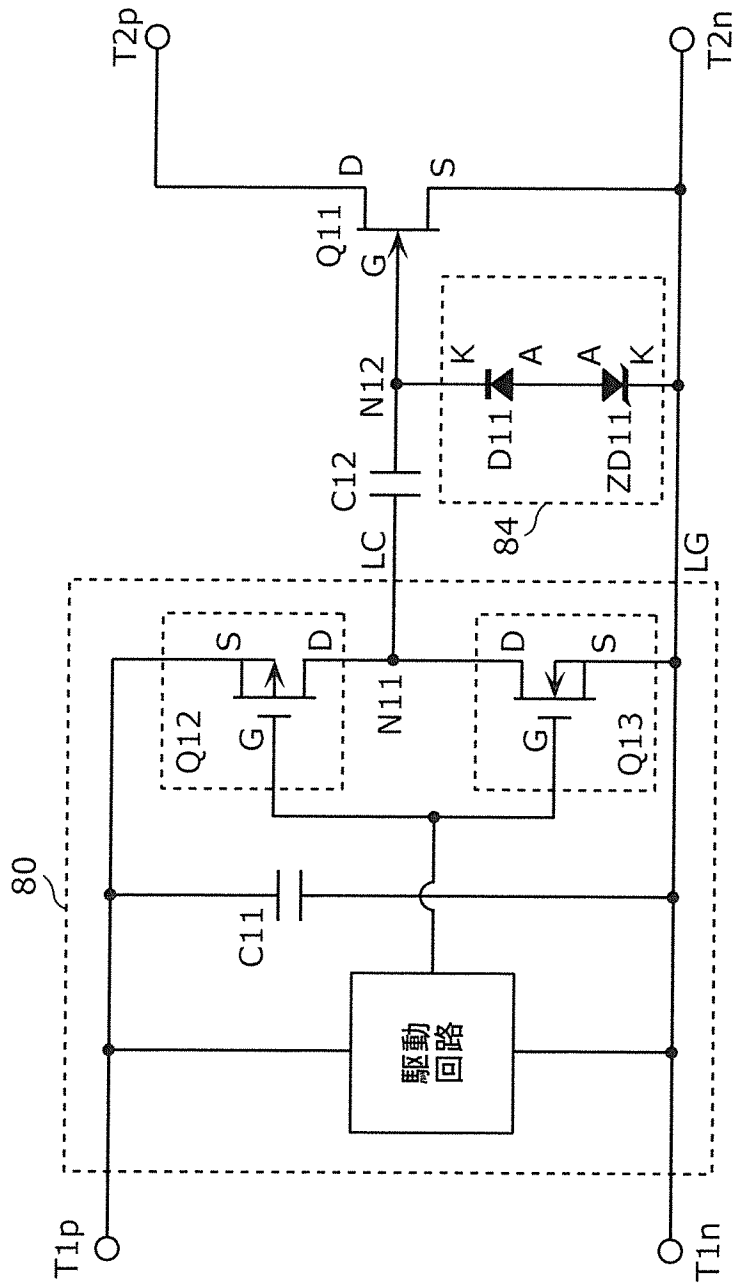
[請求項8] さらに、前記パッケージの外部に配置され、前記第3の端子と前記第4の端子とを短絡する配線を備える

請求項7記載のスイッチング回路。

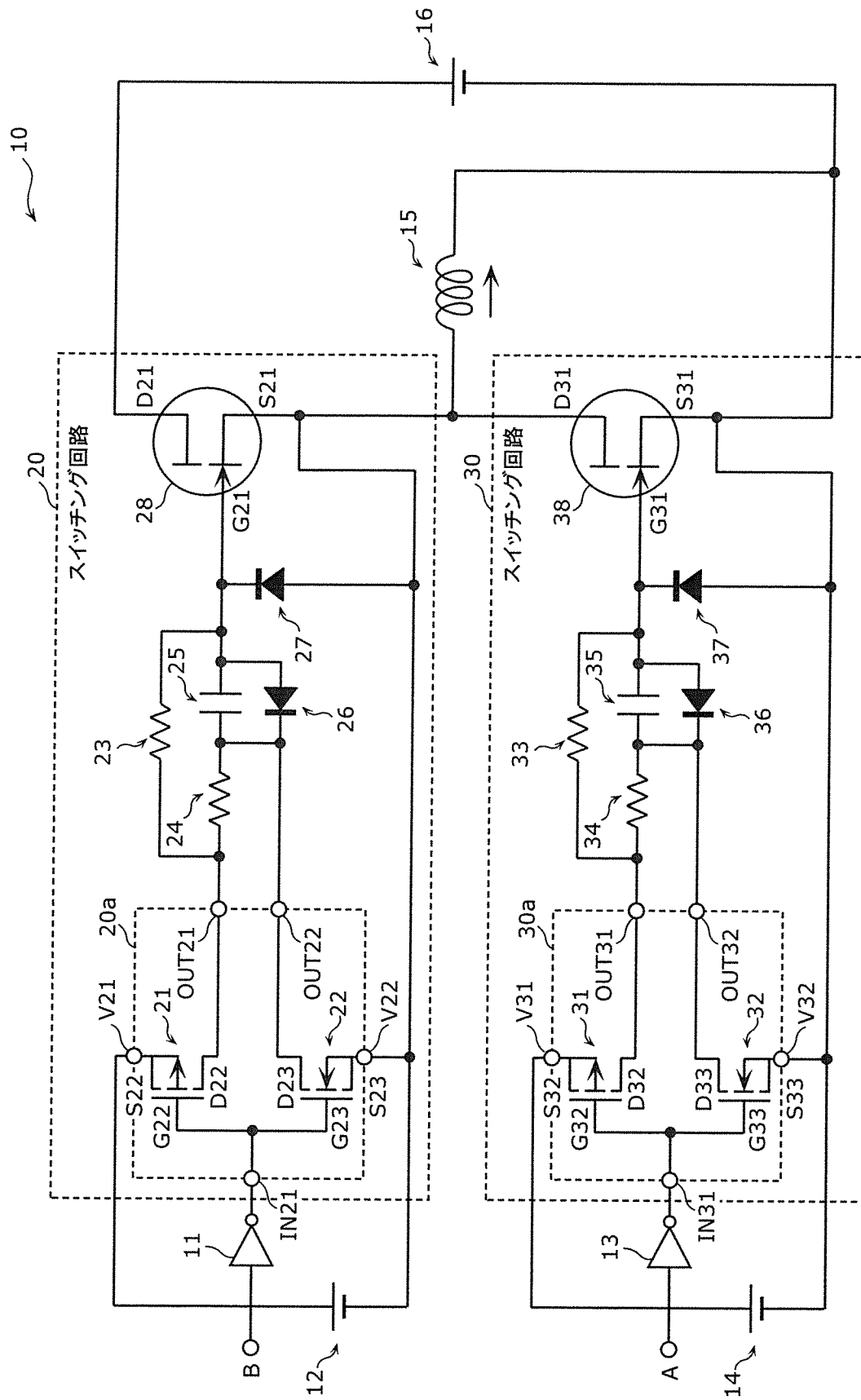
- [請求項9] さらに、前記パッケージの外部に配置され、前記第3の端子と前記第4の端子との間に接続され、前記第3の端子側に陽極を有し、前記第4の端子側に陰極を有するツェナーダイオードを備える  
請求項7記載のスイッチング回路。
- [請求項10] さらに、前記パッケージの外部に配置され、前記第3の端子と前記第4の端子との間に接続され、前記第4の端子側に陽極を有し、前記第3の端子側に陰極を有する、直列に接続された複数の整流素子を備える  
請求項7記載のスイッチング回路。
- [請求項11] 前記接合型電界効果トランジスタは、p型窒化物半導体、及び、前記p型窒化物半導体とオーミック接触するゲート電極で構成されるゲート部を有する  
請求項1～10のいずれか1項に記載のスイッチング回路。



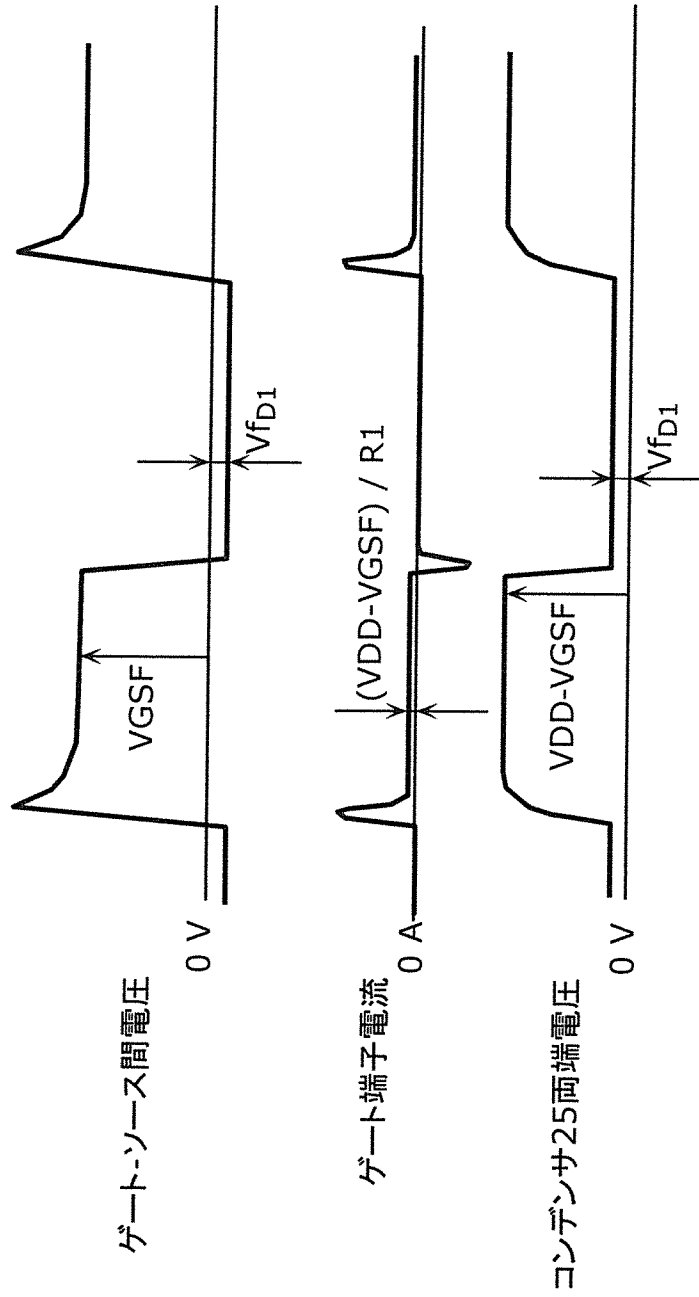
[図2]



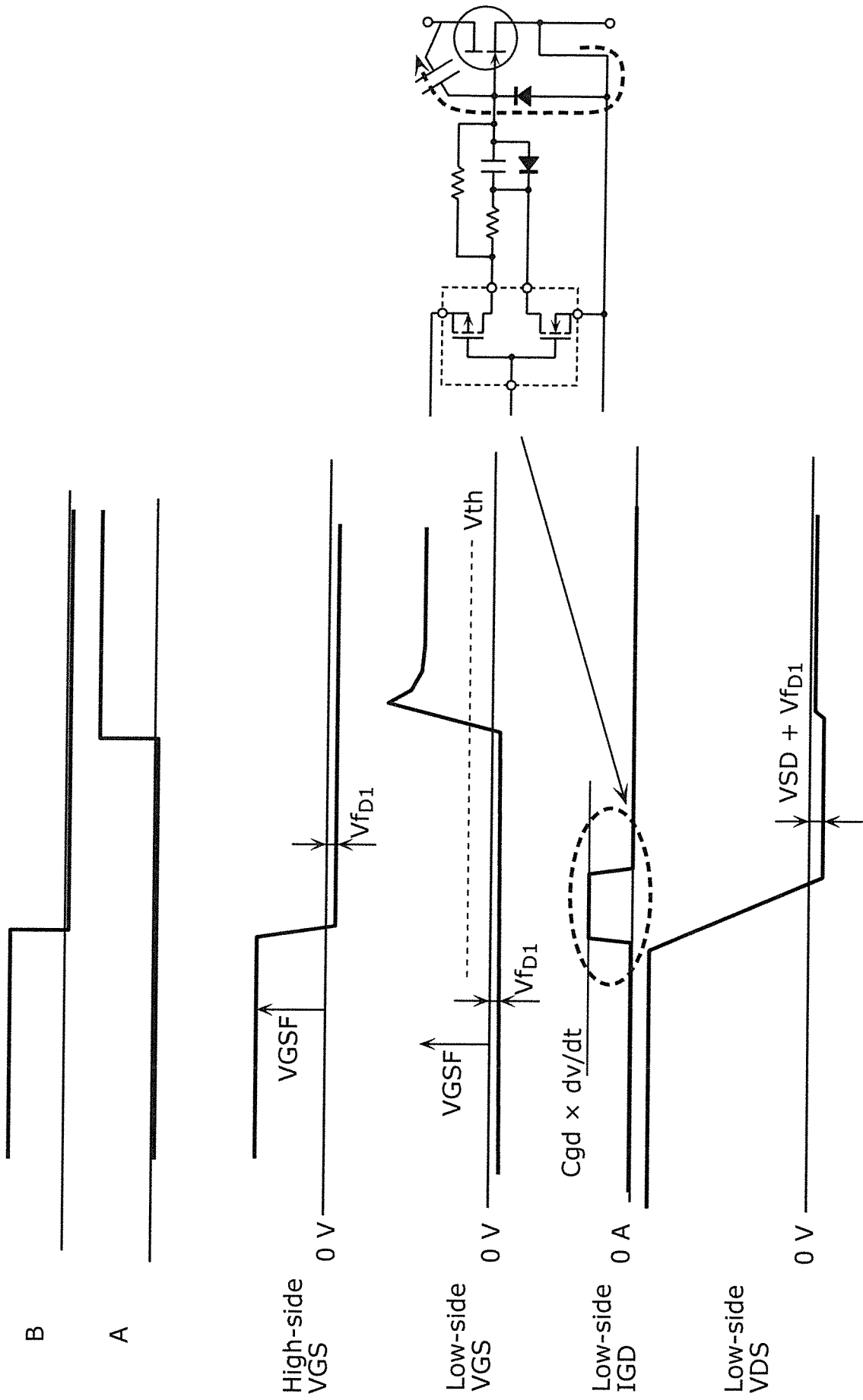
[図3]



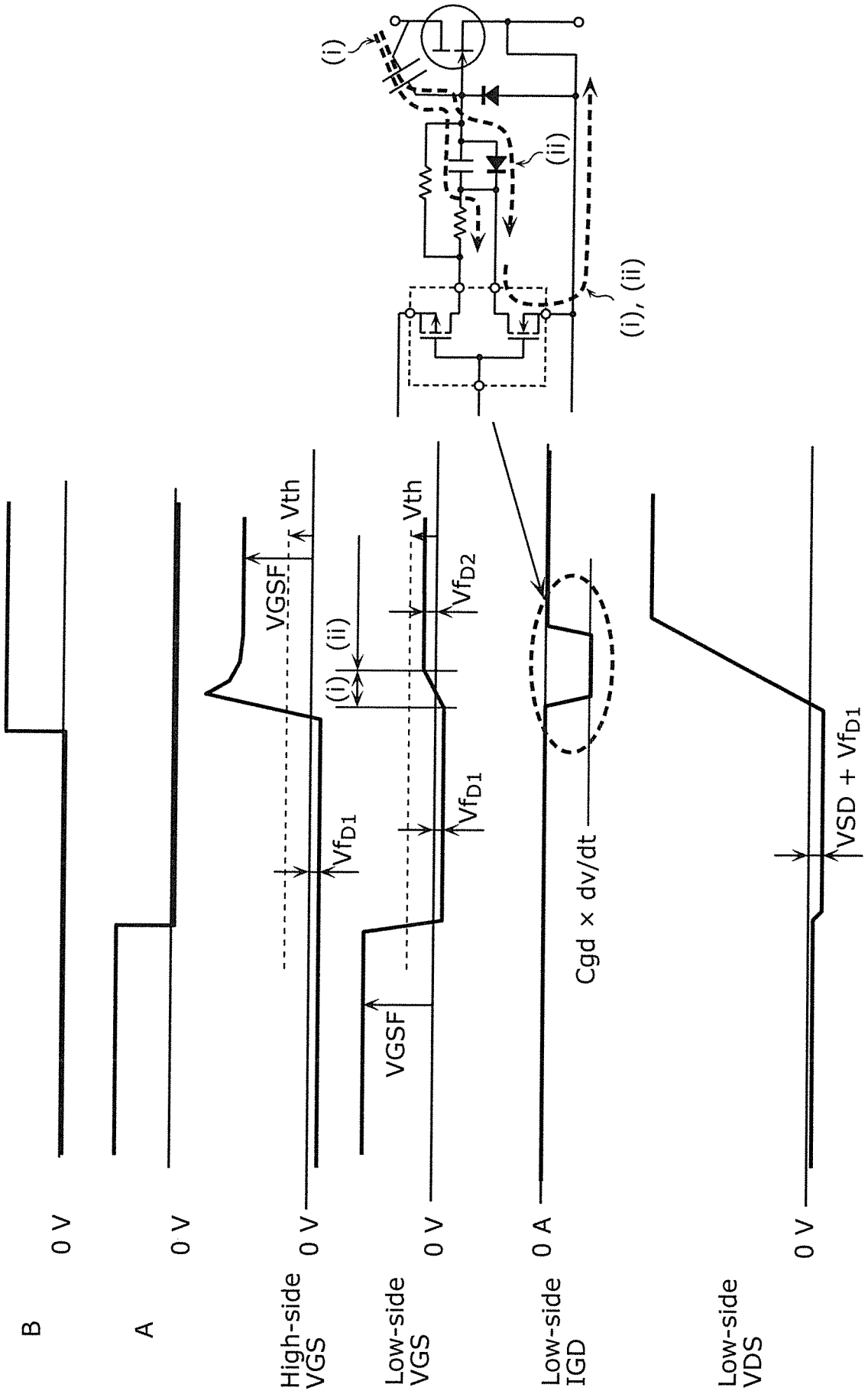
[図4]



[図5]

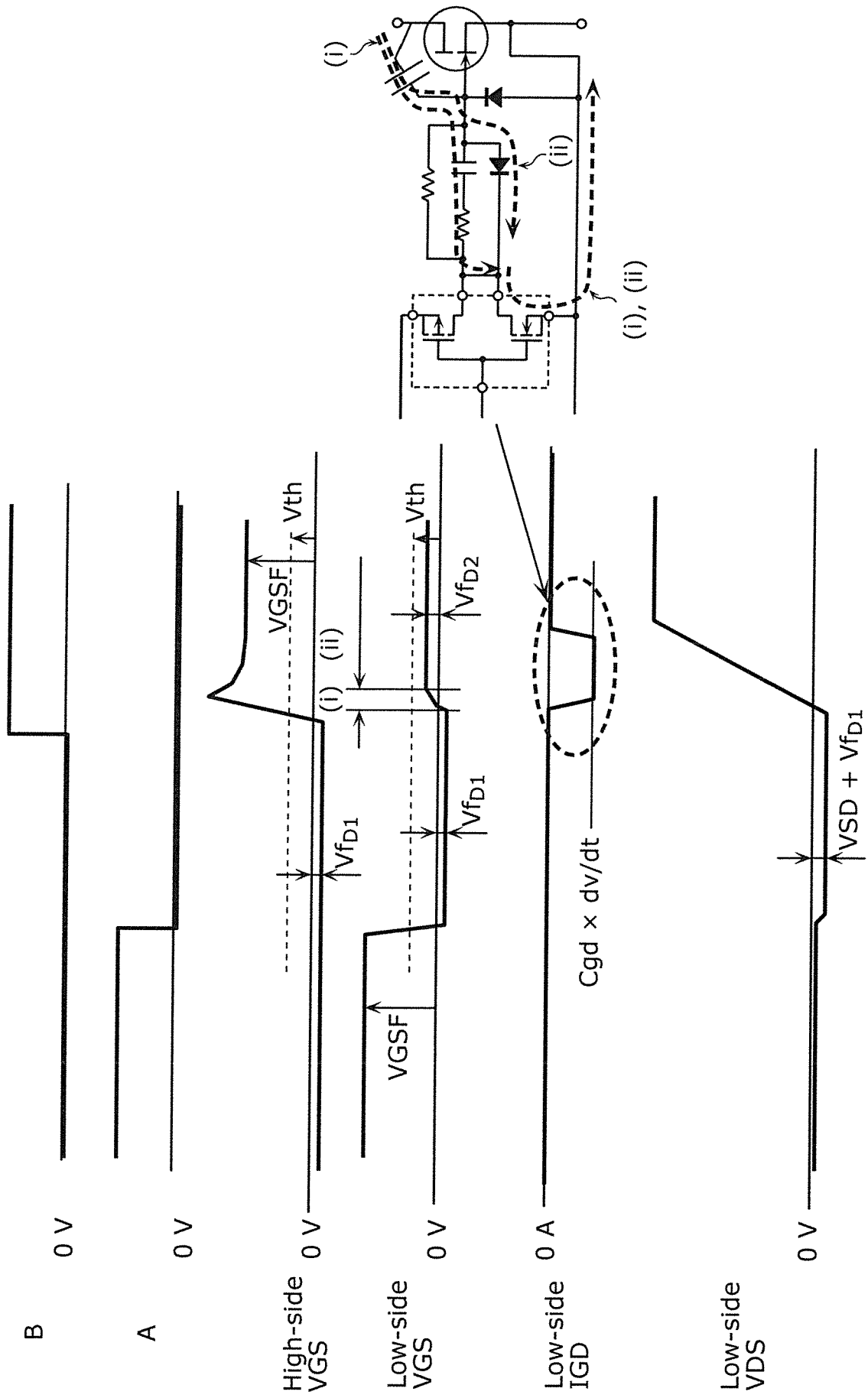


[図6]

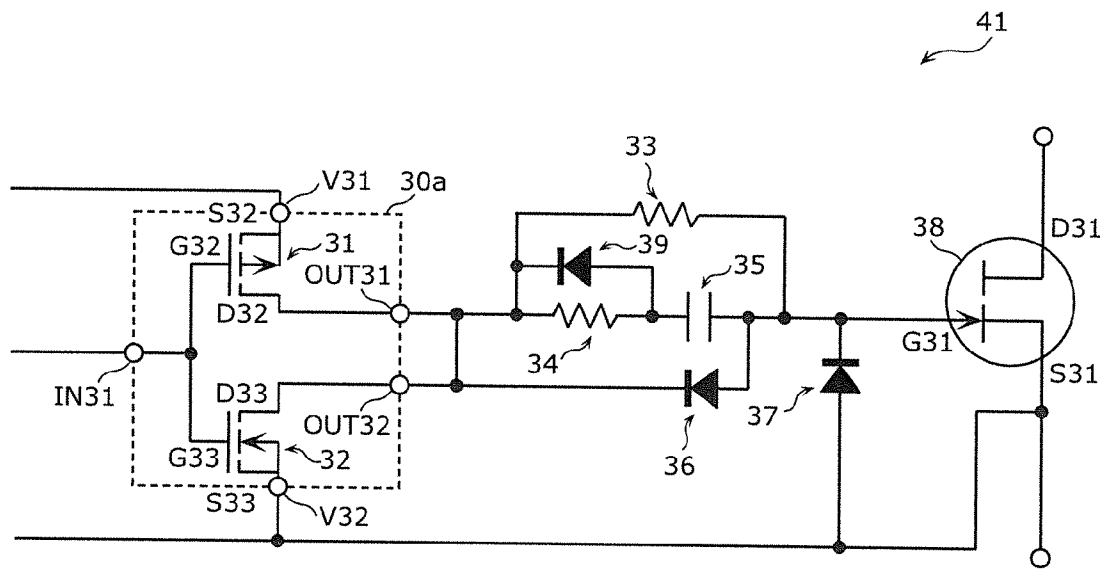




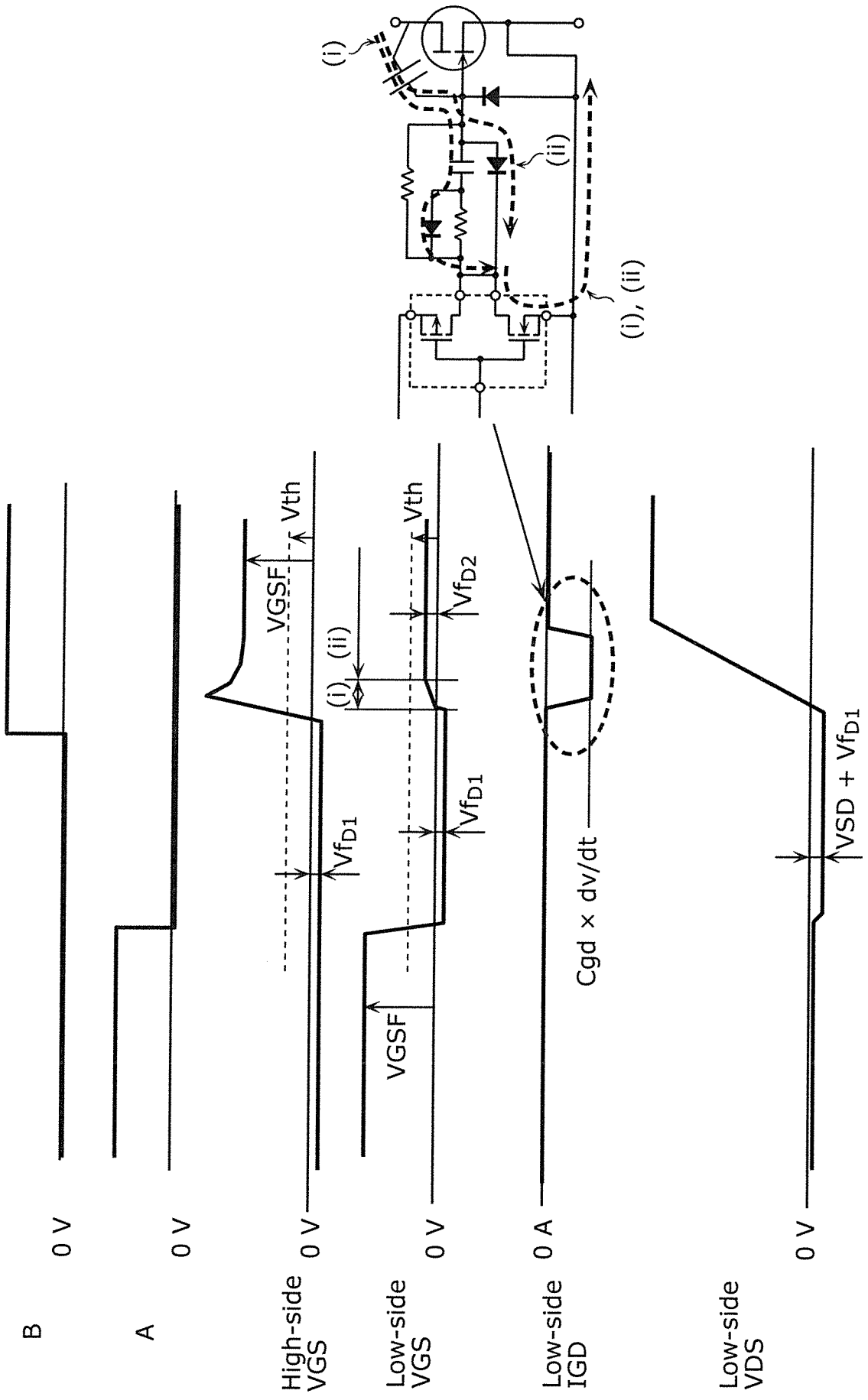
[図8]



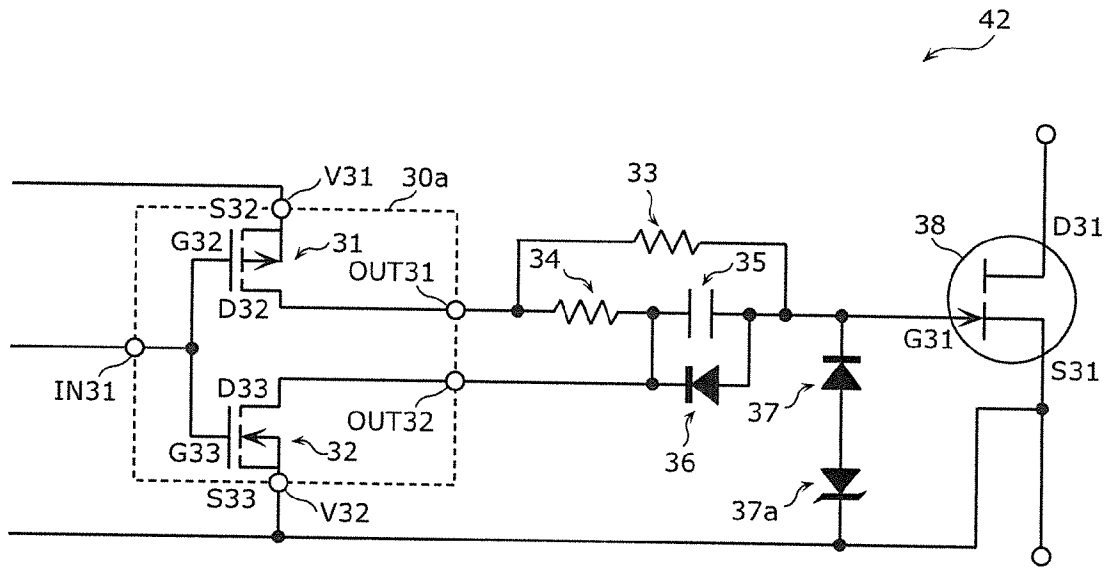
[図9]



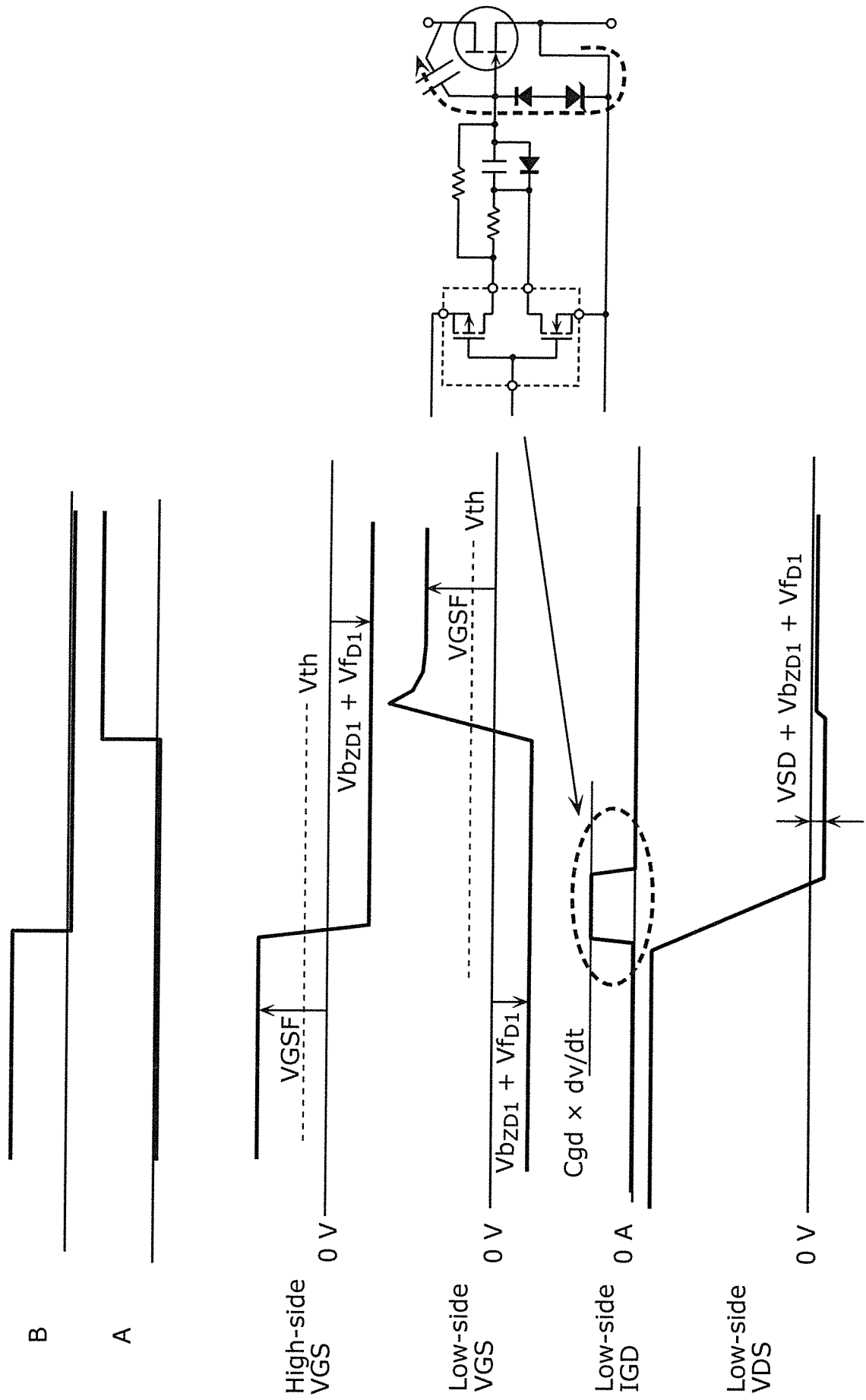
[図10]



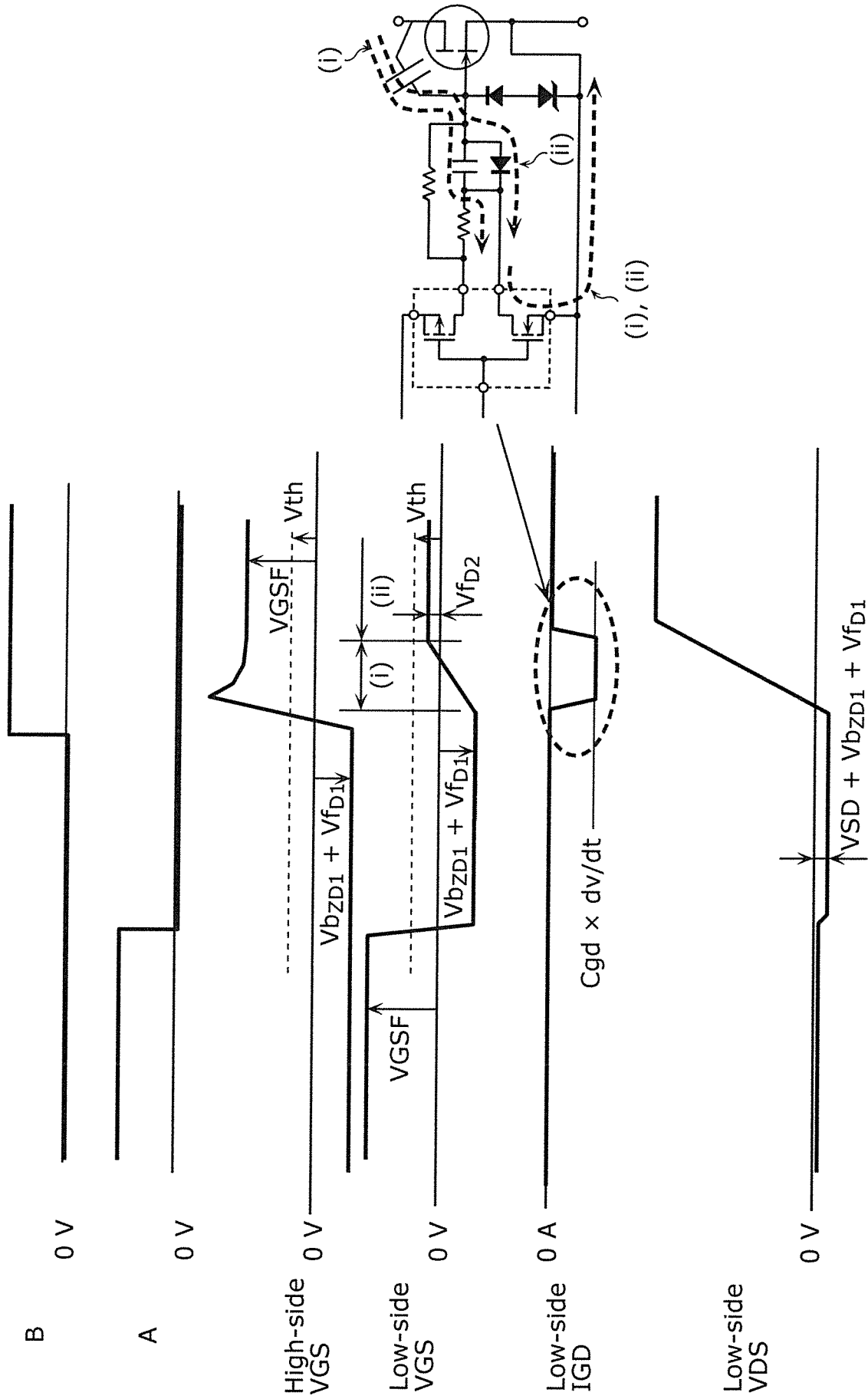
[図11]



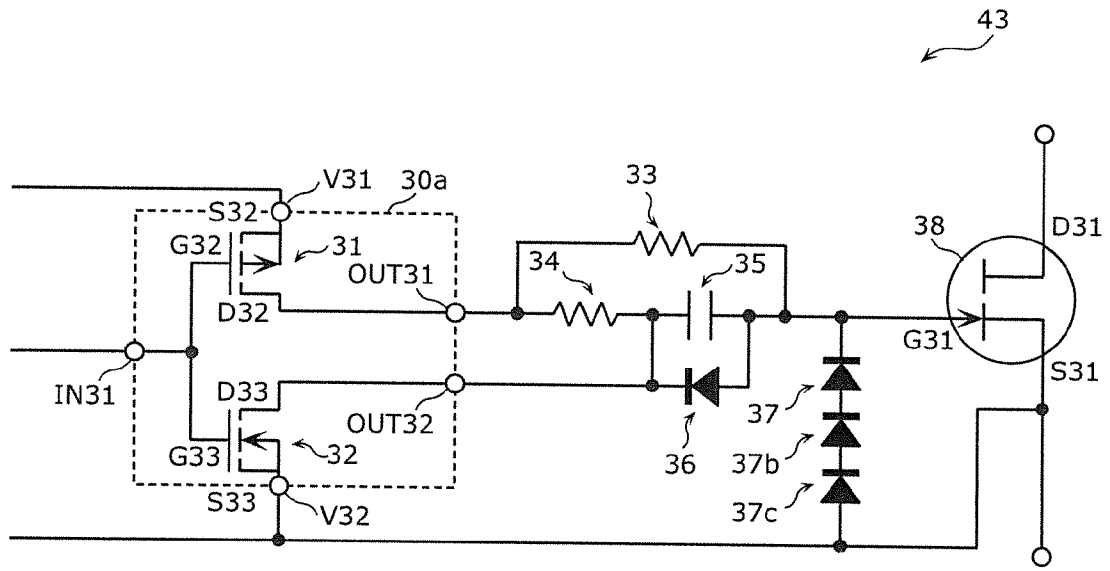
[図12]



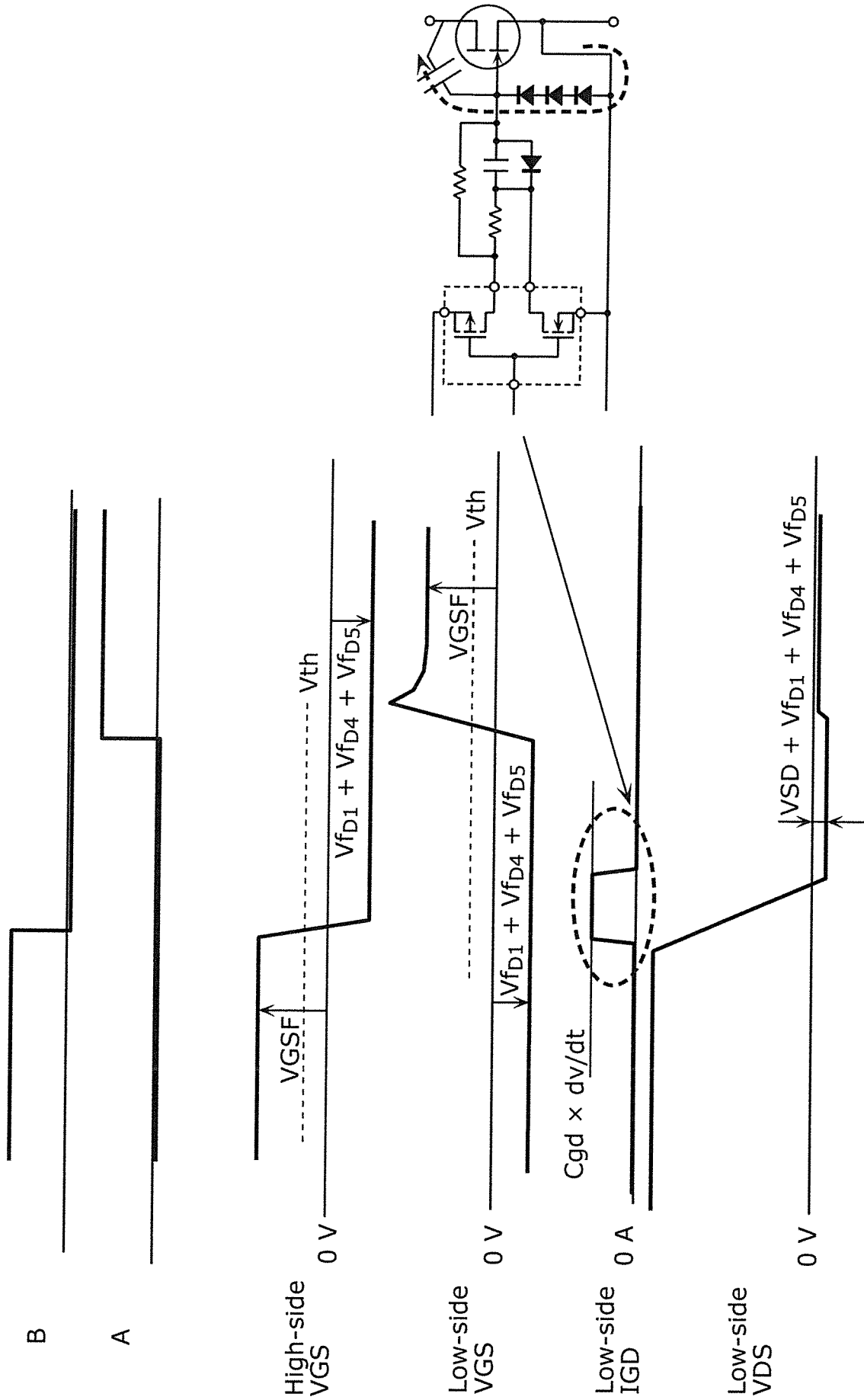
[圖13]



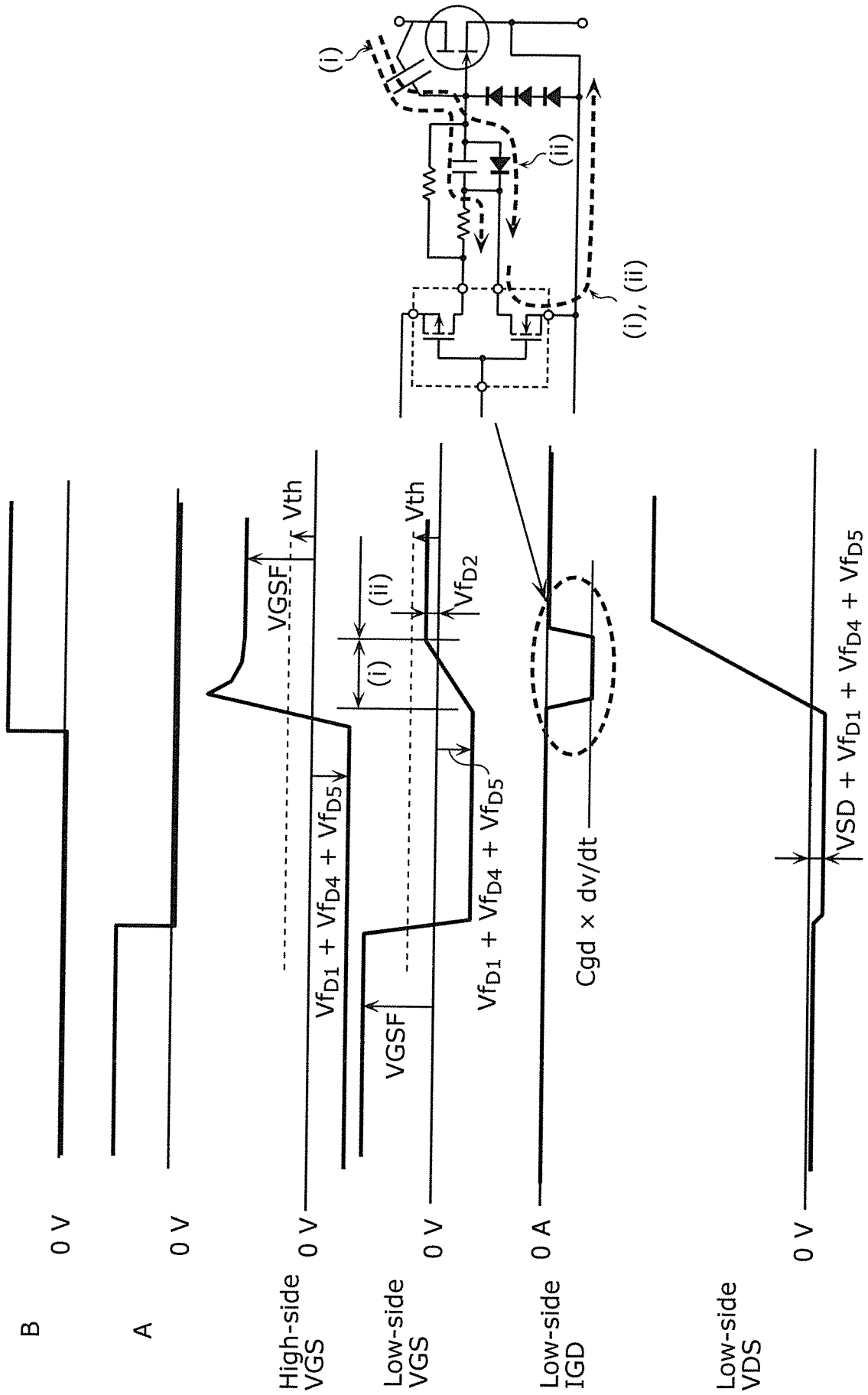
[図14]



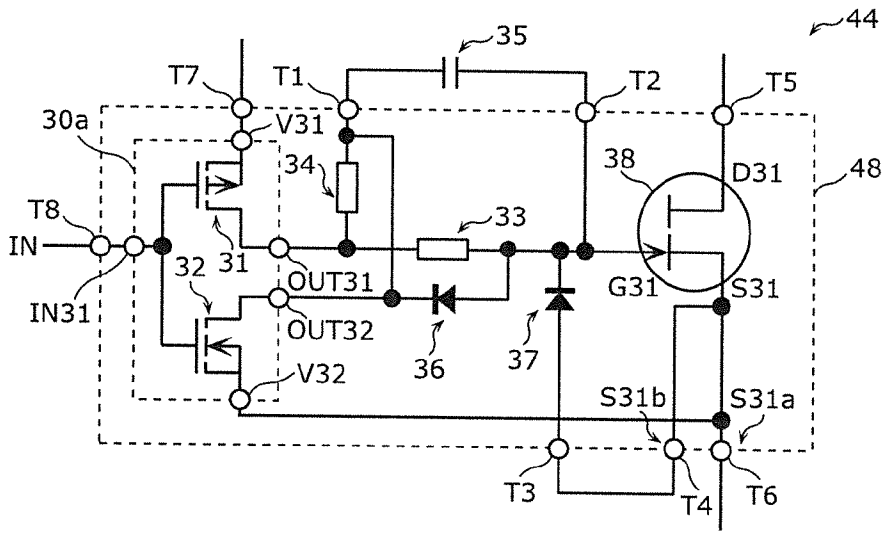
[図15]



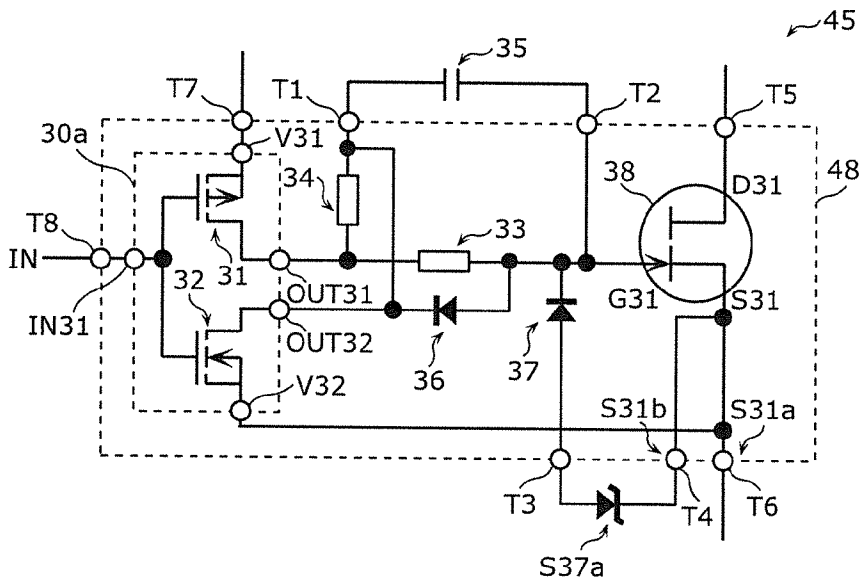
[図16]



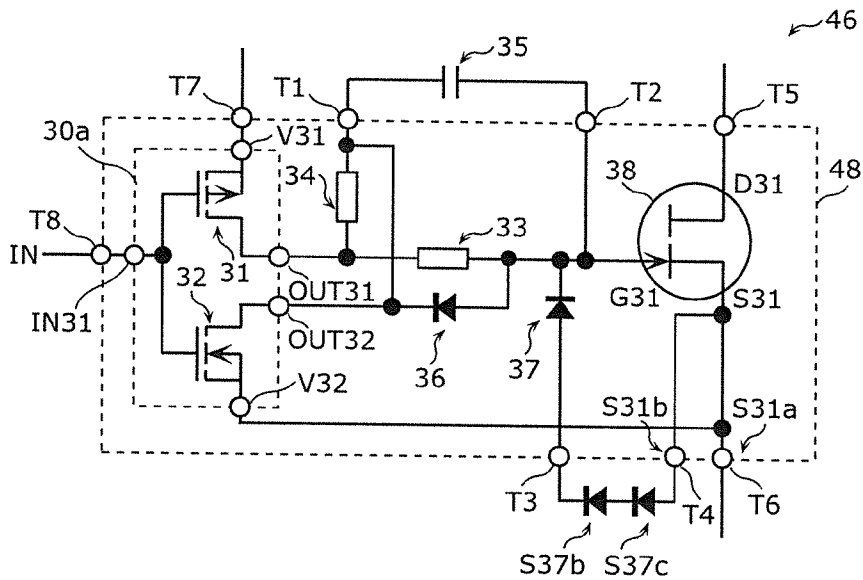
[図17]



[図18]



[図19]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2019/000731

**A. CLASSIFICATION OF SUBJECT MATTER**

Int. Cl. H02M1/08 (2006.01) i, H03K17/687 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H02M1/00-1/44, H03K17/00-17/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	US 2016/0261266 A1 (INFINEON TECHNOLOGIES AUSTRIA AG) 08 September 2016, paragraphs [0001]-[0052], fig. 1-9 & DE 102016101907 A1 & CN 105939151 A	1, 3, 5-11 2, 4
Y A	JP 04-087373 A (FUJITSU LTD.) 19 March 1992, page 2, upper left column, line 1 to page 6, upper left column, line 18, fig. 1-8 (Family: none)	1, 3, 5-11 2, 4
Y A	JP 01-209956 A (SONY CORP.) 23 August 1989, page 1, lower left column, line 15 to page 6, upper left column, line 15, fig. 1-8 (Family: none)	1, 3, 5-11 2, 4

Further documents are listed in the continuation of Box C.  See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search 14.03.2019	Date of mailing of the international search report 26.03.2019
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer  Telephone No.
--	---

**INTERNATIONAL SEARCH REPORT**International application No.  
PCT/JP2019/000731

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 04-230116 A (SANYO ELECTRIC CO., LTD.) 19 August 1992, paragraphs [0001]-[0013], fig. 1-9 (Family: none)	1, 3, 5-11 2, 4

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H02M1/08(2006.01)i, H03K17/687(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H02M1/00-1/44, H03K17/00-17/70

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	US 2016/0261266 A1 (INFINEON TECHNOLOGIES AUSTRIA AG) 2016.09.08, 段落 [0001] - [0052], 図1-9 & DE 102016101907 A1 & CN 105939151 A	1, 3, 5-11 2, 4

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 14.03.2019	国際調査報告の発送日 26.03.2019
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 白井 孝治 電話番号 03-3581-1101 内線 3526	5G	8843
---	--	----	------

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 04-087373 A (富士通株式会社) 1992.03.19, 第2頁左上欄第1行-第6頁左上欄第18行、第1図-第8図 (ファミリーなし)	1, 3, 5-11 2, 4
Y A	JP 01-209956 A (ソニー株式会社) 1989.08.23, 第1頁左下欄第15行-第6頁左上欄第15行、第1図-第8図 (ファミリーなし)	1, 3, 5-11 2, 4
Y A	JP 04-230116 A (三洋電機株式会社) 1992.08.19, 段落 [0001] - [0013], 図1-9 (ファミリーなし)	1, 3, 5-11 2, 4