



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년05월29일
(11) 등록번호 10-1862422
(24) 등록일자 2018년05월23일

(51) 국제특허분류(Int. Cl.)
H01G 4/12 (2006.01) H01G 2/06 (2006.01)
H01G 4/30 (2006.01)
(21) 출원번호 10-2013-0068498
(22) 출원일자 2013년06월14일
심사청구일자 2016년04월28일
(65) 공개번호 10-2014-0145832
(43) 공개일자 2014년12월24일
(56) 선행기술조사문헌
US6377439 A
US7414857 A

(73) 특허권자
삼성전기주식회사
경기도 수원시 영통구 매영로 150 (매탄동)
(72) 발명자
이병화
경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)
박홍길
경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)
(뒷면에 계속)
(74) 대리인
특허법인씨엔에스

전체 청구항 수 : 총 19 항

심사관 : 전한철

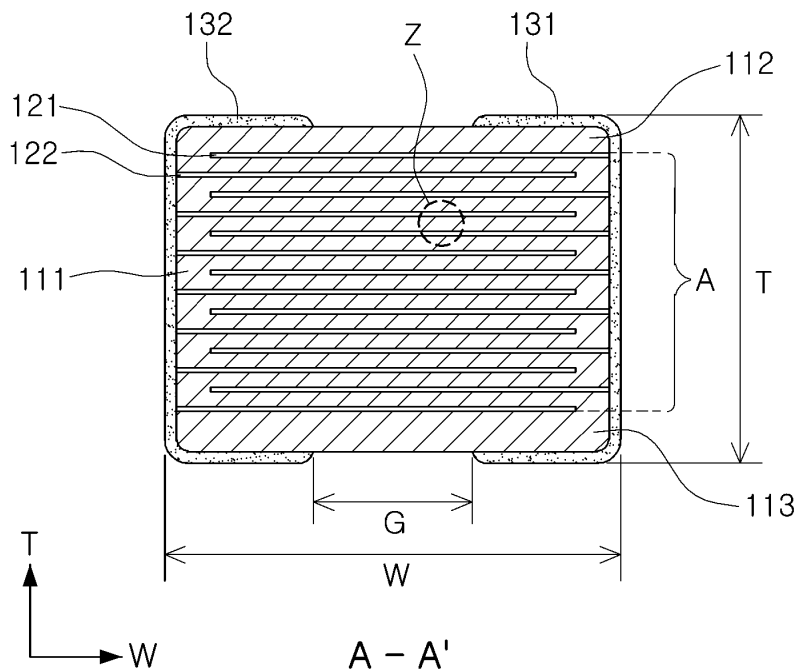
(54) 발명의 명칭 적층 세라믹 커패시터 및 그 실장 기판

(57) 요약

본 발명은 유전체층을 포함하며, 서로 마주보는 제1, 제2 주면(S1, S2), 서로 마주보는 제1, 제2 측면(S5, S6) 및 서로 마주보는 제1, 제2 단면(S3, S4)을 가지는 세라믹 본체; 상기 유전체층을 사이에 두고 서로 대향하도록 배치되며, 상기 제1 측면(S5) 또는 제2 측면(S6)으로 교대로 노출되는 복수의 제1 및 제2 내부 전극을 포함하여

(뒷면에 계속)

대표도 - 도4



용량이 형성되는 액티브층; 상기 액티브층의 상부 및 하부에 형성된 상부 및 하부 커버층; 및 상기 세라믹 본체의 제1 측면(S5)에 형성되고, 상기 제1 내부전극과 전기적으로 연결되는 제1 외부전극과 제2 측면(S6)에 형성되고, 상기 제2 내부전극과 전기적으로 연결되는 제2 외부전극;을 포함하고, 상기 세라믹 본체의 두께를 T, 폭을 W라 하면, $0.75W \leq T \leq 1.25W$ 를 만족하고, 상기 제1 외부전극과 상기 제2 외부전극 사이의 간격을 G라고 하면, $30 \mu\text{m} \leq G \leq 0.9W$ 를 만족하며, 상기 유전체층의 수직 방향으로 층당 평균 유전체 그레인 수가 2개 이상을 만족하는 적층 세라믹 커패시터를 제공한다.

(72) 발명자

이교광

경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)

안영규

경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)

박상수

경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)

이순주

경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)

명세서

청구범위

청구항 1

유전체층을 포함하며, 서로 마주보는 제1, 제2 주면(S1, S2), 서로 마주보는 제1, 제2 측면(S5, S6) 및 서로 마주보는 제1, 제2 단면(S3, S4)을 가지는 세라믹 본체;

상기 유전체층을 사이에 두고 서로 대향하도록 배치되며, 상기 제1 측면(S5) 또는 제2 측면(S6)으로 교대로 노출되는 복수의 제1 및 제2 내부 전극을 포함하여 용량이 형성되는 액티브층;

상기 액티브층의 상부 및 하부에 형성된 상부 및 하부 커버층; 및

상기 세라믹 본체의 제1 측면(S5)에 형성되고, 상기 제1 내부전극과 전기적으로 연결되는 제1 외부전극과 제2 측면(S6)에 형성되고, 상기 제2 내부전극과 전기적으로 연결되는 제2 외부전극;을 포함하고,

상기 세라믹 본체의 두께를 T, 폭을 W라 하면, $0.75W \leq T \leq 1.25W$ 를 만족하고, 상기 제1 외부전극과 상기 제2 외부전극 사이의 간격을 G라고 하면, $30 \mu\text{m} \leq G \leq 0.9W$ 를 만족하며, 상기 유전체층의 수직 방향으로 층당 평균 유전체 그레이인 수가 2개 이상을 만족하는 적층 세라믹 커패시터.

청구항 2

제1항에 있어서,

상기 하부 커버층의 두께는 $10 \mu\text{m}$ 내지 $100 \mu\text{m}$ 인 적층 세라믹 커패시터.

청구항 3

제1항에 있어서,

상기 세라믹 본체의 두께는 상기 제1 주면(S1) 및 제2 주면(S2) 사이의 거리이고, 상기 세라믹 본체의 폭은 상기 제1 외부전극이 형성된 상기 제1 측면(S5)과 상기 제2 외부전극이 형성된 상기 제2 측면(S6) 사이의 거리이고, 상기 세라믹 본체의 길이는 상기 제1 단면(S3)과 상기 제2 단면(S4) 사이의 거리인 경우, 상기 세라믹 본체의 폭은 상기 세라믹 본체의 길이보다 짧거나 동일한 적층 세라믹 커패시터.

청구항 4

제3항에 있어서,

상기 세라믹 본체의 길이를 L 및 폭을 W라 하면, $0.5L \leq W \leq L$ 을 만족하는 적층 세라믹 커패시터.

청구항 5

제1항에 있어서,

상기 유전체 그레이인은 평균 입경이 50nm 이상 500nm 이하인 적층 세라믹 커패시터.

청구항 6

제1항에 있어서,

상기 제1 및 제2 내부 전극은 상기 세라믹 본체의 제1 및 제2 단면(S3, S4)으로부터 일정거리 이격하여 형성된 적층 세라믹 커패시터.

청구항 7

제1항에 있어서,

상기 제1 및 제2 외부전극은 상기 세라믹 본체의 제1 및 제2 주면에 연장하여 형성되는 적층 세라믹 커패시터.

청구항 8

상부에 둘 이상의 전극 패드를 갖는 인쇄회로기판;

상기 인쇄회로기판 위에 설치된 적층 세라믹 커패시터; 및

상기 전극 패드와 상기 적층 세라믹 커패시터를 연결하는 솔더링;을 포함하며, 상기 적층 세라믹 커패시터는 유전체층을 포함하며, 서로 마주보는 제1, 제2 주면(S1, S2), 서로 마주보는 제1, 제2 측면(S5, S6) 및 서로 마주보는 제1, 제2 단면(S3, S4)을 가지는 세라믹 본체와 상기 유전체층을 사이에 두고 서로 대향하도록 배치되며, 상기 제1 측면(S5) 또는 제2 측면(S6)으로 교대로 노출되는 복수의 제1 및 제2 내부 전극을 포함하여 용량이 형성되는 액티브층, 상기 액티브층의 상부 및 하부에 형성된 상부 및 하부 커버층 및 상기 세라믹 본체의 제1 측면(S5)에 형성되고, 상기 제1 내부전극과 전기적으로 연결되는 제1 외부전극과 제2 측면(S6)에 형성되고, 상기 제2 내부전극과 전기적으로 연결되는 제2 외부전극을 포함하고, 상기 세라믹 본체의 두께를 T, 폭을 W라 하면, $0.75W \leq T \leq 1.25W$ 를 만족하고, 상기 제1 외부전극과 상기 제2 외부전극 사이의 간격을 G라고 하면, $30\mu\text{m} \leq G \leq 0.9W$ 를 만족하며, 상기 유전체층의 수직 방향으로 층당 평균 유전체 그래인 수가 2개 이상을 만족하는 적층 세라믹 커패시터의 실장 기판.

청구항 9

제8항에 있어서,

상기 하부 커버층의 두께는 $10\mu\text{m}$ 내지 $100\mu\text{m}$ 인 적층 세라믹 커패시터의 실장 기판.

청구항 10

제8항에 있어서,

상기 세라믹 본체의 두께는 상기 제1 주면(S1) 및 제2 주면(S2) 사이의 거리이고, 상기 세라믹 본체의 폭은 상기 제1 외부전극이 형성된 상기 제1 측면(S5)과 상기 제2 외부전극이 형성된 상기 제2 측면(S6) 사이의 거리이고, 상기 세라믹 본체의 길이는 상기 제1 단면(S3)과 상기 제2 단면(S4) 사이의 거리인 경우, 상기 세라믹 본체의 폭은 상기 세라믹 본체의 길이보다 짧거나 동일한 적층 세라믹 커패시터의 실장 기판.

청구항 11

제10항에 있어서,

상기 세라믹 본체의 길이를 L 및 폭을 W라 하면, $0.5L \leq W \leq L$ 을 만족하는 적층 세라믹 커패시터의 실장 기판.

청구항 12

제8항에 있어서,

상기 유전체 그래인은 평균 입경이 50nm 이상 500nm 이하인 적층 세라믹 커패시터의 실장 기판.

청구항 13

제8항에 있어서,

상기 제1 및 제2 내부 전극은 상기 세라믹 본체의 제1 및 제2 단면(S3, S4)으로부터 일정거리 이격하여 형성된 적층 세라믹 커패시터의 실장 기판.

청구항 14

제8항에 있어서,

상기 제1 및 제2 외부전극은 상기 세라믹 본체의 제1 및 제2 주면에 연장하여 형성되는 적층 세라믹 커패시터의 실장 기판.

청구항 15

제8항에 있어서,

상기 솔더링은 상기 적층 세라믹 커패시터의 제1 및 제2 외부전극의 일부에 형성된 적층 세라믹 커패시터의 실장 기판.

청구항 16

제8항에 있어서,

상기 솔더링은 상기 적층 세라믹 커패시터의 제1 및 제2 외부전극의 중앙부에 형성된 적층 세라믹 커패시터의 실장 기판.

청구항 17

제8항에 있어서,

상기 전극 패드는 상기 적층 세라믹 커패시터의 제1 및 제2 외부전극과 각각 연결되는 제1 및 제2 전극 패드로 이루어진 적층 세라믹 커패시터의 실장 기판.

청구항 18

제17항에 있어서,

상기 제1 및 제2 전극 패드는 상기 적층 세라믹 커패시터의 폭 방향으로 서로 오프셋(offset)된 적층 세라믹 커패시터의 실장 기판.

청구항 19

제8항에 있어서,

상기 전극 패드는 상기 적층 세라믹 커패시터의 제1 외부전극과 연결되는 제1 및 제2 전극 패드와 제2 외부전극과 연결되는 제3 및 제4 전극 패드로 이루어진 적층 세라믹 커패시터의 실장 기판.

발명의 설명

기술 분야

[0001] 본 발명은 적층 세라믹 커패시터 및 그 실장 기판에 관한 것이다.

배경 기술

[0002] 최근 전자 제품의 소형화, 고용량화됨에 따라 전자 제품에 사용되는 전자 부품도 소형화, 고용량화가 요구되고 있다. 이에 따라 적층형 세라믹 전자 부품에 대한 수요가 증대되고 있다.

[0003] 적층 세라믹 커패시터의 경우 등가 직렬 인덕턴스(Equivalent Series Inductance, 이하 “ESL”)가 커지면 전자 제품의 성능이 저하될 수 있으며, 전자 부품이 소형화, 고용량화 될수록 ESL의 증가가 전자 부품의 성능 저하에 미치는 영향은 상대적으로 커진다.

[0004] 소위 “LICC(Low Inductance Chip Capacitor)”는 외부 단자 간의 거리를 감소시켜 전류 흐름의 경로를 감소시키고 이로 인하여 커패시터의 인덕턴스를 줄이기 위한 것이다.

[0005] 한편, 상기 적층 세라믹 커패시터는 복수의 유전체층과, 상기 유전체층 사이에 서로 다른 극성의 내부 전극이 번갈아 적층된 구조를 가질 수 있다.

[0006] 이러한 유전체층은 압전성 및 전왜성을 갖기 때문에, 적층 세라믹 커패시터에 직류 또는 교류 전압이 인가될 때 상기 내부 전극들 사이에서 압전 현상이 발생하여 진동이 나타날 수 있다.

[0007] 이러한 진동은 적층 세라믹 커패시터의 솔더를 통해 상기 적층 세라믹 커패시터가 실장된 인쇄회로기판으로 전달되어 상기 인쇄회로기판 전체가 음향 방사면이 되면서 잡음이 되는 진동음을 발생시키게 된다.

[0008] 상기 진동음은 사람에게 불쾌감을 주는 20 내지 20000 Hz 영역의 가청 주파수에 해당될 수 있으며, 이렇게 사람에게 불쾌감을 주는 진동음을 어쿠스틱 노이즈(acoustic noise)라고 한다.

[0009] 상기 어쿠스틱 노이즈를 감소하기 위한 적층 세라믹 커패시터에 대한 연구는 여전히 요구되는 실정이다.

선행기술문헌

특허문헌

[0010] (특허문헌 0001) 한국공개특허 제2008-0110180호

발명의 내용

해결하려는 과제

[0011] 본 발명은 적층 세라믹 커패시터 및 그 실장 기판에 관한 것이다.

과제의 해결 수단

- [0012] 본 발명의 일 실시형태는 유전체층을 포함하며, 서로 마주보는 제1, 제2 주면(S1, S2), 서로 마주보는 제1, 제2 측면(S5, S6) 및 서로 마주보는 제1, 제2 단면(S3, S4)을 가지는 세라믹 본체; 상기 유전체층을 사이에 두고 서로 대향하도록 배치되며, 상기 제1 측면(S5) 또는 제2 측면(S6)으로 교대로 노출되는 복수의 제1 및 제2 내부 전극을 포함하여 용량이 형성되는 액티브층; 상기 액티브층의 상부 및 하부에 형성된 상부 및 하부 커버층; 및 상기 세라믹 본체의 제1 측면(S5)에 형성되고, 상기 제1 내부전극과 전기적으로 연결되는 제1 외부전극과 제2 측면(S6)에 형성되고, 상기 제2 내부전극과 전기적으로 연결되는 제2 외부전극;을 포함하고, 상기 세라믹 본체의 두께를 T, 폭을 W라 하면, $0.75W \leq T \leq 1.25W$ 를 만족하고, 상기 제1 외부전극과 상기 제2 외부전극 사이의 간격을 G라고 하면, $30 \mu\text{m} \leq G \leq 0.9W$ 를 만족하며, 상기 유전체층의 수직 방향으로 층당 평균 유전체 그래인 수가 2개 이상을 만족하는 적층 세라믹 커패시터를 제공한다.
- [0013] 상기 하부 커버층의 두께는 $10 \mu\text{m}$ 내지 $100 \mu\text{m}$ 일 수 있다.
- [0014] 상기 세라믹 본체의 두께는 상기 제1 주면(S1) 및 제2 주면(S2) 사이의 거리이고, 상기 세라믹 본체의 폭은 상기 제1 외부전극이 형성된 상기 제1 측면(S5)과 상기 제2 외부전극이 형성된 상기 제2 측면(S6) 사이의 거리이고, 상기 세라믹 본체의 길이는 상기 제1 단면(S3)과 상기 제2 단면(S4) 사이의 거리인 경우, 상기 세라믹 본체의 폭은 상기 세라믹 본체의 길이보다 짧거나 동일할 수 있다.
- [0015] 상기 세라믹 본체의 길이를 L 및 폭을 W라 하면, $0.5L \leq W \leq L$ 을 만족할 수 있다.
- [0016] 상기 유전체 그래인은 평균 입경이 50nm 이상 500nm 이하일 수 있다.
- [0017] 상기 제1 및 제2 내부 전극은 상기 세라믹 본체의 제1 및 제2 단면(S3, S4)으로부터 일정거리 이격하여 형성될 수 있다.
- [0018] 상기 제1 및 제2 외부전극은 상기 세라믹 본체의 제1 및 제2 주면에 연장하여 형성될 수 있다.
- [0019] 본 발명의 다른 실시형태는 상부에 둘 이상의 전극 패드를 갖는 인쇄회로기판;
- [0020] 상기 인쇄회로기판 위에 설치된 적층 세라믹 커패시터; 및
- [0021] 상기 전극 패드와 상기 적층 세라믹 커패시터를 연결하는 솔더링;을 포함하며, 상기 적층 세라믹 커패시터는 유전체층을 포함하며, 서로 마주보는 제1, 제2 주면(S1, S2), 서로 마주보는 제1, 제2 측면(S5, S6) 및 서로 마주보는 제1, 제2 단면(S3, S4)을 가지는 세라믹 본체와 상기 유전체층을 사이에 두고 서로 대향하도록 배치되며, 상기 제1 측면(S5) 또는 제2 측면(S6)으로 교대로 노출되는 복수의 제1 및 제2 내부 전극을 포함하여 용량이 형성되는 액티브층, 상기 액티브층의 상부 및 하부에 형성된 상부 및 하부 커버층 및 상기 세라믹 본체의 제1 측면(S5)에 형성되고, 상기 제1 내부전극과 전기적으로 연결되는 제1 외부전극과 제2 측면(S6)에 형성되고, 상기 제2 내부전극과 전기적으로 연결되는 제2 외부전극을 포함하고, 상기 세라믹 본체의 두께를 T, 폭을 W라 하면, $0.75W \leq T \leq 1.25W$ 를 만족하고, 상기 제1 외부전극과 상기 제2 외부전극 사이의 간격을 G라고 하면, $30 \mu\text{m} \leq G \leq 0.9W$ 를 만족하며, 상기 유전체층의 수직 방향으로 층당 평균 유전체 그래인 수가 2개 이상을 만족하는 적층 세라믹 커패시터의 실장 기판을 제공한다.
- [0022] 상기 하부 커버층의 두께는 $10 \mu\text{m}$ 내지 $100 \mu\text{m}$ 일 수 있다.
- [0023] 상기 세라믹 본체의 두께는 상기 제1 주면(S1) 및 제2 주면(S2) 사이의 거리이고, 상기 세라믹 본체의 폭은 상기 제1 외부전극이 형성된 상기 제1 측면(S5)과 상기 제2 외부전극이 형성된 상기 제2 측면(S6) 사이의 거리이고, 상기 세라믹 본체의 길이는 상기 제1 단면(S3)과 상기 제2 단면(S4) 사이의 거리인 경우, 상기 세라믹 본체의 폭은 상기 세라믹 본체의 길이보다 짧거나 동일할 수 있다.
- [0024] 상기 세라믹 본체의 길이를 L 및 폭을 W라 하면, $0.5L \leq W \leq L$ 을 만족할 수 있다.
- [0025] 상기 유전체 그래인은 평균 입경이 50nm 이상 500nm 이하일 수 있다.
- [0026] 상기 제1 및 제2 내부 전극은 상기 세라믹 본체의 제1 및 제2 단면(S3, S4)으로부터 일정거리 이격하여 형성될

수 있다.

- [0027] 상기 제1 및 제2 외부전극은 상기 세라믹 본체의 제1 및 제2 주면에 연장하여 형성될 수 있다.
- [0028] 상기 솔더링은 상기 적층 세라믹 커패시터의 제1 및 제2 외부전극의 일부에 형성될 수 있다.
- [0029] 상기 솔더링은 상기 적층 세라믹 커패시터의 제1 및 제2 외부전극의 중앙부에 형성될 수 있다.
- [0030] 상기 전극 패드는 상기 적층 세라믹 커패시터의 제1 및 제2 외부전극과 각각 연결되는 제1 및 제2 전극 패드로 이루어질 수 있다.
- [0031] 상기 제1 및 제2 전극 패드는 상기 적층 세라믹 커패시터의 폭 방향으로 서로 오프셋(offset)될 수 있다.
- [0032] 상기 전극 패드는 상기 적층 세라믹 커패시터의 제1 외부전극과 연결되는 제1 및 제2 전극 패드와 제2 외부전극과 연결되는 제3 및 제4 전극 패드로 이루어질 수 있다.

발명의 효과

- [0033] 본 발명에 따르면 외부전극 사이의 길이가 짧아서 적층 세라믹 커패시터에서 발생된 진동의 기관 전달이 저하되어, 어쿠스틱 노이즈(acoustic noise)를 감소시킬 수 있다.
- [0034] 또한, 본 발명에 따른 적층 세라믹 커패시터를 기관에 실장시 실장 면적을 줄일 수 있는 효과가 있다.

도면의 간단한 설명

- [0035] 도 1은 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터를 나타내는 사시도이다.
- 도 2는 본 발명의 일 실시 형태에 따른 세라믹 본체를 나타낸 모식도이다.
- 도 3은 도 2의 분해 사시도이다.
- 도 4는 도 1의 A-A'을 따른 단면도이다.
- 도 5는 도 4의 Z 영역의 확대도이다.
- 도 6은 도 1의 적층 세라믹 커패시터가 인쇄회로기판에 실장된 모습을 도시한 사시도이다.
- 도 7은 도 6의 평면도이다.
- 도 8은 도 6의 다른 실시형태에 따른 평면도이다.
- 도 9는 도 6의 또 다른 실시형태에 따른 평면도이다.

발명을 실시하기 위한 구체적인 내용

- [0036] 본 발명의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 발명의 실시형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.
- [0037] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0038] 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하고, 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙이도록 한다.

- [0039] 적층 세라믹 커패시터
- [0040] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시형태를 설명한다.
- [0041] 도 1은 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터를 나타내는 사시도이다.
- [0042] 도 2는 본 발명의 일 실시 형태에 따른 세라믹 본체를 나타낸 모식도이다.
- [0043] 도 3은 도 2의 분해 사시도이다.
- [0044] 도 4는 도 1의 A-A'을 따른 단면도이다.
- [0045] 도 1 내지 도 4를 참조하면, 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터(100)는 유전체층(111)을 포함하며, 서로 마주보는 제1, 제2 주면(S1, S2), 서로 마주보는 제1, 제2 측면(S5, S6) 및 서로 마주보는 제1, 제2 단면(S3, S4)을 가지는 세라믹 본체(110); 상기 유전체층(111)을 사이에 두고 서로 대향하도록 배치되며, 상기 제1 측면(S5) 또는 제2 측면(S6)으로 교대로 노출되는 복수의 제1 및 제2 내부 전극(121, 122)을 포함하여 용량이 형성되는 액티브층(A); 상기 액티브층(A)의 상부 및 하부에 형성된 상부 및 하부 커버층(112, 113); 및 상기 세라믹 본체(110)의 제1 측면(S5)에 형성되고, 상기 제1 내부전극(121)과 전기적으로 연결되는 제1 외부전극(131)과 제2 측면(S6)에 형성되고, 상기 제2 내부전극(122)과 전기적으로 연결되는 제2 외부전극(132);을 포함하고, 상기 세라믹 본체(110)의 두께를 T, 폭을 W라 하면, $0.75W \leq T \leq 1.25W$ 를 만족하고, 상기 제1 외부전극(131)과 상기 제2 외부전극(132) 사이의 간격을 G라고 하면, $30 \mu\text{m} \leq G \leq 0.9W$ 를 만족하며, 상기 유전체층(111)의 수직 방향으로 층당 평균 유전체 그레이인(111a) 수가 2개 이상을 만족할 수 있다.
- [0046] 이하에서는 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품을 설명하되, 특히 적층 세라믹 커패시터로 설명하지만 이에 제한되는 것은 아니다.
- [0047] 도 1을 참조하면, 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터에 있어서, '길이 방향'은 도 1의 'L' 방향, '폭 방향'은 'W' 방향, '두께 방향'은 'T' 방향으로 정의하기로 한다. 여기서 '두께 방향'은 유전체층을 쌓아 올리는 방향 즉 '적층 방향'과 동일한 개념으로 사용할 수 있다.
- [0048] 도 2를 참조하면, 본 발명의 일 실시형태에서, 세라믹 본체(110)는 서로 대향하는 제1주면(S1) 및 제2주면(S2)과 상기 제1주면 및 제2 주면을 연결하는 제1 측면(S5), 제2 측면(S6), 제1 단면(S3) 및 제2 단면(S4)을 가질 수 있다. 상기 세라믹 본체(110)의 형상에 특별히 제한은 없지만, 도시된 바와 같이 육면체 형상일 수 있다.
- [0049] 도 3을 참조하면, 상기 유전체층(111)을 형성하는 원료는 충분한 정전 용량을 얻을 수 있는 한 특별히 제한되지 않으며, 예를 들어, 티탄산바륨(BaTiO_3) 분말일 수 있다.
- [0050] 상기 유전체층(111)을 형성하는 재료는 티탄산바륨(BaTiO_3) 등의 파우더에 본 발명의 목적에 따라 다양한 세라믹 첨가제, 유기용제, 가소제, 결합제, 분산제 등이 첨가될 수 있다.
- [0051] 상기 유전체층(111) 형성에 사용되는 세라믹 분말의 평균 입경은 특별히 제한되지 않으며, 본 발명의 목적 달성을 위해 조절될 수 있으나, 예를 들어, 400 nm 이하로 조절될 수 있다.

- [0052] 상기 제1 및 제2 내부전극(121, 122)을 형성하는 재료는 특별히 제한되지 않으며, 예를 들어, 팔라듐(Pd), 팔라듐-은(Pd-Ag)합금 등의 귀금속 재료 및 니켈(Ni), 구리(Cu) 중 하나 이상의 물질로 이루어진 도전성 페이스트를 사용하여 형성될 수 있다.
- [0053] 상기 제1 내부전극 및 제2 내부전극(121, 122)은 상기 유전체층(111)을 사이에 두고 서로 대향하도록 배치되며, 상기 제1 측면(S5) 또는 제2 측면(S6)으로 교대로 노출될 수 있다.
- [0054] 상기 제1 내부전극 및 제2 내부전극(121, 122)이 상기 제1 측면(S5) 또는 제2 측면(S6)으로 교대로 노출됨으로써, 후술하는 바와 같이 RGC (Reverse Geometry Capacitor) 또는 LICC (Low Inductance Chip Capacitor)를 구현할 수 있다.
- [0055] 일반적인 적층 세라믹 전자 부품은 세라믹 본체의 길이 방향으로 서로 마주 보는 단면에 외부 전극이 배치되어 있을 수 있다.
- [0056] 이 경우 외부 전극에 교류 인가시 전류의 경로가 길기 때문에 전류 루프가 더 크게 형성될 수 있으며, 유도 자기장의 크기가 커져 인덕턴스가 증가할 수 있다.
- [0057] 상기의 문제를 해결하기 위하여, 본 발명의 일 실시형태에 따르면 전류의 경로를 감소시키기 위하여 세라믹 본체(110)의 폭 방향으로 서로 마주 보는 측면(S5, S6)에 제1 및 제2 외부 전극(131, 132)이 배치될 수 있다.
- [0058] 이 경우, 제1 및 제2 외부 전극(131, 132) 간의 길이가 작기 때문에 전류 경로가 작아지고, 이로 인하여 전류 루프가 감소하여 인덕턴스를 감소시킬 수 있다.
- [0059] 상술한 바와 같이 상기 제1 및 제2 외부전극(131, 132)이 상기 세라믹 본체(110)의 폭 방향으로 서로 마주 보는 측면(S5, S6)에 형성될 수 있으며, 정전 용량 형성을 위하여 상기 제1 및 제2 내부전극(121, 122)과 전기적으로 연결될 수 있다.
- [0060] 상기 제1 및 제2 외부전극(131, 132)은 상기 제1 및 제2 내부전극(121, 122)과 동일한 재료의 도전성 물질로 형성될 수 있으나 이에 제한되지는 않으며, 예를 들어, 구리(Cu), 은(Ag), 니켈(Ni) 등으로 형성될 수 있다.
- [0061] 상기 제1 및 제2 외부전극(131, 132)은 상기 금속 분말에 글라스 프리트를 첨가하여 마련된 도전성 페이스트를 도포한 후 소성함으로써 형성될 수 있다.
- [0062] 상기 세라믹 본체(110)의 폭(W)은 상기 제1 외부전극(131)이 형성된 상기 제1 측면(S5)과 상기 제2 외부전극(132)이 형성된 상기 제2 측면(S6) 사이의 거리이고, 상기 세라믹 본체(110)의 길이(L)는 상기 제1 단면(S3)과 상기 제2 단면(S4) 사이의 거리일 수 있다.
- [0063] 본 발명의 일 실시형태에 따르면, 상기 제1 및 제2 외부전극(131, 132)이 각각 형성된 제1 및 제2 측면(S5, S6) 사이의 폭(W)은 제1 단면(S3)과 상기 제2 단면(S4) 사이의 길이(L)보다 짧거나 동일할 수 있다.
- [0064] 이로 인하여 제1 및 제2 외부전극(131, 132) 간의 거리가 작아지기 때문에 전류 경로가 작아지고, 이로써 전류 루프가 감소하여 인덕턴스를 감소시킬 수 있다.
- [0065] 이처럼 제1 및 제2 외부전극(131, 132)을 세라믹 본체(110)의 제1 및 제2 측면(S5, S6)에 형성하여, 상기 세라믹 본체(110)의 폭(W)이 상기 세라믹 본체(10)의 길이(L)보다 짧거나 동일한 적층 세라믹 전자 부품을 RGC (Reverse Geometry Capacitor) 또는 LICC (Low Inductance Chip Capacitor)라 할 수 있다.
- [0066] 도 4를 참조하면, 상기 세라믹 본체(110)는 커패시터의 용량 형성에 기여하는 부분으로서의 액티브층(A)과, 상하 마진부로서 액티브층(A)의 상하부에 각각 형성된 상부 및 하부 커버층(112, 113)으로 구성될 수 있다.

- [0067] 상기 액티브층(A)은 유전체층(111)을 사이에 두고 복수의 제1 및 제2 내부 전극(121, 122)을 반복적으로 적층하여 형성될 수 있다.
- [0068] 한편, 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터에 있어서 상기 세라믹 본체(110)의 두께를 T, 폭을 W라 하면, $0.75W \leq T \leq 1.25W$ 를 만족할 수 있다.
- [0069] 상기 세라믹 본체(110)의 두께(T)와 폭(W)이 $0.75W \leq T \leq 1.25W$ 의 범위를 만족하도록 조절함으로써, 어쿠스틱 노이즈를 저감할 수 있다.
- [0070] 상기 세라믹 본체(110)의 두께(T)가 0.75W 미만의 경우에는 적층 세라믹 커패시터의 정전 용량을 구현할 수 없다.
- [0071] 상기 세라믹 본체(110)의 두께(T)가 1.25W를 초과하는 경우에는 적층 세라믹 커패시터를 기판에 실장시 상기 커패시터가 기울어져서 실장 불량에 발생할 수 있다.
- [0072] 한편, 상기 제1 외부전극(131)과 상기 제2 외부전극(132) 사이의 간격을 G라고 하면, $30 \mu\text{m} \leq G \leq 0.9W$ 를 만족할 수 있다.
- [0073] 상기 제1 외부전극(131)과 상기 제2 외부전극(132) 사이의 간격(G)을 $30 \mu\text{m} \leq G \leq 0.9W$ 의 범위로 조절함으로써, 어쿠스틱 노이즈를 저감할 수 있다.
- [0074] 상기 제1 외부전극(131)과 상기 제2 외부전극(132) 사이의 간격(G)이 $30 \mu\text{m}$ 미만일 경우에는 상기 제1 외부전극(131)과 상기 제2 외부전극(132) 사이의 간격(G)이 너무 좁아, 쇼트 불량이 발생할 수 있다.
- [0075] 상기 제1 외부전극(131)과 상기 제2 외부전극(132) 사이의 간격(G)이 0.9W를 초과하는 경우에는 상기 제1 외부전극(131)과 상기 제2 외부전극(132)의 폭이 감소하여 기판과의 실장 면적이 줄어들게 됨으로써, 고착 강도 불량을 유발할 수 있다.
- [0076] 또한, 상기 세라믹 본체(110)의 길이를 L 및 폭을 W라 하면, $0.5L \leq W \leq L$ 을 만족할 수 있으나 이에 제한되는 것은 아니다.
- [0077] 상기와 같이 $0.5L \leq W \leq L$ 를 만족하도록 상기 세라믹 본체의 길이 및 폭을 조절함으로써, 적층 세라믹 커패시터의 인덕턴스를 감소시킬 수 있다.
- [0078] 따라서, 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품은 저 인덕턴스를 구현할 수 있어, 전기적 성능이 향상될 수 있다.
- [0079] 한편, 본 발명의 일 실시형태에 따르면 상기 하부 커버층(113)의 두께는 $10 \mu\text{m}$ 내지 $100 \mu\text{m}$ 일 수 있다.
- [0080] 상기 하부 커버층(113)의 두께를 $10 \mu\text{m}$ 내지 $100 \mu\text{m}$ 로 조절함으로써, 어쿠스틱 노이즈를 저감할 수 있으며, 신

뢰성이 우수한 적층 세라믹 커패시터를 구현할 수 있다.

- [0081] 상기 하부 커버층(113)의 두께가 10 μm 미만일 경우에는 커버층의 두께가 너무 얇아 내습 불량이 발생할 수 있다.
- [0082] 상기 하부 커버층(113)의 두께가 100 μm를 초과하는 경우에는 하부 커버층의 변위에 의해 어쿠스틱 노이즈가 급격하게 증가할 수 있다.
- [0083] 상기 상부 커버층(112)의 두께는 특별히 제한되지 않으며, 상기 하부 커버층(113)과 동일하거나 유사한 두께를 가질 수 있고, 내습 불량을 막을 수 있는 범위 내에서 제한 없이 적용될 수 있다.
- [0084] 도 5는 도 4의 Z 영역의 확대도이다.
- [0085] 도 5를 참조하면, 상기 유전체층(111)의 수직 방향으로 층당 평균 유전체 그레인(111a) 수가 2개 이상을 만족할 수 있다.
- [0086] 상기 유전체층(111)의 수직 방향으로 층당 평균 유전체 그레인(111a) 수가 2개 이상을 만족함으로써, 어쿠스틱 노이즈를 저감할 수 있다.
- [0087] 상기 유전체층(111)의 수직 방향으로 층당 평균 유전체 그레인(111a) 수가 2개 미만일 경우, 즉 1개일 경우에는 그레인 바운더리(grain boundary) 수의 감소로 내부전극에 전압 인가시 유전체층의 변위량이 증가하게 되고, 결국 적층 세라믹 커패시터의 변위량을 증가시켜 궁극적으로 어쿠스틱 노이즈를 증가시키게 된다.
- [0088] 한편, 상기 유전체 그레인(11a)은 평균 입경이 50nm 이상 500nm 이하일 수 있다.
- [0089] 상기 유전체 그레인(11a)의 평균 입경을 50nm 이상 500nm 이하로 조절함으로써, 어쿠스틱 노이즈를 저감할 수 있다.
- [0090] 상기 유전체 그레인(11a)의 평균 입경이 50nm 미만일 경우에는 유전체 그레인의 입경이 너무 작아 유전율이 저하될 수 있으며, 이로 인하여 전원단에서 필요로 하는 적층 세라믹 커패시터의 정전 용량을 구현할 수 없다.
- [0091] 상기 유전체 그레인(11a)의 평균 입경이 500nm를 초과하는 경우에는 유전체 그레인의 입경이 너무 커서, 유전체층 1층당 1개의 유전체 그레인이 형성되는 영역이 증가하게 되고 이로 인하여 결국 어쿠스틱 노이즈가 증가하게 된다.
- [0092] 상기 유전체층(111)의 수직 방향으로 층당 평균 유전체 그레인(111a) 수와 유전체 그레인(11a)의 평균 입경을 측정하는 방법은 특별히 제한되지 않으나, 도 4와 같이 세라믹 본체(110)의 폭 방향 단면을 주사전자현미경(SEM, Scanning Electron Microscope)으로 이미지를 스캔하여 측정할 수 있다.
- [0093] 예를 들어, 도 2와 같이 세라믹 본체(110)의 길이(L) 방향의 중앙부에서 절단한 폭 및 두께 방향(W-T) 단면을 주사전자현미경(SEM, Scanning Electron Microscope)으로 스캔한 이미지에서 추출된 임의의 유전체층에 대해서,

길이 방향으로 등간격인 30개의 지점에서 층당 평균 유전체 그레인(111a) 수 및 유전체 그레인(11a)의 평균 입경을 측정할 수 있다.

[0094] 상기 등간격인 30개의 지점은 제1 및 제2 내부전극층(121, 122)이 서로 중첩되는 영역을 의미하는 액티브층(A)에서 측정될 수 있다.

[0095] 상기 제1 및 제2 내부 전극(121, 122)은 상기 세라믹 본체(110)의 제1 및 제2 단면(S3, S4)으로부터 일정거리 이격하여 형성될 수 있으나, 이에 제한되는 것은 아니다.

[0096] 한편, 상기 제1 및 제2 외부전극(131, 132)은 상기 세라믹 본체(110)의 제1 및 제2 주면(S1, S2)에 연장하여 형성될 수 있으나, 이에 제한되는 것은 아니다.

[0097] 이하에서는 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터의 제조방법에 대하여 설명하나, 이에 제한되는 것은 아니다.

[0098] 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터의 제조 방법은 우선, 티탄산바륨($BaTiO_3$) 등의 파우더를 포함하여 형성된 슬러리를 캐리어 필름(carrier film)상에 도포 및 건조하여 복수 개의 세라믹 그린 시트를 마련하며, 이로써 유전체 층을 형성할 수 있다.

[0099] 상기 세라믹 그린시트는 세라믹 분말, 바인더, 용제를 혼합하여 슬러리를 제조하고, 상기 슬러리를 닥터 블레이드 법으로 수 μm 의 두께를 갖는 시트(sheet)형으로 제작할 수 있다.

[0100] 다음으로, 니켈 입자 평균 크기가 0.1 내지 0.2 μm 이며, 40 내지 50 중량부의 니켈 분말을 포함하는 내부전극용 도전성 페이스트를 마련하였다.

[0101] 상기 그린시트 상에 상기 내부전극용 도전성 페이스트를 스크린 인쇄공법으로 도포하여 내부전극을 형성한 후 400 내지 500층 적층하여 액티브층을 형성하고, 상기 액티브층의 상면 또는 하면에 세라믹 그린시트를 적층하여 커버층을 형성함으로써, 서로 마주보는 제1, 제2 주면, 서로 마주보는 제1, 제2 측면 및 서로 마주보는 제1, 제2 단면을 갖는 세라믹 본체를 만들었다.

[0102] 다음으로, 상기 세라믹 본체의 제1 및 제2 측면에 제1 외부전극 및 제2 외부전극을 형성할 수 있다.

[0103] 이하, 실시예를 들어 본 발명을 더욱 상세히 설명하지만, 본 발명이 이에 의해 제한되는 것은 아니다.

[0104] **실예**

[0105] 본 발명의 실시 예와 비교 예에 따른 적층 세라믹 커패시터는 하기와 같이 제작되었다.

[0106] 티탄산바륨($BaTiO_3$) 등의 파우더를 포함하여 형성된 슬러리를 캐리어 필름(carrier film) 상에 도포 및 건조하여 1.8 μm 의 두께로 제조된 복수 개의 세라믹 그린 시트를 마련한다.

[0107] 다음으로, 상기 세라믹 그린 시트 상에 스크린을 이용하여 니켈 내부 전극용 도전성 페이스트를 도포하여 내부

전극을 형성한다.

[0108] 상기 세라믹 그린 시트를 약 200 층으로 적층하되, 내부 전극이 형성되지 않은 세라믹 그린 시트를 내부 전극이 형성된 세라믹 그린 시트의 하부에서 상부보다 더 많이 적층을 하였다. 이 적층체를 85 °C에서 1000 kgf/cm² 압력 조건으로 등압 압축성형(isostatic pressing) 하였다.

[0109] 압착이 완료된 세라믹 적층체를 개별 칩의 형태로 절단하였고, 절단된 칩은 대기 분위기에서 230 °C, 60 시간 유지하여 탈바인더를 진행하였다.

[0110] 이후, 1200 °C에서 내부 전극이 산화되지 않도록 Ni/NiO 평형 산소 분압 보다 낮은 10⁻¹¹ 내지 10⁻¹⁰ atm의 산소 분압하 환원분위기에서 소성하였다. 소성 후 적층 칩 커패시터의 칩 사이즈는 길이×폭(L×W)은 약 1.0 mm × 0.5 mm(L×W, 1005 사이즈)이었다. 여기서, 제작 공차는 길이×폭(L×W)으로 ±0.1 mm 내의 범위로 정하였고, 이를 만족하면서 실험하여 어쿠스틱 노이즈, 내습부하 테스트, 실장 불량 여부 및 고착 강도 테스트를 실시하였다.

[0111] 아래 표 1 내지 표 3에서는 적층 세라믹 커패시터의 폭(W) 대비 두께(T)의 비율(T/W)과 하부 커버층 두께에 따른 어쿠스틱 노이즈 측정값, 내습 부하 판정 및 실장 불량 여부를 나타내었다.

[0112] 이 경우, 유전체층의 수직 방향으로 층당 평균 유전체 그래인의 수는 약 2개인 상태에서 실험을 진행하였다.

표 1

T/W	하부 커버층 두께 [um]	Acoustic Noise [dB]	내습부하 (판정)	실장불량 (칩 기울어짐)
1.0	5	21.5	X	⊙
	10	22.6	○	⊙
	20	23.1	⊙	⊙
	30	23.7	⊙	⊙
	40	23.8	⊙	⊙
	50	24.2	⊙	⊙
	60	25.3	⊙	⊙
	70	26.1	⊙	⊙
	80	26.6	⊙	⊙
	90	26.9	⊙	⊙
	100	27.6	⊙	⊙
	120	33.2	⊙	⊙
	150	36.4	⊙	⊙

[0113]

[0114] ×: 불량을 50% 이상

[0115] △: 불량을 1%~50%

[0116] ○: 불량을 0.01%~1%

[0117] ◎: 불량율 0.01% 미만

표 2

T/W	하부커버층 두께 [um]	Acoustic Noise [dB]	내습부하 (판정)	실장불량 (칩 기울어짐)
1.25	5	20.7	X	◎
	10	21.4	○	◎
	20	22.5	◎	◎
	30	22.9	◎	◎
	40	22.9	◎	◎
	50	23.9	◎	◎
	60	24.2	◎	◎
	70	25.7	◎	◎
	80	25.9	◎	◎
	90	26.2	◎	◎
	100	27.9	◎	◎
	120	33.4	◎	◎
	150	34.1	◎	◎

[0118]

[0119] ×: 불량율 50% 이상

[0120] △: 불량율 1%~50%

[0121] ○: 불량율 0.01%~1%

[0122] ◎: 불량율 0.01% 미만

표 3

T/W	하부 커버층 두께 [um]	Acoustic Noise [dB]	내습부하 (판정)	실장불량 (칩 기울어짐)
1.30	5	20.4	X	X
	10	21.5	○	X
	20	22.7	◎	X
	30	23.1	◎	X
	40	23.7	◎	X
	50	24.5	◎	X
	60	24.9	◎	X
	70	25.2	◎	X
	80	25.6	◎	X
	90	25.9	◎	X
	100	27.7	◎	X
	120	33.7	◎	X
	150	36.1	◎	X

[0123]

[0124] ×: 불량율 50% 이상

[0125] △: 불량율 1%~50%

[0126] ○: 불량율 0.01%~1%

[0127] ◎: 불량율 0.01% 미만

[0128] 상기 표 1 내지 표 3을 참조하면, 상기 세라믹 본체의 두께(T)와 폭(W)이 $0.75W \leq T \leq 1.25W$ 를 만족하는 경우에 어쿠스틱 노이즈가 저감되는 것을 알 수 있다.

[0129] 특히, 표 3에서는 상기 세라믹 본체의 두께(T)가 1.30W인 경우로서, 적층 세라믹 커패시터를 기판에 실장시 기울어지는 실장 불량 문제가 발생함을 알 수 있다.

[0130] 또한, 표 1 내지 표 3을 참조하면, 하부 커버층의 두께가 10 μm 내지 100 μm를 만족하는 경우에 어쿠스틱 노이즈 저감의 효과가 있으며, 신뢰성도 우수함을 알 수 있다.

[0131] 하부 커버층의 두께가 상기 수치 범위를 벗어나서, 5 μm인 경우에는 내습 불량에 따른 신뢰성에 문제가 있으며, 120 및 150 μm인 경우에는 어쿠스틱 노이즈가 증가함을 알 수 있다.

[0132] 아래 표 4에서는 유전체층의 수직 방향으로 층당 평균 유전체 그래인의 수가 1개인 경우에 적층 세라믹 커패시터의 폭(W) 대비 두께(T)의 비율(T/W)과 하부 커버층 두께에 따른 어쿠스틱 노이즈 측정값, 내습 부하 판정 및 실장 불량 여부를 나타내었다.

표 4

T/W	하부 커버층 두께 [um]	Acoustic Noise [dB]	내습부하 (판정)	실장불량 (칩 기울어짐)
1.0	5	26.7	X	◎
	10	27.1	○	◎
	20	27.7	◎	◎
	30	28.5	◎	◎
	40	28.8	◎	◎
	50	29.1	◎	◎
	60	30.6	◎	◎
	70	31.3	◎	◎
	80	31.6	◎	◎
	90	32.3	◎	◎
	100	32.5	◎	◎
	120	38.1	◎	◎
	150	40.0	◎	◎

[0133]

[0134] ×: 불량율 50% 이상

[0135] △: 불량율 1%~50%

[0136] ○: 불량율 0.01%~1%

[0137] ◎: 불량율 0.01% 미만

[0138] 상기 표 4를 참조하면, 상기 유전체층의 수직 방향으로 층당 평균 유전체 그레인(111a) 수가 1개일 경우에는 그레인 바운더리(grain boundary) 수의 감소로 내부전극에 전압 인가시 유전체층의 변위량이 증가하게 되고, 결국 적층 세라믹 커패시터의 변위량을 증가시켜 궁극적으로 어쿠스틱 노이즈를 증가함을 알 수 있다.

[0139] 아래 표 5에서는 적층 세라믹 커패시터의 폭(W)과 제1 외부전극과 상기 제2 외부전극 사이의 간격(G)에 따른 어쿠스틱 노이즈 측정값, 실장 불량 및 고착 강도 불량 여부를 나타내었다.

표 5

W [um]	외부전극간 Gap(G)	G/W	Acoustic Noise [dB]	실장불량 (Short)	고착강도
650	25	0.04	21.7	X	◎
650	30	0.05	22.0	○	◎
650	40	0.08	22.1	○	◎
650	50	0.12	22.5	◎	◎
650	80	0.18	23.1	◎	◎
650	120	0.25	23.6	◎	◎
650	160	0.32	24.5	◎	◎
650	210	0.40	24.9	◎	◎
650	260	0.48	25.2	◎	◎
650	310	0.55	25.6	◎	◎
650	450	0.69	25.9	◎	○
650	550	0.85	25.9	◎	○
650	580	0.89	26.2	◎	○
650	620	0.95	26.5	◎	X

[0140]

[0141] ×: 불량율 50% 이상

[0142] △: 불량율 1%~50%

[0143] ○: 불량율 0.01%~1%

[0144] ◎: 불량율 0.01% 미만

[0145] 상기 표 5를 참조하면, 상기 제1 외부전극과 상기 제2 외부전극 사이의 간격(G)이 $30\mu\text{m} \leq G \leq 0.9W$ 을 만족할 경우에 어쿠스틱 노이즈가 저감되고 신뢰성이 우수함을 알 수 있다.

[0146] 상기 제1 외부전극과 상기 제2 외부전극 사이의 간격(G)이 $30\mu\text{m}$ 미만, 즉 $25\mu\text{m}$ 인 경우에는 쇼트 불량이 발생할 수 있음을 알 수 있다.

[0147] 한편, 상기 제1 외부전극과 상기 제2 외부전극 사이의 간격(G)이 $0.9W$ 를 초과하는 경우, 즉 $0.95W$ 인 경우에는 적층 세라믹 커패시터를 기관에 실장시 고착 강도가 낮아 불량이 발생함을 알 수 있다.

[0148] 적층 세라믹 커패시터의 실장 기관

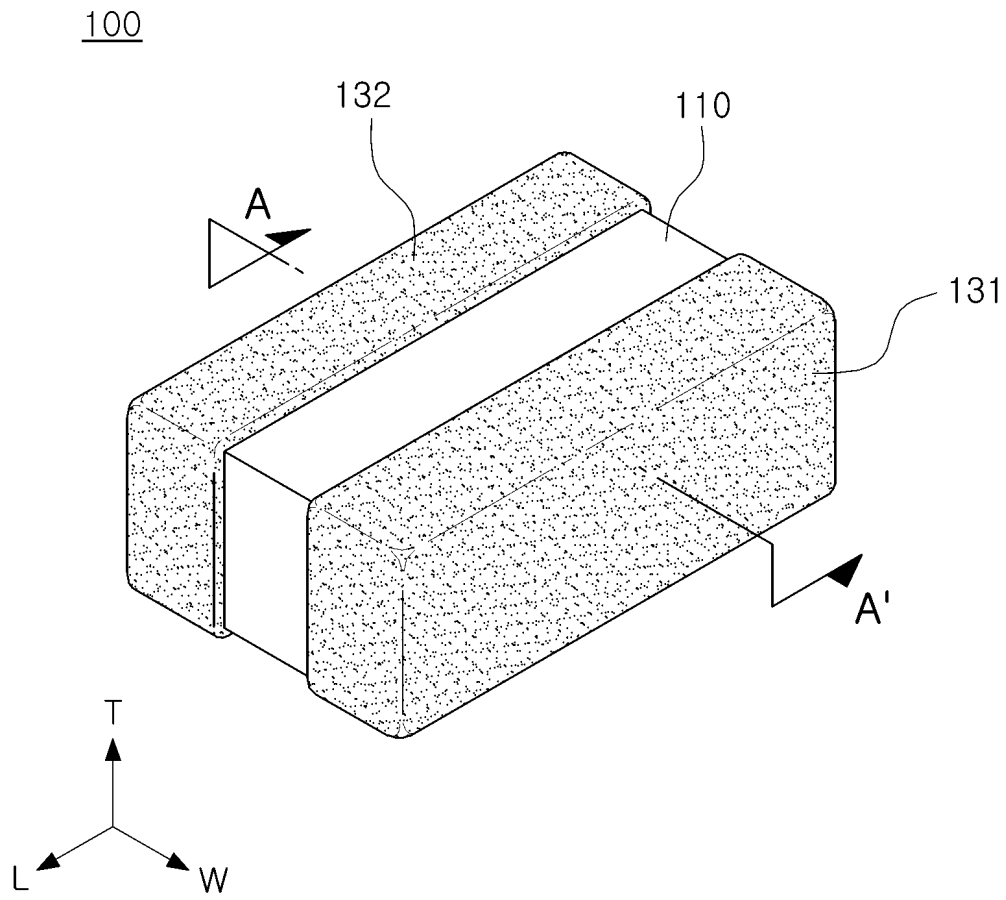
[0149] 도 6은 도 1의 적층 세라믹 커패시터가 인쇄회로기판에 실장된 모습을 도시한 사시도이다.

[0150] 도 7은 도 6의 평면도이다.

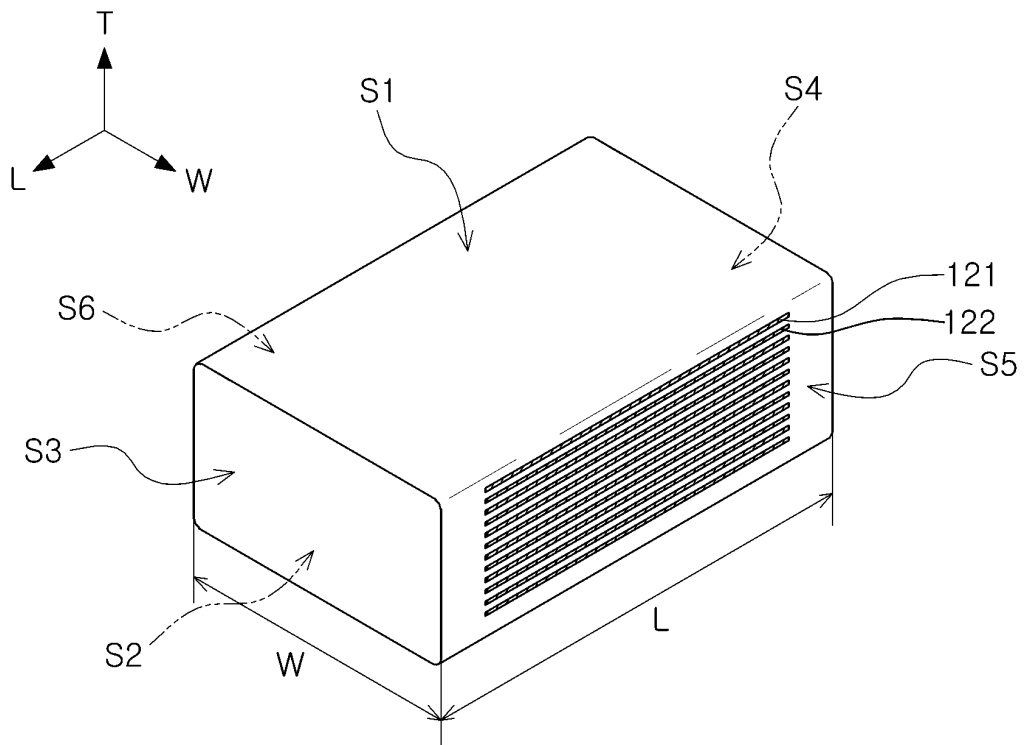
- [0151] 도 8은 도 6의 다른 실시형태에 따른 평면도이다.
- [0152] 도 9는 도 6의 또 다른 실시형태에 따른 평면도이다.
- [0153] 도 6 및 도 7을 참조하면, 본 실시 형태에 따른 적층 세라믹 커패시터(100)의 실장 기관(200)은 적층 세라믹 커패시터(100)가 수평하도록 실장되는 인쇄회로기판(210)과, 인쇄회로기판(210)의 상면에 서로 이격되게 형성된 둘 이상의 전극 패드(221, 222)를 포함한다.
- [0154] 상기 전극 패드는 상기 적층 세라믹 커패시터의 제1 및 제2 외부전극(131, 132)과 각각 연결되는 제1 및 제2 전극 패드(221, 222)로 이루어질 수 있다.
- [0155] 이때, 적층 세라믹 커패시터(100)는 하부 커버층(113)이 하측에 배치되며 제1 및 제2 외부 전극(131, 132)이 각각 제1 및 제2 전극 패드(221, 222) 위에 접촉되게 위치한 상태에서 솔더링(230)에 의해 인쇄회로기판(210)과 전기적으로 연결될 수 있다.
- [0156] 본 발명의 다른 실시형태에 따른 적층 세라믹 커패시터(100)의 실장 기관(200)에 있어서, 상기 솔더링(230)은 상기 적층 세라믹 커패시터(100)의 제1 및 제2 외부전극(131, 132)의 일부에 형성될 수 있으나, 이에 제한되는 것은 아니다.
- [0157] 특히, 도 6 및 도 7을 참조하면, 상기 솔더링(230)은 상기 적층 세라믹 커패시터(100)의 제1 및 제2 외부전극(131, 132)의 중앙부에 형성될 수 있다.
- [0158] 위와 같이 적층 세라믹 커패시터(100)가 인쇄회로기판(210)에 실장된 상태에서 전압을 인가하면 어쿠스틱 노이즈가 발생할 수 있다.
- [0159] 이때, 제1 및 제2 전극 패드(221, 222)의 크기는 적층 세라믹 커패시터(100)의 제1 및 제2 외부 전극(131, 132)과 제1 및 제2 전극 패드(221, 222)를 연결하는 솔더링(230)의 양을 결정하는 지표가 될 수 있으며, 이러한 솔더링(230)의 양에 따라 어쿠스틱 노이즈의 크기가 조절될 수 있다.
- [0160] 적층 세라믹 커패시터(100)가 인쇄회로기판(210)에 실장된 상태에서 적층 세라믹 커패시터(100)의 양 측면에 형성된 제1 및 제2 외부 전극(131, 132)에 극성이 다른 전압이 인가되면, 유전체층(111)의 역압전성 효과(Inverse piezoelectric effect)에 의해 세라믹 본체(110)는 두께 방향으로 팽창과 수축을 하게 되고, 제1 및 제2 외부 전극(131, 132)의 양 측면부는 포아송 효과(Poisson effect)에 의해 세라믹 본체(110)의 두께 방향의 팽창과 수축과는 반대로 수축과 팽창을 하게 된다.
- [0161] 상기 수축과 팽창은 구체적으로, 적층 세라믹 커패시터의 두께 방향으로 약 20 nm의 변위로 발생하며, 길이 방향으로 약 4 nm 및 폭 방향으로 약 2 nm의 변위로 발생하게 된다.
- [0162] 여기서, 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터는 제1 및 제2 외부전극이 적층 세라믹 커패시터의 폭 방향인 세라믹 본체의 양 측면에 형성되기 때문에, 수축 및 팽창의 변위가 최소가 되어, 어쿠스틱 노이즈를 저감할 수 있게 된다.
- [0163] 도 8을 참조하면, 본 발명의 다른 실시형태로서, 상기 전극 패드는 상기 적층 세라믹 커패시터(100)의 제1 외부 전극(131)과 연결되는 제1 및 제2 전극 패드(221', 222')와 제2 외부전극(132)과 연결되는 제3 및 제4 전극 패드(223', 224')로 이루어질 수 있다.

도면

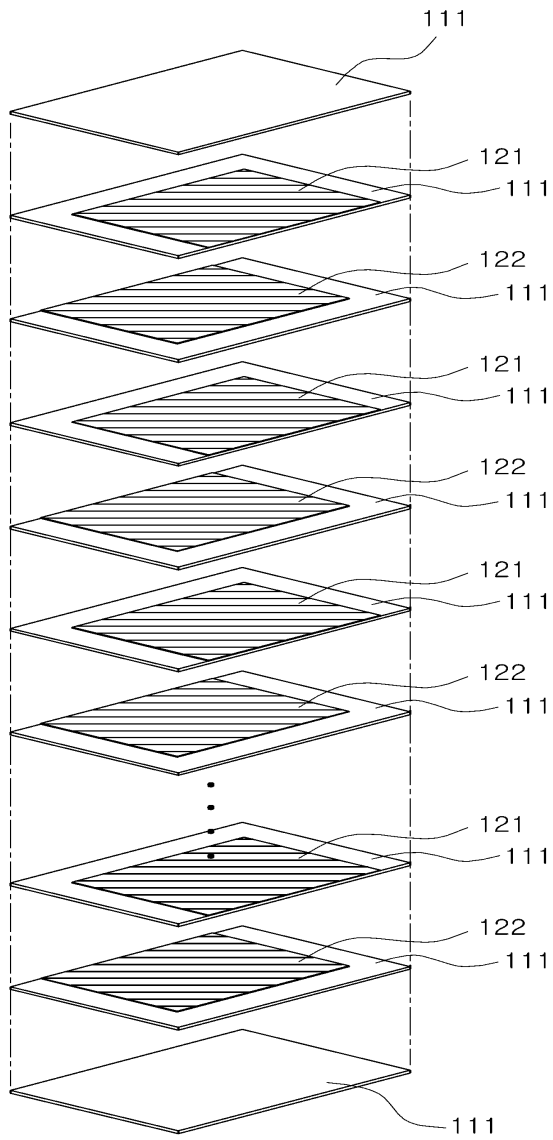
도면1



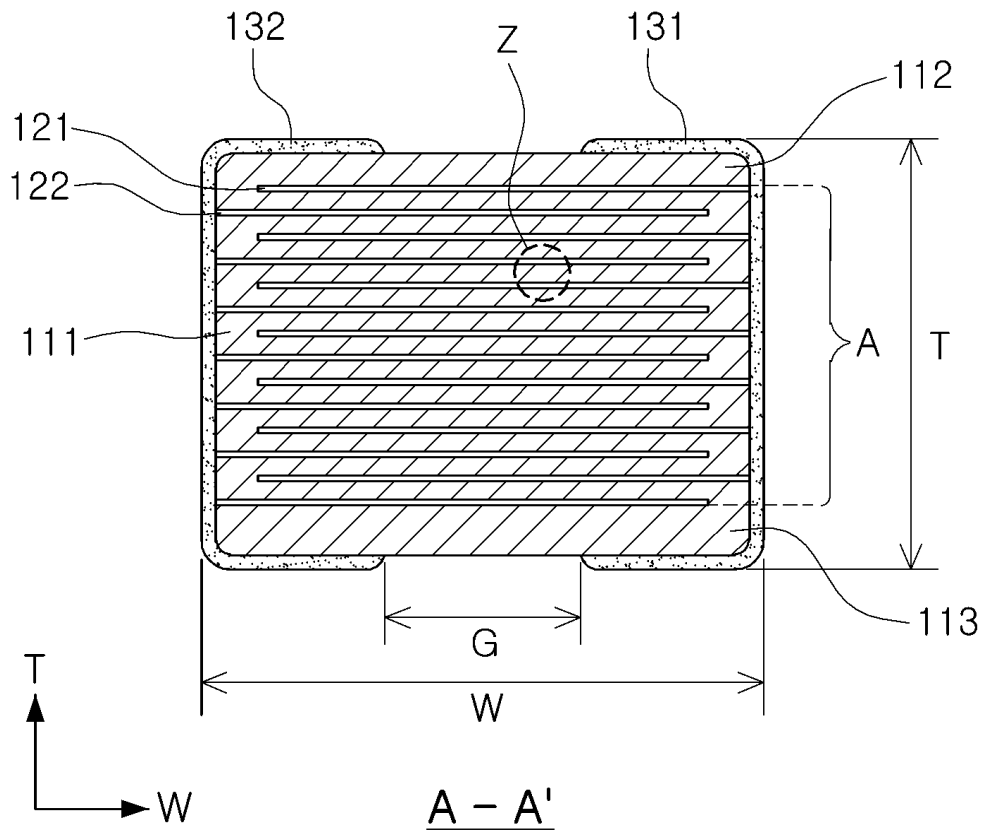
도면2



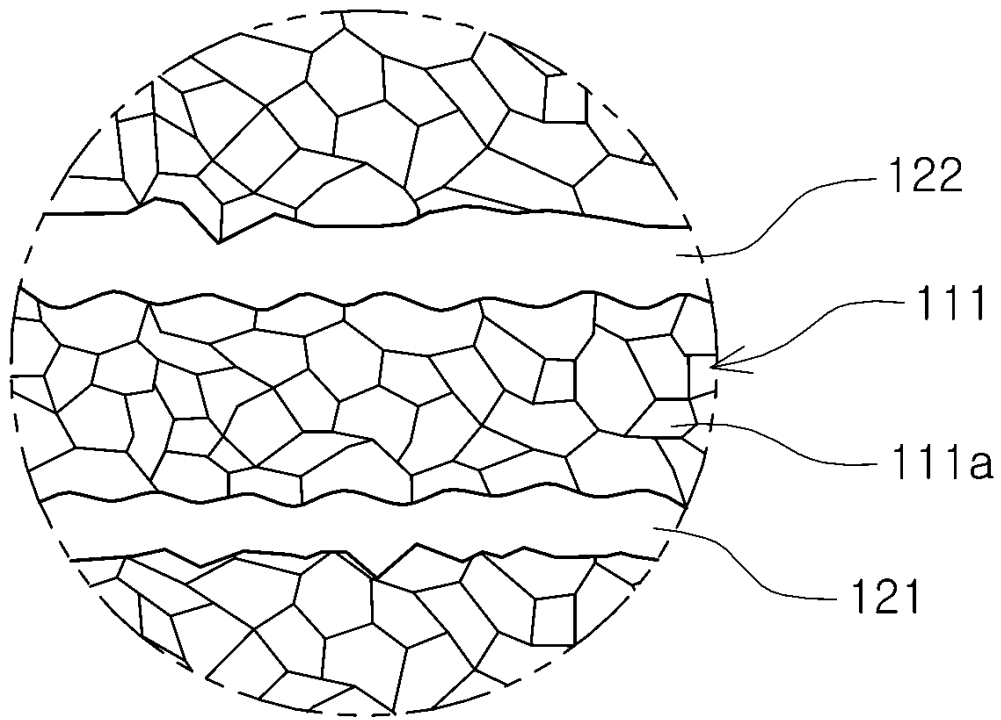
도면3



도면4

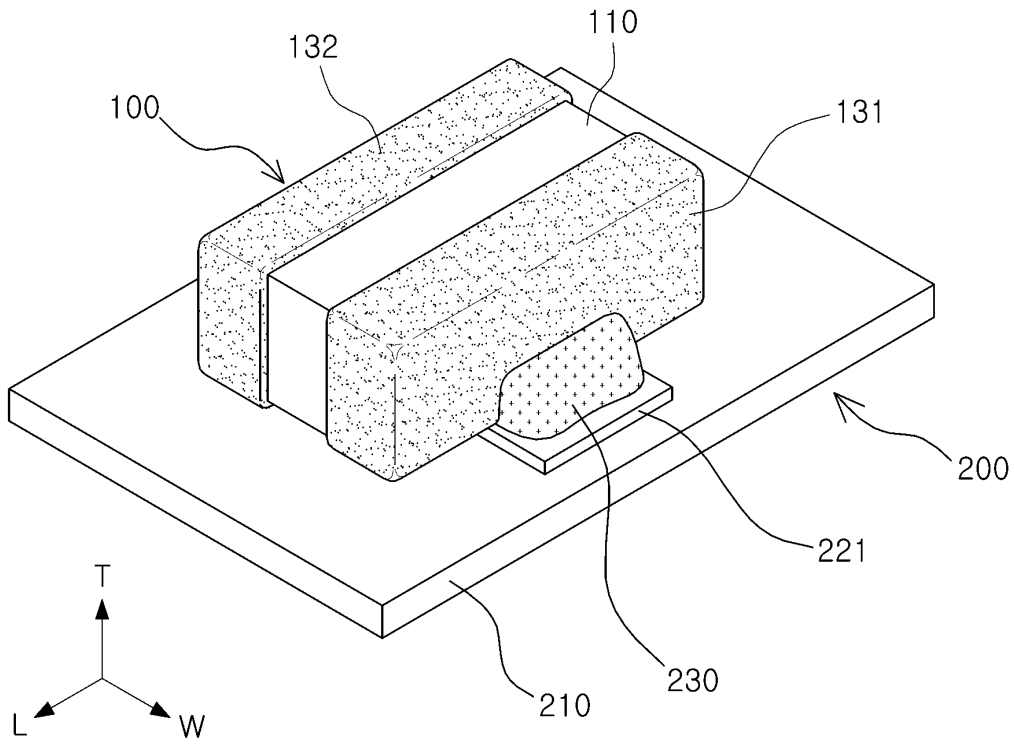


도면5

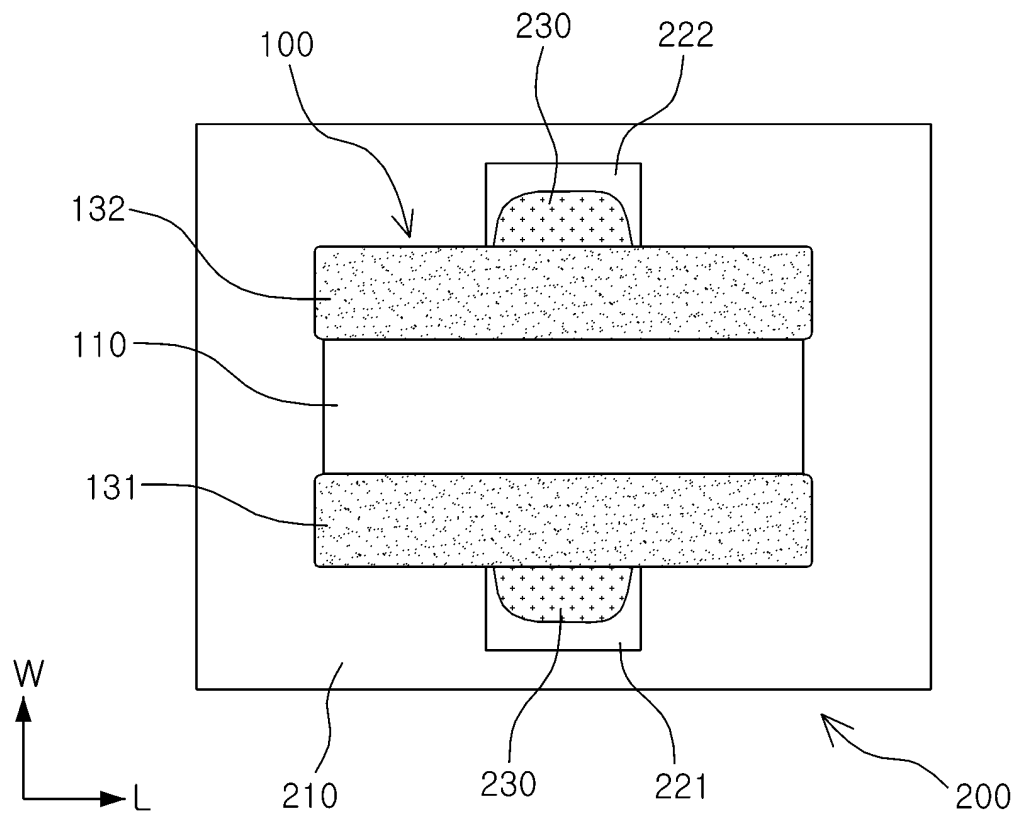


Z

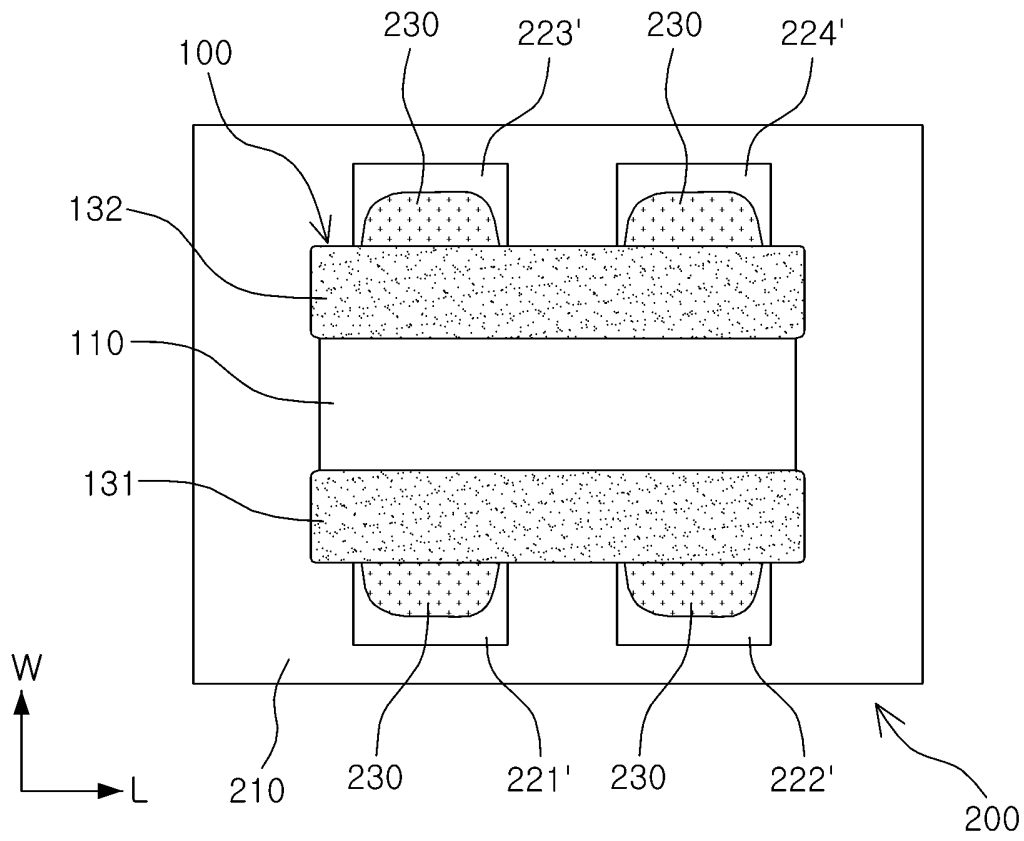
도면6



도면7



도면8



도면9

