



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년12월13일
 (11) 등록번호 10-1000947
 (24) 등록일자 2010년12월07일

(51) Int. Cl.

H01L 21/027 (2006.01) *G03F 7/20* (2006.01)

(21) 출원번호 10-2009-0011979
 (22) 출원일자 2009년02월13일
 심사청구일자 2009년02월13일
 (65) 공개번호 10-2009-0088823
 (43) 공개일자 2009년08월20일
 (30) 우선권주장
 JP-P-2008-034230 2008년02월15일 일본(JP)
 JP-P-2009-003910 2009년01월09일 일본(JP)
 (56) 선행기술조사문헌
 US20070202697 A1
 KR1020070075526 A

전체 청구항 수 : 총 18 항

(73) 특허권자

도쿄엘렉트론가부시키키가이샤

일본 도쿄도 미나토쿠 아카사카 5초메 3반 1코

(72) 발명자

야에가시 히데타미

일본, 야마나시켄, 니라사키시, 호사카쵸, 미즈자와, 650번지, 도쿄 엘렉트론 가부시키키가이샤 내
시무라 사토루

일본, 야마나시켄, 니라사키시, 호사카쵸, 미즈자와, 650번지, 도쿄 엘렉트론 큐슈 가부시키키가이샤 내

(74) 대리인

신동현

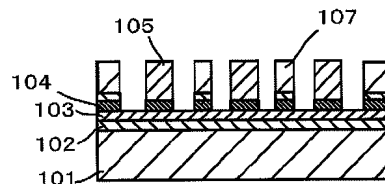
심사관 : 정성중

(54) 패턴 형성 방법, 반도체 장치의 제조 방법 및 반도체 장치의 제조 장치

(57) 요약

2 회째의 노광 공정을 필요로 하지 않고, 미세한 패턴을 고정밀도로 형성할 수 있어서, 종래에 비해 공정의 간략화와 반도체 장치의 제조 비용의 저감을 도모할 수 있는 패턴 형성 방법, 반도체 장치의 제조 방법 및 반도체 장치의 제조 장치를 제공한다. 에칭하는 마스크가 되는 패턴을 형성하는 패턴 형성 방법으로서, 포토레지스트로 이루어진 제 1 패턴(105)을 형성하는 공정과, 경계층(106)을 제 1 패턴(105)의 측벽부 및 상부에 형성하는 공정과, 제 2 마스크재층(107)을 경계층(106)의 표면을 덮도록 형성하는 공정과, 경계층(106)의 상부가 노출되도록 제 2 마스크재층(107)의 일부를 제거하는 공정과, 경계층(106)을 에칭하여 제거하여 제 2 마스크재층(107)으로 이루어진 제 2 패턴을 형성하는 공정과, 제 1 패턴(105) 및 제 2 패턴의 폭을 감소시켜 소정의 폭으로 하는 트리밍 공정을 구비하고 있다.

대표도 - 도1g



특허청구의 범위

청구항 1

기판 상의 피에칭층을 에칭하는 마스크가 되는 소정 형상의 패턴을 형성하는 패턴 형성 방법으로서,
 포토레지스트로 이루어진 제 1 마스크재층을 패턴닝하여 제 1 패턴을 형성하는 제 1 패턴 형성 공정과,
 상기 포토레지스트에 대해 선택적으로 제거할 수 있는 재료로 이루어진 경계층을 상기 제 1 패턴의 측벽부 및 상부에 형성하는 경계층 형성 공정과,
 상기 경계층을 선택적으로 제거할 수 있는 재료로 이루어진 제 2 마스크재층을 상기 경계층의 표면을 덮도록 형성하는 제 2 마스크재층 형성 공정과,
 상기 경계층의 상부가 노출되도록 상기 제 2 마스크재층의 일부를 제거하는 제 2 마스크재 제거 공정과,
 상기 경계층을 에칭하여 제거하고, 상기 제 1 패턴의 측벽부와 상기 제 2 마스크재층과의 사이에 공극(空隙)을 형성하여, 상기 제 2 마스크재층으로 이루어진 제 2 패턴을 형성하는 경계층 에칭 공정과,
 상기 제 1 패턴 및 제 2 패턴의 폭을 감소시켜 소정의 폭으로 하는 트리밍 공정을 구비한 것을 특징으로 하는 패턴 형성 방법.

청구항 2

제 1 항에 있어서,
 상기 제 2 마스크재 제거 공정과, 상기 경계층 에칭 공정과의 사이에,
 상기 제 2 마스크재층 및 상기 경계층 상에, 상기 포토레지스트에 대해 선택적으로 제거할 수 있는 재료로 이루어진 제 2 경계층을 형성하는 제 2 경계층 형성 공정과,
 상기 제 2 경계층 상에 소정의 패턴으로 이루어진 포토레지스트로 이루어진 제 3 마스크재층을 형성하는 제 3 마스크재층 형성 공정과,
 상기 제 3 마스크재층을 마스크로 하여 상기 제 2 경계층을 소정의 패턴으로 에칭하고, 이 소정의 패턴의 상기 제 2 경계층을 마스크로 하여 상기 제 2 마스크재층을 에칭하는 에칭 공정을 구비한 것을 특징으로 하는 패턴 형성 방법.

청구항 3

기판 상의 피에칭층을 에칭하는 마스크가 되는 소정 형상의 패턴을 형성하는 패턴 형성 방법으로서,
 포토레지스트로 이루어진 제 1 마스크재층을 패턴닝하여 제 1 패턴을 형성하는 제 1 패턴 형성 공정과,
 상기 포토레지스트에 대해 선택적으로 제거할 수 있는 재료로 이루어진 경계층을 상기 제 1 패턴의 측벽부 및 상부에 형성하는 경계층 형성 공정과,
 상기 경계층을 선택적으로 제거할 수 있는 재료로 이루어진 제 2 마스크재층을 상기 경계층의 상부가 노출된 상태에서 형성하는 제 2 마스크재층 형성 공정과,
 상기 경계층을 에칭하여 제거하고, 상기 제 1 패턴의 측벽부와 상기 제 2 마스크재층과의 사이에 공극을 형성하여 상기 제 2 마스크재층으로 이루어진 제 2 패턴을 형성하는 경계층 에칭 공정과,
 상기 제 1 패턴 및 제 2 패턴의 폭을 감소시켜 소정의 폭으로 하는 트리밍 공정을 구비한 것을 특징으로 하는 패턴 형성 방법.

청구항 4

제 3 항에 있어서,
 상기 제 2 마스크재층 형성 공정과 상기 경계층 에칭 공정과의 사이에,
 상기 제 2 마스크재층 및 상기 경계층 상에 상기 포토레지스트에 대해 선택적으로 제거할 수 있는 재료로 이루어진

어진 제 2 경계층을 형성하는 제 2 경계층 형성 공정과,

상기 제 2 경계층 상에 소정 패턴으로 이루어진 포토레지스트로 이루어진 제 3 마스크재층을 형성하는 제 3 마스크재층 형성 공정과,

상기 제 3 마스크재층을 마스크로 하여 상기 제 2 경계층을 소정의 패턴으로 에칭하고, 이 소정의 패턴의 상기 제 2 경계층을 마스크로 하여 상기 제 2 마스크재층을 에칭하는 에칭 공정

을 구비한 것을 특징으로 하는 패턴 형성 방법.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 2 마스크재층이 포토레지스트로 이루어진 것을 특징으로 하는 패턴 형성 방법.

청구항 6

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 경계층을 CVD에 의한 성막에 의하여 형성하는 것을 특징으로 하는 패턴 형성 방법.

청구항 7

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 경계층을 상기 제 1 패턴의 측벽부 및 상부를 변질시킴으로써 형성하는 것을 특징으로 하는 패턴 형성 방법.

청구항 8

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 1 패턴 형성 공정에서, 복수의 동일 패턴이 소정 간격으로 형성된 반복 패턴부와, 상기 반복 패턴부의 주변에 형성된 주변 회로 패턴부를 형성하는 것을 특징으로 하는 패턴 형성 방법.

청구항 9

기판 상의 피에칭층을 마스크를 거쳐 에칭하는 공정을 갖는 반도체 장치의 제조 방법으로서,

포토레지스트로 이루어진 제 1 마스크재층을 패턴닝하여 제 1 패턴을 형성하는 제 1 패턴 형성 공정과,

상기 포토레지스트에 대해 선택적으로 제거할 수 있는 재료로 이루어진 경계층을 상기 제 1 패턴의 측벽부 및 상부에 형성하는 경계층 형성 공정과,

상기 경계층을 선택적으로 제거할 수 있는 재료로 이루어진 제 2 마스크재층을, 상기 경계층의 표면을 덮도록 형성하는 제 2 마스크재층 형성 공정과,

상기 경계층의 상부가 노출되도록 상기 제 2 마스크재층의 일부를 제거하는 제 2 마스크재 제거 공정과,

상기 경계층을 에칭하여 제거하고, 상기 제 1 패턴의 측벽부와 상기 제 2 마스크재층과의 사이에 공극을 형성하여, 상기 제 2 마스크재층으로 이루어진 제 2 패턴을 형성하는 경계층 에칭 공정과,

상기 제 1 패턴 및 제 2 패턴의 폭을 감소시켜 소정의 폭으로 하는 트리밍 공정을 구비한 패턴 형성 방법에 의하여 상기 마스크가 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 10

제 9 항에 있어서,

상기 제 2 마스크재 제거 공정과, 상기 경계층 에칭 공정과의 사이에,

상기 제 2 마스크재층 및 상기 경계층 상에, 상기 포토레지스트에 대해 선택적으로 제거할 수 있는 재료로 이루어진 제 2 경계층을 형성하는 제 2 경계층 형성 공정과,

상기 제 2 경계층 상에 소정 패턴으로 이루어진 포토레지스트로 이루어진 제 3 마스크재층을 형성하는 제 3 마스크재층 형성 공정과,

상기 제 3 마스크재층을 마스크로 하여 상기 제 2 경계층을 소정의 패턴으로 에칭하고, 이 소정 패턴의 상기 제 2 경계층을 마스크로 하여 상기 제 2 마스크재층을 에칭하는 에칭 공정

을 구비한 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 11

기관 상의 피에칭층을 마스크를 거쳐 에칭하는 공정을 갖는 반도체 장치의 제조 방법으로서,

포토레지스트로 이루어진 제 1 마스크재층을 패터닝하여 제 1 패턴을 형성하는 제 1 패턴 형성 공정과,

상기 포토레지스트에 대해 선택적으로 제거할 수 있는 재료로 이루어진 경계층을 상기 제 1 패턴의 측벽부 및 상부에 형성하는 경계층 형성 공정과,

상기 경계층을 선택적으로 제거할 수 있는 재료로 이루어진 제 2 마스크재층을, 상기 경계층의 상부가 노출된 상태에서 형성하는 제 2 마스크재층 형성 공정과,

상기 경계층을 에칭하여 제거하고, 상기 제 1 패턴의 측벽부와 상기 제 2 마스크재층과의 사이에 공극을 형성하여 상기 제 2 마스크재층으로 이루어진 제 2 패턴을 형성하는 경계층 에칭 공정과,

상기 제 1 패턴 및 제 2 패턴의 폭을 감소시켜 소정의 폭으로 하는 트리밍 공정

을 구비한 패턴 형성 방법에 의하여 상기 마스크가 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 12

제 11 항에 있어서,

상기 제 2 마스크재층 형성 공정과, 상기 경계층 에칭 공정과의 사이에,

상기 제 2 마스크재층 및 상기 경계층 상에, 상기 포토레지스트에 대해 선택적으로 제거할 수 있는 재료로 이루어진 제 2 경계층을 형성하는 제 2 경계층 형성 공정과,

상기 제 2 경계층 상에 소정 패턴으로 이루어진 포토레지스트로 이루어진 제 3 마스크재층을 형성하는 제 3 마스크재층 형성 공정과,

상기 제 3 마스크재층을 마스크로 하여 상기 제 2 경계층을 소정의 패턴으로 에칭하고,

이 소정 패턴의 상기 제 2 경계층을 마스크로 하여 상기 제 2 마스크재층을 에칭하는 에칭 공정

을 구비한 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 13

제 9 항 내지 제 12 항 중 어느 한 항에 있어서,

상기 제 2 마스크재층이 포토레지스트로 이루어진 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 14

제 9 항 내지 제 12 항 중 어느 한 항에 있어서,

상기 경계층을 CVD에 의한 성장에 의하여 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 15

제 9 항 내지 제 12 항 중 어느 한 항에 있어서,

상기 경계층을 상기 제 1 패턴의 측벽부 및 상부를 변질시킴으로써 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 16

제 9 항 내지 제 12 항 중 어느 한 항에 있어서,

상기 제 1 패턴 형성 공정에서, 복수의 동일 패턴이 소정 간격으로 형성된 반복 패턴부와, 상기 반복 패턴부의 주변에 형성된 주변 회로 패턴부를 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 17

기관 상의 피에칭층을 에칭하기 위한 마스크를 형성하는 반도체 장치의 제조 장치로서,

포토리소그래피로 이루어진 제 1 마스크재층을 패터닝하여 제 1 패턴을 형성하는 제 1 패턴 형성 수단과,

상기 포토리소그래피에 대해 선택적으로 제거할 수 있는 재료로 이루어진 경계층을 상기 제 1 패턴의 측벽부 및 상부에 형성하는 경계층 형성 수단과,

상기 경계층을 선택적으로 제거할 수 있는 재료로 이루어진 제 2 마스크재층을, 상기 경계층의 표면을 덮도록 형성하는 제 2 마스크재층 형성 수단과,

상기 경계층의 상부가 노출되도록 상기 제 2 마스크재층의 일부를 제거하는 제 2 마스크재 제거 수단과,

상기 경계층을 에칭하여 제거하고, 상기 제 1 패턴의 측벽부와 상기 제 2 마스크재층과의 사이에 공극을 형성하여 상기 제 2 마스크재층으로 이루어진 제 2 패턴을 형성하는 경계층 에칭 수단과,

상기 제 1 패턴 및 제 2 패턴의 폭을 감소시켜 소정의 폭으로 하는 트리밍 수단을 구비한 것을 특징으로 하는 반도체 장치의 제조 장치.

청구항 18

기관 상의 피에칭층을 에칭하기 위한 마스크를 형성하는 반도체 장치의 제조 장치로서,

포토리소그래피로 이루어진 제 1 마스크재층을 패터닝하여 제 1 패턴을 형성하는 제 1 패턴 형성 수단과,

상기 포토리소그래피에 대해 선택적으로 제거할 수 있는 재료로 이루어진 경계층을 상기 제 1 패턴의 측벽부 및 상부에 형성하는 경계층 형성 수단과,

상기 경계층을 선택적으로 제거할 수 있는 재료로 이루어진 제 2 마스크재층을, 상기 경계층의 상부가 노출된 상태에서 형성하는 제 2 마스크재층 형성 수단과,

상기 경계층을 에칭하여 제거하고, 상기 제 1 패턴의 측벽부와 상기 제 2 마스크재층과의 사이에 공극을 형성하여, 상기 제 2 마스크재층으로 이루어진 제 2 패턴을 형성하는 경계층 에칭 수단과,

상기 제 1 패턴 및 제 2 패턴의 폭을 감소시켜 소정의 폭으로 하는 트리밍 수단을 구비한 것을 특징으로 하는 반도체 장치의 제조 장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 웨이퍼 등의 기관에 플라즈마 에칭 등의 에칭 처리를 실시할 때에 사용하는 마스크를 형성하기 위한 패턴 형성 방법, 반도체 장치의 제조 방법 및 반도체 장치의 제조 장치에 관한 것이다.

배경기술

[0002] 종래부터, 반도체 장치 등의 제조 공정에서는, 반도체 웨이퍼 등의 기관에 플라즈마 에칭 등의 에칭 처리를 실시하여, 미세한 회로 패턴 등을 형성하는 것이 행해지고 있다. 이러한 에칭 처리 공정에서는 포토리소그래피를 이용한 포토리소그래피 공정에 의하여 마스크를 형성하는 것이 행해지고 있다.

[0003] 이러한 포토리소그래피 공정에서는, 형성하는 패턴의 미세화에 대응하기 위해, 다양한 기술이 개발되고 있다. 그 하나로서, 소위 더블 패터닝이 있다. 이 더블 패터닝은, 포토리소그래피를 도포, 노광, 현상하여 제 1 패턴 형성하는 제 1 리소그래피 공정과, 이 제 1 리소그래피 공정 후에 다시 포토리소그래피를 도포, 노광, 현상하여 제 2 패턴 형성하는 제 2 리소그래피 공정의 두 단계의 패터닝을 행함으로써, 1 회의 패터닝으로 마스크를 형성하

는 경우보다 미세한 간격의 마스크를 형성할 수 있도록 한 것이다(예를 들면, 특허 문헌 1 참조).

[0004] <선행 기술 문헌>

[0005] 특허 문헌 1 : 미국특허 7064078호

발명의 내용

해결 하고자하는 과제

[0006] 상기한 바와 같이, 더블 패터닝 기술에서는, 2 회의 리소그래피 공정에서의 2 회의 노광 공정을 갖는다. 이 때문에, 공정이 복잡하게 되어, 반도체 장치의 제조 비용이 증대된다고 하는 과제와, 2 회째의 노광 공정에서의 1 회째의 노광 공정에 대한 위치 결정을 고정밀도로 행하기 어렵고, 고정밀도 패터닝의 실현이 곤란하다고 하는 과제가 있었다.

[0007] 본 발명은, 상기의 종래의 사정에 대처하여 이루어진 것으로, 2 회째의 노광 공정을 필요로 하지 않고, 미세한 패터닝을 고정밀도로 형성할 수 있어, 종래에 비해 공정의 간략화와 반도체 장치의 제조 비용의 저감을 도모할 수 있는 패턴 형성 방법, 반도체 장치의 제조 방법 및 반도체 장치의 제조 장치를 제공하고자 하는 것이다.

과제 해결수단

[0008] 청구항 1의 발명은, 기관 상의 피에칭층을 에칭하는 마스크가 되는 소정 형상의 패턴을 형성하는 패턴 형성 방법으로서, 포토레지스트로 이루어진 제 1 마스크재층을 패터닝하여 제 1 패턴을 형성하는 제 1 패턴 형성 공정과, 상기 포토레지스트에 대해 선택적으로 제거할 수 있는 재료로 이루어진 경계층을 상기 제 1 패턴의 측벽부 및 상부에 형성하는 경계층 형성 공정과, 상기 경계층을 선택적으로 제거할 수 있는 재료로 이루어진 제 2 마스크재층을 상기 경계층의 표면을 덮도록 형성하는 제 2 마스크재층 형성 공정과, 상기 경계층의 상부가 노출되도록 상기 제 2 마스크재층의 일부를 제거하는 제 2 마스크재 제거 공정과, 상기 경계층을 에칭하여 제거하고, 상기 제 1 패턴의 측벽부와 상기 제 2 마스크재층과의 사이에 공극(空隙)을 형성하여, 상기 제 2 마스크재층으로 이루어진 제 2 패턴을 형성하는 경계층 에칭 공정과, 상기 제 1 패턴 및 제 2 패턴의 폭을 감소시켜 소정의 폭으로 하는 트리밍 공정을 구비한 것을 특징으로 한다.

[0009] 청구항 2의 발명은, 청구항 1에 기재된 패턴 형성 방법으로서, 상기 제 2 마스크재 제거 공정과, 상기 경계층 에칭 공정과의 사이에, 상기 제 2 마스크재층 및 상기 경계층 상에, 상기 포토레지스트에 대해 선택적으로 제거할 수 있는 재료로 이루어진 제 2 경계층을 형성하는 제 2 경계층 형성 공정과, 상기 제 2 경계층 상에 소정의 패턴으로 이루어진 포토레지스트로 이루어진 제 3 마스크재층을 형성하는 제 3 마스크재층 형성 공정과, 상기 제 3 마스크재층을 마스크로 하여 상기 제 2 경계층을 소정의 패턴으로 에칭하고, 이 소정의 패턴의 상기 제 2 경계층을 마스크로 하여 상기 제 2 마스크재층을 에칭하는 에칭 공정을 구비한 것을 특징으로 한다.

[0010] 청구항 3의 발명은, 기관 상의 피에칭층을 에칭하는 마스크가 되는 소정 형상의 패턴을 형성하는 패턴 형성 방법으로서, 포토레지스트로 이루어진 제 1 마스크재층을 패터닝하여 제 1 패턴을 형성하는 제 1 패턴 형성 공정과, 상기 포토레지스트에 대해 선택적으로 제거할 수 있는 재료로 이루어진 경계층을 상기 제 1 패턴의 측벽부 및 상부에 형성하는 경계층 형성 공정과, 상기 경계층을 선택적으로 제거할 수 있는 재료로 이루어진 제 2 마스크재층을 상기 경계층의 상부가 노출된 상태에서 형성하는 제 2 마스크재층 형성 공정과, 상기 경계층을 에칭하여 제거하고, 상기 제 1 패턴의 측벽부와 상기 제 2 마스크재층과의 사이에 공극을 형성하여 상기 제 2 마스크재층으로 이루어진 제 2 패턴을 형성하는 경계층 에칭 공정과, 상기 제 1 패턴 및 제 2 패턴의 폭을 감소시켜 소정의 폭으로 하는 트리밍 공정을 구비한 것을 특징으로 한다.

[0011] 청구항 4의 발명은, 청구항 3에 기재된 패턴 형성 방법으로서, 상기 제 2 마스크재층 형성 공정과 상기 경계층 에칭 공정과의 사이에, 상기 제 2 마스크재층 및 상기 경계층 상에 상기 포토레지스트에 대해 선택적으로 제거할 수 있는 재료로 이루어진 제 2 경계층을 형성하는 제 2 경계층 형성 공정과, 상기 제 2 경계층 상에 소정 패턴으로 이루어진 포토레지스트로 이루어진 제 3 마스크재층을 형성하는 제 3 마스크재층 형성 공정과, 상기 제 3 마스크재층을 마스크로 하여 상기 제 2 경계층을 소정의 패턴으로 에칭하고, 이 소정의 패턴의 상기 제 2 경계층을 마스크로 하여 상기 제 2 마스크재층을 에칭하는 에칭 공정을 구비한 것을 특징으로 한다.

[0012] 청구항 5의 발명은, 청구항 1 ~ 4 중 어느 한 항에 기재된 패턴 형성 방법으로서, 상기 제 2 마스크재층이 포토레지스트로 이루어진 것을 특징으로 한다.

- [0013] 청구항 6의 발명은, 청구항 1 ~ 5 중 어느 한 항에 기재된 패턴 형성 방법으로서, 상기 경계층을 CVD에 의한 성막에 의하여 형성하는 것을 특징으로 한다.
- [0014] 청구항 7의 발명은, 청구항 1 ~ 5 중 어느 한 항에 기재된 패턴 형성 방법으로서, 상기 경계층을 상기 제 1 패턴의 측벽부 및 상부를 변질시킴으로써 형성하는 것을 특징으로 한다.
- [0015] 청구항 8의 발명은, 청구항 1 ~ 7 중 어느 한 항에 기재된 패턴 형성 방법으로서, 상기 제 1 패턴 형성 공정에서, 복수의 동일 패턴이 소정 간격으로 형성된 반복 패턴부와, 상기 반복 패턴부의 주변에 형성된 주변 회로 패턴부를 형성하는 것을 특징으로 한다.
- [0016] 청구항 9의 발명은, 기판 상의 피에칭층을 마스크를 거쳐 에칭하는 공정을 갖는 반도체 장치의 제조 방법으로서, 포토레지스트로 이루어진 제 1 마스크재층을 패터닝하여 제 1 패턴을 형성하는 제 1 패턴 형성 공정과, 상기 포토레지스트에 대해 선택적으로 제거할 수 있는 재료로 이루어진 경계층을 상기 제 1 패턴의 측벽부 및 상부에 형성하는 경계층 형성 공정과, 상기 경계층을 선택적으로 제거할 수 있는 재료로 이루어진 제 2 마스크재층을, 상기 경계층의 표면을 덮도록 형성하는 제 2 마스크재층 형성 공정과, 상기 경계층의 상부가 노출되도록 상기 제 2 마스크재층의 일부를 제거하는 제 2 마스크재 제거 공정과, 상기 경계층을 에칭하여 제거하고, 상기 제 1 패턴의 측벽부와 상기 제 2 마스크재층과의 사이에 공극을 형성하여, 상기 제 2 마스크재층으로 이루어진 제 2 패턴을 형성하는 경계층 에칭 공정과, 상기 제 1 패턴 및 제 2 패턴의 폭을 감소시켜 소정의 폭으로 하는 트리밍 공정을 구비한 패턴 형성 방법에 의하여 상기 마스크가 형성되는 것을 특징으로 한다.
- [0017] 청구항 10의 발명은, 청구항 9에 기재된 반도체 장치의 제조 방법으로서, 상기 제 2 마스크재 제거 공정과, 상기 경계층 에칭 공정과의 사이에, 상기 제 2 마스크재층 및 상기 경계층 상에, 상기 포토레지스트에 대해 선택적으로 제거할 수 있는 재료로 이루어진 제 2 경계층을 형성하는 제 2 경계층 형성 공정과, 상기 제 2 경계층 상에 소정 패턴으로 이루어진 포토레지스트로 이루어진 제 3 마스크재층을 형성하는 제 3 마스크재층 형성 공정과, 상기 제 3 마스크재층을 마스크로 하여 상기 제 2 경계층을 소정의 패턴으로 에칭하고, 이 소정 패턴의 상기 제 2 경계층을 마스크로 하여 상기 제 2 마스크재층을 에칭하는 에칭 공정을 구비한 것을 특징으로 한다.
- [0018] 청구항 11의 발명은, 기판 상의 피에칭층을 마스크를 거쳐 에칭하는 공정을 갖는 반도체 장치의 제조 방법으로서, 포토레지스트로 이루어진 제 1 마스크재층을 패터닝하여 제 1 패턴을 형성하는 제 1 패턴 형성 공정과, 상기 포토레지스트에 대해 선택적으로 제거할 수 있는 재료로 이루어진 경계층을 상기 제 1 패턴의 측벽부 및 상부에 형성하는 경계층 형성 공정과, 상기 경계층을 선택적으로 제거할 수 있는 재료로 이루어진 제 2 마스크재층을, 상기 경계층의 상부가 노출된 상태에서 형성하는 제 2 마스크재층 형성 공정과, 상기 경계층을 에칭하여 제거하고, 상기 제 1 패턴의 측벽부와 상기 제 2 마스크재층과의 사이에 공극을 형성하여 상기 제 2 마스크재층으로 이루어진 제 2 패턴을 형성하는 경계층 에칭 공정과, 상기 제 1 패턴 및 제 2 패턴의 폭을 감소시켜 소정의 폭으로 하는 트리밍 공정을 구비한 패턴 형성 방법에 의하여 상기 마스크가 형성되는 것을 특징으로 한다.
- [0019] 청구항 12의 발명은, 청구항 11에 기재된 반도체 장치의 제조 방법으로서, 상기 제 2 마스크재층 형성 공정과, 상기 경계층 에칭 공정과의 사이에, 상기 제 2 마스크재층 및 상기 경계층 상에, 상기 포토레지스트에 대해 선택적으로 제거할 수 있는 재료로 이루어진 제 2 경계층을 형성하는 제 2 경계층 형성 공정과, 상기 제 2 경계층 상에 소정 패턴으로 이루어진 포토레지스트로 이루어진 제 3 마스크재층을 형성하는 제 3 마스크재층 형성 공정과, 상기 제 3 마스크재층을 마스크로 하여 상기 제 2 경계층을 소정의 패턴으로 에칭하고, 이 소정 패턴의 상기 제 2 경계층을 마스크로 하여 상기 제 2 마스크재층의 불필요한 부분을 에칭하는 에칭 공정을 구비한 것을 특징으로 한다.
- [0020] 청구항 13의 발명은, 청구항 9 ~ 12 중 어느 한 항에 기재된 반도체 장치의 제조 방법으로서, 상기 제 2 마스크재층이 포토레지스트로 이루어진 것을 특징으로 한다.
- [0021] 청구항 14의 발명은, 청구항 9 ~ 13 중 어느 한 항에 기재된 반도체 장치의 제조 방법으로서, 상기 경계층을 CVD에 의한 성막에 의하여 형성하는 것을 특징으로 한다.
- [0022] 청구항 15의 발명은, 청구항 9 ~ 13 중 어느 한 항에 기재된 반도체 장치의 제조 방법으로서, 상기 경계층을 상기 제 1 패턴의 측벽부 및 상부를 변질시킴으로써 형성하는 것을 특징으로 한다.
- [0023] 청구항 16의 발명은, 청구항 9 ~ 15 중 어느 한 항에 기재된 반도체 장치의 제조 방법으로서, 상기 제 1 패턴 형성 공정에서, 복수의 동일 패턴이 소정 간격으로 형성된 반복 패턴부와, 상기 반복 패턴부의 주변에 형성된 주변 회로 패턴부를 형성하는 것을 특징으로 한다.

[0024] 청구항 17의 발명은, 기판 상의 피에칭층을 에칭하기 위한 마스크를 형성하는 반도체 장치의 제조 장치로서, 포토레지스트로 이루어진 제 1 마스크재층을 패터닝하여 제 1 패턴을 형성하는 제 1 패턴 형성 수단과, 상기 포토레지스트에 대해 선택적으로 제거할 수 있는 재료로 이루어진 경계층을 상기 제 1 패턴의 측벽부 및 상부에 형성하는 경계층 형성 수단과, 상기 경계층을 선택적으로 제거할 수 있는 재료로 이루어진 제 2 마스크재층을, 상기 경계층의 표면을 덮도록 형성하는 제 2 마스크재층 형성 수단과, 상기 경계층의 상부가 노출되도록 상기 제 2 마스크재층의 일부를 제거하는 제 2 마스크재 제거 수단과, 상기 경계층을 에칭하여 제거하고, 상기 제 1 패턴의 측벽부와 상기 제 2 마스크재층과의 사이에 공극을 형성하여 상기 제 2 마스크재층으로 이루어진 제 2 패턴을 형성하는 경계층 에칭 수단과, 상기 제 1 패턴 및 제 2 패턴의 폭을 감소시켜 소정의 폭으로 하는 트리밍 수단을 구비한 것을 특징으로 한다.

[0025] 청구항 18의 발명은, 기판 상의 피에칭층을 에칭하기 위한 마스크를 형성하는 반도체 장치의 제조 장치로서, 포토레지스트로 이루어진 제 1 마스크재층을 패터닝하여 제 1 패턴을 형성하는 제 1 패턴 형성 수단과, 상기 포토레지스트에 대해 선택적으로 제거할 수 있는 재료로 이루어진 경계층을 상기 제 1 패턴의 측벽부 및 상부에 형성하는 경계층 형성 수단과, 상기 경계층을 선택적으로 제거할 수 있는 재료로 이루어진 제 2 마스크재층을, 상기 경계층의 상부가 노출된 상태에서 형성하는 제 2 마스크재층 형성 수단과, 상기 경계층을 에칭하여 제거하고, 상기 제 1 패턴의 측벽부와 상기 제 2 마스크재층과의 사이에 공극을 형성하여, 상기 제 2 마스크재층으로 이루어진 제 2 패턴을 형성하는 경계층 에칭 수단과, 상기 제 1 패턴 및 제 2 패턴의 폭을 감소시켜 소정의 폭으로 하는 트리밍 수단을 구비한 것을 특징으로 한다.

효 과

[0026] 본 발명에 의하면, 2 회째의 노광 공정을 필요로 하지 않고, 미세한 패턴을 고정밀도로 형성할 수 있고, 종래에 비해 공정의 간략화와 반도체 장치의 제조 비용의 저감을 도모할 수 있는 패턴 형성 방법, 반도체 장치의 제조 방법 및 반도체 장치의 제조 장치를 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

[0027] 이하, 도면을 참조하여 본 발명의 실시예에 대하여 설명한다.

[0028] 도 1a ~ 1g는 본 발명의 실시예에 따른 기판의 일부를 확대하여 모식적으로 도시하여, 본 실시예의 공정을 도시한 것이고, 도 2는 본 실시예의 공정을 도시한 순서도이다. 도 1a ~ 1g에 도시한 바와 같이, 기판(101)에는 다른 재료에 의하여 형성된 제 1 층(102), 제 2 층(103), 제 3 층(104) 등의 복수의 층이 형성되어 있다. 이들 층 중, 적어도 1 개(제 3 층(104))가 피에칭층이 된다.

[0029] 우선, 도 1a에 도시한 바와 같이, 제 3 층(104) 상에, 도포, 노광, 현상 공정에 의하여, 소정의 패턴으로 패터닝된 포토레지스트로 이루어진 제 1 패턴(105)을 형성하는 제 1 패턴 형성 공정을 행한다(도 2의 단계(201)). 이 제 1 패턴(105)을 형성하기 위한 포토레지스트(제 1 마스크재)로서는, 보다 미세한 패턴을 형성하기 위해서는 ArF 레지스트를 이용하는 것이 바람직하며, 예를 들면, 포지티브형의 화학 증폭형 레지스트 등을 이용할 수 있다.

[0030] 이어서, 도 1b에 도시한 바와 같이, 경계층(106)을 제 1 패턴(105)의 측벽부 및 상부에 형성하는 경계층 형성 공정을 행한다(도 2의 단계(202)). 이 경계층(106)은, 성막에 의하여 형성하거나, 또는 제 1 패턴(105)의 측벽부 및 상부의 표면을 변질시킴으로써 형성할 수 있다(도 1b는 성막한 경우를 도시하고 있다). 이 경계층(106)은 제 1 패턴(105)을 구성하는 상기한 포토레지스트에 대해 선택적으로 제거할 수 있는 재료로 구성할 필요가 있다. 경계층(106)을 성막에 의하여 형성하는 경우의 재료로서는, 예를 들면 SiO₂를 적합하게 사용할 수 있다. 경계층(106)을 SiO₂에 의하여 형성하는 경우, 제 1 패턴(105)의 내열 온도보다 낮은 온도로 성막할 필요가 있으며, 예를 들어 저온 CVD(Chemical Vapor Deposition), ALD(Atomic Layer Deposition)에 의하여 성막한다. 이 경계층(106)의 막 두께는, 예를 들면 5 ~ 20 nm 정도로 한다. 한편, 제 1 패턴(105)의 측벽부 및 상부의 표면을 변질시켜 경계층(106)을 형성하는 경우, HMDS 등을 이용하여 시릴화하는 방법, 또는 포토레지스트로 산을 공급하여 산화하는 방법 등을 이용할 수 있다.

[0031] 이어서, 도 1c에 도시한 바와 같이, 경계층(106)의 표면을 덮도록 제 2 마스크재층(107)을 형성하는 제 2 마스크재층 형성 공정을 행한다(도 2의 단계(203)). 이 제 2 마스크재층(107)은 경계층(106)을 선택적으로 제거할 수 있는 재료로 구성할 필요가 있으며, 예를 들면 포토레지스트 또는 유기막 등을 사용할 수 있다. 포토레지스트를 사용하는 경우, 상기한 제 1 패턴(105)을 형성하기 위한 포토레지스트와 동일한 포토레지스트를 이용해도

종고, 다른 종류의 포토레지스트(예를 들면, 제 1 패턴(105)이 ArF 레지스트인 경우, KrF 레지스트 등)를 이용해도 좋다. 이 경우, 제 2 마스크재층(107)은 스핀 코팅 장치 등에 의한 도포 또는 CVD 장치에 의한 성막 등에 의하여 형성할 수 있다.

[0032] 이어서, 도 1d에 도시한 바와 같이, 상기 공정에서 형성한 제 2 마스크재층(107)의 일부(표층)를, 경계층(106)의 상부가 노출될 때까지 제거하는 제 2 마스크재 제거 공정을 행한다(도 2의 단계(204)). 이 제 2 마스크재 제거 공정은, 약액에 의하여 용해하여 제거하는 방법, 드라이 에칭으로 제거하는 방법, CMP에 의하여 화학적 및 물리적으로 제거하는 방법 등을 사용할 수 있다.

[0033] 이어서, 도 1e에 도시한 바와 같이, 제 1 패턴(105) 및 제 2 마스크재층(107)에 대하여, 경계층(106)을 선택적으로 에칭하여 제거하고, 제 2 마스크재층(107)으로 이루어진 제 2 패턴을 형성하는 경계층 에칭 공정을 행한다(도 2의 단계(205)). 이 경우, 경계층(106)은, 예를 들면 SiO₂ 또는 포토레지스트를 변질시킨 것 등이므로, 포토레지스트인 제 1 패턴(105) 및 포토레지스트 또는 유기막 등인 제 2 마스크재층(107)에 대하여, 경계층(106)을 용이하게 선택적으로 에칭할 수 있다. 이 경계층 에칭 공정은, 예를 들면 희불산 등을 이용한 웨트(wet) 에칭 또는 드라이(dry) 에칭에 의하여 행할 수 있다.

[0034] 이어서, 도 1f에 도시한 바와 같이, 제 1 패턴(105) 및 제 2 마스크재층(107)으로 이루어진 제 2 패턴의 폭을 감소시켜, 소정의 폭으로 하는 트리밍 공정을 행한다(도 2의 단계(206)). 이 트리밍 공정은, 예를 들면 고온 또는 고농도의 현상액에 장시간 침지(侵漬)하는 방법, 산성의 재료를 도포 또는 산성의 증기 분위기에 노출 후 현상하는 방법, 고온 또는 고농도, 또는 장시간 현상액에 침지하는 전(前)처리 후에 산성의 재료를 도포 또는 산성의 증기 분위기에 노출 후 현상하는 방법, 산성의 재료를 도포 또는 산성의 증기 분위기에 노출 후 패턴 상부에 산을 중화(中和)하는 아민계 재료를 도포 또는 증기 분위기에 노출 후 현상하는 방법 등에 의하여 행할 수 있다.

[0035] 상기와 같은 공정에 의하여, 에칭의 마스크가 되는 패턴이 완성된다. 그리고, 이 패턴을 마스크로 하여, 도 1g에 도시한 바와 같이, 하층의 제 3 층(104) 등의 에칭을 행한다.

[0036] 이상과 같이, 본 실시예의 패턴 형성 방법에서는, 제 1 패턴(105)을 형성하기 위한 1 회의 노광 공정만으로, 2 회째의 노광 공정을 필요로 하지 않고, 종래의 더블 패턴링과 같은 미세한 패턴을 형성할 수 있다. 따라서, 2 회째의 노광 공정에서의 위치 조정을 필요로 하지 않고, 이 위치 조정 시에 위치 이탈이 발생되지 않으므로, 고정밀도로 패턴을 형성할 수 있고, 또한, 종래에 비해 공정을 간략화할 수 있어, 반도체 장치의 제조 비용의 저감을 도모할 수 있다.

[0037] 도 3은 상기의 패턴 형성 방법을 행하기 위한 반도체 장치의 제조 장치의 구성을 도시한 것이다. 도 3에 도시한 바와 같이, 반도체 장치의 제조 장치(300)는 제 1 패턴 형성부(301)와, 경계층 형성부(302)와, 제 2 마스크재층 형성부(303)와, 제 2 마스크재 제거부(304)와, 경계층 에칭부(305)와, 트리밍부(306)를 구비하고 있다. 또한, 이들 각 부는 반도체 웨이퍼 등의 기판을 반송하기 위한 기판 반송로(310)에 의하여 접속되어 있다.

[0038] 제 1 패턴 형성부(301)는 전술한 제 1 패턴(105)을 형성하기 위한 것이며, 도포 장치, 노광 장치 및 현상 장치 등을 구비하고 있다. 경계층 형성부(302)는, 전술한 경계층(106)을 형성하기 위한 것이며, CVD 장치 등의 성막 장치 또는 제 1 패턴(105)의 측벽부 및 상부의 표면을 변질시키는 표면 개질(改質) 장치를 구비하고 있다. 제 2 마스크재층 형성부(303)는 전술한 제 2 마스크재층(107)을 형성하기 위한 것이며, 포토레지스트 등을 도포하는 도포 장치 또는 유기막 등을 성막하는 성막 장치를 구비하고 있다. 제 2 마스크재 제거부(304)는, 전술한 제 2 마스크재층(107)의 일부를, 경계층(106)의 상부가 노출될 때까지 제거하는 제 2 마스크재 제거법 공정을 행하기 위한 것이며, 웨트 또는 드라이 에칭 장치, 또는 CMP 장치를 구비하고 있다. 경계층 에칭부(305)는 전술한 제 1 패턴(105) 및 제 2 마스크재층(107)에 대하여, 경계층(106)을 선택적으로 에칭하여 제거하는 경계층 에칭 공정을 행하기 위한 것이며, 웨트 또는 드라이 에칭 장치를 구비하고 있다. 트리밍부(306)는 전술한 트리밍 공정을 행하기 위한 것이며, 반도체 웨이퍼 등을 현상액 등의 약액에 침지 또는 증기 분위기에 노출하기 위한 장치 등을 구비하고 있다. 이와 같이 구성된 반도체 장치의 제조 장치(300)에 의하여, 상술한 실시예에서의 일련의 공정을 실행할 수 있다.

[0039] 이어서, 제 2 실시예에 대하여, 도 4a 내지 도 6을 참조하여 설명한다. 도 4a ~ 4f는 제 2 실시예에 따른 기판의 일부를 확대하여 모식적으로 도시하여, 제 2 실시예의 공정을 도시한 것이며, 도 5는 제 2 실시예의 공정을 도시한 순서도이다. 제 2 실시예에서는 도 4c에 도시한 바와 같이, 제 2 마스크재층 형성 공정(도 5의 단계(403))에서, 경계층(106)의 상부가 노출된 상태가 되도록 제 2 마스크재층(107)을 형성한다. 이 때문에, 전술한

실시예에서의 제 2 마스크재 제거 공정(도 2의 단계(204))에 상당하는 공정을 구비하지 않는다. 이와 같이, 경계층(106)의 상부가 노출된 상태가 되도록 제 2 마스크재층(107)을 형성하기 위해서는, 제 2 마스크재에 대한 경계층(106)의 습윤성이 낮아지도록, 이들 재질을 선택하며(예를 들면, 극성의 다른 재료로 한다), 경계층(106) 상에 액상의 제 2 마스크재를 도포하는 것 등에 의하여 실현할 수 있다.

[0040] 또한, 다른 공정에 대해서는, 전술한 실시예와 동일하므로, 중복된 설명은 생략한다. 이 제 2 실시예에서는, 전술한 실시예와 같은 효과를 가질 수 있고, 또한 상기한 바와 같이, 제 2 마스크재 제거 공정을 생략할 수 있으므로, 공정을 더욱 간략화할 수 있다.

[0041] 도 6은 제 2 실시예에 따른 패턴 형성 방법을 행하기 위한 반도체 장치의 제조 장치의 구성을 도시한 것이다. 도 6에 도시한 바와 같이, 반도체 장치의 제조 장치(300a)는, 제 1 패턴 형성부(301)와, 경계층 형성부(302)와, 제 2 마스크재층 형성부(303)와, 경계층 에칭부(305)와, 트리밍부(306)를 구비하고 있다. 또한, 이들 각 부는 반도체 웨이퍼 등의 기판을 반송하기 위한 기판 반송로(310)에 의하여 접속되어 있다. 즉, 이 반도체 장치의 제조 장치(300a)는, 도 3에 도시한 반도체 장치의 제조 장치(300)에 비하여 제 2 마스크재 제거부(304)를 구비하지 않는 점만이 상이하다. 이와 같이 구성된 반도체 장치의 제조 장치(300a)에 의하여, 상술한 제 2 실시예에서의 일련의 공정을 실행할 수 있다.

[0042] 상기와 같이 하여 형성한 좁은 피치의 반복 패턴은, 예를 들면 NAND형 플래시 메모리 등의 반도체 장치에 사용할 수 있다. 상기와 같은 좁은 피치의 반복 패턴을 형성하는 방법으로서, 예를 들면, 소위 사이드월 트랜스퍼(sidewall transfer)에 의한 방법이 종래부터 알려져 있다.

[0043] 이 사이드월 트랜스퍼에서는, 도 9a ~ 9c에 도시한 바와 같이, 포토레지스트를 이용한 리소그래피 공정에서 형성한 제 1 패턴(601)의 측벽부(사이드월)에, 마스크가 되는 막(602)을 형성하고, 맨 처음으로 형성한 제 1 패턴(601)을 제거함으로써, 1 개의 패턴으로부터 2 개의 패턴을 형성하여 좁은 피치의 패턴을 형성한다.

[0044] 이 경우, 도 9a에 도시한 바와 같이, 제 1 패턴(601)의 측벽부(사이드월)에 형성한 패턴은, 측벽부의 주위 전체에 걸쳐 루프 형상으로 형성되어 있다. 이 때문에, 도 9b에 도시한 바와 같이, 이 루프의 불필요한 부분(엔드 루프)을 삭제하기 위해, 2 회째의 포토리소그래피 공정을 행한다. 그리고, 이 후에, 도 9c에 도시한 상태로부터 제 1 패턴(601)을 제거하여 측벽부의 패턴을 마스크로 하여 사용한다. 이를 위해, 상기와 같은 반복 패턴의 주위에 주변 회로 등의 패턴을 형성할 때에는 3 회째의 포토리소그래피 공정을 행하여, 주변 회로 등의 패턴을 형성한다.

[0045] 이는, 반복 패턴에 일부 접속한 주변 회로 등의 패턴을 형성하는 경우, 반복 패턴이, 상기한 바와 같이 제 1 패턴(601)의 측벽부(사이드월)에 형성된 패턴이므로, 맨 처음의 포토리소그래피 공정에서 반복 패턴에 접속한 주변 회로 등의 패턴을 형성할 수 없고, 또한 2 회째의 포토리소그래피 공정은 엔드 루프를 삭제하기 위한 것이며, 이 공정을 거치지 않으면 반복 패턴에 접속한 패턴을 형성할 수 없기 때문이다.

[0046] 이에 반해, 전술한 실시예에서는 제 1 패턴 형성 공정에서 형성된 포토레지스트로 이루어진 제 1 패턴(105)의 부분이, 맨 마지막에 반복 패턴의 일부로서 남기 때문에, 이 제 1 패턴 형성 공정에서의 포토리소그래피 공정에서, 반복 패턴에 일부 접속한 주변 회로 등의 패턴을 형성할 수 있다.

[0047] 도 7a ~ 7k는, 예를 들면 NAND형 플래시 메모리와 같이, 좁은 피치의 반복 패턴이 형성된 메모리 셀부와, 이 메모리 셀부와 전기적으로 접속된 주변 회로 등을 형성하는 경우의 제 3 실시예의 공정을 도시한 것으로, 단면 구성을 상부에, 평면 구성을 하부에 모식적으로 도시하고 있다.

[0048] 이 제 3 실시예에서는, 도 7a에 도시한 바와 같이, 도 1a에 도시한 제 1 패턴 형성 공정에 상당하는 공정에서, 복수의 동일 패턴이 소정 간격으로 형성된 반복 패턴부(501)와, 반복 패턴부(501)의 주변에 형성된 주변 회로 패턴부(502)를 형성한다. 주변 회로 패턴부(502)의 일부는 반복 패턴부(501)와 접속된 것이어도 좋다.

[0049] 이어서, 도 7b ~ 7d에 도시한 바와 같이, 경계층(106)을 형성하는 도 1b에 도시한 경계층 형성 공정(도 7b), 경계층(106)의 표면을 덮도록 제 2 마스크재층(107)을 형성하는 제 2 마스크재층 형성 공정(도 7c), 제 2 마스크재층(107)의 일부(표층)를 경계층(106)의 상부가 노출될 때까지 제거하는 제 2 마스크재 제거 공정(도 7d)을 행한다.

[0050] 이어서, 제 2 마스크재층(107) 및 경계층(106) 상에 포토레지스트에 대해 선택적으로 제거할 수 있는 재료(예를 들면, SiO₂ 등)로 이루어진 제 2 경계층(120)을 형성하는 제 2 경계층 형성 공정을 행한다(도 7e).

- [0051] 이어서, 제 2 경계층(120) 상에 소정 패턴으로 이루어진 포토레지스트로 이루어진 제 3 마스크재층(121)을 형성하는 제 3 마스크재층 형성 공정을 행한다(도 7f). 이 제 3 마스크재층(121)은 제 2 마스크재층(107)의 불필요한 부분을 제거할 수 있는 패턴으로 되어 있다.
- [0052] 이 후, 제 3 마스크재층(121)을 마스크로 하여 제 2 경계층(120)을 소정의 패턴으로 에칭하고(도 7g), 이 소정의 패턴의 제 2 경계층(120)을 마스크로 하여 제 2 마스크재층(107)의 불필요한 부분을 에칭하는 에칭 공정을 행한다(도 7h).
- [0053] 이 후에, 경계층(106)을 에칭하는 도 1e에 도시한 경계층 에칭 공정에 상당하는 공정을 행하고(도 7i), 이어서, 도 1f에 도시한 제 1 패턴(105) 및 제 2 마스크재층(107)으로 이루어진 제 2 패턴의 폭을 감소시켜 소정의 폭으로 하는 트리밍 공정에 상당하는 공정을 행한다(도 7j). 이에 의해 에칭의 마스크가 되는 패턴이 완성된다. 그리고, 이 패턴을 마스크로 하여, 하층의 제 3 층(104) 등을 에칭하는, 도 1g에 도시한 에칭 공정에 상당하는 공정을 행한다(도 7k).
- [0054] 이상과 같이, 제 3 실시예에서는 2 회의 포토리소그래피 공정에 의하여, 반복 패턴과 주변 회로 등의 패턴을 형성할 수 있다.
- [0055] 이어서, 전술한 제 2 실시예에 상당하는 공정에 의하여, NAND형 플래시 메모리와 같이, 좁은 피치의 반복 패턴이 형성된 메모리 셀부와, 이 메모리 셀부와 전기적으로 접속된 주변 회로 등을 형성하는 경우의 제 4 실시예를, 도 8a ~ 8j를 참조하여 설명한다. 또한, 도 8a ~ 8j에는 단면 구성을 상부에, 평면 구성을 하부에 모식적으로 도시하고 있다.
- [0056] 이 제 4 실시예에서는, 도 8a에 도시한 바와 같이, 도 4a에 도시한 제 1 패턴 형성 공정에 상당하는 공정에서, 복수의 동일 패턴이 소정 간격으로 형성된 반복 패턴부(501)와, 반복 패턴부(501)의 주변에 형성된 주변 회로 패턴부(502)를 형성한다. 주변 회로 패턴부(502)의 일부는 반복 패턴부(501)와 접속된 것이어도 좋다.
- [0057] 이어서, 도 8b 및 도 8c에 도시한 바와 같이, 경계층(106)을 형성하는 도 4b에 도시한 경계층 형성 공정(도 8b), 경계층(106)의 상부가 노출된 상태가 되도록 제 2 마스크재층(107)을 형성하는 제 2 마스크재층 형성 공정(도 8c)을 행한다.
- [0058] 이어서, 제 2 마스크재층(107) 및 경계층(106) 상에 포토레지스트에 대해 선택적으로 제거할 수 있는 재료(예를 들면, SiO₂ 등)로 이루어진 제 2 경계층(120)을 형성하는 제 2 경계층 형성 공정을 행한다(도 8d).
- [0059] 이어서, 제 2 경계층(120) 상에 소정 패턴으로 이루어진 포토레지스트로 이루어진 제 3 마스크재층(121)을 형성하는 제 3 마스크재층 형성 공정을 행한다(도 8e). 이 제 3 마스크재층(121)은 제 2 마스크재층(107)의 불필요한 부분을 제거할 수 있는 패턴으로 되어 있다.
- [0060] 이 후에, 제 3 마스크재층(121)을 마스크로 하여 제 2 경계층(120)을 소정의 패턴으로 에칭하고(도 8f), 이 소정의 패턴의 제 2 경계층(120)을 마스크로 하여 제 2 마스크재층(107)의 불필요 부분을 에칭하는 에칭 공정을 행한다(도 8g).
- [0061] 이 후에, 경계층(106)을 에칭하는 도 4d에 도시한 경계층 에칭 공정에 상당하는 공정을 행하고(도 8h), 이어서, 도 4e에 도시한 제 1 패턴(105) 및 제 2 마스크재층(107)으로 이루어진 제 2 패턴의 폭을 감소시켜 소정의 폭으로 하는 트리밍 공정에 상당하는 공정을 행한다(도 8i). 이에 의해 에칭의 마스크가 되는 패턴이 완성된다. 그리고, 이 패턴을 마스크로 하여 하층의 제 3 층(104) 등을 에칭하는 도 4f에 도시한 에칭 공정에 상당하는 공정을 행한다(도 8j).
- [0062] 이상과 같이, 제 4 실시예에서는 2 회의 포토리소그래피 공정에 의하여, 반복 패턴과 주변 회로 등의 패턴을 형성할 수 있다.
- [0063] 이상, 본 발명의 일 실시예에 대하여 설명하였으나, 본 발명은 이들 실시예에 한정되지 않고, 당연히 각종 변형을 할 수 있다.

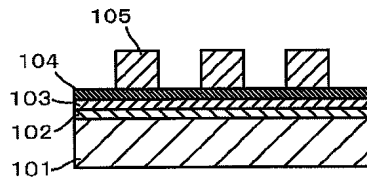
도면의 간단한 설명

- [0064] 도 1a ~ 1g는 본 발명의 일 실시예에 따른 패턴 형성 방법 및 반도체 장치의 제조 방법을 설명하기 위한 도면이다.

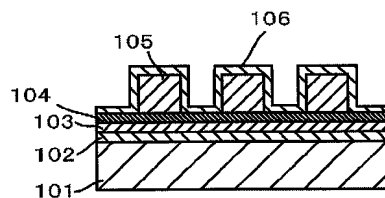
- [0065] 도 2는 도 1a ~ 1g의 방법의 공정을 도시한 순서도이다.
- [0066] 도 3은 본 발명의 일 실시예에 따른 반도체 장치의 제조 장치의 구성을 도시한 블록도이다.
- [0067] 도 4a ~ 4f는 본 발명의 제 2 실시예에 따른 패턴 형성 방법 및 반도체 장치의 제조 방법을 설명하기 위한 도면이다.
- [0068] 도 5는 도 4a ~ 4f의 방법의 공정을 도시한 순서도이다.
- [0069] 도 6은 본 발명의 제 2 실시예에 따른 반도체 장치의 제조 장치의 구성을 도시한 블록도이다.
- [0070] 도 7a ~ 7k는 본 발명의 제 3 실시예에 따른 패턴 형성 방법 및 반도체 장치의 제조 방법을 설명하기 위한 도면이다.
- [0071] 도 8a ~ 8j는 본 발명의 제 4 실시예에 따른 패턴 형성 방법 및 반도체 장치의 제조 방법을 설명하기 위한 도면이다.
- [0072] 도 9a ~ 9c는 사이드월 트랜스퍼에 의한 패턴 형성 공정을 설명하기 위한 도면이다.
- [0073] *부호의 설명*
- [0074] 101 : 기판
- [0075] 102 : 제 1 층
- [0076] 103 : 제 2 층
- [0077] 104 : 제 3 층
- [0078] 105 : 제 1 패턴
- [0079] 106 : 경계층
- [0080] 107 : 제 2 마스크재층

도면

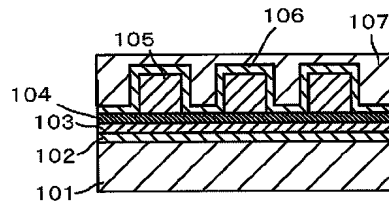
도면1a



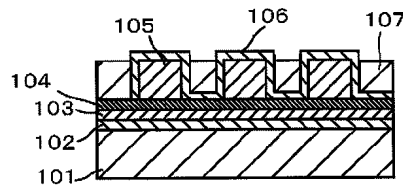
도면1b



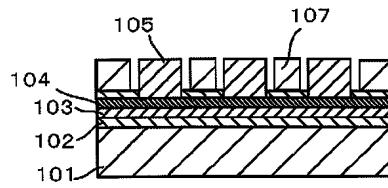
도면1c



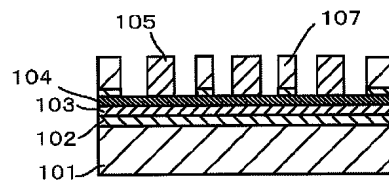
도면1d



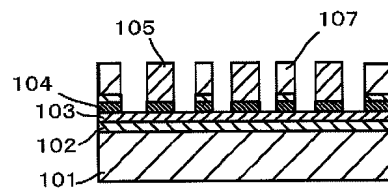
도면1e



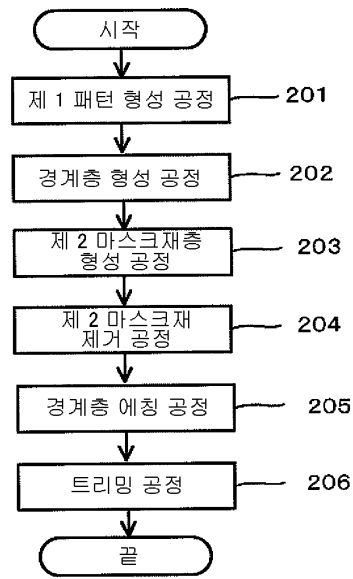
도면1f



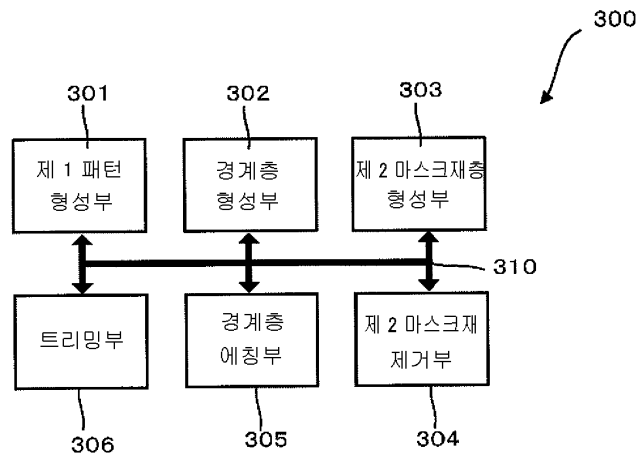
도면1g



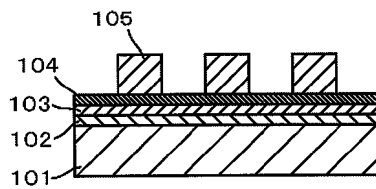
도면2



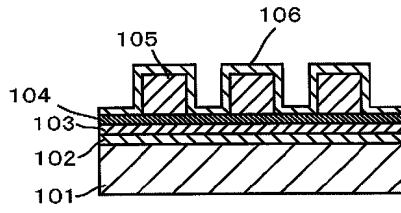
도면3



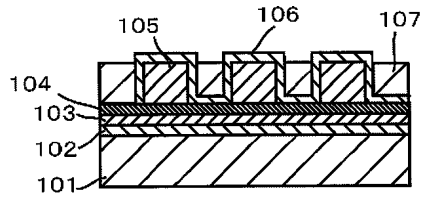
도면4a



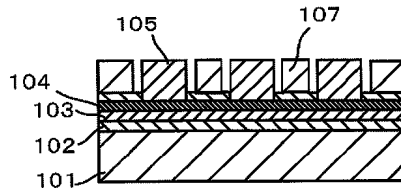
도면4b



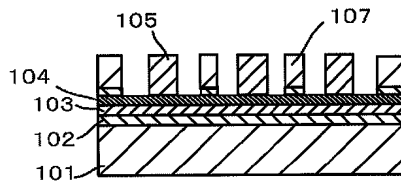
도면4c



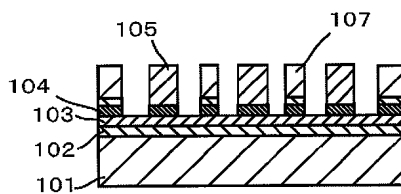
도면4d



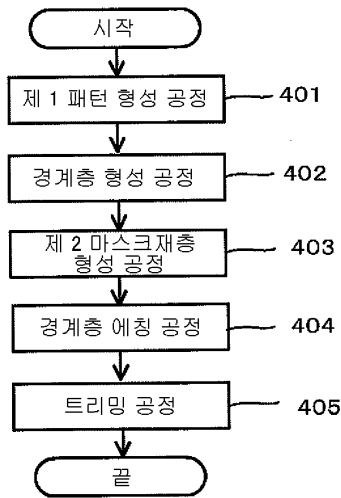
도면4e



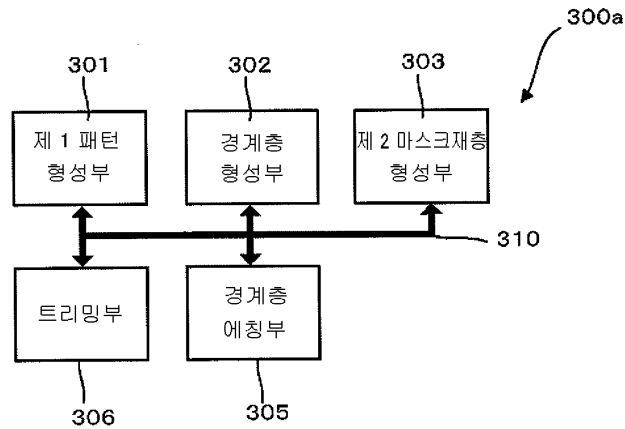
도면4f



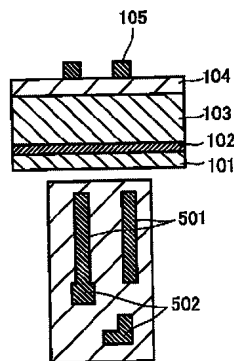
도면5



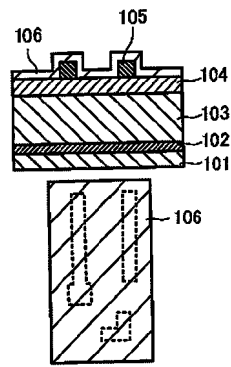
도면6



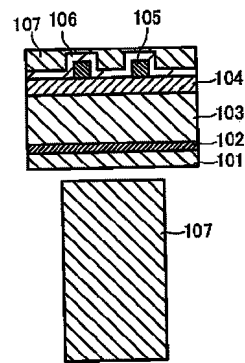
도면7a



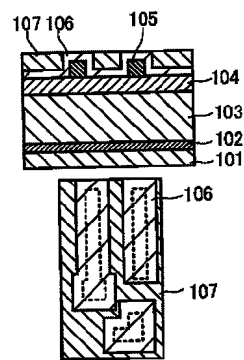
도면7b



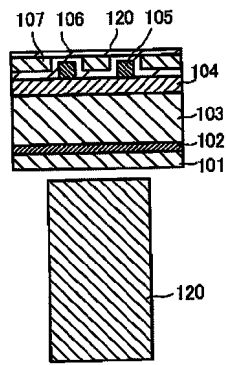
도면7c



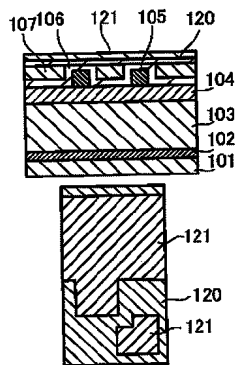
도면7d



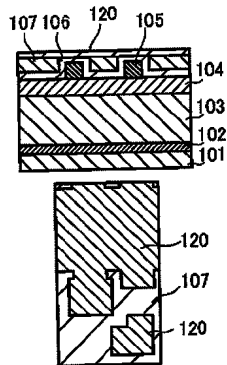
도면7e



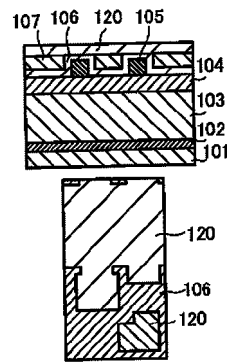
도면7f



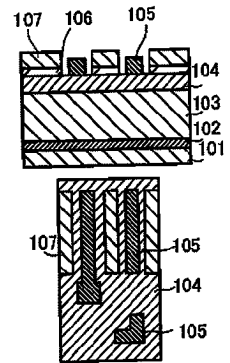
도면7g



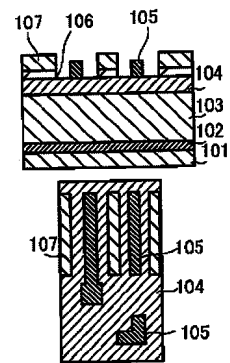
도면7h



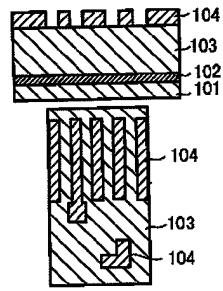
도면7i



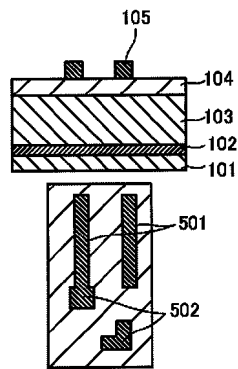
도면7j



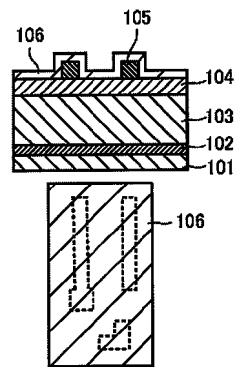
도면7k



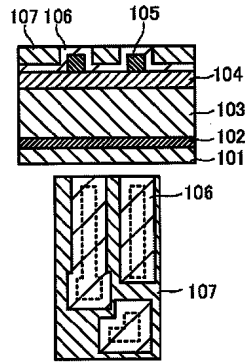
도면8a



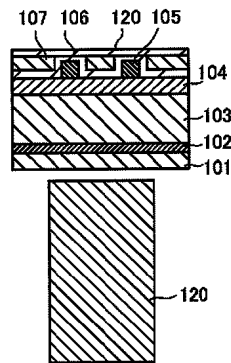
도면8b



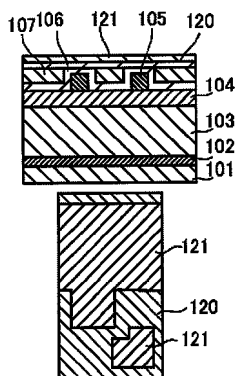
도면8c



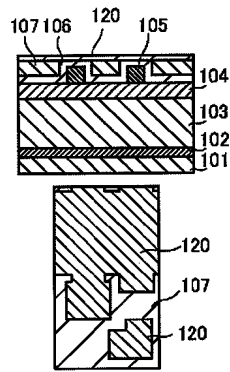
도면8d



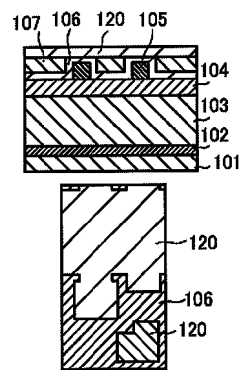
도면8e



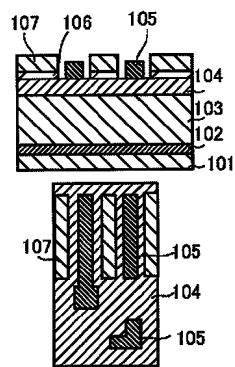
도면8f



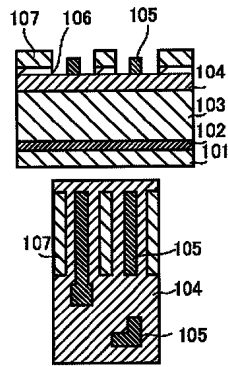
도면8g



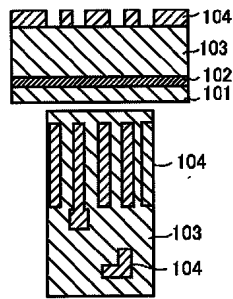
도면8h



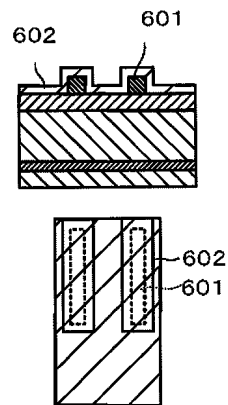
도면8i



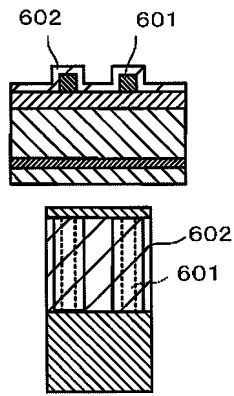
도면8j



도면9a



도면9b



도면9c

