

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7526010号
(P7526010)

(45)発行日 令和6年7月31日(2024.7.31)

(24)登録日 令和6年7月23日(2024.7.23)

(51)国際特許分類		F I	
H O 1 L	21/336(2006.01)	H O 1 L	29/78 3 0 1 D
H O 1 L	29/78 (2006.01)	H O 1 L	27/088 C
H O 1 L	21/8234(2006.01)	H O 1 L	29/06 3 0 1 F
H O 1 L	27/088(2006.01)		
H O 1 L	29/06 (2006.01)		
請求項の数 15 (全24頁)			
(21)出願番号	特願2020-37072(P2020-37072)	(73)特許権者	000116024
(22)出願日	令和2年3月4日(2020.3.4)		ローム株式会社
(65)公開番号	特開2021-141175(P2021-141175 A)	(74)代理人	110002310
(43)公開日	令和3年9月16日(2021.9.16)		弁理士法人あい特許事務所
審査請求日	令和5年1月24日(2023.1.24)	(72)発明者	清水 雄介
			京都市右京区西院溝崎町 2 1 番地
			ローム株式会社内
		審査官	岩本 勉
		最終頁に続く	

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

素子主面を有する第1導電型の半導体層と、

前記半導体層の前記素子主面に形成された第2導電型のボディ領域と、

前記ボディ領域に形成され、かつ前記ボディ領域の外縁から内側に離間して形成された第1導電型のソース領域と、

前記半導体層の前記素子主面に形成され、かつ前記ボディ領域から第1方向において離間して形成された第1導電型のドレイン領域と、

前記ソース領域と前記ボディ領域の外縁との間のチャネル領域に対向するゲート電極であって、前記ソース領域に隣接する第1縁部と、前記第1縁部から前記ドレイン領域に向かって離間した部分に形成された第1開口または前記第1縁部が前記ドレイン領域に向かって選択的に凹んで形成された凹部とを含むゲート電極とを含み、

前記ボディ領域は、前記ゲート電極の前記第1開口または前記凹部に露出する部分を選択的に有し、

前記第1開口または前記凹部に露出する前記ボディ領域の部分に形成され、前記ボディ領域よりも高い不純物濃度を有する第2導電型のボディコンタクト領域を含み、

前記ボディ領域は、第1の幅を有する第1部分と、前記第1部分に対して前記第1方向に選択的に突出し、前記ゲート電極の前記第1開口または前記凹部に露出しており、かつ前記第1の幅よりも大きい第2の幅を有する第2部分とを含み、

前記ボディコンタクト領域は、前記ボディ領域の前記第2部分に形成されている、半導

体装置。

【請求項 2】

前記ボディコンタクト領域は、前記ゲート電極の前記第 1 縁部に向かって延びており、
前記ソース領域は、前記第 1 方向に交差する第 2 方向において、前記ボディコンタクト領域によって分断されている、請求項 1 に記載の半導体装置。

【請求項 3】

前記ゲート電極の第 1 縁部は、前記ソース領域および前記ボディコンタクト領域を共通に露出させる第 2 開口の縁部を含む、請求項 2 に記載の半導体装置。

【請求項 4】

前記ゲート電極の第 1 縁部は、前記ソース領域を露出させる第 2 開口の縁部を含み、
前記ドレイン領域は、前記第 1 方向において、前記ソース領域を挟んで対向する第 1 ドレイン領域および第 2 ドレイン領域を含み、

前記ゲート電極の第 1 開口は、前記ソース領域に対して前記第 1 ドレイン領域側および前記第 2 ドレイン領域側のそれぞれに形成されている、請求項 1 に記載の半導体装置。

【請求項 5】

素子主面を有する第 1 導電型の半導体層と、

前記半導体層の前記素子主面に形成された第 2 導電型のボディ領域と、

前記ボディ領域に形成され、かつ前記ボディ領域の外縁から内側に離間して形成された第 1 導電型のソース領域と、

前記半導体層の前記素子主面に形成され、かつ前記ボディ領域から第 1 方向において離間して形成された第 1 導電型のドレイン領域と、

前記ソース領域と前記ボディ領域の外縁との間のチャネル領域に対向するゲート電極であって、前記ソース領域に隣接する第 1 縁部と、前記第 1 縁部から前記ドレイン領域に向かって離間した部分に形成された第 1 開口または前記第 1 縁部が前記ドレイン領域に向かって選択的に凹んで形成された凹部とを含むゲート電極とを含み、

前記ボディ領域は、前記ゲート電極の前記第 1 開口または前記凹部に露出する部分を選択的に有し、

前記第 1 開口または前記凹部に露出する前記ボディ領域の部分に形成され、前記ボディ領域よりも高い不純物濃度を有する第 2 導電型のボディコンタクト領域を含み、

前記ゲート電極の第 1 縁部は、前記ソース領域を露出させる第 2 開口の縁部を含み、

前記ドレイン領域は、前記第 1 方向において、前記ソース領域を挟んで対向する第 1 ドレイン領域および第 2 ドレイン領域を含み、

前記ゲート電極の第 1 開口は、前記ソース領域に対して前記第 1 ドレイン領域側および前記第 2 ドレイン領域側のそれぞれに形成されている、半導体装置。

【請求項 6】

前記ボディコンタクト領域は、前記第 1 ドレイン領域側の前記第 1 開口から前記第 2 ドレイン領域側の前記第 1 開口に向かってライン状に形成されており、

前記ソース領域は、前記第 1 方向に交差する第 2 方向において、前記ボディコンタクト領域によって分断されている、請求項 4 または 5 に記載の半導体装置。

【請求項 7】

前記ボディコンタクト領域は、前記第 1 開口と前記第 2 開口との間の部分において、前記素子主面からの深さが選択的に浅い部分を有している、請求項 6 に記載の半導体装置。

【請求項 8】

前記第 1 開口の幅が、 $0.4\ \mu\text{m} \sim 1.0\ \mu\text{m}$ である、請求項 4～7 のいずれか一項に記載の半導体装置。

【請求項 9】

前記第 1 開口は、前記第 2 開口から $0.4\ \mu\text{m} \sim 1.0\ \mu\text{m}$ 離間している、請求項 4～8 のいずれか一項に記載の半導体装置。

【請求項 10】

前記ドレイン領域は、前記第 1 方向において、前記ソース領域を挟んで対向する第 1 ド

10

20

30

40

50

レイン領域および第2ドレイン領域を含み、

前記ゲート電極の凹部は、前記第1ドレイン領域側および前記第2ドレイン領域側のそれぞれに向かって形成されている、請求項1に記載の半導体装置。

【請求項11】

前記ボディコンタクト領域は、前記第1ドレイン領域側の前記凹部から前記第2ドレイン領域側の前記凹部に向かってライン状に形成されており、

前記ソース領域は、前記第1方向に交差する第2方向において、前記ボディコンタクト領域によって分断されている、請求項10に記載の半導体装置。

【請求項12】

前記凹部の凹み量が、 $0.4\mu\text{m} \sim 1.0\mu\text{m}$ である、請求項10または11に記載の半導体装置。

【請求項13】

前記半導体層上に形成された絶縁層と、

前記絶縁層を貫通し、前記ソース領域に接続されたソースコンタクトと、

前記絶縁層を貫通し、前記第1開口または前記凹部を介して前記ボディコンタクト領域に接続されたボディコンタクトと、

前記絶縁層上に形成され、前記ソースコンタクトおよび前記ボディコンタクトに共通に接続されたソース配線とを含む、請求項1～12のいずれか一項に記載の半導体装置。

【請求項14】

前記ボディ領域の不純物濃度は、 $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ であり、前記ボディコンタクト領域の不純物濃度は、 $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ である、請求項1～10のいずれか一項に記載の半導体装置。

【請求項15】

前記半導体層は、前記ボディ領域、前記ソース領域および前記ドレイン領域を含む第1素子領域と、前記第1素子領域とは独立して形成された第2素子領域とを含み、

前記半導体装置は、前記第1素子領域および前記第2素子領域が共通の前記半導体層に集積された集積回路装置を含む、請求項1～14のいずれか一項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。

【背景技術】

【0002】

特許文献1は、素子形成領域を分離するp型ウェル領域と、素子形成領域に形成されたDMOSTランジスタを含む半導体装置を開示している。半導体装置は、p型のシリコン基板と、シリコン基板の表面に選択的に形成され、フィールド酸化膜により互いに素子分離されたn型のソース領域とドレイン領域と、ゲート酸化膜を介してシリコン基板上に形成されたゲート電極とを含む。p型ウェル領域上には、フィールド酸化膜が形成されている。

【先行技術文献】

【特許文献】

【0003】

【文献】特開2012-156205号公報

【発明の概要】

【課題を解決するための手段】

【0004】

本発明の一実施形態に係る半導体装置は、素子主面を有する第1導電型の半導体層と、前記半導体層の前記素子主面に形成された第2導電型のボディ領域と、前記ボディ領域に形成され、かつ前記ボディ領域の外縁から内側に離間して形成された第1導電型のソース領域と、前記半導体層の前記素子主面に形成され、かつ前記ボディ領域から第1方向にお

10

20

30

40

50

いて離間して形成された第1導電型のドレイン領域と、前記ソース領域と前記ボディ領域の外縁との間のチャンネル領域に対向するゲート電極であって、前記ソース領域に隣接する第1縁部と、前記第1縁部から前記ドレイン領域に向かって離間した部分に形成された第1開口または前記第1縁部が前記ドレイン領域に向かって選択的に凹んで形成された凹部とを含むゲート電極とを含み、前記ボディ領域は、前記ゲート電極の前記第1開口または前記凹部に露出する部分を選択的に有し、前記第1開口または前記凹部に露出する前記ボディ領域の部分に形成され、前記ボディ領域よりも高い不純物濃度を有する第2導電型のボディコンタクト領域を含む。

【図面の簡単な説明】

【0005】

【図1】図1は、本発明の第1実施形態に係る半導体装置の模式的な斜視図である。

【図2】図2は、図1の二点鎖線IIで囲まれた部分を透視して示す前記半導体装置の模式的な平面図である。

【図3】図3は、図2のIII-III断面を示す断面図である。

【図4】図4は、図2のIV-IV断面を示す断面図である。

【図5A】図5Aは、前記半導体装置の製造工程の一部を示す図である。

【図5B】図5Bは、図5Aの次の工程を示す図である。

【図5C】図5Cは、図5Bの次の工程を示す図である。

【図5D】図5Dは、図5Cの次の工程を示す図である。

【図5E】図5Eは、図5Dの次の工程を示す図である。

【図5F】図5Fは、図5Eの次の工程を示す図である。

【図5G】図5Gは、図5Fの次の工程を示す図である。

【図5H】図5Hは、図5Gの次の工程を示す図である。

【図6】図6は、ボディコンタクト領域の形成に関連する工程を示す図である。

【図7】図7は、ボディコンタクト領域の形成に関連する工程を示す図である。

【図8】図8は、ボディコンタクト領域の形成に関連する工程を示す図である。

【図9】図9は、本発明の第2実施形態に係る半導体装置の一部の模式的な平面図である。

【図10】図10は、図9のX-X断面を示す断面図である。

【図11】図11は、図9のXI-XI断面を示す断面図である。

【図12】図12は、マシンモデル試験の結果を示す図である。

【図13】図13は、前記半導体装置の変形例を示す図である。

【図14】図14は、前記半導体装置の変形例を示す図である。

【図15】図15は、前記半導体装置の変形例を示す図である。

【図16】図16は、前記半導体装置の変形例を示す図である。

【発明を実施するための形態】

【0006】

<本発明の実施形態>

まず、本発明の実施形態を列記して説明する。

本発明の一実施形態に係る半導体装置は、素子主面を有する第1導電型の半導体層と、前記半導体層の前記素子主面に形成された第2導電型のボディ領域と、前記ボディ領域に形成され、かつ前記ボディ領域の外縁から内側に離間して形成された第1導電型のソース領域と、前記半導体層の前記素子主面に形成され、かつ前記ボディ領域から第1方向において離間して形成された第1導電型のドレイン領域と、前記ソース領域と前記ボディ領域の外縁との間のチャンネル領域に対向するゲート電極であって、前記ソース領域に隣接する第1縁部と、前記第1縁部から前記ドレイン領域に向かって離間した部分に形成された第1開口または前記第1縁部が前記ドレイン領域に向かって選択的に凹んで形成された凹部とを含むゲート電極とを含み、前記ボディ領域は、前記ゲート電極の前記第1開口または前記凹部に露出する部分を選択的に有し、前記第1開口または前記凹部に露出する前記ボディ領域の部分に形成され、前記ボディ領域よりも高い不純物濃度を有する第2導電型のボディコンタクト領域を含む。

【0007】

この半導体装置は、半導体層の素子主面に沿う第1方向に並んだソース領域、ボディ領域およびドレイン領域によって形成された寄生バイポーラトランジスタを含む。たとえば、第1導電型がn型であり、第2導電型がp型である場合、npnバイポーラトランジスタが形成されている。一方、第1導電型がp型であり、第2導電型がn型である場合、pnnpバイポーラトランジスタが形成されている。

【0008】

この種の寄生バイポーラトランジスタは、たとえばESD（Electro-Static Discharge：静電気放電）等によってソースドレイン間に過電圧が加わるとターンオンする場合がある。その結果、ソース領域、ボディ領域およびドレイン領域を含むMISFETに局所的な大電流が生じ、破壊に至る可能性がある。ESD対策のために、寄生バイポーラトランジスタがターンオンし難い環境を準備することが好ましい。

10

【0009】

たとえば、npnバイポーラトランジスタの場合、ベース－エミッタ間に順方向バイアスが印加されることによってターンオンする。したがって、ベース領域（この実施形態ではボディ領域）の電位上昇を抑えることによって順方向バイアスの印加を抑制し、ターンオンを防止することが好ましい。

そこで、この半導体装置では、ゲート電極に第1開口または凹部が形成され、当該第1開口または凹部にボディコンタクト領域が形成されている。これにより、第1方向において、ソース領域に対してドレイン領域に近い位置で、ボディコンタクト領域からボディ領域の電位を提供することができる。そのため、第1方向において、ソース領域からドレイン領域に向かってボディ領域の電位上昇を抑えることができる。その結果、寄生バイポーラトランジスタのターンオンを抑制することができる。

20

【0010】

よって、ESD耐性の向上した半導体装置を提供することができ、必要により、ESD保護素子を削減することもできる。ESD保護素子の削減に伴ってチップ面積を縮小でき、コストを低減することもできる。さらに、ESD設計が不要になるため、半導体装置の設計を簡素化することができる。

本発明の一実施形態に係る半導体装置では、前記ボディ領域は、第1の幅を有する第1部分と、前記第1部分に対して前記第1方向に選択的に突出し、前記ゲート電極の前記第1開口または前記凹部に露出しており、かつ前記第1の幅よりも大きい第2の幅を有する第2部分とを含み、前記ボディコンタクト領域は、前記ボディ領域の前記第2部分に形成されていてもよい。

30

【0011】

本発明の一実施形態に係る半導体装置では、前記ボディコンタクト領域は、前記ゲート電極の前記第1縁部に向かって延びており、前記ソース領域は、前記第1方向に交差する第2方向において、前記ボディコンタクト領域によって分断されていてもよい。

本発明の一実施形態に係る半導体装置では、前記ゲート電極の第1縁部は、前記ソース領域および前記ボディコンタクトを共通に露出させる第2開口の縁部を含んでいてもよい。

【0012】

40

本発明の一実施形態に係る半導体装置では、前記ゲート電極の第1縁部は、前記ソース領域を露出させる第2開口の縁部を含み、前記ドレイン領域は、前記第1方向において、前記ソース領域を挟んで対向する第1ドレイン領域および第2ドレイン領域を含み、前記ゲート電極の第1開口は、前記ソース領域に対して前記第1ドレイン領域側および前記第2ドレイン領域側のそれぞれに形成されていてもよい。

【0013】

本発明の一実施形態に係る半導体装置では、前記ボディコンタクト領域は、前記第1ドレイン領域側の前記第1開口から前記第2ドレイン領域側の前記第1開口に向かってライン状に形成されており、前記ソース領域は、前記第1方向に交差する第2方向において、前記ボディコンタクト領域によって分断されていてもよい。

50

本発明の一実施形態に係る半導体装置では、前記ボディコンタクト領域は、前記第1開口と前記第2開口との間の部分において、前記素子主面からの深さが選択的に浅い部分を有していてもよい。

【0014】

本発明の一実施形態に係る半導体装置では、前記第1開口の幅が、 $0.4\mu\text{m}\sim 1.0\mu\text{m}$ であってもよい。

本発明の一実施形態に係る半導体装置では、前記第1開口は、前記第2開口から $0.4\mu\text{m}\sim 1.0\mu\text{m}$ 離間していてもよい。

本発明の一実施形態に係る半導体装置では、前記ドレイン領域は、前記第1方向において、前記ソース領域を挟んで対向する第1ドレイン領域および第2ドレイン領域を含み、前記ゲート電極の凹部は、前記第1ドレイン領域側および前記第2ドレイン領域側のそれぞれに向かって形成されていてもよい。

10

【0015】

本発明の一実施形態に係る半導体装置では、前記ボディコンタクト領域は、前記第1ドレイン領域側の前記凹部から前記第2ドレイン領域側の前記凹部に向かってライン状に形成されており、前記ソース領域は、前記第1方向に交差する第2方向において、前記ボディコンタクト領域によって分断されていてもよい。

本発明の一実施形態に係る半導体装置では、前記凹部の凹み量が、 $0.4\mu\text{m}\sim 1.0\mu\text{m}$ であってもよい。

【0016】

20

本発明の一実施形態に係る半導体装置は、前記半導体層上に形成された絶縁層と、前記絶縁層を貫通し、前記ソース領域に接続されたソースコンタクトと、前記絶縁層を貫通し、前記第1開口または前記凹部を介して前記ボディコンタクト領域に接続されたボディコンタクトと、前記絶縁層上に形成され、前記ソースコンタクトおよび前記ボディコンタクトに共通に接続されたソース配線とを含んでいてもよい。

【0017】

本発明の一実施形態に係る半導体装置では、前記ボディ領域の不純物濃度は、 $1\times 10^{17}\text{cm}^{-3}\sim 1\times 10^{18}\text{cm}^{-3}$ であり、前記ボディコンタクト領域の不純物濃度は、 $1\times 10^{19}\text{cm}^{-3}\sim 1\times 10^{20}\text{cm}^{-3}$ であってもよい。

本発明の一実施形態に係る半導体装置は、前記半導体層が、前記ボディ領域、前記ソース領域および前記ドレイン領域を含む第1素子領域と、前記第1素子領域とは独立して形成された第2素子領域とを含む場合、前記第1素子領域および前記第2素子領域が共通の前記半導体層に集積された集積回路装置を含んでいてもよい。

30

<本発明の実施形態の詳細な説明>

次に、本発明の実施形態を、添付図面を参照して詳細に説明する。

【第1実施形態】

(半導体装置1の構成)

図1は、本発明の第1実施形態に係る半導体装置1の模式的な斜視図である。

【0018】

半導体装置1は、たとえば、チップ状の集積回路(IC: Integrated Circuit)装置を含む。半導体装置1は、集積される回路素子の数に基づいて、SSI (Small Scale IC)、MSI (Middle Scale IC)、LSI (Large Scale IC)、VLSI (Very Large Scale IC)、ULSI (Ultra Large Scale IC) と称してもよい。

40

半導体装置1は、回路素子が形成された複数の素子領域2, 3を有している。複数の素子領域2, 3は、後述する共通の半導体基板4に形成されている。

【0019】

複数の素子領域2, 3は、第1素子領域2と、複数の第2素子領域3とを含む。第1素子領域2は、回路素子としてLDMOS (Lateral double-diffused MOS) が形成された素子領域であってもよい。複数の第2素子領域3は、たとえば、その他の機能素子(たとえば、LDMOS用の保護ダイオード、抵抗、コンデンサ等)が形成された領域であって

50

もよい。なお、図1では、4つの素子領域2, 3が示されているが、半導体装置1は、より多数の素子領域を有していてもよい。

【0020】

図2は、図1の二点鎖線IIで囲まれた部分を透視して示す半導体装置1の模式的な平面図である。図3は、図2のIII-III断面を示す断面図である。図4は、図2のIV-IV断面を示す断面図である。

半導体装置1は、半導体基板4と、素子分離部5と、埋め込み層6と、フィールド絶縁膜7と、ボディ領域8と、ソース領域9と、ドレイン領域10, 11と、ゲート絶縁膜12と、ゲート電極13と、ボディコンタクト領域14と、層間絶縁膜15と、ソースコンタクト16と、ボディコンタクト17と、ソース配線18と、ドレインコンタクト19と、ドレイン配線20とを含んでいてもよい。

10

【0021】

半導体基板4は、ベース基板21と、本発明の半導体層の一例としてのエピタキシャル層22とを含んでいてもよい。

ベース基板21は、この実施形態ではシリコン(Si)基板で形成されているが、他の素材(たとえば、炭化シリコン(SiC)等)で形成された基板であってもよい。ベース基板21は、この実施形態ではp⁻型である。ベース基板21は、たとえば、 $1 \times 10^{14} \text{ cm}^{-3} \sim 5 \times 10^{18} \text{ cm}^{-3}$ の不純物濃度を有していてもよい。また、ベース基板21の厚さは、たとえば、研削前で500 μm~800 μmであってもよい。

【0022】

エピタキシャル層22は、ベース基板21に接しており、かつベース基板21に積層されている。エピタキシャル層22は、素子主面23と、エピタキシャル層22の厚さ方向において素子主面23の反対側を向く接合面24とを有する。素子主面23は、素子領域2, 3が形成された面である。接合面24は、ベース基板21に接する面である。エピタキシャル層22は、ベース基板21と逆の導電型を有しており、この実施形態ではn⁻型である。エピタキシャル層22は、たとえば、 $5 \times 10^{14} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ の不純物濃度を有していてもよい。また、エピタキシャル層22の厚さは、たとえば、3 μm~20 μmであってもよい。

20

【0023】

素子分離部5は、素子分離ウェルを含んでいてもよい。より具体的には、図2に示すように、平面視で閉曲線を描く帯状のp型の素子分離ウェルが、エピタキシャル層22の素子主面23からベース基板21に達するように形成されていてもよい。素子分離部5は、この実施形態では、図2に示すように平面視で四角環状に形成されているが、たとえば、円環状、三角環状等の他の閉曲線構造であってもよい。

30

【0024】

素子分離部5は、上側に配置されたp⁺型のウェル領域25と、下側に配置されたp⁻型のローアイソレーション(L/I)領域26との2層構造からなってもよい。これらの領域25, 26の境界は、エピタキシャル層22の厚さ方向途中部に設定されていてもよい。たとえば、領域25, 26の境界は、エピタキシャル層22の素子主面23から1.0 μm~2.0 μmの深さ位置に設定されていてもよい。これにより、半導体基板4には、ベース基板21上において素子分離部5によって取り囲まれたエピタキシャル層22の一部からなる第1素子領域2が区画されている。

40

【0025】

n⁺型の埋め込み層6(B/L)は、第1素子領域2に選択的に形成されている。埋め込み層6は、半導体基板4において、ベース基板21とエピタキシャル層22との境界を跨ぐように形成されている。埋め込み層6の厚さは、たとえば、2.0 μm~3.0 μmであってもよい。

また、半導体基板4において、第1素子領域2の外周領域には、第1素子領域2と同じく電氣的にフローティングされた第2素子領域3が区画されている。第2素子領域3は、素子分離部5を隔てて第1素子領域2と隣接して形成されていてもよいし、第1素子領域

50

2 から離間した領域において、図示しない素子分離構造（たとえば、素子分離部 5 と同様のウェル）によって形成されていてもよい。なお、第 1 素子領域 2 は、たとえば、5 V ～ 100 V 程度の低基準電圧を基準に動作する低電圧素子領域であってもよいし、たとえば、400 V ～ 600 V 程度の高基準電圧を基準に動作する高電圧素子領域であってもよい。
【0026】

フィールド絶縁膜 7 は、図 2 では具体的な端縁が示されていないが、閉曲線を描く帯状に形成されている。フィールド絶縁膜 7 は、素子分離部 5 と同様に、第 1 素子領域 2 の周囲を取り囲むように平面視で四角環状に形成されている。フィールド絶縁膜 7 は、素子分離部 5 よりも幅広で、素子分離部 5 を完全に覆うように形成されている。

フィールド絶縁膜 7 は、たとえば、エピタキシャル層 22 の素子主面 23 を選択的に酸化させることによって形成された LOCOS 膜であってもよい。フィールド絶縁膜 7 は、ボディ領域 8 およびソース領域 9 を露出させる第 1 開口 27 と、ドレイン領域 10、11 を露出させる第 2 開口 28 とを有している。

【0027】

ボディ領域 8 は、エピタキシャル層 22 の素子主面 23 に形成されている。ボディ領域 8 は、フィールド絶縁膜 7 の第 1 開口 27 の周縁部 29 から内側に離れている。ボディ領域 8 の外周縁 30 とフィールド絶縁膜 7 の周縁部 29 との間に挟まれ、かつエピタキシャル層 22 の一部で形成された環状の領域は、エピタキシャル層 22 と同じ導電型の半導体領域 31 である。

【0028】

ボディ領域 8 は、第 1 部分 32 と、第 2 部分 33 とを含む。第 1 部分 32 は、第 2 方向 Y に延びている。第 2 部分 33 は、第 1 部分 32 の第 2 方向 Y 途中部から、第 2 方向 Y に直交する第 1 方向 X に選択的に突出している。より具体的には、第 1 部分 32 は、第 2 方向 Y に延びる長方形状であり、第 2 部分 33 は、当該第 1 部分 32 に交差し、第 1 方向 X に延びる長方形状であってもよい。第 1 部分 32 と第 2 方向 Y との交差部分は、第 1 部分 32 および第 2 部分 33 のいずれにも属する共有部分であってもよい。他の言い方では、ボディ領域 8 は、第 1 方向 X と第 2 方向 Y の両方向に延びる略十字状であってもよい。また、ボディ領域 8 は、第 2 方向 Y に延びるライン状の第 1 部分 32 と、当該第 1 部分 32 から選択的に突出した凸部からなる第 2 部分 33 とを含んでいてもよい。

【0029】

これにより、ボディ領域 8 は、第 1 方向 X に沿って測定される幅に関して、第 1 部分 32 の第 1 の幅 W_1 と、第 2 部分 33 の第 2 の幅 W_2 とを有している。第 2 の幅 W_2 は、第 1 の幅 W_1 よりも大きい。たとえば、第 1 の幅 W_1 が $0.1 \mu\text{m} \sim 1 \mu\text{m}$ であり、第 2 の幅 W_2 が $0.3 \mu\text{m} \sim 3 \mu\text{m}$ であってもよい。また、比率で比較した場合、第 1 の幅 W_1 に対する第 2 の幅 W_2 の比率 (W_2/W_1) は、たとえば、 $W_2/W_1 = 2 \sim 5$ であってもよい。なお、第 1 の幅 W_1 および第 2 の幅 W_2 は、それぞれ、第 2 方向 Y において一定である必要はない。たとえば、第 2 方向 Y において任意の 2 か所の第 1 の幅 W_1 を比較した場合、それらの第 1 の幅 W_1 同士が互いに異なっていてもよい。

【0030】

また、ボディ領域 8 は、第 2 方向 Y に沿うサイズとして、第 1 の長さ L_1 を有している。第 1 の長さ L_1 は、第 1 部分 32 の長さであってもよい。なお、図 2 では、半導体装置 1 の構造の明瞭化のため、ボディ領域 8 が比較的幅広に示されているが、ボディ領域 8 は、より細長形状であってもよい。つまり、第 1 の幅 W_1 および第 2 の幅 W_2 に対して、ボディ領域 8 の第 1 の長さ L_1 が遥かに大きくてもよい。

【0031】

ボディ領域 8 は、この実施形態では p 型の半導体領域である。ボディ領域 8 は、たとえば、 $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の不純物濃度を有している。また、ボディ領域 8 の深さは、図 3 および図 4 に示すようにフィールド絶縁膜 7 の底部位置よりも深く、たとえば、 $0.5 \mu\text{m} \sim 4.0 \mu\text{m}$ であってもよい。

ソース領域 9 は、エピタキシャル層 22 の素子主面 23 においてボディ領域 8 の内方領

10

20

30

40

50

域に形成されている。ソース領域 9 は、ボディ領域 8 の外周縁 30 から内側に離れており、かつボディ領域 8 の外周縁 30 に沿う外周縁 34 を有している。ボディ領域 8 の外周縁 30 とソース領域 9 の外周縁 34 との間に挟まれ、かつボディ領域 8 で構成された領域は、ゲート電極 13 に適切な電圧が印加されたときにチャンネルが形成されるチャンネル領域 35 である。

【0032】

ソース領域 9 は、第 2 方向 Y において、互いに間隔を空けて複数形成されている。第 2 方向 Y において隣り合うソース領域 9 の間には、ボディコンタクト領域 14 が形成されている。この実施形態では、第 2 方向 Y においてボディコンタクト領域 14 を挟むようにソース領域 9 が形成されている。言い換えれば、ソース領域 9 は、第 2 方向 Y において、ボディコンタクト領域 14 によって分断された態様であってもよい。

10

【0033】

ソース領域 9 は、この実施形態では n^+ 型の半導体領域である。ソース領域 9 は、たとえば、 $1 \times 10^{19} \text{ cm}^{-3} \sim 5 \times 10^{21} \text{ cm}^{-3}$ の不純物濃度を有している。また、ソース領域 9 の深さは、ボディ領域 8 よりも浅く、たとえば、 $0.2 \mu\text{m} \sim 1.0 \mu\text{m}$ であってもよい。したがって、断面視において、ソース領域 9 は、その側部および底部がボディ領域 8 によって一体的に覆われている。

【0034】

ドレイン領域 10, 11 は、エピタキシャル層 22 の素子主面 23 に形成されている。ドレイン領域 10, 11 は、ボディ領域 8 から第 1 方向 X において離間しており、フィールド絶縁膜 7 の第 2 開口 28 の周縁部 36 に沿う外周縁 37 を有している。また、ドレイン領域 10, 11 は、第 1 方向 X において、ソース領域 9 を挟んで対向する第 1 ドレイン領域 10 および第 2 ドレイン領域 11 を含んでいる。第 1 ドレイン領域 10 および第 2 ドレイン領域 11 は、それぞれ、第 2 方向 Y に沿って延びている。この実施形態では、第 1 ドレイン領域 10 および第 2 ドレイン領域 11 は、第 2 方向 Y に沿って細長形状に形成されている。

20

【0035】

ドレイン領域 10, 11 は、この実施形態では n^+ 型の半導体領域である。ドレイン領域 10, 11 は、たとえば、 $1 \times 10^{19} \text{ cm}^{-3} \sim 5 \times 10^{21} \text{ cm}^{-3}$ の不純物濃度を有している。また、ドレイン領域 10, 11 の深さは、たとえば、 $0.2 \mu\text{m} \sim 2.0 \mu\text{m}$ であってもよい。たとえば、ドレイン領域 10, 11 は、ソース領域 9 と同じ深さを有していてもよい。

30

【0036】

ゲート絶縁膜 12 は、エピタキシャル層 22 の素子主面 23 に形成されている。より具体的には、ゲート絶縁膜 12 は、ソース領域 9 の外周縁 34 からフィールド絶縁膜 7 の第 1 開口 39 の周縁部 29 に至る領域に形成され、フィールド絶縁膜 7 と一体化しており、かつチャンネル領域 35 および半導体領域 31 を覆っている。

ゲート絶縁膜 12 は、この実施形態では、酸化シリコン (SiO_2) で形成されているが、他の絶縁材料 (たとえば、窒化シリコン酸化膜 (SiON) 等) で形成されていてもよい。また、ゲート絶縁膜 12 の厚さは、フィールド絶縁膜 7 よりも薄く、たとえば、 $2 \text{ nm} \sim 55 \text{ nm}$ であってもよい。

40

【0037】

ゲート電極 13 は、ゲート絶縁膜 12 上に形成されている。ゲート電極 13 は、ゲート絶縁膜 12 を介してチャンネル領域 35 および半導体領域 31 に対向し、かつゲート絶縁膜 12 上からフィールド絶縁膜 7 上に連続して延びている。これにより、ゲート電極 13 は、フィールド絶縁膜 7 の一部を覆っている。ゲート電極 13 のフィールド絶縁膜 7 上の部分は、たとえば、フィールドプレート 38 と称してもよい。

【0038】

この実施形態では、ゲート電極 13 は、図 2 において二点鎖線で区画された領域である。つまり、ゲート電極 13 は、ソース領域 9 を取り囲む環状に形成されており、ソース領

50

域 9 を露出させる第 2 開口 40 を有している。ソース領域 9 は、図 2 および図 4 に示すように、第 2 開口 40 よりも大きめに形成されており、第 2 開口 40 の周縁部 42 に重なっている。つまり、第 2 開口 40 の周縁部 42 は、エピタキシャル層 22 の厚さ方向においてソース領域 9 に隣接している。また、第 2 開口 40 は、この実施形態では、主にソース領域 9 を露出させるための開口であり、たとえば、ソースコンタクト用開口と称してもよい。

【0039】

また、ゲート電極 13 は、第 2 開口 40 からドレイン領域 10, 11 に向かって離間した部分に形成された第 1 開口 39 を有している。ゲート電極 13 の第 1 開口 39 は、図 2 に示すように、平面視において、ボディ領域 8 の第 2 部分 33 に重なる位置に形成されている。これにより、ゲート電極 13 の第 1 開口 39 から、ボディ領域 8 の第 2 部分 33 が露出している。ゲート電極 13 の第 1 開口 39 は、図 2 に示すように、その全体がボディ領域 8 の第 2 部分 33 の突出部分に収まってもよい。また、ゲート電極 13 の第 1 開口 39 は、図 2 の位置よりも第 1 方向 X においてボディ領域 8 の内側に形成され、第 2 部分 33 の突出部分と、第 2 方向 Y において第 1 部分 32 に連なる第 2 部分 33 との間に跨っていてもよい。

【0040】

また、この実施形態では、ゲート電極 13 の第 1 開口 39 は、ソース領域 9 に対して第 1 ドレイン領域 10 側および第 2 ドレイン領域 11 側のそれぞれに形成されている。第 1 方向 X においては、第 2 開口 40 を挟むように、一対の第 1 開口 39 が形成されている。図 2 では、一対の第 1 開口 39 は、第 2 方向 Y に対して対称な位置に形成されているが、互いに対称な位置関係に形成されていなくてもよい。

【0041】

各第 1 開口 39 は、第 2 開口 40 から $0.4\ \mu\text{m} \sim 1.0\ \mu\text{m}$ の距離 L_2 を隔てて形成されていてもよい。また、各第 1 開口 39 の第 1 方向 X および第 2 方向 Y の幅 L_3 , S_1 は、それぞれ、 $0.4\ \mu\text{m} \sim 1.0\ \mu\text{m}$ であってもよい。第 1 方向 X および第 2 方向 Y の幅 L_3 , S_1 は、互いに同じであってもよいし、異なってもよい。また、各第 1 開口 39 は、この実施形態では、ボディコンタクト領域 14 を露出させるための開口であり、たとえば、ボディコンタクト用開口と称してもよい。

【0042】

また、ゲート電極 13 は、この実施形態では、たとえば不純物を含有するポリシリコンゲート電極を含む。含有された不純物は、n 型の不純物であってもよい。

ボディコンタクト領域 14 は、エピタキシャル層 22 の素子主面 23 においてボディ領域 8 の内方領域に形成されている。ボディコンタクト領域 14 は、ボディ領域 8 の外周縁 30 から内側に離れており、かつボディ領域 8 の外周縁 30 に沿う外周縁 43 を有している。

【0043】

ボディコンタクト領域 14 は、この実施形態では、少なくともボディ領域 8 の第 2 部分 33 に形成されている。ボディコンタクト領域 14 は、第 1 ドレイン領域 10 側の第 1 開口 39 から第 2 ドレイン領域 11 側の第 1 開口 39 に向かって形成されている。これにより、ボディコンタクト領域 14 は、第 1 開口 39 および第 2 開口 40 から露出し、ボディコンタクト領域 14 の表面が第 1 開口 39 および第 2 開口 40 の内部に臨んでいる。また、ボディコンタクト領域 14 は、図 2 および図 3 に示すように、第 1 開口 39 よりも大きめに形成されており、第 1 開口 39 の周縁部 41 に重なっている。つまり、第 1 開口 39 の周縁部 41 は、エピタキシャル層 22 の厚さ方向においてボディコンタクト領域 14 に隣接している。

【0044】

ボディコンタクト領域 14 は、第 1 方向 X において、ソース領域 9 よりも広い幅を有していてもよい。言い換えれば、ボディコンタクト領域 14 は、第 1 方向 X において、ソース領域 9 の外周縁 34 から各ドレイン領域 10, 11 へ向かって突出した凸部 44 を有し

ていてもよい。さらに他の言い方では、ボディコンタクト領域 14 は、第 1 方向 X において、ソース領域 9 の外周縁 34 よりも各ドレイン領域 10, 11 に近い位置に端部 45 を有していてもよい。

【0045】

ボディコンタクト領域 14 は、たとえば、図 2 に示すように、第 1 方向 X に沿うライン状であってもよい。これにより、図 2 に示すように、平面視において、ソース領域 9 およびボディコンタクト領域 14 は交差していてもよい。ソース領域 9 は、第 2 方向 Y において、ボディコンタクト領域 14 によって分断されている。

また、ボディコンタクト領域 14 は、第 1 ドレイン領域 10 側の第 1 開口 39 から、第 2 開口 40 を介して第 2 ドレイン領域 11 側の第 1 開口 39 に向かって一体的に形成されていてもよい。つまり、第 2 開口 40 と第 1 開口 39 との間のゲート電極 13 の下方において、ボディコンタクト領域 14 が途切れずに連続していてもよい。この場合、ボディコンタクト領域 14 は、図 3 に示すように、第 2 開口 40 と第 1 開口 39 との間のゲート電極 13 の下方において、素子主面 23 からの深さが選択的に浅い部分 46 を有していてもよい。

【0046】

ボディコンタクト領域 14 は、この実施形態では p^+ 型の半導体領域であり、ボディ領域 8 よりも高い不純物濃度を有している。ボディコンタクト領域 14 は、たとえば、 $1 \times 10^{19} \text{ cm}^{-3} \sim 5 \times 10^{21} \text{ cm}^{-3}$ の不純物濃度を有しており、好ましくは、 $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ の不純物濃度を有している。また、ボディコンタクト領域 14 の深さ（最深部の深さ）は、ボディ領域 8 よりも浅く、たとえば、 $0.2 \mu\text{m} \sim 1.0 \mu\text{m}$ であってもよい。したがって、断面視において、ボディコンタクト領域 14 は、その側部および底部がボディ領域 8 によって一体的に覆われている。

【0047】

層間絶縁膜 15 は、エピタキシャル層 22 の素子主面 23 に形成されている。層間絶縁膜 15 は、ボディ領域 8、ソース領域 9、ドレイン領域 10, 11、およびゲート電極 13 を覆っている。層間絶縁膜 15 は、この実施形態では、酸化シリコン (SiO_2) で形成されているが、他の絶縁材料（たとえば、窒化シリコン (SiN) 等）で形成されていてもよい。また、層間絶縁膜 15 は、複数の材料、たとえば、酸化シリコンと窒化シリコンとの積層構造で構成されていてもよい。また、層間絶縁膜 15 の厚さは、たとえば、 $0.3 \mu\text{m} \sim 2.0 \mu\text{m}$ であってもよい。

【0048】

ソースコンタクト 16 は、層間絶縁膜 15 に埋め込まれている。より具体的には、層間絶縁膜 15 には、層間絶縁膜 15 の表面から第 2 開口 40 を通過してソース領域 9 およびボディコンタクト領域 14 に至るソースコンタクト孔 47 が形成されている。ソースコンタクト孔 47 は、第 2 方向 Y に沿ってライン状に形成されており、ソース領域 9 およびボディコンタクト領域 14 を共通に露出させている。ソースコンタクト 16 は、ソースコンタクト孔 47 に埋め込まれ、かつソース領域 9 およびボディコンタクト領域 14 に一括して接続されている。ソースコンタクト 16 は、図 2 に示すように第 2 方向 Y に沿ってライン状に形成されていてもよいし、図示しないが、第 2 方向 Y に沿って、互いに間隔を空けてドット状に複数配列されていてもよい。

【0049】

また、ソースコンタクト 16 は、この実施形態では、タングステン (W) で形成されているが、他の導電材料（たとえば、アルミニウム (Al)、銅 (Cu) 等）で形成されていてもよい。その際、TiN 等のバリア膜を用いてもよいことは、言うまでもない。

ボディコンタクト 17 は、層間絶縁膜 15 に埋め込まれている。より具体的には、層間絶縁膜 15 には、層間絶縁膜 15 の表面から第 1 開口 39 を通過してボディコンタクト領域 14 に至るボディコンタクト孔 48 が形成されている。ボディコンタクト 17 は、ボディコンタクト孔 48 に埋め込まれ、かつボディコンタクト領域 14 に接続されている。

【0050】

また、ボディコンタクト１７は、この実施形態では、タングステン（W）で形成されているが、他の導電材料（たとえば、アルミニウム（Al）、銅（Cu）等）で形成されていてもよい。その際、TiN等のバリア膜を用いてもよいことは、言うまでもない。

ソース配線１８は、層間絶縁膜１５の表面に形成されている。ソース配線１８は、ソースコンタクト１６およびボディコンタクト１７を覆っており、かつソースコンタクト１６およびボディコンタクト１７に接続されている。これにより、ソース配線１８は、ソース領域９およびボディコンタクト領域１４に電氣的に接続されている。

【００５１】

ソース配線１８は、この実施形態では、アルミニウム（Al）で形成されているが、他の導電材料（たとえば、銅（Cu）等）で形成されていてもよい。なお、ソース配線１８は、その形状（パターン）に応じて、ソース電極と称してもよい。

10

ドレインコンタクト１９は、層間絶縁膜１５に埋め込まれている。より具体的には、層間絶縁膜１５には、層間絶縁膜１５の表面からドレイン領域１０，１１に至るドレインコンタクト孔４９が形成されている。ドレインコンタクト孔４９は、第２方向Ｙに沿ってライン状に形成されており、ドレイン領域１０，１１を露出させている。ドレインコンタクト１９は、ドレインコンタクト孔４９に埋め込まれ、かつドレイン領域１０，１１に接続されている。ドレインコンタクト１９は、図２に示すように第２方向Ｙに沿ってライン状に形成されていてもよいし、図示しないが、第２方向Ｙに沿って、互いに間隔を空けてドット状に複数配列されていてもよい。

【００５２】

20

また、ドレインコンタクト１９は、この実施形態では、タングステン（W）で形成されているが、他の導電材料（たとえば、アルミニウム（Al）、銅（Cu）等）で形成されていてもよい。その際、TiN等のバリア膜を用いてもよいことは、言うまでもない。

ドレイン配線２０は、層間絶縁膜１５の表面に形成されている。ドレイン配線２０は、ドレインコンタクト１９を覆っており、かつドレインコンタクト１９に接続されている。これにより、ドレイン配線２０は、ドレイン領域１０，１１に電氣的に接続されている。

【００５３】

ドレイン配線２０は、この実施形態では、アルミニウム（Al）で形成されているが、他の導電材料（たとえば、銅（Cu）等）で形成されていてもよい。なお、ドレイン配線２０は、その形状（パターン）に応じて、ドレイン電極と称してもよい。

30

（半導体装置１の製造方法）

図５Ａ～図５Ｈは、半導体装置１の製造工程の一部を工程順に示す図である。図６～図８は、ボディコンタクト領域１４の形成に関連する工程を示す図である。図６～図８は、ボディコンタクト領域１４の形成に関連する工程を示す図である。

【００５４】

半導体装置１を製造するには、図５Ａに示すように、 p^- 型のベース基板２１が用意される。次に、ベース基板２１の表面に n 型の不純物と p 型の不純物とが選択的に注入される。そして、たとえば 1100°C 以上の温度下で、 n 型の不純物を添加しながらベース基板２１のシリコンをエピタキシャル成長させる。これにより、図５Ｂに示すように、 p^- 型のベース基板２１と n^- 型のエピタキシャル層２２とを含む半導体基板４が形成される。

40

【００５５】

ベース基板２１のエピタキシャル成長に際して、ベース基板２１に注入された n 型の不純物および p 型の不純物は、エピタキシャル層２２の成長方向に拡散する。これにより、ベース基板２１とエピタキシャル層２２との境界を跨ぐ埋め込み層６と p^- 型のローアイソレーション領域２６とが形成される。なお、 p 型の不純物としては、たとえば、B（ホウ素）、Al（アルミニウム）等を挙げることができ、 n 型の不純物としては、たとえば、P（リン）、As（砒素）等を挙げることができる。

【００５６】

次に、図５Ｃに示すように、 p^+ 型のウェル領域２５を形成すべき領域に選択的に開口を有するイオン注入マスク（図示せず）がエピタキシャル層２２上に形成される。そして

50

、当該イオン注入マスクを介してp型の不純物がエピタキシャル層22に注入される。これにより、 p^+ 型のウェル領域25と p^- 型のローアイソレーション領域26との2層構造からなる素子分離部5（素子分離ウェル）が形成される。素子分離部5の形成後、イオン注入マスクは除去される。

【0057】

次に、フィールド絶縁膜7を形成すべき領域に選択的に開口を有するハードマスク50がエピタキシャル層22上に形成される。そして、ハードマスク50を介してエピタキシャル層22の素子主面23に熱酸化処理が施されてLOCOS膜からなるフィールド絶縁膜7が形成される。その後、ハードマスク50は除去される。

次に、図5Dに示すように、 p^- 型のボディ領域8を形成すべき領域に選択的に開口を有するイオン注入マスク（図示せず）がエピタキシャル層22上に形成される。そして、当該イオン注入マスクを介してp型の不純物がエピタキシャル層22に注入される。これにより、 p^- 型のボディ領域8が形成される。ボディ領域8の形成後、イオン注入マスクは除去される。

【0058】

次に、図5Eに示すように、エピタキシャル層22の素子主面23に熱酸化処理が施されてゲート絶縁膜12が形成される。このとき、ゲート絶縁膜12はフィールド絶縁膜7と連なるように形成される。次に、ゲート電極13用のポリシリコンがエピタキシャル層22上に堆積されて、ポリシリコン層51が形成される。

次に、図5Fに示すように、ゲート電極13を形成すべき領域に選択的に開口を有するレジストマスク（図示せず）がポリシリコン層51上に形成される。そして、当該レジストマスクを介してポリシリコン層51の不要な部分がエッチングによって除去される。これにより、第1開口39および第2開口40が同時に形成され、ゲート電極13が形成される。

【0059】

次に、ゲート絶縁膜12の不要な部分を除去するため、選択的に開口を有するハードマスク（図示せず）がエピタキシャル層22上に形成される。そして、当該ハードマスクを介してゲート絶縁膜12の不要な部分にエッチング処理が施される。これにより、所定のゲート絶縁膜12が形成される。ゲート絶縁膜12の形成後、ハードマスクは除去される。

【0060】

次に、図5Gに示すように、 n^+ 型のソース領域9および n^+ 型のドレイン領域10、11と p^+ 型のボディコンタクト領域14とが形成される。ソース領域9およびドレイン領域10、11を形成するには、まず、ソース領域9およびドレイン領域10、11を形成すべき領域に選択的に開口を有するイオン注入マスク（図示せず）が形成される。そして、当該イオン注入マスクを介してn型の不純物がエピタキシャル層22に注入される。また、同様の手順で、ボディコンタクト領域14を形成すべき領域に選択的に開口を有するイオン注入マスク（図示せず）が形成される。そして、当該イオン注入マスクを介してp型の不純物がエピタキシャル層22に注入される。

【0061】

イオンの注入後、イオン注入マスクは、除去される。その後、たとえば1100℃以上の温度下の熱処理によって、エピタキシャル層22に注入されたn型の不純物およびp型の不純物を拡散させる。これにより、 n^+ 型のソース領域9、 n^+ 型のドレイン領域10、11および p^+ 型のボディコンタクト領域14が形成される。

このイオン注入に際して、エピタキシャル層22のゲート電極13で覆われた部分には、ゲート電極13が障害となってn型の不純物およびp型の不純物が注入されない。つまり、n型の不純物およびp型の不純物は、イオン注入マスク（図示せず）の開口、かつ第1開口39および第2開口40から露出したエピタキシャル層22の素子主面23に選択的に注入される。

【0062】

一方で、エピタキシャル層22に注入されたn型の不純物およびp型の不純物は、熱処

10

20

30

40

50

理によって、エピタキシャル層 22 の厚さ方向に加えて、素子主面 23 に沿う横方向にも拡散する。したがって、たとえば、ボディコンタクト領域 14 用の p 型の不純物の拡散に際しては、p 型の不純物 (×) が、たとえば図 6 に示すように、第 1 開口 39 の周縁部 41 および第 2 開口 40 の周縁部 42 から外側方向に拡散する。これにより、ゲート電極 13 の下方において、第 1 開口 39 および第 2 開口 40 から広がったボディコンタクト領域 14 が互いに繋がり、図 3 に示すように途切れずに連続する。

【0063】

なお、このとき、熱処理の条件を変更するだけで、図 7 に示すように、ゲート電極 13 の下方でボディコンタクト領域 14 を互いに離すこともできるし、図 8 に示すように、ゲート電極 13 の下方の深さと第 1 開口 39 および第 2 開口 40 の下方の深さとを同じにすることもできる。

次に、図 5 H に示すように、ゲート電極 13 を覆うように絶縁材料が堆積されて層間絶縁膜 15 が形成される。次に、層間絶縁膜 15 を貫通するようにソースコンタクト 16、ボディコンタクト 17 およびドレインコンタクト 19 が形成されて、ソース領域 9、ボディコンタクト領域 14 およびドレイン領域 10、11 とそれぞれ電氣的に接続される。

【0064】

次に、ソースコンタクト 16 およびボディコンタクト 17 に電氣的に接続されるソース配線 18、およびドレインコンタクト 19 に電氣的に接続されるドレイン配線 20 が層間絶縁膜 15 上に選択的に形成される。ソース配線 18 およびドレイン配線 20 を形成するには、ソース配線 18 およびドレイン配線 20 を形成すべき領域に所定の開口を有するレジストマスクを形成する。そして、当該レジストマスクを介して電極材料を堆積させることによって、ソース配線 18 およびドレイン配線 20 を形成することができる。以上の工程を経て、第 1 実施形態に係る半導体装置 1 が製造される。

【第 2 実施形態】

図 9 は、本発明の第 2 実施形態に係る半導体装置 1 の一部の模式的な平面図である。図 10 は、図 9 の X-X 断面を示す断面図である。図 11 は、図 9 の XI-XI 断面を示す断面図である。図 9～図 11 において、前述の実施形態と同一または類似の要素には、前述の実施形態と同一の符号を付し、その説明を省略する。

【0065】

前述の半導体装置 1 では、ボディ領域 8 の凸部 (第 2 部分 33) を露出させる形態として、ゲート電極 13 に第 1 開口 39 が形成されていた。これに対し、第 2 実施形態に係る半導体装置 1 では、ゲート電極 13 は、第 2 開口 40 に連なり、第 2 開口 40 の周縁部 42 がドレイン領域 10、11 に向かって選択的に凹んだ凹部 52 を有している。言い換えれば、第 2 開口 40 が、ドレイン領域 10、11 に向かって選択的に突出する凸部 53 を有していてもよい。また、第 2 開口 40 が、第 2 方向 Y に沿って延びるライン状の第 1 部分 54 と、第 1 部分 54 の第 2 方向 Y 途中部から第 1 方向 X に沿って選択的に突出する第 2 部分 55 とを含んでいてもよい。さらに、凹部 52 は、ゲート電極 13 の一部が第 2 開口 40 の周縁部 42 から切り欠かれた態様であるため、切欠部と称してもよい。

【0066】

ゲート電極 13 の凹部 52 は、図 9 に示すように、平面視において、ボディ領域 8 の第 2 部分 33 に重なる位置に形成されている。これにより、ゲート電極 13 の凹部 52 から、ボディ領域 8 の第 2 部分 33 が露出している。

この実施形態では、ゲート電極 13 の凹部 52 は、第 2 開口 40 に対して第 1 ドレイン領域 10 側および第 2 ドレイン領域 11 側のそれぞれに向かって形成されている。第 1 方向 X においては、第 2 開口 40 を挟むように、一対の凹部 52 が形成されている。図 9 では、一対の凹部 52 は、第 2 方向 Y に対して対称な位置に形成されているが、互いに対称な位置関係に形成されていなくてもよい。

【0067】

また、各凹部 52 の第 1 方向 X および第 2 方向 Y の幅 S_2 、 L_4 は、それぞれ、 $0.4 \mu\text{m} \sim 1.0 \mu\text{m}$ であってもよい。第 1 方向 X および第 2 方向 Y の幅 S_2 、 L_4 は、互い

に同じであってもよいし、異なってもよい。また、各凹部 52 は、この実施形態では、ボディコンタクト領域 14 を露出させるための凹部であり、たとえば、ボディコンタクト 17 用凹部と称してもよい。

【0068】

ボディコンタクト領域 14 は、第 1 ドレイン領域 10 側の凹部 52 から第 2 ドレイン領域 11 側の凹部 52 に向かって形成されている。これにより、ボディコンタクト領域 14 は、凹部 52 および第 2 開口 40 から露出し、ボディコンタクト領域 14 の表面が凹部 52 および第 2 開口 40 の内部に臨んでいる。

なお、このような凹部 52 を有するゲート電極 13 は、たとえば前述の図 5 F の工程において、レジストマスクのレイアウトを変更するだけで得ることができる。

〔半導体装置 1 から発生する効果〕

以上説明した半導体装置 1 は、エピタキシャル層 22 の素子主面 23 に沿う第 1 方向 X に並んだ n^+ 型のソース領域 9、 p^- 型のボディ領域 8 および n^+ 型のドレイン領域 10、11 によって形成された npn 寄生バイポーラトランジスタを含んでいる。

【0069】

この種の寄生バイポーラトランジスタは、たとえば ESD (Electro-Static Discharge : 静電気放電) 等によってソースドレイン間に過電圧が加わるとターンオンする場合がある。その結果、ソース領域 9、ボディ領域 8 およびドレイン領域 10、11 を含む MISFET に局所的な大電流が生じ、破壊に至る可能性がある。ESD 対策のために、寄生バイポーラトランジスタがターンオンし難い環境を準備することが好ましい。

【0070】

たとえば、nnpn バイポーラトランジスタの場合、ベースエミッタ間に順方向バイアスが印加されることによってターンオンする。したがって、ベース領域（この実施形態ではボディ領域 8）の電位上昇を抑えることによって順方向バイアスの印加を抑制し、ターンオンを防止することが好ましい。

そこで、この半導体装置 1 では、ゲート電極 13 に第 1 開口 39 または凹部 52 が形成され、当該第 1 開口 39 または凹部 52 にボディコンタクト領域 14 が形成されている。これにより、第 1 方向 X において、ソース領域 9 に対してドレイン領域 10、11 に近い位置で、ボディコンタクト領域 14 からボディ領域 8 の電位を提供することができる。そのため、第 1 方向 X において、ソース領域 9 からドレイン領域 10、11 に向かってボディ領域 8 の電位上昇を抑えることができる。その結果、寄生バイポーラトランジスタのターンオンを抑制することができる。

【0071】

さらに、バイポーラトランジスタの電流増幅率 (h_{FE}) は、一般的に、ベース領域（この実施形態ではボディ領域 8）の濃度の上昇に伴って低下する。この半導体装置 1 では、ボディ領域 8 よりも高濃度なボディコンタクト領域 14 が第 1 方向 X において広く形成されているため、バイポーラトランジスタの能力が下がり、寄生バイポーラトランジスタのターンオンを抑制することもできる。

【0072】

よって、ESD 耐性の向上した半導体装置 1 を提供することができ、必要により、ESD 保護素子を削減することもできる。ESD 保護素子の削減に伴ってチップ面積を縮小でき、コストを低減することもできる。さらに、ESD 設計が不要になるため、半導体装置 1 の設計を簡素化することができる。

〔マシンモデル試験の結果〕

図 12 は、マシンモデル試験の結果を示す図である。前述の半導体装置 1 に関して、ESD 耐圧試験を実施し、その結果を図 12 に示す。なお、図 12 の「L/S」は、第 1 開口 39 および凹部 52 のサイズを示している。ESD 耐圧試験は、東京電子交易社製の「ECDM-400E（製品名）」を用い、マシンモデル試験で、隣接する入力端子と出力端子に 0V ~ 800V の範囲で ESD を印加した。

【0073】

図 1 2 に示すように、第 1 開口 3 9 または凹部 5 2 を有するゲート電極 1 3 を含む半導体装置 1 では、第 1 開口 3 9 および凹部 5 2 が不在半導体装置（標準セル）に比べて、耐圧が劣るサンプルがあったものの、全体的には耐圧が向上していた。

以上、本発明の実施形態を説明したが、本発明は、他の形態で実施することもできる。

たとえば、半導体装置 1 において、ゲート電極 1 3 の第 1 開口 3 9 および凹部 5 2 が混在していてもよい。この場合、たとえば図 1 3 に示すように、ゲート電極 1 3 の第 1 開口 3 9 および凹部 5 2 が、第 2 方向 Y において間隔を空けて形成され、それに合わせて、ボディコンタクト領域 1 4 が複数形成されていてもよい。また、図示はしないが、ソース領域 9 に対して第 1 ドレイン領域 1 0 側に第 1 開口 3 9 が形成され、第 2 ドレイン領域 1 1 側に凹部 5 2 が形成されていてもよい。

10

【0074】

また、図 1 4 に示すように、ゲート電極 1 3 の第 1 開口 3 9 が、第 2 方向 Y において間隔を空けて複数形成され、それに合わせて、ボディコンタクト領域 1 4 が複数形成されていてもよい。

また、図 1 5 に示すように、ゲート電極 1 3 の凹部 5 2 が、第 2 方向 Y において間隔を空けて複数形成され、それに合わせて、ボディコンタクト領域 1 4 が複数形成されていてもよい。

【0075】

また、図 1 6 に示すように、ソース領域 9 およびボディコンタクト領域 1 4 が接しておらず、互いに離れていてもよい。この場合、ソース領域 9 とボディコンタクト領域 1 4 との間に、ボディ領域 8 の一部が露出し、ソースコンタクト 1 6 に接続されていてもよい。

20

また、前述の実施形態において、各半導体部分の導電型が反転された構成が採用されてもよい。つまり、p 型の部分が n 型とされ、n 型の部分が p 型とされた半導体装置 1 が採用されてもよい。

【0076】

その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

【符号の説明】

【0077】

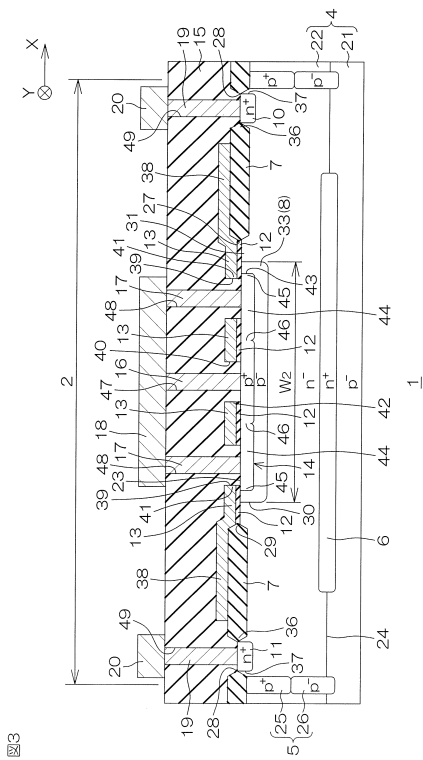
- 1 半導体装置
- 2 第 1 素子領域
- 3 第 2 素子領域
- 4 半導体基板
- 8 ボディ領域
- 9 ソース領域
- 10 第 1 ドレイン領域
- 11 第 2 ドレイン領域
- 13 ゲート電極
- 14 ボディコンタクト領域
- 15 層間絶縁膜
- 16 ソースコンタクト
- 17 ボディコンタクト
- 18 ソース配線
- 23 素子主面
- 30 (ボディ領域) 外周縁
- 32 (ボディ領域) 第 1 部分
- 33 (ボディ領域) 第 2 部分
- 34 (ソース領域) 外周縁
- 35 チャンネル領域
- 36 (フィールド絶縁膜の第 2 開口) 周縁部

30

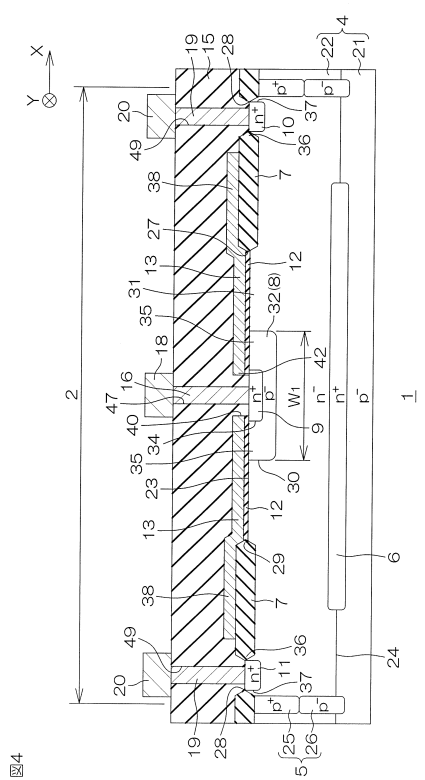
40

50

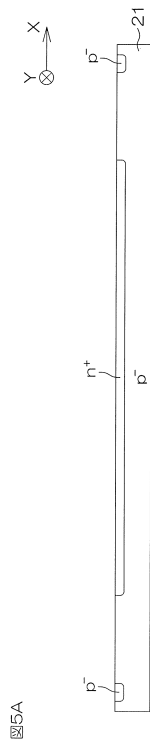
【図 3】



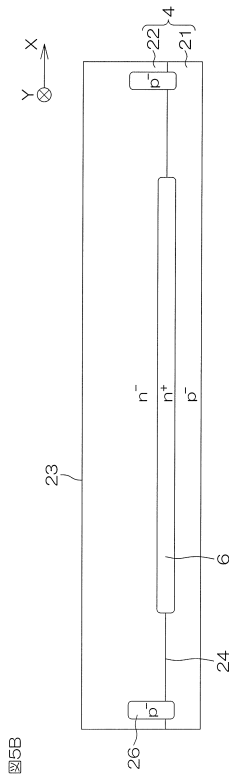
【図 4】



【図 5 A】



【図 5 B】



10

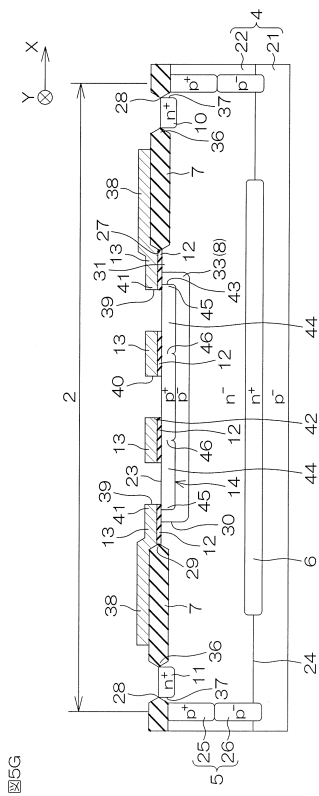
20

30

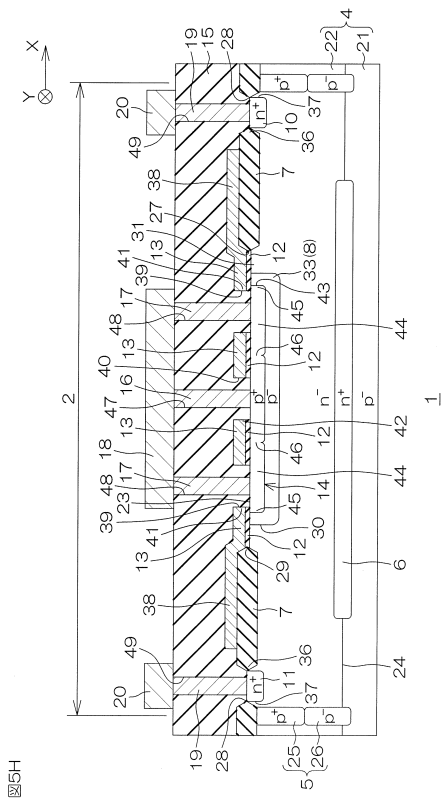
40

50

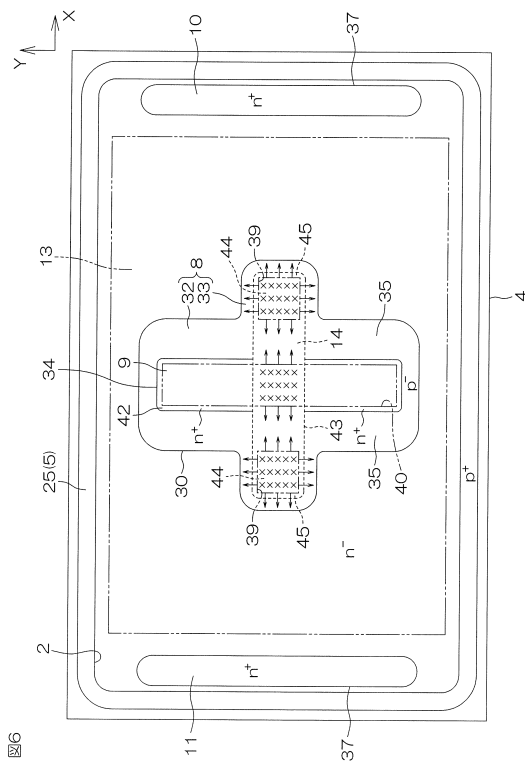
【図 5 G】



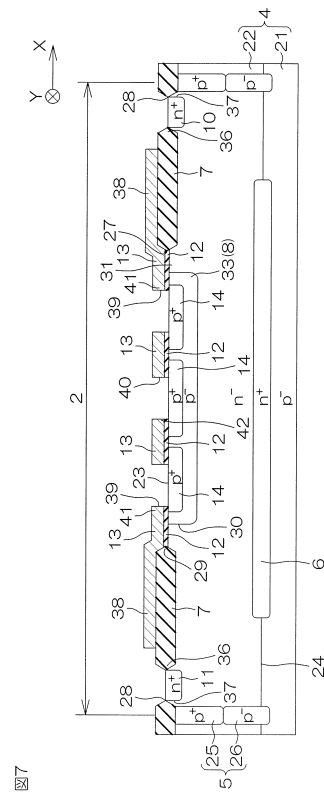
【図 5 H】



【図 6】



【図 7】



10

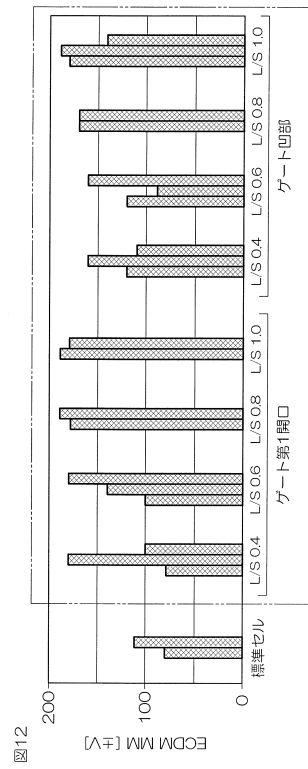
20

30

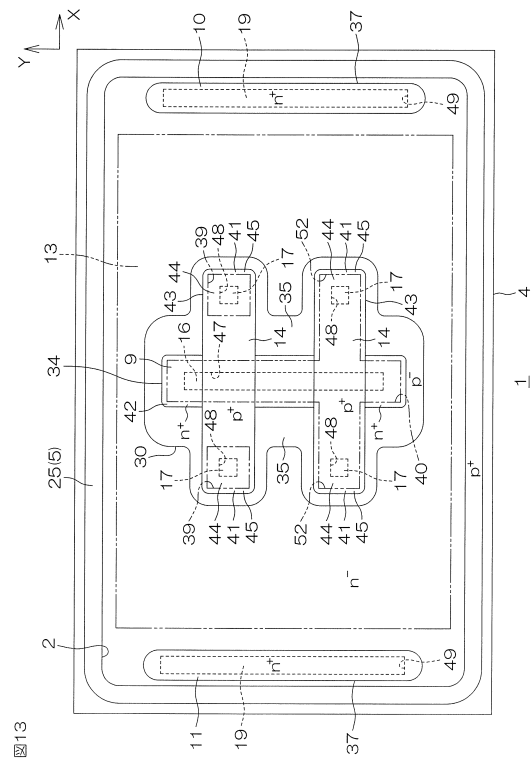
40

50

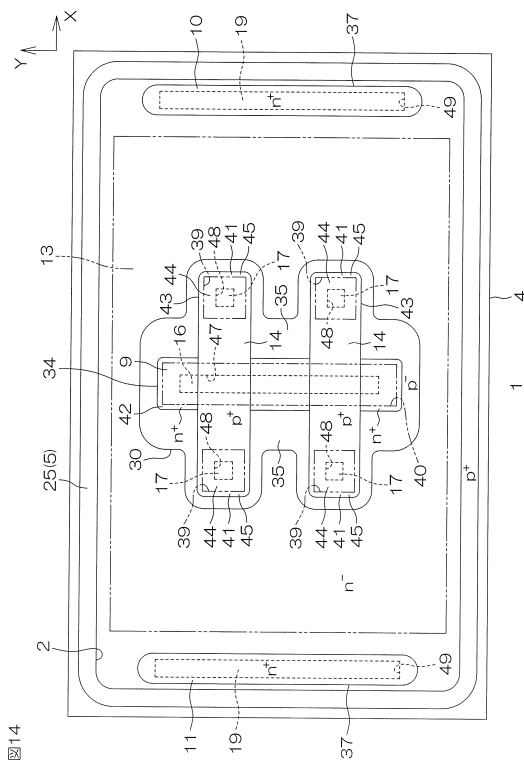
【図 12】



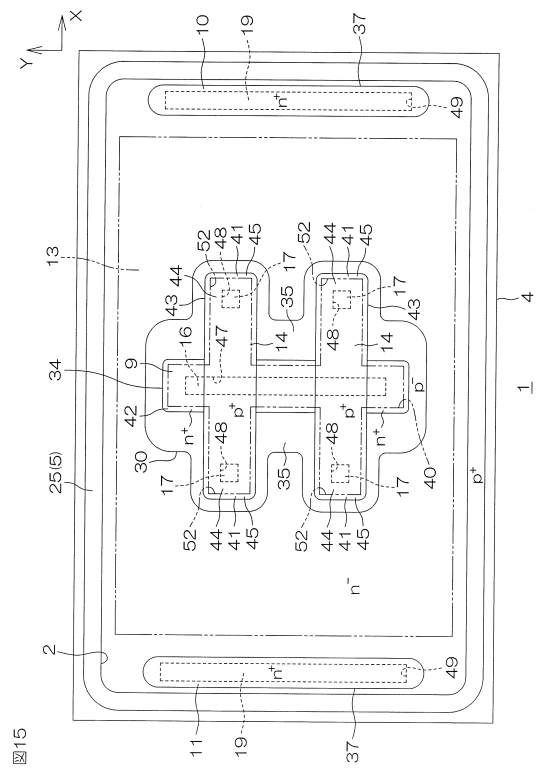
【図 13】



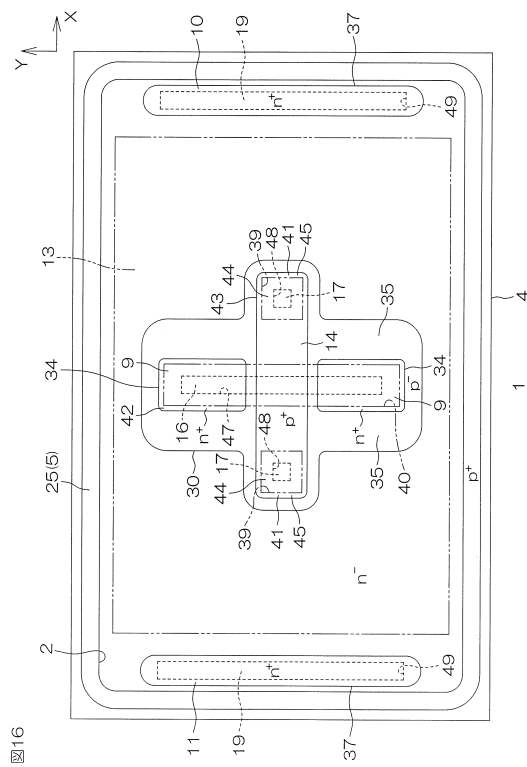
【図 14】



【図 15】



【図 16】



10

20

30

40

50

フロントページの続き

- (56)参考文献 特開 2012-104581 (JP, A)
 国際公開第 2012/127960 (WO, A1)
 特開 2010-027785 (JP, A)
 米国特許出願公開第 2012/0112274 (US, A1)
 米国特許第 8963199 (US, B2)
- (58)調査した分野 (Int.Cl., DB名)
 H01L 29/78
 H01L 27/088
 H01L 21/336
 H01L 21/8234
 H01L 29/06