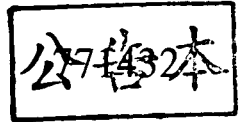


(此處由本局於收
文時黏貼條碼)



發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97129532

※申請日期：97年08月04日

※IPC分類：H01L 27/24 (2006.01)
H01L 27/10 (2006.01)

一、發明名稱：

(中) 記憶元件及記憶裝置
(英)

●二、申請人：(共 1 人)

1. 姓名：(中) 新力股份有限公司
(英) SONY CORPORATION
代表人：(中) 1. 中鉢良治
(英) 1. CHUBACHI, RYOJI
地 址：(中) 日本國東京都港區港南一丁目七番一號
(英) 1-7-1 Konan, Minato-ku, Tokyo, Japan
國籍：(中英) 日本 JAPAN

三、發明人：(共 3 人)

1. 姓名：(中) 大場和博
(英) OHBA, KAZUHIRO
國 籍：(中) 日本
(英) JAPAN

2. 姓名：(中) 水口徹也
(英) MIZUGUCHI, TETSUYA
國 籍：(中) 日本
(英) JAPAN

3. 姓名：(中) 保田周一郎
(英) YASUDA, SHUICHIRO
國 籍：(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1.日本 ; 2007/08/06 ; 2007-204031 有主張優先權

五、中文發明摘要

發明之名稱：記憶元件及記憶裝置

於電阻變化型的記憶裝置中，促使記憶及抹除狀態的電阻值的保持能力提升。在下部電極(1)與上部電極(4)之間，具有由高電阻層(2)及離子源層(3)所成的記憶層(5)。離子源層(3)，係除了含有 S(硫)、Se(硒)及 Te(碲)(硫屬化合物元素)等之離子傳導材料及 Zr(鋯)等之進行離子化的金屬元素以外，還含有 Al(鋁)作為添加元素。因為離子源層(3)中含有 Al，所以抹除動作時係在陽極極上會形成含 Al 的高電阻層(Al 氧化物)，除了能提升高電阻狀態的保持性能，還改善了動作速度。

六、英文發明摘要

發明之名稱：

七、指定代表圖：

(一)、本案指定代表圖為：第(1)圖。

(二)、本代表圖之元件代表符號簡單說明：

1：下部電極

2：高電阻層

3：離子源層

4：上部電極

5：記憶層

10：記憶元件

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

九、發明說明

【發明所屬之技術領域】

本發明係有關於，藉由含有離子源層之記憶層的電氣特性之變化，而可記憶 2 值以上之資訊的記憶元件及記憶裝置。

【先前技術】

於電腦等資訊機器中，作為 RAM (Random Access memory ; 隨機存取記憶體) ，廣泛使用高速動作且高密度的 DRAM (Dynamic Random Access memory) 。然而，DRAM 係較一般電子機器所用之邏輯電路 LSI (Large Scale Integration) 或訊號處理而言，製造製程較為複雜，因此製造成本較高。又，DRAM 係屬於切斷電源則資訊就會消失的揮發性記憶體，必須頻繁地進行刷新 (refresh) 動作，亦即需要進行將已寫入之資訊 (資料) 予以讀出，進行增幅，然後再寫回去的動作。

於是，作為切斷電源資訊也不會消失的不揮發性之記憶體，被提出的有例如：快閃記憶體、FeRAM (Ferroelectric Random Access Memory) (強介電體記憶體) 或 MRAM (Magnetoresistive Random Access Memory) (磁記憶元件) 等。這些記憶體係為，即使不供給電源，也能將已寫入之資訊，長時間地持續加以保持。

然而，上述各種不揮發性記憶體，係各有其優缺點。快閃記憶體雖然集縮度很高，但在動作速度這點上較為不

利。FeRAM，其高集縮化所需的細微加工上是有極限，且在製作製程中會有問題。MRAM 係有消費電力的問題。

於是，對於記憶體元件的細微加工極限較為有利的新形態的記憶元件，已被提出。該記憶元件，係在 2 個電極之間，夾著含有某種金屬的離子導電體之構造。在此記憶元件中，藉由在 2 個電極之任一者中含有離子導電體中所含之金屬，當在 2 個電極間施加了電壓時，電極中所含之金屬會往離子導電體中以離子方式進行擴散，使得離子導電體的電阻值或電容等電氣特性發生變化。例如，專利文獻 1 及非專利文獻 1 中，記載了利用此特性的記憶元件之構成，尤其是於專利文獻 1 中則提出了，離子導電體係由硫屬化合物與金屬的固溶體所形成之構成。具體而言，是由在 AsS、GeS、GeSe 中固溶了 Ag、Cu、Zn 的材料所成，2 個電極之任一方的電極中係含有 Ag、Cu、Zn。

[專利文獻 1]日本特表 2002-536840 號公報

[非專利文獻 1]日經 ELECTRONICS 2003.1.20 號 (第 104 頁)

【發明內容】

然而，上述構成的記憶元件中，在離子導電體的電阻值是低電阻的記憶狀態（例如「1」）、或高電阻值的抹除狀態（例如「0」）下經過長時間放置的情況下，或放置在高於室溫之溫度氛圍的情況下，電阻值會改變而變成無法保持資訊，存在如此問題。一旦資訊保持特性如此而

變低，則作為不揮發記憶體來使用的元件特性就不完善。

又，為了使每單位面積能進行大容量記錄，若不是以單純的僅有高電阻狀態「0」、低電阻狀態「1」之方式，而是例如高電阻狀態為數百 $M\Omega$ 、低電阻狀態為數 $k\Omega$ 的方式，使得保持這中間的任意值之電阻值成為可能，則不僅記憶體的動作範圍變廣，還可進行多值記錄。亦即，若能記憶 4 種電阻狀態則可記憶 2 位元/元件的資訊，若能記憶 16 種電阻狀態則可記憶 3 位元/元件的資訊，記憶體的容量就可分別提升 2 倍和 3 倍。

然而，在先前的記憶元件中，例如可變化的電阻範圍是數 $k\Omega \sim$ 數 $100M\Omega$ 的情況下，可用低電阻狀態加以保持的電阻值係約為 $10k\Omega$ 以下，可用高電阻狀態加以保持的電阻值係約為 $1M\Omega$ 以上，高電阻與低電阻狀態之中間的電阻值之保持係為困難，而有難以實現多值記錄之問題。

本發明係有鑑於上述問題點而研發，其目的在於提供一種，特別是提升高電阻狀態（抹除狀態）的電阻值之保持能力並且可多值記錄，具有適合大容量化的理想特性，且高速動作時的電阻值保持特性亦為優良的記憶元件及記憶裝置。

本發明的記憶元件，係屬於在第 1 電極與第 2 電極之間具有含離子源層的記憶層，藉由記憶層的電氣特性（例如電阻值）之變化來記憶資訊者，其特徵為，離子源層，係含有離子傳導材料及進行離子化的金屬元素，並且含有 Al（鋁）。

本發明之記憶裝置，係具備：複數記憶元件，係在第 1 電極與第 2 電極之間具有含離子源層的複數記憶層，藉由記憶層的電氣特性之變化來記憶資訊；和脈衝施加手段，對複數記憶元件選擇性地施加電壓或電流脈衝者，其特徵為，記憶元件係採用上記本發明之記憶元件。

在本發明的記憶元件或記憶裝置中，係若對初期狀態（高電阻狀態）的元件施加「正方向」（例如第 1 電極側為負電位、第 2 電極側為正電位）的電壓或電流脈衝，則在第 1 電極側會形成離子化金屬元素的傳導路徑，而成為低電阻狀態。若對低電阻狀態的元件往「負方向」（例如第 1 電極側為正電位、第 2 電極側為負電位）施加電壓脈衝，則上記傳導路徑會被氧化而金屬元素便溶解至離子源層中，轉變成高電阻狀態。

此處，若因抹除動作而使陽極電極（第 2 電極）被偏壓成微量電位時，則離子源層中所含的 Al 係不會溶解至離子源層中，而是而是在扮演固體電解質的離子源層與陽極的界面處被氧化，生成化學性質穩定的氧化膜。藉此就可改善抹除狀態（高電阻狀態）的保持性能，無論哪個電阻值區域都能獲得良好的保持特性。又，在重複寫入、抹除循環時可減少元件特性的變化或劣化。此外，亦可取代 Al 改成添加 Mg。

若依據本發明的記憶元件或記憶裝置，則由於在離子源層中係含有離子傳導材料及進行離子化的金屬元素，並且含有 Al（鋁），因此尤其可提升高電阻狀態（抹除狀態

) 的電阻值之保持能力。然後，因為電阻值的保持特性提升，所以例如從低電阻狀態變化至高電阻狀態之際，藉由調整抹除電壓，就可製造出處於高電阻狀態與低電阻狀態之間的中間狀態，因和可進行多值記錄，可實現大容量化。除此以外，由於可長期重複動作且可短脈衝高速驅動動作，因此可達到高速動作時的電阻值保持特性優良的效果。

【實施方式】

以下，說明本發明的實施形態。

圖 1 係本發明之一實施形態所述之記憶元件 10 的剖面構成圖。此記憶元件 10，係在下部電極 1 與上部電極 4 之間，具有記憶層 5。此處，下部電極 1，係例如後述（圖 2）所示般地，是被設在形成有 CMOS（Complementary Metal Oxide Semiconductor）電路的矽基板 11 上，成為與 CMOS 電路部分的連接部。

在下部電極 1 中係可使用半導體製程中所採用的配線材料，例如 W（鎢）、WN（氮化鎢）、Cu（銅）、Al（鋁）、Mo（鉬）、Ta（鉭）及矽化物等。又，當使用 Cu 等在電場中有可能產生離子傳導的材料時，亦可將 Cu 等的電極上，以 W、WN、TiN（氮化鈦）、TaN（氮化鉭）等不易發生離子傳導或熱擴散的材料，加以被覆。

記憶層 5 係由從下部電極 1 側起層積的高電阻層 2 及離子源層 3 所構成。離子源層 3，係除了含有離子傳導材

料及進行離子化的金屬元素外，作為為了在抹除時（高電阻時）形成氧化物的添加元素，例如還含有 Al（鋁）。

作為離子傳導材料（陰離子元素）係可舉出為例如 S（硫）、Se（硒）及 Te（碲）等之硫屬（chalcogenide）元素；可為這些元素之 1 種，也可為 2 種以上的組合。

進行離子化的金屬元素，係在寫入動作時的陰極極上被還原而形成金屬狀態的傳導路徑（絲極），是在含有上記 S、Se、Te 之離子源層 3 中以金屬狀態存在，其化學性質較為穩定的元素，較為理想，例如週期表上的 4A、5A、6A 族的過渡金屬元素，亦即，（Ti（鈦）、Zr（鋯）、Hf（鈦）、V（釩）、Nb（鈮）、Ta（鉭）、Cr（鉻）、Mo（鉬）、W（鎢），係為理想。可為這些元素的 1 種，也可為組合 2 種以上的金屬元素來為之。

除了這些過渡金屬元素以外，例如亦可含有 Cu（銅），或 Ni（鎳）、Ag（銀）、Zn（鋅）等元素。此外，在過渡金屬元素中例如添加 Cu 來使用的情況下，離子源層 3 中的過渡金屬元素與 Cu 的下記比率是大於 0.15 者，較為理想。

$$\frac{\text{(過渡金屬元素的組成比、原子\%)}}{\{(\text{Cu 的組成比、原子\%}) + (\text{過渡金屬元素的組成比、原子\%})\}}$$

其原因係如後述，若大於 0.15 則保持特性係為良好，但若為 0.15 以下，則抹除側的保持特性會降低。

離子源層 3 中所含之添加元素 Al，係當記憶元件 10 從低電阻狀態切換至高電阻狀態時，用來形成氧化物所需

。亦即，若因抹除動作而使陽極電極（第 2 電極）被偏壓成微量電位時，則不會溶解至離子源層 3 中，而是而是在扮演固體電解質的離子源層 3 與陽極的界面處被氧化，成為化學性質穩定的氧化膜（Al 氧化膜）。藉此，在本實施形態中，就可改善抹除狀態（高電阻狀態）的保持性能，無論哪個電阻值區域都能獲得良好的保持特性。又，在長期重複寫入・抹除循環時，也能抑制元件特性的變化或劣化。

雖然在離子源層 3 中係可含有和 Al 呈現同樣特性、在離子源層 3 與陽極之界面處被氧化，生成穩定氧化膜的元素，例如 Ge（鍺）、Mg（鎂）、Si（矽）等，但是以至少含有 Al 者，較為理想。

離子源層 3 中的 Al 的含有量，理想為，20 原子%以上 60 原子%以下。未滿 20 原子%時，促使高電阻狀態之保持特性提升的效果及重複特性的提升效果會減少；若超過 60 原子%時，則容易發生 Al 離子的移動，因此會因 Al 離子的還原而不幸造成寫入狀態，又，Al 在硫屬化合物的固體電解質內的金屬狀態穩定性較低，會使低電阻的寫入狀態之保持特性降低。

離子源層 3，具體而言係例如為 ZrTeAl、TiTeAl、CrTeAl、WTeAl 及 TaTeAl。又，亦可為，例如對 ZrTeAl，添加 Cu 而成 CuZrTeAl，甚至再添加 Ge 而成 CuZrTeAlGe，甚至還可為加入了添加元素的 CuZrTeAlSiGe。或者，Al 的代用品，亦可為使用 Mg 作為

抹除時形成氧化層之元素的 $ZrTeMg$ 。作為進行離子化的金屬元素，在取代掉了 Zr 、改為選擇了 Ti 或 Ta 等其他過渡金屬元素時，也可使用同樣的添加元素，例如可為 $TaTeAlGe$ 等。甚至，作為離子傳導材料，除了 Te 以外，也可使用 S 或 Se 、或是 I （碘），具體而言，即使使用 $ZrSAl$ 、 $ZrSeAl$ 、 $ZeIAl$ 等，也可獲得本發明之效果，這很容易類推的。此種情況下，亦可使用 Ge 或 Si 或 Mg 。

高電阻層 2，雖然只要是與離子源層 3 接觸也能維持穩定的絕緣體或半導體即可而可採用任何物質，但理想係為 Gd （釷）等稀土類元素，含有 Al 、 Mg 、 Ta 、 Si 及 Cu 之中的至少 1 種的氧化物或是氮化物等即可。高電阻層 2 的電阻值，係例如由稀土類元素的氧化物所構成時，則可隨著其厚度或所含有的氧的量等，來做調整。雖然高電阻層 2 在本發明中係並非必須，但為了使資訊的保持特性穩定化，設有高電阻層 2 係較為理想；此情況下係如圖 1 所示，是接觸於下部電極 1 側而形成。此外，在未形成高電阻層 2 的情況下，離子源層 3 的電阻值係可藉由抹除電流及電壓來調整。

在上部電極 4 中，係可和下部電極 1 同樣地使用公知的半導體配線材料。

本實施形態的記憶元件 10 中，透過上記下部電極 1 及上部電極 4 從未圖示之電源（脈衝施加手段），施加電壓脈衝或電流脈衝，則記憶層 5 的電氣特性，例如電阻值係會改變，藉此以進行資訊的記憶、抹除、或是讀取。以

下，具體說明其動作。

首先，上部電極 4 係例如為正電位、下部電極 1 側係為負電位的方式，來對記憶元件 10 施加正電壓。此處，作為進行離子化的金屬元素，例如使用過渡金屬元素的 Zr 時，從離子源層 3 會有 Zr 的陽離子進行離子傳導，在下部電極 1 側與電子結合而析出，其結果為，在下部電極 1 與記憶層 5 的界面處，被還原成金屬狀態的低電阻的 Zr，形成了傳導路徑（絲極）。或是，在高電阻層 2 之中，形成傳導路徑。因此，記憶層 5 的電阻值會變低，從初期狀態的高電阻狀態，變化成低電阻狀態。

其後，即使去除正電壓而不對記憶元件 10 施加電壓，也能保持低電阻狀態。因此資訊就被記錄。在使用於只能記錄一次的記憶裝置，亦即所謂 PROM (Programmable Read Only Memory) 時，僅需前記的記錄過程，就完成了記錄。另一方面，在應用於可抹除之記憶裝置、亦即 RAM (Random Access Memory) 或 EEPROM (Electrically Erasable and Programmable Read Only Memory) 等的時候，則必須要有抹除過程，但於抹除過程中，係例如上部電極 4 是負電位、下部電極 1 側是正電位的方式，對記憶元件 10 施加負電壓。藉此，記憶層 5 內所形成之傳導路徑的 Zr 係被氧化而離子化，溶解於離子源層 3 中或是與 Te 等結合，Zr 所致的傳導路徑便消失，同時，離子源層 3 中所含之 Al 會形成氧化物（絕緣層），使得電阻值變高。

其後，即使去除負電壓而不對記憶元件 10 施加電壓

亦即，在本實施形態中，若在含 Zr 的離子源層 3 進行寫入，則 Zr 會成爲負責形成傳導路徑的離子化元素，會形成由被還原之金屬狀態的 Zr 所成的傳導路徑。由於 Zr 的傳導路徑係在硫屬化合物的電解質中較難被溶解，因此一旦變成寫入狀態，亦即變成低電阻狀態時，則相較於例如其他 Cu 或 Ag 等在硫屬化合物電解質中容易被溶解之金屬元素來形成傳導路徑時，更能容易保持低電阻狀態。藉此就可提升低電阻狀態下的保持性能。

另一方面，在抹除時的高電阻狀態下也是，當 Zr 再次於離子源層中以離子（陽離子）的方式溶解時，由於 Zr 係至少比 Cu 等其他元素而言離子移動度較低，因此，即使遇到溫度上升，或是長期間放置，也難以移動，於陰極極上也難以發生以金屬狀態析出之情事。或者，Zr 氧化物係在硫屬化合物電解質中很穩定，氧化物不易劣化，因此即使在高於室溫的高溫狀態或長時間保持的情況下，仍可維持高電阻狀態。此外，Zr 量過多，則離子源層 3 的電阻值會降得過低，導致無法對離子源層 3 施加有效的電壓，或是要使 Zr 溶解於硫屬化合物層中會變得困難。因此，尤其在抹除時會變得困難，抹除的閾值電壓會隨 Zr 添加量而逐漸上升；若再添加更多時，則寫入、亦即低電阻化也會變得困難。另一方面，若 Zr 添加量過少，則如前述的所有範圍之電阻值的保持特性提升效果，就會減少。因此，離子源層 3 中的 Zr 的含有量係爲 3 原子%以上爲理想，更爲理想則是 3 原子%以上 40 原子%以下。

再者，在本實施形態中，因為離子源層 3 中含有 Al，所以抹除動作時係在陽極極上會形成含 Al 的高電阻層（Al 氧化物）。由於 Al 氧化物係在硫屬化合物的固體電解質中呈化學性質穩定，因此不會和其他元素反應而被破壞，所以容易維持高電阻狀態，進行保持及高溫保持加速試驗時也容易保持在高電阻狀態。亦即，例如，即使 Cu 或 Ag 的氧化物會因為抹除動作而在陽極極上被形成析出，仍會導致對陽極施加微量電位的偏壓消失，一旦變成資訊保持模式則恐怕高電阻的氧化物會與硫屬化合物發生反應，而難以保持高電阻狀態。

因為如此，在本實施形態中，由於具有能夠保持所有範圍之電阻值的特性，因此例如若調整從低電阻往高電阻狀態動作之際的抹除電壓，製造出高電阻狀態與低電阻狀態的中間狀態，則可將該電阻值予以保持，因此可實現多值記憶體。

又，本實施形態中，雖然在離子源層 3 中，Zr 與 Al 是以陽離子狀態而存在，但由於在寫入動作時的陰極極上，Zr 是比 Al 更容易被還原，因此 Al 是擔任還原劑的角色以促進 Zr 的還原。因此寫入動作速度係會大幅提升。另一方面，在抹除動作時，反之由於 Zr 係作為在 Al 被氧化而形成高電阻層時的氧化劑而發揮作用，因此 Al 的氧化反應會被加速，提升動作速度。

因此，在本實施形態中，寫入及抹除的動作速度係會顯著提升，並且如上記的寫入、抹除動作係為容易，因此

寫入·抹除循環所致之多餘離子的移動係不會發生，不會發生元素在離子源層 3 中偏析等，因此循環特性也會提升。

此外，如前述，離子源層 3 中的 Al 的含有量，雖然理想上是 20 原子%以上 60 原子%以下，但為了抑制記憶層 5 在高溫熱處理時的膜剝離，亦可添加 Al 以外的其他元素。例如，Ge 或 Si 係為可同時期待保持特性提升的添加元素，於離子源層 3 中與 Al 一併使用，是很理想。這些元素，例如 Ge 係更對於循環耐性之提升是有效，但反之若添加量過多則寫入保持特性會降低。雖然其機制並不十分明朗，但可想成恐怕是在抹除動作時，促進了形成高電阻層的反應，而有抑制循環動作所致之多餘元素之擴散的效果。然後，此時的添加量若過多，則資料保持特性及高速動作性會降低，因此作為添加元素採用 Ge 或 Si 時，也是以與 Al 的合計添加量是在 20 原子%以上 60 原子%以下之範圍內，較為理想。

以下，說明本實施形態之記憶元件 10 的製造方法。

首先，在已形成有選擇電晶體等 CMOS (Complementary Metal Oxide Semiconductor) 電路的基板上，形成例如由 W 所成的下部電極 1。其後，若有必要則藉由逆濺鍍等，將下部電極 1 表面上的氧化物等予以去除。接著，形成由 Gd 氧化膜所成的高電阻層 2。例如，使用 Gd 靶材，形成金屬 Gd 膜例如膜厚 1nm 後，以氧電漿使其氧化。接著，離子源層 3 係為，例如，以 DC 磁控濺

鍍法來形成 ZrTeAl 膜。接著，作為上部電極 4，例如形成 W（鎢）膜。如此而形成了層積膜。

其後，在此層積膜的各層中，將高電阻層 2、離子源層 3 及上部電極 4，以電漿蝕刻等進行圖案化。除了電漿蝕刻以外，也可採用離子研磨、RIE（Reactive Ion Etching；反應性離子蝕刻）等蝕刻方法，來進行圖案化。接著，以連接至上部電極 4 的方式形成配線層，將所有的記憶元件 10 與用來獲得共通電位的接觸部，予以連接。接著，對層積膜施以熱處理。如此便可製造記憶元件 10。

如以上，在本實施形態的記憶元件 10 中，由於離子源層 3 中含有硫屬元素以外還含有 Zr 與 Al，因此資訊保持特性佳。又，在細微化的情況下，即使電晶體的電流驅動力變小，仍可保持資訊。因此，使用該記憶元件 10 來構成記憶裝置，就可謀求高密度化及小型化。又，下部電極 1、高電阻層 2、離子源層 3 及上部電極 4 的各層之任一者均可由可濺鍍的材料來構成，因此製造製程也很簡單化。亦即，只要使用隨應於各層材料之組成所成的靶材，依序進行濺鍍即可。又，在同一濺鍍裝置內，藉由更換靶材，也就可以連續地進行成膜。

藉由將上記記憶元件 10 多數、例如列狀或矩陣狀地加以排列，就可構成記憶裝置（記憶體）。此時，對各記憶元件 10，可因應需要，將元件選擇用的 MOS 電晶體、或二極體加以連接以構成記憶胞，然後透過配線，連接感測放大器、位址記錄器、記錄、抹除、讀出電路等即可。

圖 2 及圖 3 係將多數記憶元件 10 配置成矩陣狀的記憶裝置（記憶胞陣列）之一例的圖示，圖 2 係表示剖面構成，圖 3 係表示平面構成。在該記憶胞陣列中，係對各記憶元件 10，將連接其下部電極 1 側的配線、與連接其上部電極 4 側的配線，予以交叉設置，例如在這些配線的交叉點附近，配置著各記憶元件 10。又，例如被連接至上部電極 4 側的配線，係整個陣列共通地形成。

更具體而言，各記憶元件 10，係共用著高電阻層 2、離子源層 3、及上部電極 4 之各層。亦即，高電阻層 2、離子源層 3 及上部電極 4 各別都是在各記憶元件 10 中以共通的層（同一層）所構成。其中，被共通形成之上部電極 4，係成為平板電極 PL。另一方面，下部電極 1 係對每一記憶胞個別地形成，藉此，各記憶胞係呈電性分離。藉由該每一記憶胞的下部電極 1，在各下部電極 1 對應位置，規定出各記憶胞的記憶元件 10。下部電極 1 係連接至各自對應的記憶胞選擇用 MOS 電晶體 Tr，各記憶元件 10 係被形成在該 MOS 電晶體 Tr 的上方。MOS 電晶體 Tr，係由被形成在半導體基板 11 內之元件分離層 12 所分離的領域中的源極/汲極領域 13 與閘極電極 14 所構成。閘極電極 14 的壁面上，係形成有側壁絕緣層。閘極電極 14，係兼任記憶元件 10 的一方之位址配線亦即字元線 WL。MOS 電晶體 Tr 的源極/汲極領域 13 之一方，與記憶元件 10 的下部電極 1，是透過拴塞層 15、金屬配線層 16 及拴塞層 17 而被電性連接。MOS 電晶體 Tr 的源極/汲極領域 13 之

另一方面，係透過拴塞層 15 而連接至金屬配線層 16。金屬配線層 16 係被連接至，記憶元件的另一方之位址配線亦即位元線 BL（參照圖 3）。此外，於圖 3 中，MOS 電晶體 T_r 的活化領域 18 是以虛線表示，接觸部 21 係連接至記憶元件 10 的下部電極 1，接觸部 21 係連接至位元線 BL。

在該記憶胞陣列中，一旦藉由字元線 WL 而使 MOS 電晶體 T_r 的閘極變成 ON 狀態，對位元線 BL 施加電壓，則透過 MOS 電晶體 T_r 的源極/汲極，已被選擇之記憶胞的下部電極 1 會有電壓施加。此處，若被施加至下部電極 1 的電壓之極性，相較於上部電極 4（平板電極 PL）之電位是負電位時，則如上述般地，記憶元件 10 的電阻值會往低電阻狀態遷移。藉此，對所被選擇之記憶胞，就記錄了資訊。接著，若對下部電極 1，施加相較於上部電極 4（平板電極 PL）之電位是正電位的電壓，則記憶元件 10 的電阻值會再次往高電阻狀態遷移。藉此，對所被選擇之記憶胞，就將已記錄之資訊加以抹除。在進行已記錄之資訊的讀出之際，例如，以 MOS 電晶體 T_r 來選擇記憶胞，對該記憶胞施加所定的電壓或電流脈衝。此時隨應記憶元件 10 電阻狀態而不同的電流或電壓，是透過位元線 BL 或平板電極 PL 所連接的感測放大器等，而被偵測出來。此外，對已選擇之記憶胞所施加的電壓或電流，係小於會使記憶元件 10 之電阻值狀態發生遷移之電壓等的閾值。

本實施形態的記憶裝置，係可如上述般地適用於各種

記憶體裝置。例如，只能寫入一次的所謂 PROM (Programmable Read Only Memory)、可電性抹除的 EEPROM (Erasable Programmable Read Only Memory)、或可高速記錄·抹除·再生的所謂 RAM 等，任何記憶體形態均可適用。

[實施例]

以下，說明本發明的具體實施例。

(實施例 1)

首先，如圖 2 及圖 3 所示，在半導體基板 11 上形成了 MOS 電晶體 Tr。接著，以覆蓋半導體基板 11 表面的方式形成絕緣層，在該絕緣層上形成貫孔。接著，以 CVD (Chemical Vapor Deposition) 法將貫孔的內部填充由 W (鎢) 所成的電極材，將其表面以 CMP (Chemical Mechanical Polishing) 法而平坦化。然後，藉由重複這些工程，形成拴塞層 15、金屬配線層 16、拴塞層 17 及下部電極 1，然後將下部電極 1 就每一記憶胞地進行圖案化。該下部電極 1 的開口部之大小，係設成直徑 300nm。接著，爲了去除下部電極 1 的上面的氧化物，使用 RF 電源進行逆濺鍍，以進行 1nm 程度的蝕刻。此時，將下部電極 1 的表面平坦化成與周圍的絕緣層在實質上是同一高度。接著，藉由 DC 磁控濺鍍，形成膜厚 1.0nm 的金屬 Gd 膜，然後將處理室壓設成 1mTorr，O₂ 氛圍，以投入電力 500W

之條件的 RF 電漿，將 Gd 膜進行 10 秒的氧化，該 Gd 氧化物就作為高電阻層 2。

接著，在高電阻層 2 上堆積了 45nm 的 ZrTeAl 膜，以作為離子源層 3。其組成係設為 Zr20%-Te40%-Al40%（原子%）。然後，在離子源層 3 上，形成膜厚 20nm 的 W 膜，以作為上部電極 4。其後，將在半導體基板 11 之上全面性形成的高電阻層 2、離子源層 3、及上部電極 4，以跨越記憶體部全體都殘留的方式進行圖案化，形成圖 1 所示的記憶元件 10，並且對上部電極 4 的表面進行蝕刻，使得用來給予中間電位（ $V_{dd}/2$ ）所需的外部電路連接用的接點部分外露。然後，以與外露的接點部分連接的方式，形成厚度 200nm 的配線層（Al 層）。接著，於真空熱處理爐中，施以 2 小時、300°C 的熱處理。如此一來便製作了圖 2 及圖 3 所示的記憶胞陣列，當作實施例 1。

以下，製作除了離子源層 3 以外均和實施例 1 同樣的記憶元件所成的記憶胞陣列，分別當成實施例 2~19、比較例 1~4。

（比較例 1、2）

離子源層 3，在實施例 1 中係使用 Zr 來作為進行離子化的金屬元素，但在比較例 1 中不使用 Al 與 Zr，而是使用 Cu 來作為進行離子化的金屬元素，並且使用 Si 來作為抹除動作中形成氧化膜的元素，將其組成設為 Cu-Te-Si。在比較例 2 中，不使用 Al，而是使用 Cu 及 Zr 來作為進

行離子化的金屬元素，並且使用 Si 來作為抹除動作中形成氧化膜的元素，將其組成設為 Cu-Zr-Te-Si。藉由將實施例 1 與比較例 1、2 進行對比，以探討被認為會因抹除動作而形成高電阻層（氧化層）中使用 Si 或 Al 時的效果，和在進行離子化的金屬元素中使用 Zr 與使用 Cu 時的記憶體動作特性之差異。

具體而言，比較例 1、2 係為以下之組成，膜厚係設為 45nm。

比較例 1：Cu47%-Te25%-Si28%（原子%）

比較例 2：Cu14%-Zr14%-Te27%-Si45%（原子%）

（實施例 2～5）

離子源層 3 中的進行離子化的金屬元素，在實施例 2～5 中係取代掉 Zr，改用其他的過渡金屬元素 Ta、Cr、Ti、W。膜厚係設為 45nm。

實施例 2：Ta20%-Te40%-Al40%（原子%）

實施例 3：Cr30%-Te30%-Al40%（原子%）

實施例 4：Ti30%-Te30%-Al40%（原子%）

實施例 5：W15%-Zr5%-Nb5%-Te35%-Al40%（原子%）

（實施例 6～9、比較例 3、4）

使用 Zr 作為離子源層 3 的進行離子化的金屬元素，分別形成膜厚 45nm 的具有以下組成比的膜。Zr 與 Te 的

比率係設為大略一定，而使 Al 的組成比變化為 10、20、30、40、50、60、70%。

比較例 3：Zr30%-Te60%-Al10% (原子%)

實施例 6：Zr27%-Te53%-Al20% (原子%)

實施例 7：Zr23%-Te47%-Al30% (原子%)

實施例 8：Zr16%-Te34%-Al50% (原子%)

實施例 9：Zr13%-Te27%-Al60% (原子%)

比較例 4：Zr10%-Te20%-Al70% (原子%)

(實施例 10~15)

使用 Zr 與 Cu 作為離子源層 3 的進行離子化的金屬元素，分別形成膜厚 45nm 的具有以下組成比的膜。Zr 與 Cu 的比率，以 $Zr/(Cu+Zr)$ 的分率比來表示，使其變化為 1、0.69、0.5、0.32、0.15、0。

實施例 10：Zr16%-Te44%-Al40% (原子%)

實施例 11：Zr11%-Cu5%-Te44%-Al40% (原子%)

實施例 12：Zr8%-Cu8%-Te44%-Al40% (原子%)

實施例 13：Zr10%-Cu21%-Te29%-Al44% (原子%)

實施例 14：Zr5%-Cu28%-Te28%-Al39% (原子%)

實施例 15：Cu45%-Te23%-Al32% (原子%)

(實施例 16~18)

使用 Zr 與 Cu 作為離子源層 3 的進行離子化的金屬元素，分別形成膜厚 45nm 的以下組成比的膜。作為抹除動

作時形成氧化物之元素的 Al 中，添加 Ge、Si，當成實施例 16、17。又，取代 Al 改用 Mg 的情況當成實施例 18。

實施例 16：Zr8%-Cu8%-Te44%-Al35%-Ge5% (原子%)

實施例 17：Zr8%-Cu8%-Te44%-Al35%-Si5% (原子%)

實施例 18：Zr8%-Cu8%-Te44%-Mg40% (原子%)

(實施例 19)

和實施例 1 同樣地，具有 CMOS 電路的半導體基板 11 上所形成的下部電極 1，以厚度 15nm 左右的 SiO₂ 膜加以覆蓋而作為層間絕緣膜。接著，以電子束微影法進行圖案化而在層間絕緣膜上開孔了直徑 20nm 的接觸孔後，不形成高電阻層 2，直接形成具有 Zr8%-Cu8%-Te44%-Al40% (原子%) 之組成的離子源層 3，製作和實施例 1 同樣的記憶胞陣列。將其當成實施例 19。

[特性評價]

< 實驗 1 >

例如，對實施例 1 的記憶元件 10 的記憶胞陣列，將上部電極 4 所連接的上部配線接地至 V_{dd}/2 的中間電位，對所選擇之記憶胞的閘極電極亦即字元線 WL 施加電壓而設成 ON 狀態，對電晶體 Tr 的源極/汲極 13 當中、未被連接至記憶元件 10 者上所連接的電極、亦即位元線 BL，例

如，以 $10\mu\text{s}$ 的脈衝寬施加 3.0V 的「寫入動作」，對記憶胞陣列中的 10 元件 $\times 2$ 列合計 20 元件進行之，其後讀出電阻值。接著，對閘極電極施加 3.0V 而成爲 ON 狀態，然後將 $-0.7\text{V} \sim -2.5\text{V}$ 的每 0.2V 刻度的電壓，例如以 $10\mu\text{s}$ 的脈衝寬，對記憶胞陣列中的同樣 10 像素 $\times 2$ 列合計 20 元件施加而進行「抹除動作」，將抹除狀態的電阻值予以讀出。將此寫入及抹除動作對記憶胞陣列反覆進行 1000 次，評估重複動作特性。若使寫入及抹除動作時的脈衝寬例如變窄，則可評估高速動作特性。又，反覆 1000 次後， 10 元件 $\times 2$ 列的 1 列份係在寫入狀態下停止，剩餘的 1 列份係在抹除狀態下停止，測定寫入狀態及抹除狀態的電阻值。接著， 130°C 的烤箱中保持 1 小時，進行高溫加速保持試驗。其後將寫入狀態及抹除狀態的電阻值予以讀出，在高溫加速保持試驗前後比較電阻值，評估資訊保持特性。如此所得到的實施例 1 的記憶元件的重複特性，係示於圖 4。

接著，將脈衝寬設成 100ns 、 $1\mu\text{s}$ 、 $10\mu\text{s}$ ，將寫入電壓 V_w 設成 3.0V ，將寫入閘極電極 V_{gw} 設成 1.3V 及 1.8V ，將抹除閘極電極設成 3.0V ，令抹除電壓 V_e 在 $0.7\text{V} \sim 2.5\text{V}$ 間變化。將此反覆 1000 次後，進行 $130^\circ\text{C} - 1\text{h}$ 的高溫加速保持前後，調查寫入狀態（低電阻狀態）及抹除狀態（高電阻狀態）的電阻值的抹除電壓依存性。其結果示於圖 5（A）～（C）。實線係保持前的電阻值，虛線係保持後的電阻值。

接著，以同樣的方法，以 Cu-Te-Si 系之組成所成的比較例 1 的樣本，進行同樣測定的結果，示於圖 6 (A) ~ (C)。可獲得良好保持特性、寫入和抹除，亦即可保持低電阻與高電阻狀態的是脈衝寬至 $10\mu\text{s}$ 為止，在短到 100ns 為止的脈衝寬，係幾乎無法保持。又，圖 7 (A) ~ (C)，係以 Cu-Zr-Te-Si 系之組成所成的比較例 2 的樣本，進行同樣測定的結果。雖然相較於僅使用 Cu 來作為擔任記憶體動作之動作離子的比較例 1 的結果，短脈衝動作下的保持特性有較優良的傾向，但高電阻狀態及低電阻狀態的保持特性係劣於實施例 1。此外，圖中的「P_{ww}」係表示寫入的脈衝寬，「P_{wc}」係表示抹除的脈衝寬。

根據這些結果可得知以下事情。亦即，作為抹除時形成高電阻層（氧化層）的元素，在實施例 1 中係使用 Al，在比較例 1、2 中係使用 Si，但藉由含 Al，在實施例 1 中係提升高速動作的穩定性，並大幅改善高速動作後的寫入及抹除電阻的保持特性。又，若將負責記憶體動作之動作離子為 Cu 的比較例 1，和為 Zr 的實施例 1 來進行比較，在實施例 1 中藉由含有 Zr，就可大幅改善以短脈衝寫入時的記錄保持特性。又，若將雖然含有 Zr 但不含 Al 的比較例 2，和含有 Zr 及 Al 的實施例 1 進行比較，則含有 Al 的實施例 1 中，抹除特性係有獲得改善。

又，以和圖 4 相同的條件來測定比較例 2 之樣本的重複特性之結果，示於圖 8。在比較例 2 中，相較於實施例 1 則發現重複特性係有差異，其劣化是大於實施例 1。亦

即，如實施例 1 般地在離子源層 3 中含有 Al，而且還含有 Zr 作為載子離子，藉此就可高速動作，且高速動作後的資料保持特性也很優良。

< 實驗 2 >

和實驗 1 同樣地，測定載子離子是使用 Ta、Cr、Ti、W-Zr-Nb 合金的實施例 2~5 的重複保持特性。將脈衝寬設成 100ns 時的結果，示於圖 9 (A) ~ (D)。

在實驗 1 中，可知當載子離子使用 Zr 時，動作特性是較使用 Cu 之載子離子時有獲得改善，但其他即使使用 Ta、Cr、Ti、W，也因為在離子源層 3 中含有 Al，所以能獲得和 Zr 同樣的高速動作後的保持特性優良之動作特性。其原因雖然並非十分明朗，但可想成若將 Zr、Ta、Cr、Ti 等當作載子離子使用時，相較於僅使用 Cu 的情況，寫入動作所產生的金屬狀態之傳導路徑，是在 Te 等硫屬化合物之固體電解質中穩定的緣故。因此，除了實驗 1、2 中進行過試驗的 Zr、Ta、Cr、Ti 以外，只要金屬狀態之傳導路徑是在硫屬化合物電解質中穩定者，都可期待獲得同樣效果，這是很容易類推的。亦即，在週期表上的 4A、5A、6A 族的過渡金屬元素 (Ti、Zr、Hf、V、Nb、Ta、Cr、Mo、W) 之任一者當作載子離子使用時，都有可能獲得高速動作性及該資料保持特性。

又，從圖 9 (D) (實施例 5) 的結果可知，即使將過渡金屬元素的混合物 W-Zr-Nb 當成載子離子使用時，仍可

獲得高速動作性及資料保持特性。因此，上記過渡金屬元素係可含有 2 種以上，或是主要使用這些元素，則即使含有其以外的元素，也能獲得同樣動作特性，這是很容易類推的。

< 實驗 3 >

將 Zr 與 Te 的當量比設為 1 且固定，令 Al 的 10 變化成 10、20、40、50、60、70%（原子%），調查適合於本發明的 Al 添加量（實施例 6~9 及比較例 3、4）。和實驗 1、2 同樣地，將脈衝寬設成 100ns 時的重複保持特性之結果，示於圖 10。

隨著 Al 量的增加，低電阻與高電阻狀態會出現明顯的差異，同時，保持特性也可看到有朝著改善之傾向。Al 量過少時，Al 添加之效果會變少，因此在抹除動作時無法形成氧化膜等高電阻層，導致抹除無法出現足夠高的高電阻值。但是，若組成比上 Al 量增大到 70 原子%，則雖然寫入或抹除是可行，但保持特性會惡化，尤其是寫入保持特性會惡化。這推測也可能是因為 Al 添加過量，因此太過容易生成氧化膜等高電阻層。因此，要能獲得良好特性的 Al 添加量，理想係為 20% 以上 60% 以下。

< 實驗 4 >

藉由實施例 10~15，調查作為離子源層 3 中的載子離子是使用 Zr 及 Cu 兩者時的情形。實施例 10~15 中，係

使 Zr 與 Cu 的比率 $Zr / (Cu + Zr)$ ，變化成爲 1、0.69、0.5、0.32、0.15、0。和實驗 1~3 同樣地，將脈衝寬設成 100ns 時的重複保持特性之結果，示於圖 11 (A) ~ (F)。

從圖 11 的結果可知，相對於 Zr 載子離子置換一定量的 Cu 後，仍會呈現同樣的動作特性。但是，如圖所示，若 $Zr / (Cu + Zr)$ 比小於 0.1，則抹除側的保持特性會變得不良。因此， $Zr / (Cu + Zr)$ 的值大於 0.15，較爲理想。這在使用 Zr 以外的過渡金屬元素 (Ti、Hf、V、Nb、Ta、Cr、Mo、W) 等來作爲載子離子時，也是同樣如此。又，除了 Cu 以外，對上記過渡金屬元素添加 Ag、Ni、Zn 等時，也會獲得同樣結果，這是很容易類推的。

< 實驗 5 >

藉由實施例 16、17，調查抹除動作時作爲形成氧化物之元素的 Al 中分別添加 Ge、Si 時的效果。又，針對取代 Al 改用 Mg 的實施例 18，也進行同樣探討。和實驗 1~4 同樣地，將脈衝寬設成 100ns 時的重複保持特性之結果，示於圖 12 (A) ~ (C)。

無論是 Ge 添加、Si 添加的哪種情形 (實施例 16、17)，都反映出在載子離子使用 Zr 之事實，呈現良好的寫入特性。亦即，在 Al 以外，還可添加 Ge 或 Si。又，Mg 的情形雖然亦可將 Al 的一部分予以置換而添加，但亦可如實施例 18 一般將 Al 全量都予以置換。

< 實驗 6 >

爲了確認使用離子源層 3 之記憶元件 10 在沒有寫入用的高電阻層 2 下是否能可動作，而進行實驗。沒有高電阻層 2 的實施例 19 的 DC 迴路之特性評價結果，示於圖 13 (A)、(B)。此外，圖 14 (A)、(B) 係圖示了具有高電阻層 2 的實施例 1 之結果。

圖 13 (A)、(B) 的結果可知，沒有高電阻層 2 的元件上，雖然初期電阻較低，但元件尺寸十分小的情況下，藉由對元件的正的施加電壓可使其低電阻化，藉由負的施加電壓可使其高電阻層，即使沒有高電阻層，仍可進行記憶體動作。

以上，雖然舉出實施形態及實施例來說明本發明，但本發明並非限定於上記實施形態及實施例，可做各種變形。

【圖式簡單說明】

[圖 1]本發明之一實施形態所述之記憶元件之構成的剖面圖。

[圖 2]使用圖 1 之記憶元件的記憶胞陣列之概略構成的剖面圖。

[圖 3]同一記憶胞陣列的平面圖。

[圖 4]實施例 1 中的記憶元件的重複保持特性的圖示。

[圖 5]實施例 1 中的寫入狀態及抹除狀態之電阻值的抹除電壓依存性的特性圖。

[圖 6]比較例 1 的抹除電壓依存性的特性圖。

[圖 7]比較例 2 的抹除電壓依存性的特性圖。

[圖 8]比較例 1 中的重複保持特性的圖示。

[圖 9]實施例 2~5 中的重複保持特性的圖示。

[圖 10]比較例 3、實施例 6~9 及比較例 4 中的重複保持特性的圖示。

[圖 11]實施例 10~15 中的重複保持特性的圖示。

[圖 12]實施例 16~18 中的重複保持特性的圖示。

[圖 13]實施例 19 的 DC 迴路之特性評價結果的圖示。

[圖 14]實施例 1 的 DC 迴路之特性評價結果的圖示。

【主要元件符號說明】

1：下部電極

2：高電阻層

3：離子源層

4：上部電極

5：記憶層

10：記憶元件

11：矽基板

12：元件分離層

13：源極/汲極領域

14 : 閘極電極

15 : 拴塞層

16 : 金屬配線層

17 : 拴塞層

18 : 活化領域

21 : 接觸部

22 : 接觸部

Tr : MOS 電晶體

PL : 平板電極

BL : 位元線

WL : 字元線

十、申請專利範圍

1. 一種記憶元件，係屬於在第 1 電極與第 2 電極之間具有含離子化層的記憶層，藉由前記記憶層的電氣特性之變化來記憶資訊的記憶元件，其特徵為，

前記離子化層，係含有：

離子傳導材料；和

包含有 Ti(鈦)、Zr(銻)、Hf(鈹)、V(釩)、Nb(鈮)、Ta(鉭)、Cr(鉻)、Mo(鉬)及 W(鎢)中之至少 1 種的過渡金屬元素，來作為進行離子化的金屬元素；和

Al(鋁)；

前記離子化層，其前記金屬元素係含有 Cu(銅)；

前記離子化層中的前記過渡金屬元素與 Cu 的比率：

$$\frac{\text{(過渡金屬元素的組成比、原子\%)}}{\{(\text{Cu 的組成比、原子\%}) + (\text{過渡金屬元素的組成比、原子\%})\}}$$

係大於 0.15。

2. 如申請專利範圍第 1 項所記載之記憶元件，其中，

前記離子化層係含有：Ge(鍺)、Mg(鎂)及 Si(矽)之中的至少 1 種。

3. 如申請專利範圍第 1 項所記載之記憶元件，其中，

前記離子化層中所含有的 Al 含有量，係為 20 原子%以上 60 原子%以下。

4. 如申請專利範圍第 1 項所記載之記憶元件，其

中，

前記金屬元素係包含有：Zr、Ti 及 Cr 之中的至少 1 種。

5. 如申請專利範圍第 1 項所記載之記憶元件，其中，

前記記憶層的離子傳導材料係為 S（硫）、Se（硒）及 Te（碲）之中的至少 1 種。

6. 如申請專利範圍第 1 項所記載之記憶元件，其中，

前記記憶層，係在前記離子化層與前記第 1 電極之間，具有電阻值高於前記離子化層的高電阻層。

7. 如申請專利範圍第 1 項所記載之記憶元件，其中，前記進行離子化的金屬元素係藉由所定電壓之施加而在前記第 1 電極側形成傳導路徑，成為低電阻狀態。

8. 如申請專利範圍第 7 項所記載之記憶元件，其中，前記傳導路徑是藉由與前記所定電壓相反極性之電壓的施加而被氧化，構成前記傳導路徑的金屬元素係溶解至前記離子化層中，成為高電阻狀態。

9. 如申請專利範圍第 1 項所記載之記憶元件，其中，前記 Al 是藉由與前記所定電壓相反極性之電壓的施加而在前記離子化層與前記第 2 電極之間形成氧化膜，成為高電阻狀態。

10. 一種記憶元件，係屬於在第 1 電極與第 2 電極之間具有含離子化層的記憶層，藉由前記記憶層的電氣特性

之變化來記憶資訊的記憶元件，其特徵為，

前記離子化層係含有；

離子傳導材料；和

包含有 Ti(鈦)、Zr(銻)、Hf(鈺)、V(釩)、Nb(鈮)、Ta(鉭)、Cr(鉻)、Mo(鉬)及 W(鎢)中之至少 1 種的過渡金屬元素，來作為進行離子化的金屬元素；和

Al(鋁)；

前記離子化層，其前記金屬元素係含有 Cu(銅)；

前記離子化層中的前記過渡金屬元素與 Cu 的比率：

$(\text{過渡金屬元素的組成比、原子\%}) / \{(\text{Cu 的組成比、原子\%}) + (\text{過渡金屬元素的組成比、原子\%})\}$

係大於 0.15。

11. 一種記憶裝置，係屬於具備：複數記憶元件，係在第 1 電極與第 2 電極之間具有含離子化層的記憶層，藉由前記記憶層的電氣特性之變化來記憶資訊；和脈衝施加手段，對前記複數記憶元件選擇性地施加電壓或電流脈衝的記憶裝置，其特徵為，

前記離子化層係含有：

離子傳導材料；和

包含有 Ti(鈦)、Zr(銻)、Hf(鈺)、V(釩)、Nb(鈮)、Ta(鉭)、Cr(鉻)、Mo(鉬)及 W(鎢)中之至少 1 種的過渡金屬元素，來作為進行離子化的金屬元素；和

Al(鋁)；

前記離子化層，其前記金屬元素係含有 Cu(銅)；

前記離子化層中的前記過渡金屬元素與 Cu 的比率：
(過渡金屬元素的組成比、原子%)/{(Cu 的組成比、原子%)+(過渡金屬元素的組成比、原子%)}
係大於 0.15。

12. 如申請專利範圍第 11 項所記載之記憶裝置，其中，

各記憶元件，係記憶 2 值以上的多值之資訊。

13. 如申請專利範圍第 11 項所記載之記憶裝置，其中，

於相鄰的複數記憶元件中，構成前記記憶元件之至少一部分的層，是由同一層所共通形成。

14. 如申請專利範圍第 13 項所記載之記憶裝置，其中，

前記複數記憶元件中的共通的層係為高電阻層、離子化層及上部電極，前記下部電極係對每一元件個別地形成。

圖 1

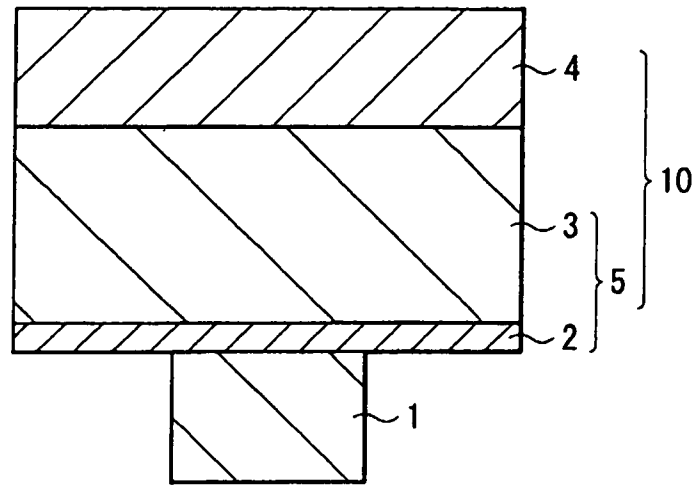


圖2

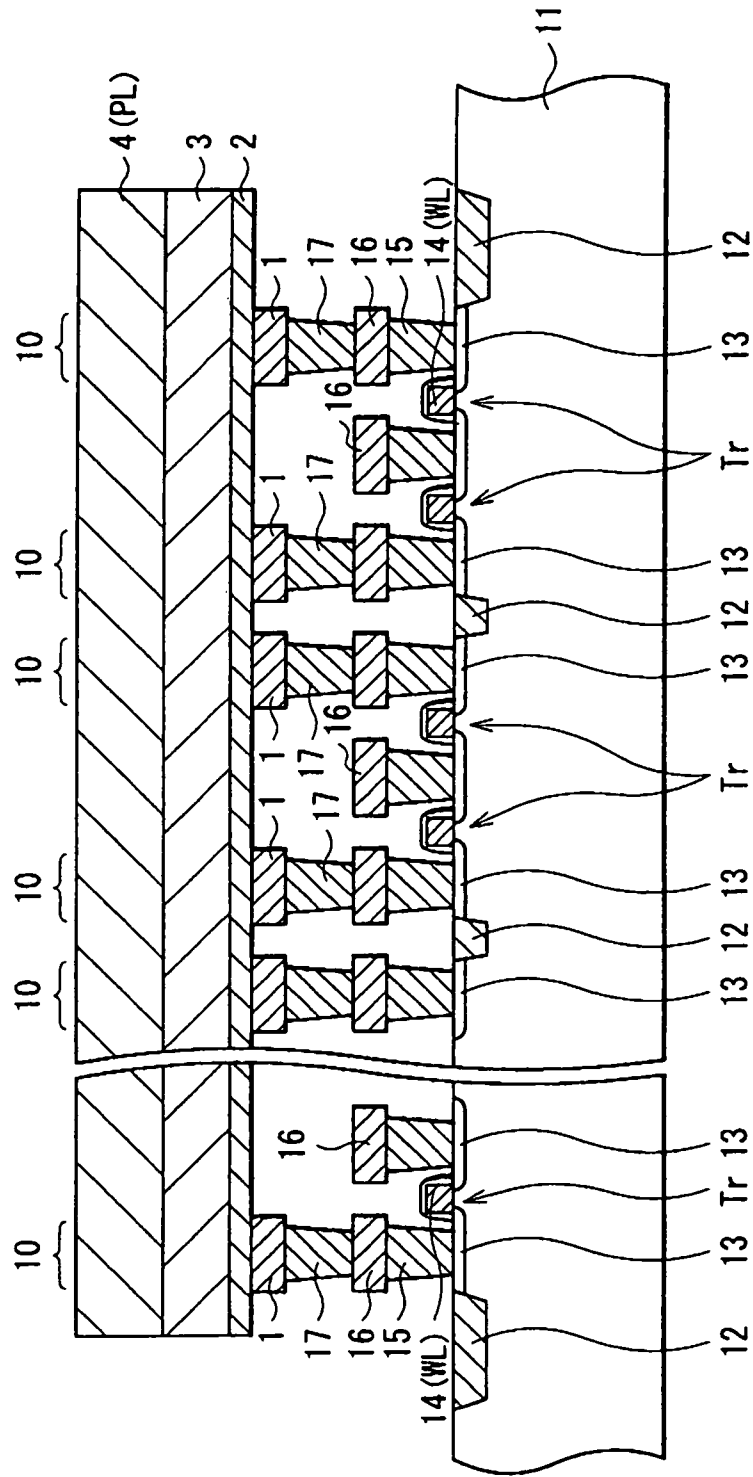


圖3

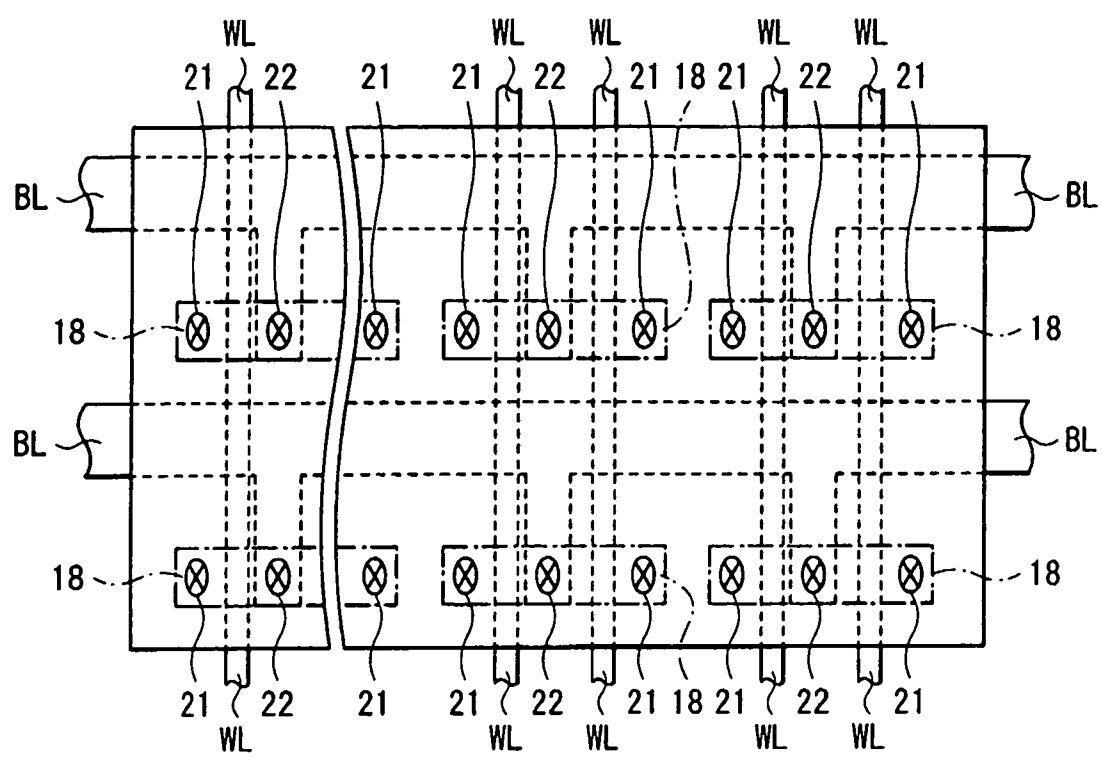


圖4

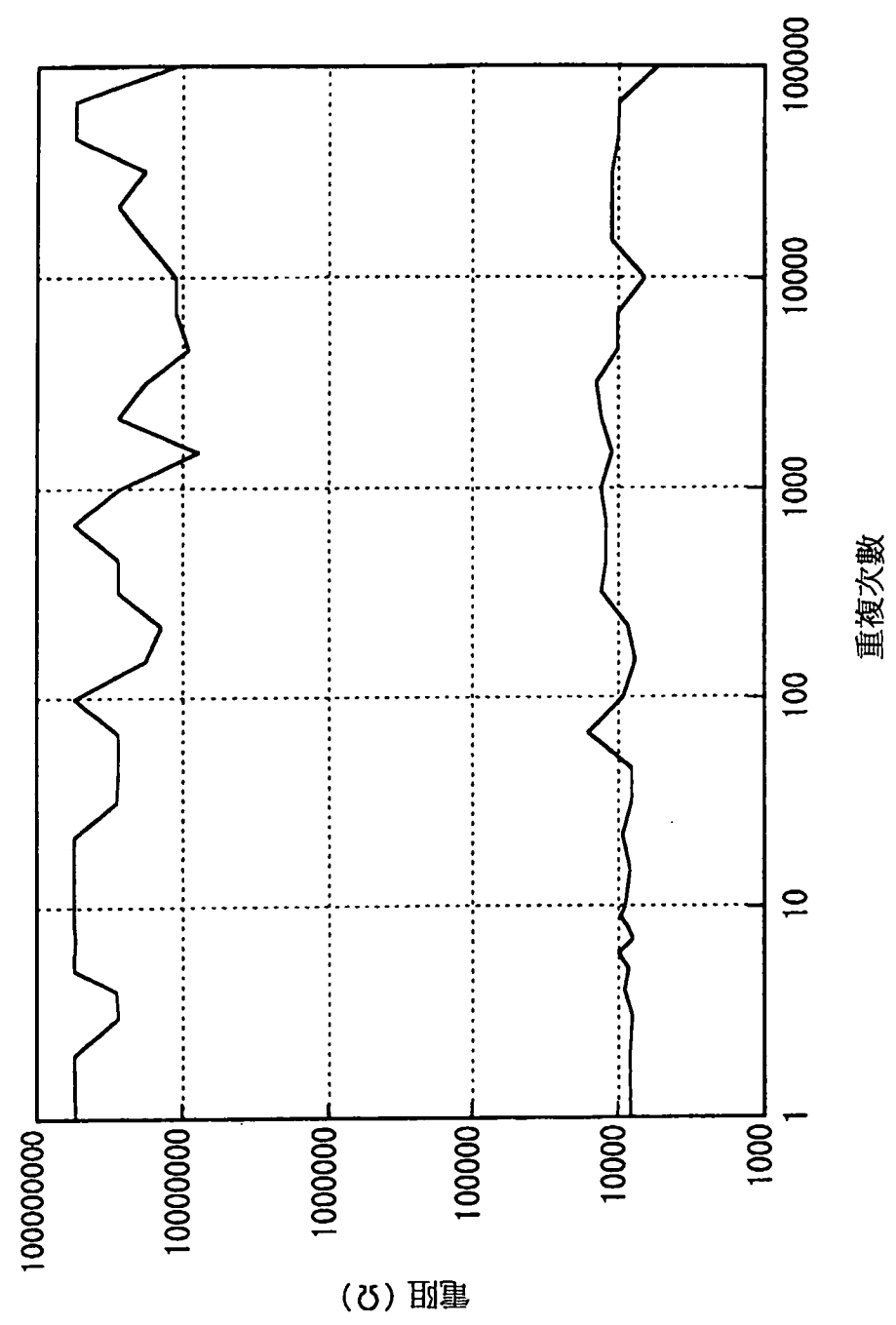


圖5

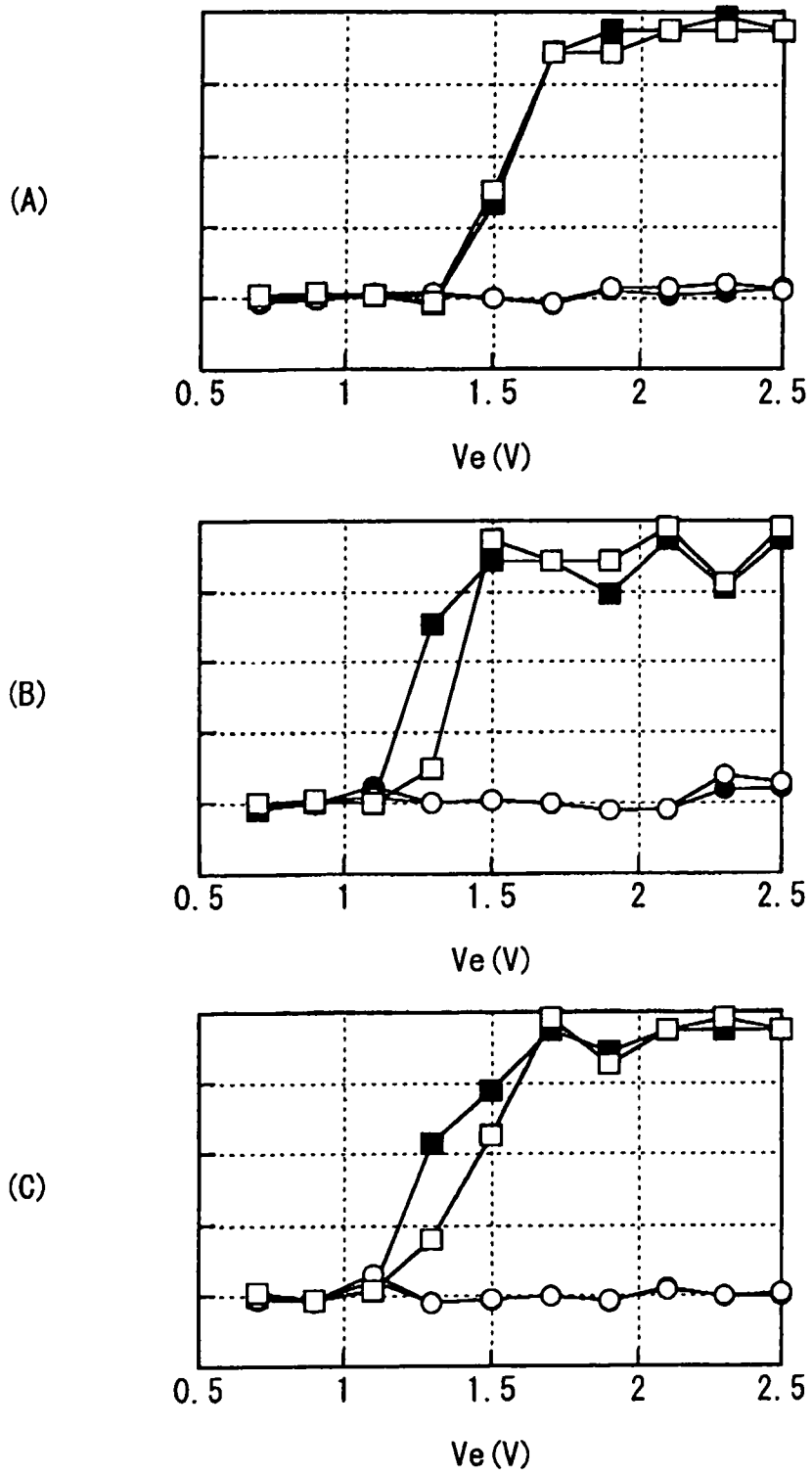


圖 6

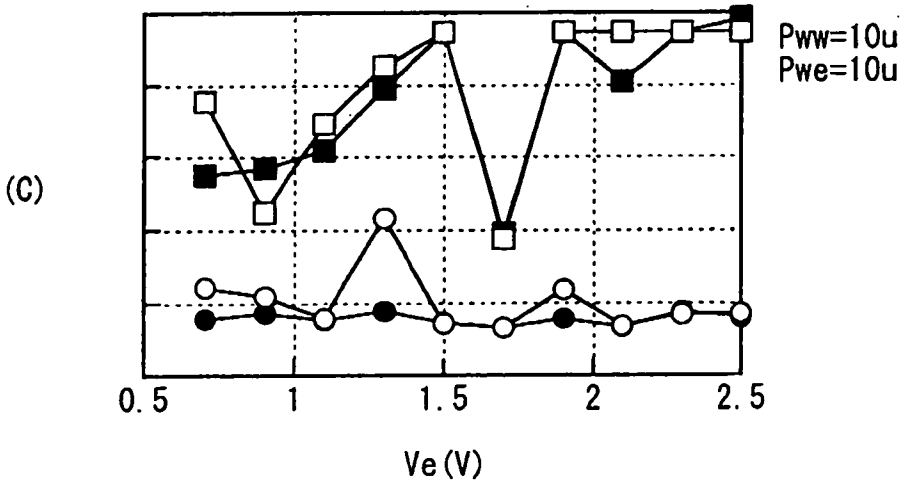
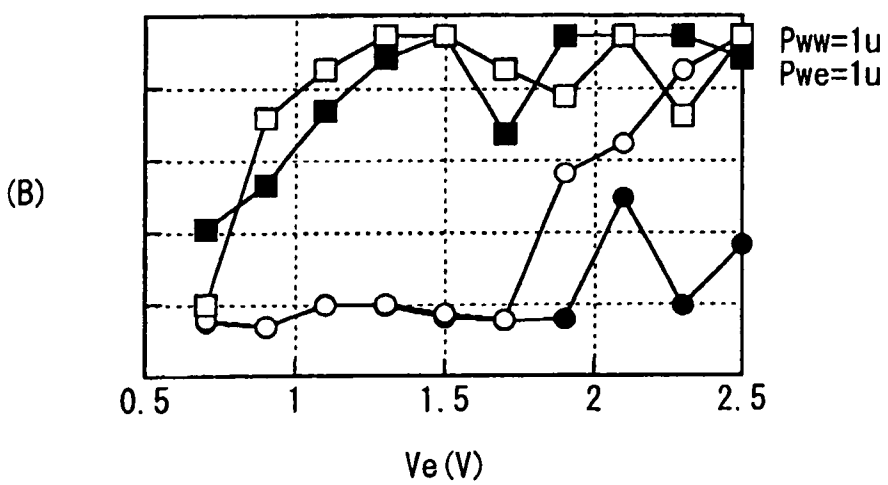
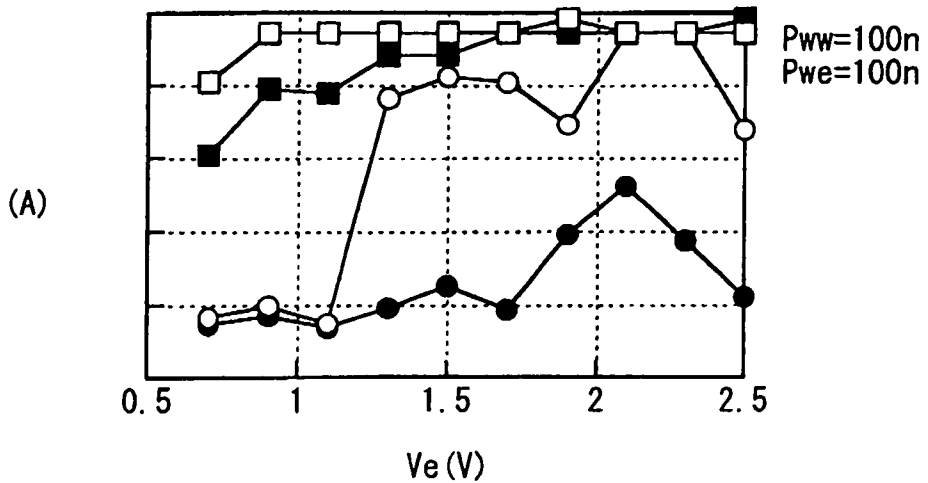


圖 7

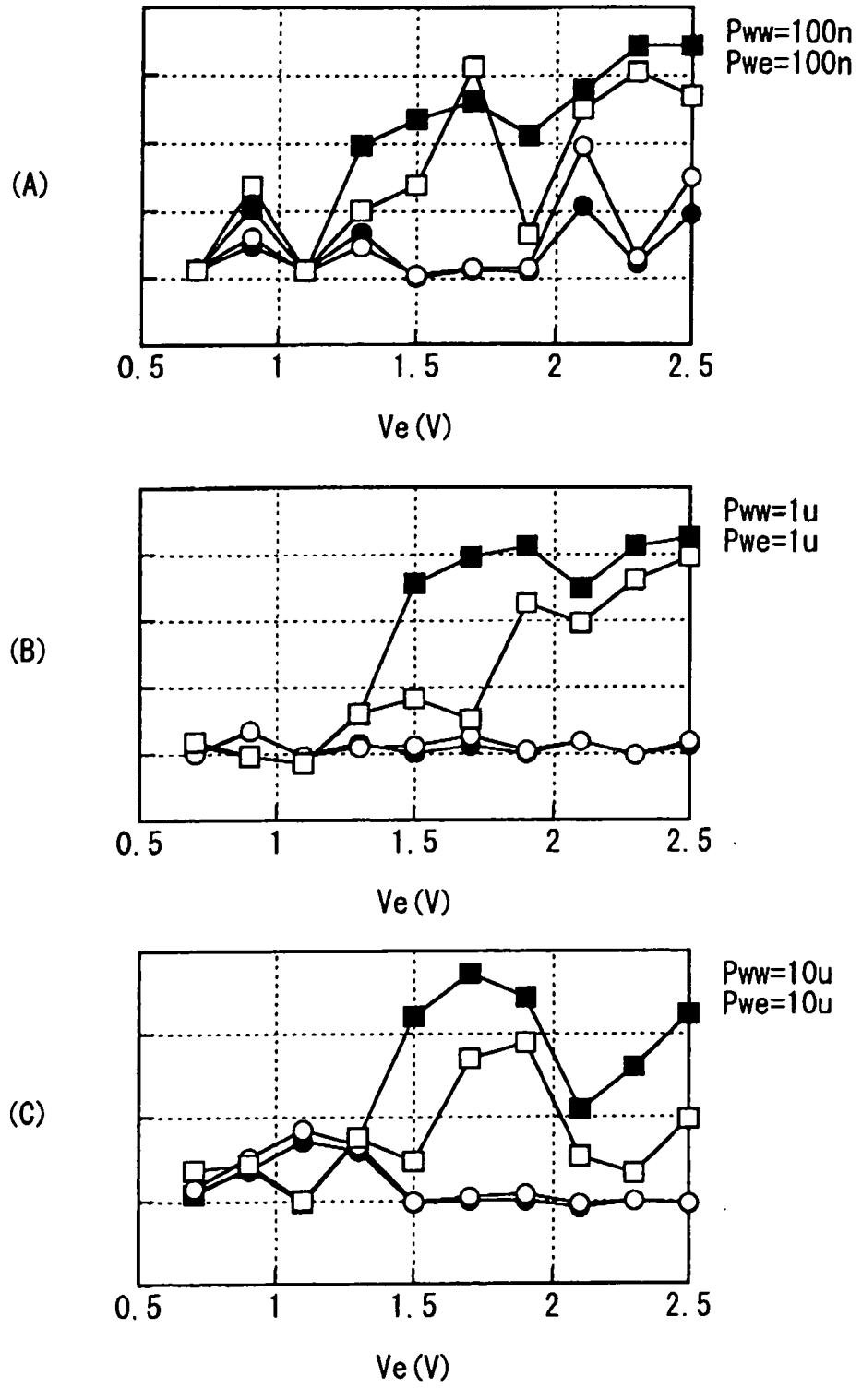


圖8

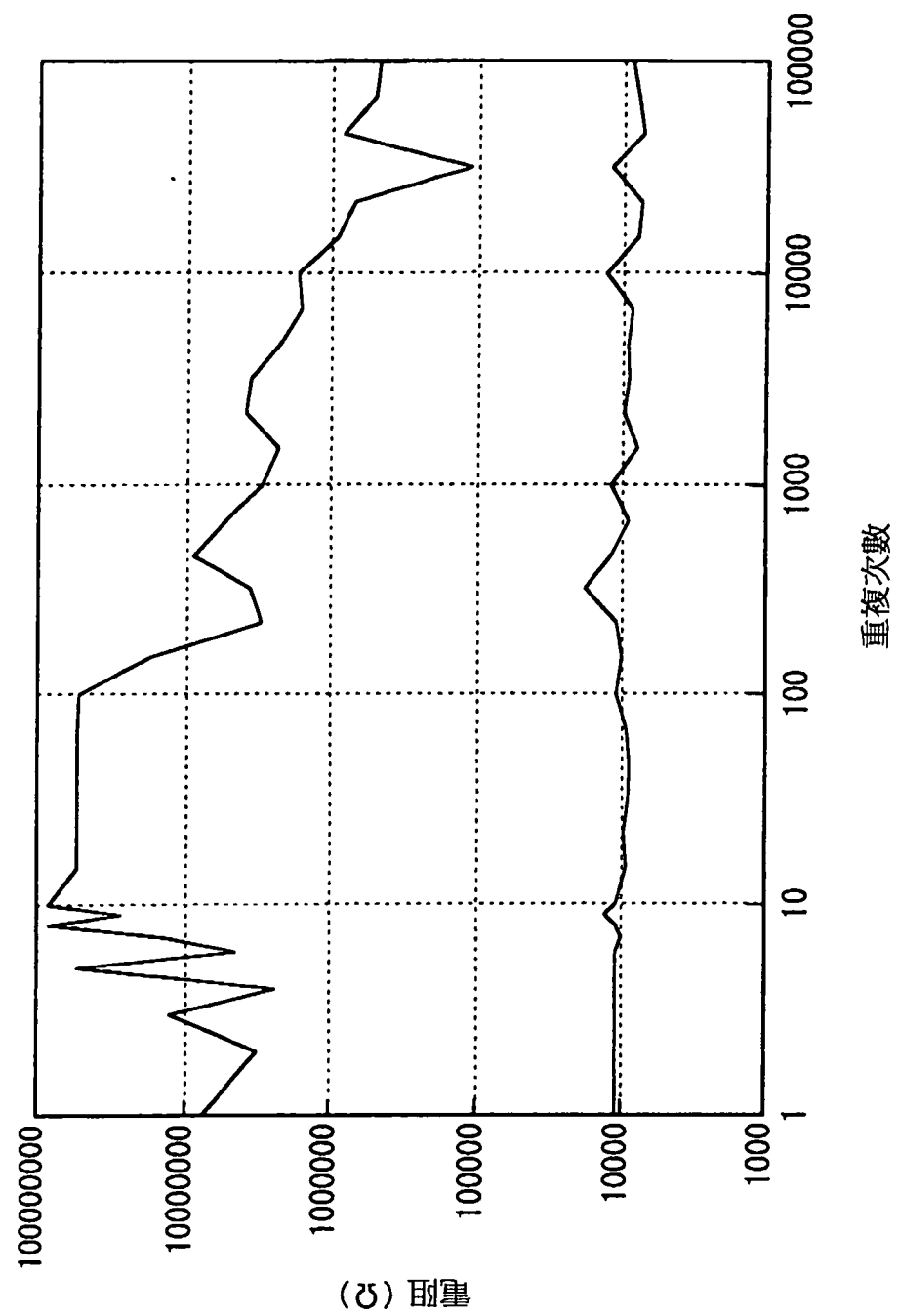
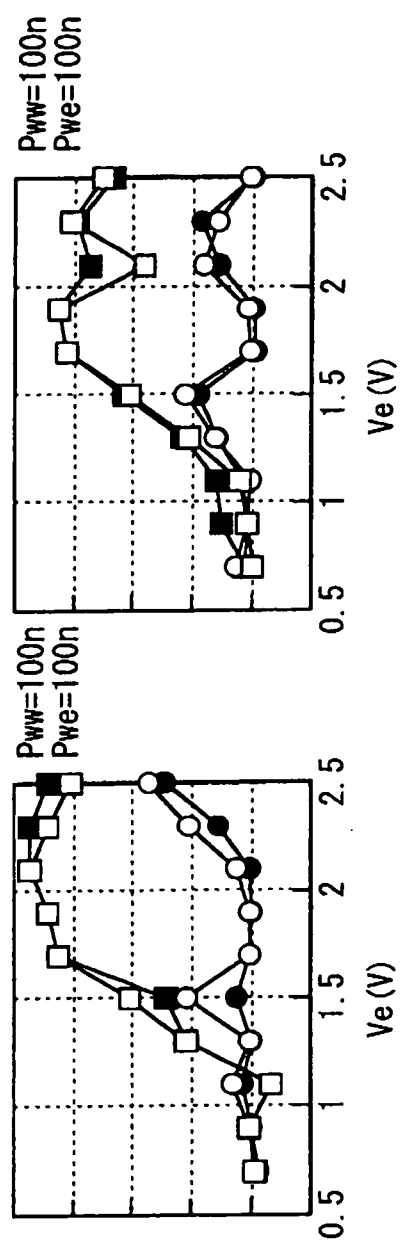
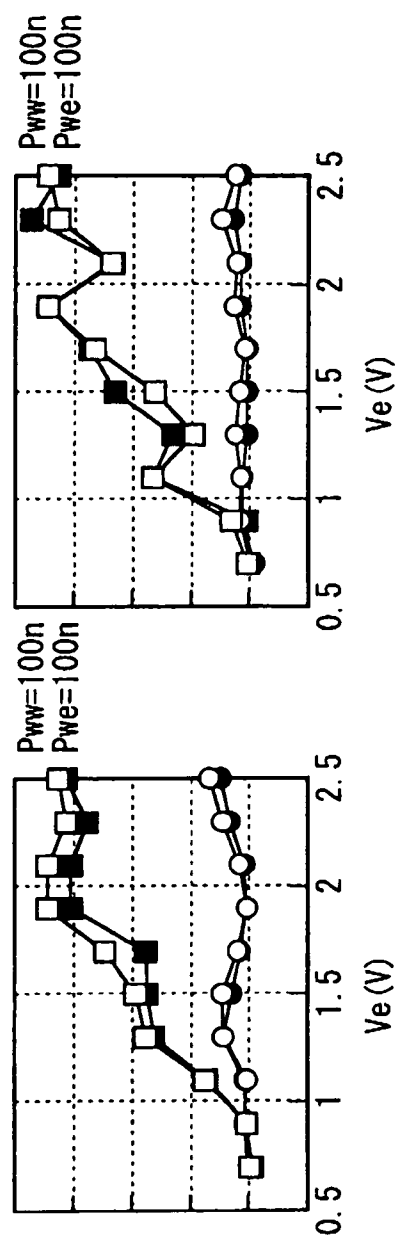


圖9



(A) Ta

(B) Cr



(C) Ti

(D) WZrNb

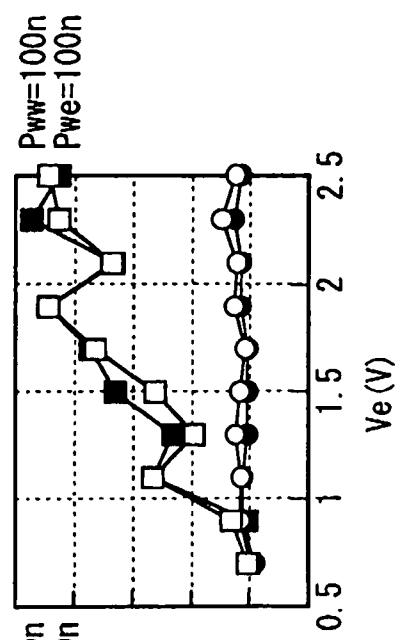
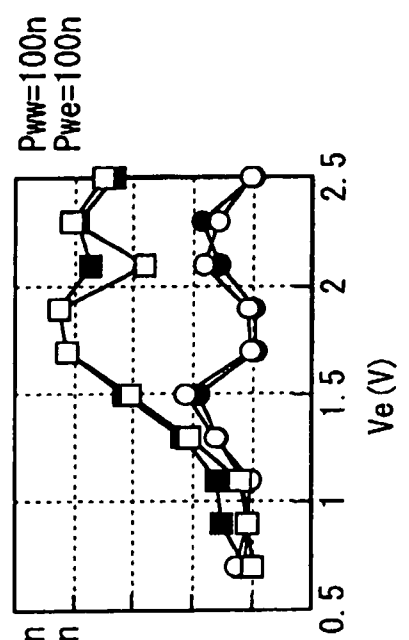


圖 10

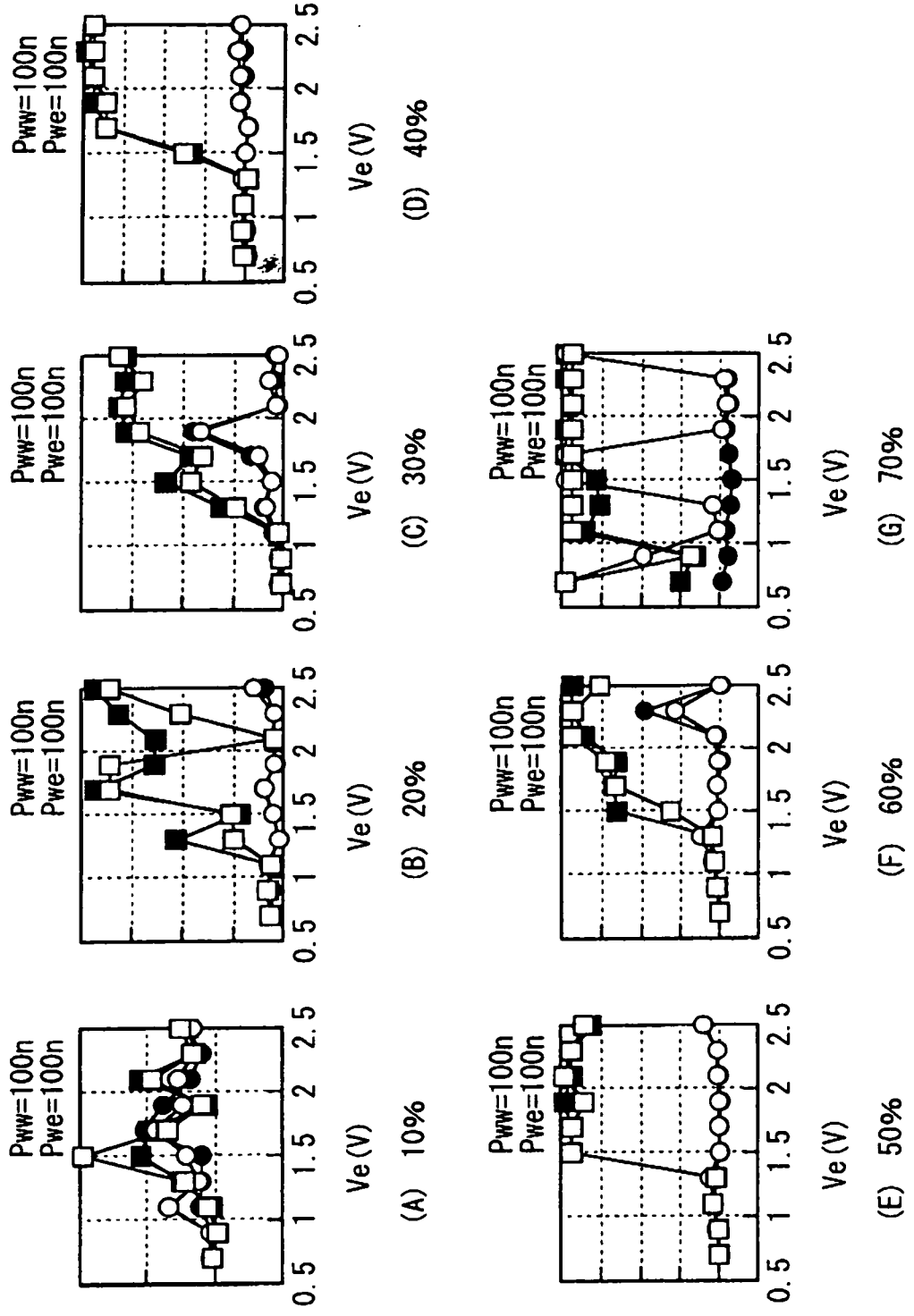
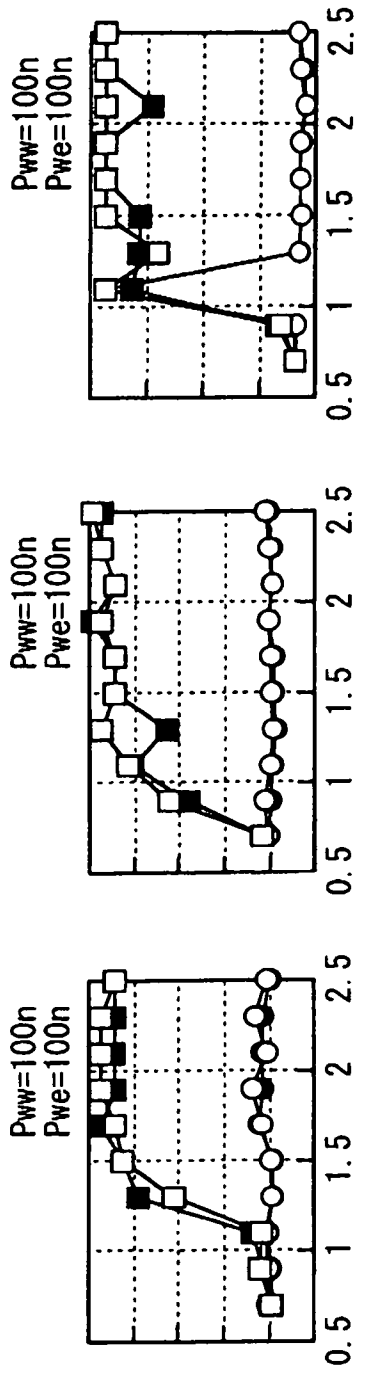
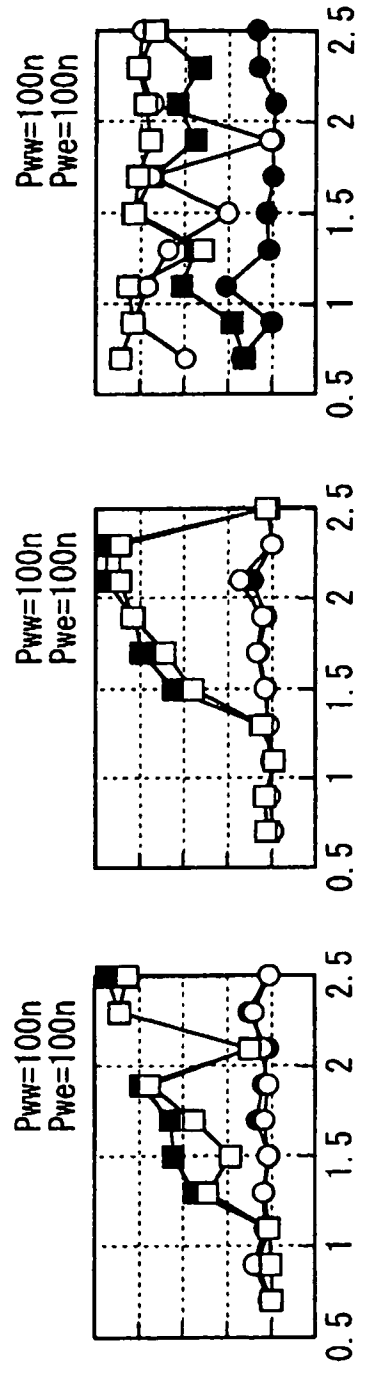


圖 11



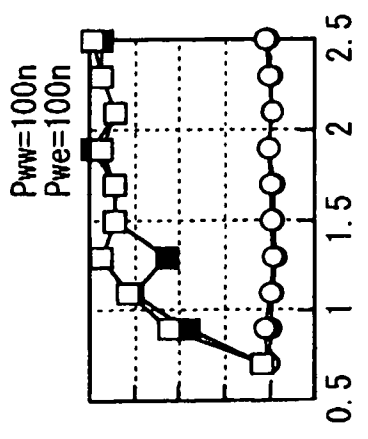
Ve (V)

(C) 比率=0.5

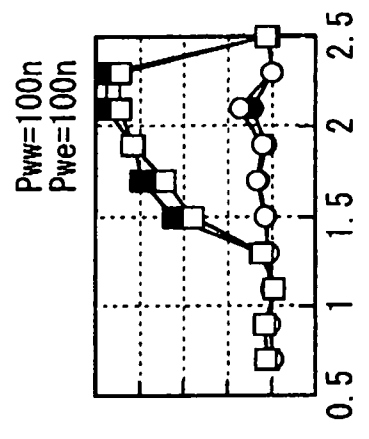


Ve (V)

(F) 比率=0



Ve (V)



Ve (V)

圖12

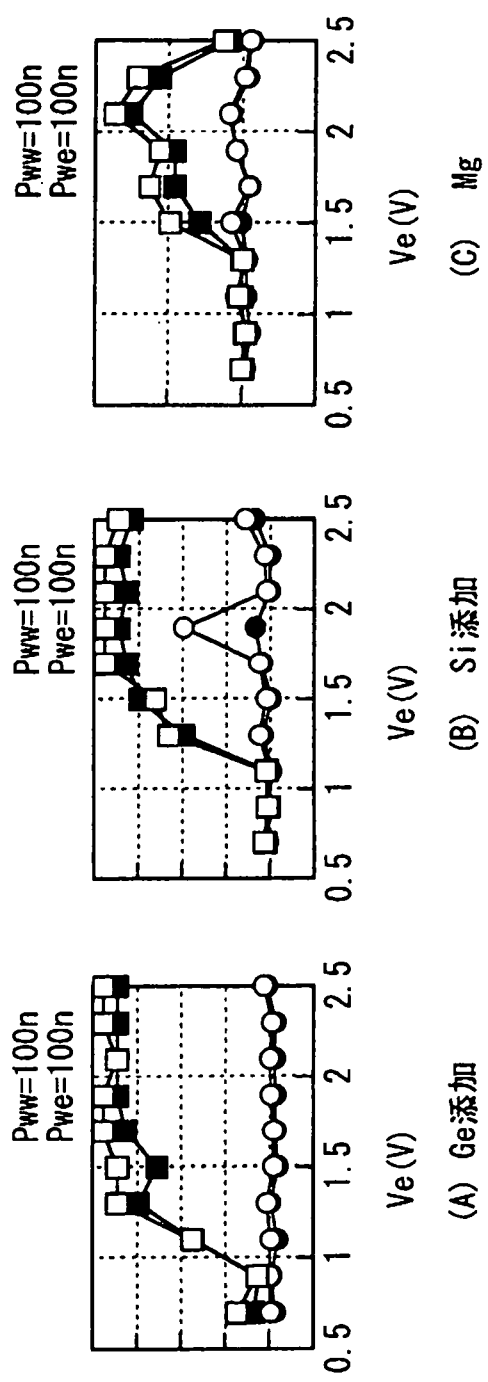


圖 13

(無高電阻層)

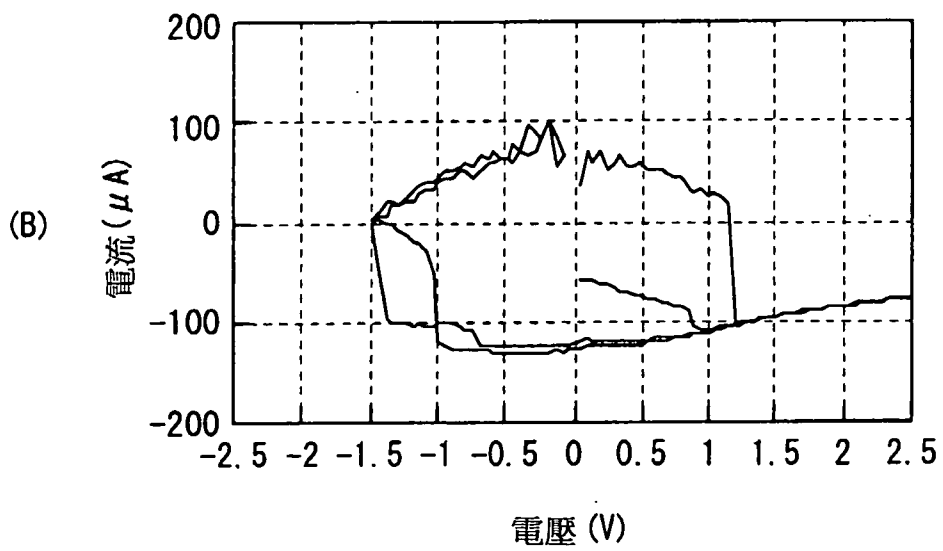
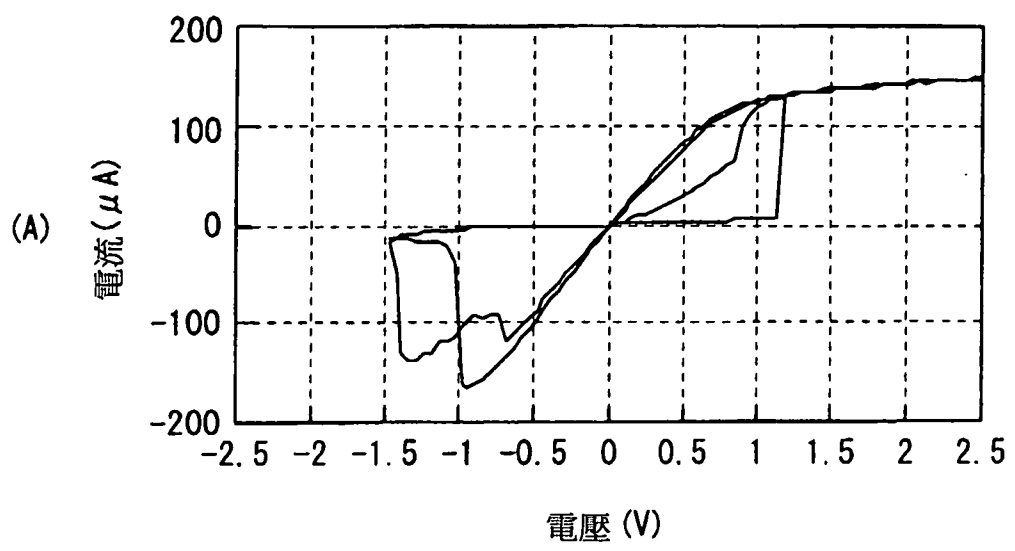


圖 14

(有高電阻層)

