



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0034689
(43) 공개일자 2011년04월05일

(51) Int. Cl.

H01L 33/06 (2010.01) H01L 33/04 (2010.01)

(21) 출원번호 10-2011-7004435

(22) 출원일자(국제출원일자) 2009년08월31일

심사청구일자 2011년02월25일

(85) 번역문제출일자 2011년02월25일

(86) 국제출원번호 PCT/JP2009/065195

(87) 국제공개번호 WO 2010/024436

국제공개일자 2010년03월04일

(30) 우선권주장

JP-P-2008-221471 2008년08월29일 일본(JP)

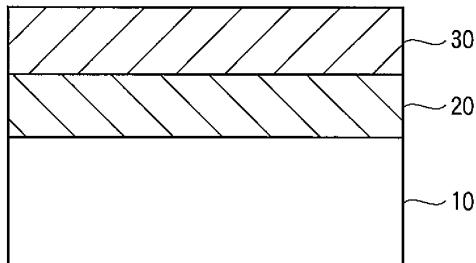
전체 청구항 수 : 총 7 항

(54) 반도체 장치

(57) 요 약

본 발명은, 하지층(20)과, 하지층(20) 상에 형성되고, InAlGaN으로 형성된 장벽층과 InGaN으로 형성된 양자 웨이어(30)이 교대로 적층된 발광층(30)을 구비한 반도체 장치를 제공한다.

대 표 도 - 도1



(72) 발명자

사이또 신지

일본 105-8001 도쿄도 미나또꾸 시바우라 1조메 1
방 1고 가부시끼가이샤 도시바 지적재산부 내

하라다 요시유키

일본 105-8001 도쿄도 미나또꾸 시바우라 1조메 1
방 1고 가부시끼가이샤 도시바 지적재산부 내

누노우에 신야

일본 105-8001 도쿄도 미나또꾸 시바우라 1조메 1
방 1고 가부시끼가이샤 도시바 지적재산부 내

특허청구의 범위

청구항 1

하지층과,

상기 하지층 상에 형성되고, InAlGaN으로 형성된 장벽층과 InGaN으로 형성된 양자 웨尔斯이 교대로 적층된 발광층을 구비한 것을 특징으로 하는 반도체 장치.

청구항 2

제1항에 있어서, 상기 장벽층은, 상기 양자 웨尔斯보다도 낮은 In 조성을 갖는 것을 특징으로 하는 반도체 장치.

청구항 3

제2항에 있어서, 서로 인접하는 상기 장벽층과 상기 양자 웨尔斯 사이에 형성되고, InGaN으로 형성되고 또한 상기 양자 웨尔斯보다도 낮은 In 조성을 갖는 중간층을 더 구비한 것을 특징으로 하는 반도체 장치.

청구항 4

제3항에 있어서, 상기 발광층 상에 형성되고, 상기 장벽층보다도 높은 Al 조성을 갖는 오버플로우 방지층을 더 구비한 것을 특징으로 하는 반도체 장치.

청구항 5

제3항에 있어서, 상기 발광층 상에 형성된 p -In_uAl_vGa_{1-u-v}N ($0 \leq u < 1$, $0 < v < 1$)층을 더 구비한 것을 특징으로 하는 반도체 장치.

청구항 6

제2항에 있어서, 상기 하지층은 GaN으로 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 7

제6항에 있어서, 상기 하지층은, 기판의 실질적으로 (0001)면 상에 형성되어 있는 것을 특징으로 하는 반도체 장치.

명세서

기술분야

[0001] 본 발명은 반도체 장치에 관한 것이다.

배경기술

[0002] 최근, InGaN계의 반도체를 사용한 발광 다이오드(LED)의 연구 개발이 진행되고 있다(특허문현 1 참조). 그러나, InGaN계의 반도체를 사용한 발광 다이오드에서는, 발광 효율이 높은 고휘도의 녹색을 얻는 것이 어렵다는 문제가 있다.

선행기술문현

특허문현

[0003] (특허문현 0001) 일본 특허 공개 제2002-43618호 공보

발명의 내용

해결하려는 과제

[0004] 본 발명은, 발광 효율이 높은 발광 다이오드를 얻는 것이 가능한 반도체 장치를 제공하는 것을 목적으로 하고 있다.

과제의 해결 수단

[0005] 본 발명의 일 시점에 관한 반도체 장치는, 하지층과, 상기 하지층 상에 형성되고, InAlGaN으로 형성된 장벽층과 InGaN으로 형성된 양자 웨尔斯이 교대로 적층된 발광층을 구비한다.

발명의 효과

[0006] 본 발명에 따르면, 발광 효율이 높은 발광 다이오드를 얻는 것이 가능한 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

[0007] 도 1은, 본 발명의 제1 실시 형태에 관한 반도체 장치의 기본적인 구성을 모식적으로 도시한 단면도.

도 2는, 본 발명의 제1 실시 형태에 관한 것이며, 발광층의 상세한 구성을 모식적으로 도시한 단면도.

도 3은, 격자 상수와 밴드 갭의 관계를 나타낸 도면.

도 4는, 본 발명의 제1 실시 형태에 관한 반도체 장치의 측정 결과를 나타낸 도면.

도 5는, 본 발명의 제1 실시 형태의 제1 비교예에 관한 반도체 장치의 측정 결과를 나타낸 도면.

도 6은, 본 발명의 제1 실시 형태의 제2 비교예에 관한 반도체 장치의 측정 결과를 나타낸 도면.

도 7은, 본 발명의 제2 실시 형태에 관한 반도체 장치의 구성을 모식적으로 도시한 단면도.

발명을 실시하기 위한 구체적인 내용

[0008] 이하, 본 발명의 실시 형태를 도면을 참조하여 설명한다.

[0009] (실시 형태 1)

도 1은, 본 발명의 제1 실시 형태에 관한 반도체 장치(발광 다이오드)의 기본적인 구성을 모식적으로 도시한 단면도이다. 도 1에 도시한 반도체 장치는, 기판(10)과, 기판(10) 상에 형성된 하지층(20)과, 하지층(20) 상에 형성된 발광층(30)에 의해 구성되어 있다.

[0011] 기판(10)에는 사파이어 기판이 사용되고, 사파이어 기판(10)의 상면(소자 형성면)은 사파이어 결정의 (0001)면 즉 C면으로 되어 있다. 사파이어 기판(10)의 상면(C면) 상에는, 하지층(20)으로서 GaN층이 형성되어 있다. GaN층(20) 상에는, 다중 양자 웨尔斯를 갖는 발광층(30)이 형성되어 있다.

[0012] 도 2는, 도 1에 도시한 발광층(30)의 상세한 구성을 모식적으로 도시한 단면도이다. 또한, 도 2에서는, 편의상, 발광층(30)의 1주기분만을 도시하고 있지만, 실제로는 도 2에 도시한 발광층(30)이 2주기 이상 적층되어 있다. 도 2에 도시한 바와 같이, 발광층(30)은, 장벽층(배리어층)(31), 중간층(32), 양자 웨尔斯(33), 중간층(34) 및 장벽층(배리어층)(35)의 적층 구조에 의해 구성되어 있다.

[0013] 장벽층(31)은, InAlGaN(일반적으로는, $In_xAl_{1-x}N$ ($0 < x < 1$, $0 < y < 1$)으로 나타내어짐)으로 형성되어 있고, 두께는 12.5nm이다. 구체적으로는, 장벽층(31)은 $In_{0.02}Al_{0.33}Ga_{0.65}N$ 으로 형성되어 있다.

[0014] 중간층(32)은, InGaN(일반적으로는, $In_xGa_{1-x}N$ ($0 < x < 1$)으로 나타내어짐)으로 형성되어 있고, 두께는 0.5nm이다. 구체적으로는, 중간층(32)은 $In_{0.02}Ga_{0.98}N$ 으로 형성되어 있다.

[0015] 양자 웨尔斯(33)은, InGaN(일반적으로는, $In_xGa_{1-x}N$ ($0 < x < 1$)으로 나타내어짐)으로 형성되어 있고, 두께는 2.5nm이다. 구체적으로는, 양자 웨尔斯(33)은 $In_{0.15}Ga_{0.85}N$ 으로 형성되어 있다.

[0016] 중간층(34)은, InGaN(일반적으로는, $In_xGa_{1-x}N$ ($0 < x < 1$)으로 나타내어짐)으로 형성되어 있고, 두께는 0.5nm이다. 구체적으로는, 중간층(34)은 $In_{0.02}Ga_{0.98}N$ 으로 형성되어 있다.

- [0017] 장벽층(35)은, InAlGaN(일반적으로는, $In_xAl_yGa_{1-x-y}N$ ($0 < x < 1$, $0 < y < 1$)으로 나타내어짐)으로 형성되어 있고, 두께는 11.5nm이다. 구체적으로는, 장벽층(35)은 $In_{0.02}Al_{0.33}Ga_{0.65}N$ 으로 형성되어 있다.
- [0018] 본 실시 형태에서는, 도 2의 적층 구조가 5주기분 형성되어 있다. 그리고, 최상층에는, 캡층으로서, 두께는 15nm인 InAlGaN(일반적으로는, $In_xAl_yGa_{1-x-y}N$ ($0 < x < 1$, $0 < y < 1$)으로 나타내어짐)층이 형성되어 있다. 구체적으로는, 캡층은 $In_{0.02}Al_{0.33}Ga_{0.65}N$ 으로 형성되어 있다.
- [0019] 또한, 상술한 구조는, 사파이어 기판(10)의 실질적으로 (0001)면(즉 C면) 상에, 하지층(20) 및 발광층(30)을 에피택셜 성장시킴으로써 형성된다. 구체적으로는, 에피택셜 성장법으로서, 유기 금속 기상 성장(MOCVD)법이나 분자선 애피택시(MBE)법 등을 사용하는 것이 가능하다.
- [0020] 상술한 본 실시 형태의 반도체 장치에서는, 발광 효율이 높은 고휘도의 발광 다이오드를 얻는 것이 가능하다. 이하, 그 이유에 대해 설명한다.
- [0021] 도 3은, 화합물 반도체에 있어서의 격자 상수와 밴드 갭(띠 간격)의 관계를 나타낸 도면이다. 도 3으로부터 알 수 있는 바와 같이, GaN보다도 InGaN 쪽이 격자 상수가 커서, InGaN의 In 조성을 증가시킴에 따라서 InGaN의 격자 상수가 증가한다. 따라서, GaN층 상에 양자 웨尔斯과 같이 In 조성이 높은 InGaN층을 성장시킨 경우, 면 방향(a축 방향)에는 압축 왜곡이 발생하고, 성장 방향(c축 방향)에는 인장 왜곡이 발생한다. 이 경우, 장벽층으로서 In 조성이 낮은 InGaN층 혹은 In 조성이 낮은 InAlGaN층을 형성함으로써 면 방향(a축 방향)의 압축 왜곡을 완화시키는 것이 가능하다.
- [0022] 그러나, 장벽층으로서 In 조성이 낮은 InGaN층을 사용한 경우에는, 성장 방향(c축 방향)의 인장 왜곡을 크게 완화시킬 수는 없다. c축 방향의 인장 왜곡이 크면, 압전 분극에 의한 피에조 전계가 커진다. 그로 인해, 전자와 정공의 재결합 확률이 저하되어, 발광 효율이 저하된다. c축 방향의 인장 왜곡에 기인한 피에조 전계는, In 조성의 증가에 따라서 증가한다. 또한, 피에조 전계가 큰 경우, 양자 효율의 주입 전류 밀도 의존성을 조사하면, 고주입 전류 밀도 영역에서의 양자 효율의 저하가 현저하여, 고주입 전류 밀도에서 사용하는 발광 다이오드에 적합하지 않다. 따라서, 양자 웨尔斯의 In 조성을 증가시키면, 발광 효율이 저하된다. 한편, 도 3으로부터 알 수 있는 바와 같이, 발광 파장을 장파장화시키기(밴드 갭을 감소시키기) 위해서는, 양자 웨尔斯의 In 조성을 증가시킬 필요가 있다. 이상의 것으로부터, 장벽층으로서 In 조성이 낮은 InGaN층을 사용한 경우에는, 발광 효율을 대폭 저하시키지 않고 발광 파장을 장파장화시키는 것은 곤란하다.
- [0023] 이에 반해, 장벽층으로서 In 조성이 낮은 InAlGaN층을 사용한 경우에는, 성장 방향(c축 방향)의 인장 왜곡을 크게 완화시킬 수 있다. 그로 인해, 발광 파장을 장파장화시키기 위해 양자 웨尔斯의 In 조성을 증가시켜도, 발광 효율의 대폭적인 저하를 억제할 수 있다. 따라서, 본 실시 형태와 같이, 장벽층으로서 InAlGaN층을 사용함으로써, 발광 효율을 대폭 저하시키지 않고 발광 파장을 장파장화시키는 것이 가능하다. 또한, 본 실시 형태는 피에조 전계를 작게 할 수 있으므로, 고주입 전류 밀도 영역에서의 양자 효율의 저하를 억제할 수 있어, 고주입 전류 밀도이고 또한 고효율의 발광 다이오드를 제공하는 것이 가능하다. 또한, 장벽층으로서 InAlGaN을 사용함으로써, 장벽층의 밴드 갭 에너지가 커져, 캐리어, 특히 전자의 오버플로우를 억제할 수 있다. 그로 인해, 고주입 전류 밀도에서 사용하는 발광 다이오드에 최적이다. 예를 들어, $100A/cm^2$ 정도 이상의 전류 밀도를 갖는 하이파워의 발광 다이오드를 얻는 것이 가능하다.
- [0024] 또한, 본원 발명자의 실험 결과에 따르면, 양자 웨尔斯의 In 조성이 동일해도, 장벽층으로서 InAlGaN층을 사용한 경우에는, 장벽층으로서 InGaN층을 사용한 경우에 비해, 발광 파장을 장파장화할 수 있는 것이 확인되었다. 이러한 관점에서도, 본 실시 형태에서는, 발광 효율을 대폭 저하시키지 않고 발광 파장을 장파장화시키는 것이 가능하다. 역의 관점에서 말하면, 동일 발광 파장의 발광 다이오드를 제작하는 경우, 본 실시 형태에서는 양자 웨尔斯의 In 조성을 낮게 하는 것이 가능하다. 이하, 설명을 부가한다. 원래는, InGaN 양자 웨尔斯의 In 조성이 동일하면, 발광 파장은 변화되지 않을 것이다. 그럼에도 불구하고, 장벽층으로서 InAlGaN층을 사용함으로써 발광 파장을 장파장화할 수 있는 것은, 이하와 같은 이유가 아닐까라고 생각된다. 도 3으로부터도 알 수 있는 바와 같이, AlN과 InN 사이의 밴드 갭차 및 격자 상수차는, GaN과 InN 사이의 밴드 갭차 및 격자 상수차에 비해 크다. 그로 인해, 장벽층으로서 InAlGaN층을 사용한 경우에는, 열역학적인 조성 변조가 발생하기 쉽다. 그로 인해, 국소적으로 In 조성이 높은 InGaN층이 형성되어, 발광 파장을 장파장화시킬 수 있는 것이 아닐까라고 생각된다. 양자 웨尔斯의 In 조성을 낮게 할 수 있기 때문에, 열역학적인 조성 변조가 억제되어, 열역학적으로도 안정된 결정이 되기 때문에, 고신뢰성의 반도체 장치를 제공 가능해진다. 또한, 양자 웨尔斯의 In 조성을 낮게 할 수 있기 때문에, 양자 웨尔斯의 막 두께를 두껍게 하는 것이 가능하며, 양자 웨尔斯 1개당의 전류 밀도를 낮게

하는 것이 가능해진다.

[0025] 이상과 같이, 본 실시 형태에서는, 장벽층으로서 InAlGaN층을 사용함으로써, 발광 효율을 대폭 저하시키지 않고 발광 과장을 장파장화시키는 것이 가능하다. 그 결과, 종래 곤란했던 발광 효율이 높은 녹색 광을 얻는 것이 가능해진다.

[0026] 또한, 본 실시 형태에서는, 도 2에 도시한 바와 같이, 장벽층(31)과 양자 웨이지(33) 사이에 중간층(32)을 형성하고, 장벽층(35)과 양자 웨이지(33) 사이에 중간층(34)을 형성하고 있다. 이와 같이, 장벽층과 양자 웨이지 사이에 중간층을 개재시킴으로써, 장벽층과 양자 웨이지 사이의 격자 부정합을 억제할 수 있다. 그 결과, 상분리나 결합의 발생을 억제할 수 있어, 발광층의 발광 효율을 향상시키는 것이 가능하다. 이하, 이 점에 대해 설명한다.

[0027] 도 3에 나타낸 바와 같이, AlN과 InN의 격자 상수차는 크다. 또한, InAlGaN 장벽층의 Al 조성은 어느 정도 높고, InGaN 양자 웨이지의 In 조성은 어느 정도 높다. 그로 인해, 중간층을 개재하지 않고 InAlGaN 장벽층과 InGaN 양자 웨이지 적층하면, 장벽층의 AlN과 양자 웨이지의 InN이 직접적으로 접하는 상황이 발생하기 쉽다. 그 결과, 급격한 격자 부정합이 발생하여, 장벽층과 양자 웨이지의 계면 근방에서 상분리나 결합 결함이 발생하기 쉬워진다. 본 실시 형태에서는, 장벽층과 양자 웨이지 사이에, 밴드 구조에 영향을 미치지 않을 정도로 In 조성이 낮은 InGaN 중간층을 개재시키고 있다. 즉, InGaN 중간층에서는, In 조성에 비해 Ga 조성 쪽이 각별히 높아, GaN이 지배적이다. 도 3으로부터 알 수 있는 바와 같이, GaN은, AlN의 격자 상수와 InN의 격자 상수의 중간적인 격자 상수를 갖고 있다. 따라서, InAlGaN 장벽층과 InGaN 양자 웨이지 사이에 InGaN 중간층을 개재시킴으로써, 장벽층과 양자 웨이지 사이가 급격한 격자 부정합을 억제할 수 있다. 그 결과, 상분리나 결합의 발생을 억제할 수 있어, 발광 효율을 향상시키는 것이 가능해진다.

[0028] 도 4는, 본 실시 형태에 관한 반도체 장치(발광 다이오드)의 측정 결과를 나타낸 도면이다. 구체적으로는, 현미 광 발광(PL)에 의한 측정 결과를 나타낸 도면이다. 도 4에 도시한 바와 같이, 중심 파장이 495nm인 매우 발광 강도가 강한 녹색의 발광 스펙트럼이 얻어졌다.

[0029] 도 5는, 본 실시 형태의 제1 비교예에 관한 반도체 장치(발광 다이오드)의 측정 결과를 나타낸 도면이다. 제1 비교예에서는, 장벽층을 InGaN으로 형성함과 함께, 발광 과장을 장파장화하기 위해, 양자 웨이지의 In 조성을 0.35로 높게 하고 있다. 본 실시 형태에 비해, 비교예에서는 발광 강도가 크게 저하되고 있다. 비교예에서는, 장파장화를 도모하기 위해 양자 웨이지의 In 조성을 높게 하고 있기 때문에, 이미 설명한 바와 같은 이유로부터 발광 효율이 대폭 저하되고 있다고 생각된다.

[0030] 도 6은, 본 실시 형태의 제2 비교예에 관한 반도체 장치(발광 다이오드)의 측정 결과를 나타낸 도면이다. 제2 비교예에서는, 중간층을 형성하지 않고 장벽층과 양자 웨이지 적층하고 있다. 본 실시 형태에 비해, 비교예에서는 발광 강도가 크게 저하되고 있다. 비교예에서는, 중간층을 개재하지 않고 장벽층과 양자 웨이지 적층하고 있기 때문에, 이미 설명한 바와 같은 이유로부터 발광 효율이 대폭 저하되고 있다고 생각된다.

[0031] 또한, 일반적으로는, 장벽층의 Al 조성은 0.2 내지 0.4의 범위인 것이 바람직하고, 장벽층의 In 조성은 0.01 내지 0.05의 범위인 것이 바람직하다. 장벽층의 막 두께는 4 내지 20nm의 범위인 것이 바람직하다. 또한, 중간층은, 장벽층과 동일하거나 또는 장벽층보다도 높은 In 조성을 갖는 것이 바람직하다. 특히, 중간층의 In 조성은 장벽층의 In 조성과 동등한 0.01 내지 0.05의 범위인 것이 바람직하다. 이와 같이 함으로써, 급격한 격자 부정합이 억제되어 상분리나 결합의 발생을 효과적으로 억제할 수 있다. 또한, 양자 웨이지의 In 조성은 0.1 내지 0.3의 범위인 것이 바람직하다. 양자 웨이지의 In 조성을 0.3보다도 높게 하면, 피에조 전계의 영향이 현저해져, 발광 효율이 대폭 저하될 우려가 있기 때문이다. 양자 웨이지의 In 조성을 0.3 이하로 하고, 장벽층의 Al 조성을 조정함으로써 발광 과장을 제어하는 것이 바람직하다. 또한, 중간층의 두께는 0.5 내지 1.5nm의 범위인 것이 바람직하다.

[0032] (실시 형태 2)

[0033] 다음에, 본 발명의 제2 실시 형태에 대해 설명한다. 또한, 기본적인 구성은 제1 실시 형태와 마찬가지이며, 제1 실시 형태에서 설명한 사항에 대해서는 설명을 생략한다.

[0034] 도 7은, 본 실시 형태에 관한 반도체 장치(발광 다이오드)의 구성을 모식적으로 도시한 단면도이다.

[0035] 기판(10)에는 사파이어 기판이 사용되고, 사파이어 기판(10)의 상면(소자 형성면)은 사파이어 결정의 (0001)면 즉 C면으로 되어 있다. 사파이어 기판(10)의 상면(C면) 상에는, n형 GaN 콘택트층(21), n형 GaN 가이드층(22), 다중 양자 웨이지 구조를 갖는 발광층(30), p형 AlGaN 오버플로우 방지층(41), p형 GaN층(42) 및 p형 GaN 콘택트층

(43)이 적층되어 있다. 또한, n형 GaN 콘택트층(21)의 노출면 상에는, Ti/Pt/Au로 이루어지는 n측 전극(50)이 형성되어 있다. 또한, p형 GaN 콘택트층(43)의 표면에는, Ni/Au로 이루어지는 p측 전극(60)이 형성되어 있다. 발광층(30)의 구조는, 제1 실시 형태에서 설명한 구조와 마찬가지이다.

[0036] 오버플로우 방지층은, 특히, 예를 들어 100Å/cm² 정도 이상의 전류 밀도를 갖는 하이파워의 발광 다이오드에 있어서 유효하다. 오버플로우 방지층으로서는, 상기 예 이외에 예를 들어, p-In_uAl_vGa_{1-u-v}N($0 \leq u < 1$, $0 < v < 1$)의 조성을 갖는 층을 들 수 있다. 이때 오버플로우 방지층은, 그 목적을 위해 장벽층보다도 높은 Al 조성을 갖는 것이 바람직하다.

[0037] 본 실시 형태에 있어서도, 발광층(30)의 구조가 제1 실시 형태에서 설명한 구조와 마찬가지이기 때문에, 제1 실시 형태에서 설명한 효과와 마찬가지의 효과를 얻을 수 있다.

[0038] 이하, 본 실시 형태의 반도체 장치(발광 다이오드)의 제조 방법에 대해 설명한다.

[0039] 본 반도체 장치의 각 층은, 유기 금속 기상 성장(MOCVD)법에 의해 형성한다. 원료에는, 트리메틸갈륨(TM), 트리메틸알루미늄(TMA), 트리메틸인듐(TMI), 비스시클로펜타디에닐마그네슘(Cp₂Mg)을 사용할 수 있다. 가스 원료로서는, 암모니아(NH₃), 실란(SiH₄)을 사용할 수 있다. 캐리어 가스로서는, 수소 및 질소를 사용할 수 있다.

[0040] 우선, 유기 세정 및 산 세정에 의해 처리한 사파이어 기판을 MOCVD 장치의 반응실 내에 도입하여, 고주파에 의해 가열되는 서셉터 상에 설치한다. 계속해서, 상압의 질소/수소 분위기 하에 있어서 온도 1100°C까지 약 12분에 걸쳐 승온한다. 승온 과정에 있어서, 기판 표면에 대해 기상 에칭을 실시하여, 기판 표면의 자연 산화막을 제거한다.

[0041] 다음에, 캐리어 가스로서 질소/수소를 사용하고, 암모니아를 6L/분, TMG를 50cc/분, SiH₄를 10cc/분의 유량으로 60분간 공급하여, n형 GaN 콘택트층(21)을 형성한다. 계속해서, 온도를 1060°C까지 강하함과 함께, SiH₄를 3cc/분까지 낮추어 약 3분간 n형 GaN 가이드층(22)을 형성한다.

[0042] 다음에, TMG 및 SiH₄의 공급을 정지하고, 기판 온도를 800°C까지 낮춘다. 캐리어 가스를 질소만으로 전환하고, 암모니아를 12L/분, TMG를 3cc/분의 유량으로 공급한다. 이 중에, TMI를 5cc/분, SiH₄를 1cc/분의 유량으로 2분간 공급한 후, TMA를 16cc/분의 유량으로 더 추가하여 12분간 공급한다. 그 후, TMA의 공급을 정지하고, TMG 및 SiH₄의 공급은 그대로 2분간의 성장을 행한다. 그 후, TMI의 공급량을 80cc/분으로 증가시켜 40초의 성장을 행한다. 이를 일련의 처리를 5회 반복하여 행하고, 마지막으로 TMG를 3cc/분, TMI를 5cc/분의 유량으로 약 14분간 공급함으로써, 다중 양자 웨 구조를 갖는 발광층(30)을 형성한다. 또한, 동일 구조로 5회 반복하는 것 이외에도, TMG, TMA 혹은 TMI의 유량을 변화시켜, 장벽층(31)이나 중간층(32)에서 Al 조성이나 In 조성을 경사지게 해도 된다. 또한, 다중 양자 웨 구조의 주기도 5에 한정되지 않고 2 내지 10의 범위에서 선택 가능하다.

[0043] 다음에, TMG 및 TMI의 공급을 정지하고, 질소와 암모니아는 그대로 1030°C까지 승온한다. 온도를 1030°C로 유지한 상태에서, 질소/수소 분위기 하에서 암모니아를 4L/분의 유량으로 전환한다. 그 중에, TMG를 25cc/분, TMA를 약 30cc/분, Cp₂Mg를 6cc/분의 유량으로 약 1분간 공급하여, p형 AlGaN 오버플로우 방지층(41)을 형성한다. 또한, p형 AlGaN의 Al 조성은 0.2 이상이면 되지만, InAlGaN 장벽층(31)의 Al 조성보다도 높은 것이 바람직하다. 이에 의해, 전자의 오버플로우를 각별히 억제할 수 있어, 특히 고전류 밀도에서 사용하는 반도체 장치에 바람직하다.

[0044] 다음에, 상기 상태로부터 TMA만 공급을 정지하고, Cp₂Mg를 8cc/분의 유량으로 전환하여 약 6분 공급함으로써 p형 GaN층(42)을 형성한다.

[0045] 다음에, 상기 상태로부터 Cp₂Mg를 50cc/분의 유량으로 약 3분간 공급하여, p형 GaN 콘택트층(43)을 형성한다. 계속해서, 유기 금속 원료의 공급을 정지하고, 캐리어 가스만 계속해서 공급하여, 기판 온도를 자연 강온한다. 단, 암모니아의 공급은 기판 온도가 500°C에 도달했을 때에 정지한다.

[0046] 다음에, 상기와 같이 하여 얻어진 다층 구조의 일부를 n형 GaN 콘택트층(21)에 도달할 때까지 전식 에칭에 의해 제거하고, 노출된 콘택트층(21)에 Ti/Pt/Au로 이루어지는 n측 전극(50)을 형성한다. 또한, p형 GaN 콘택트층(43) 상에는, Ni/Au로 이루어지는 p측 전극(60)을 형성한다.

[0047] 다음에, 상기와 같이 하여 얻어진 구조를 실장한 반도체 장치(발광 다이오드)에 대해, I-V 특성을 측정한 결과,

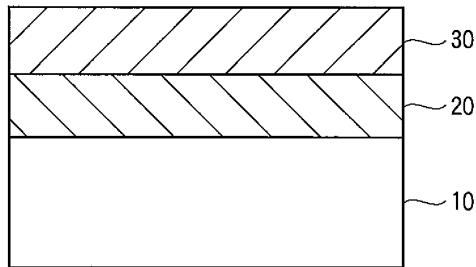
양호한 특성이 얻어졌다. 이 발광 다이오드의 동작 전압은 20mA일 때에 3.5 내지 4V, 광 출력은 10mW이었다. 또한, 파장 측정을 행한 결과, 파장 중심이 500nm인 피크가 얻어졌다.

[0048]

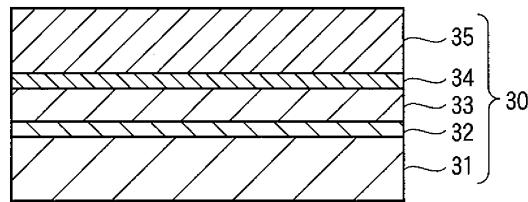
또한, 상술한 제1 및 제2 실시 형태에서는, 기판으로서 사파이어 기판을 사용했지만, GaN 기판, SiC 기판, ZnO 기판 등을 사용하는 것도 가능하다. 또한, 소자 형성면은 C면에 한정되는 것이 아니라, 비극성면 상에 각 층을 형성하는 것도 가능하다. 또한, 웨이퍼의 이면측에 전극을 설치한 구조를 적용하는 것도 가능하다. 또한, 발광 효율이 높은 녹색 발광 다이오드뿐만 아니라, 발광 효율이 높은 청색 발광 다이오드를 얻는 것도 가능하다.

도면

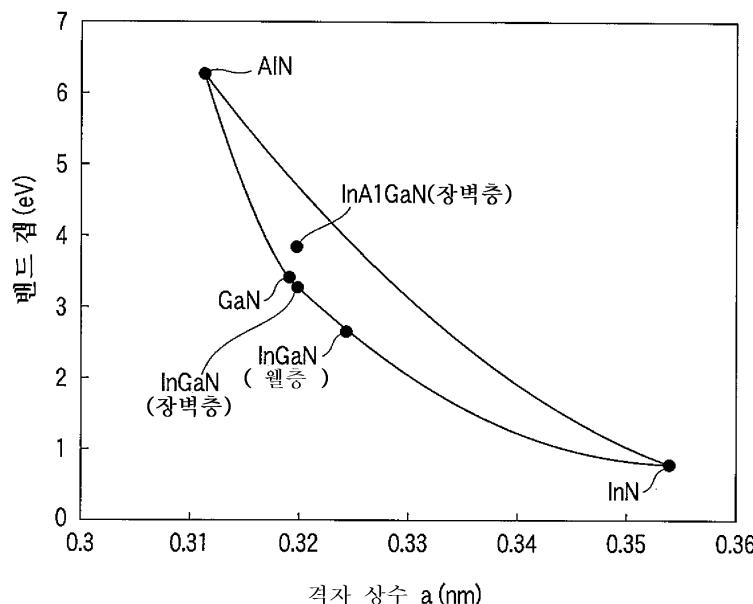
도면1



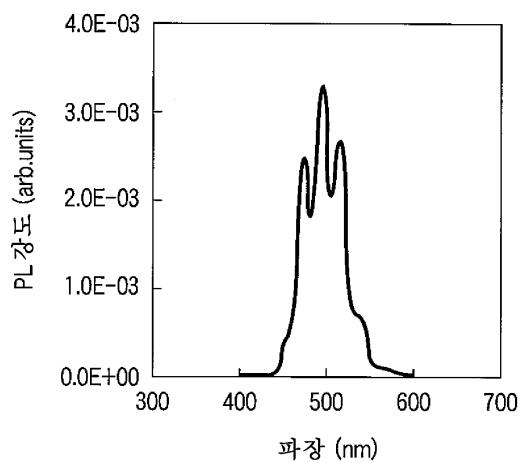
도면2



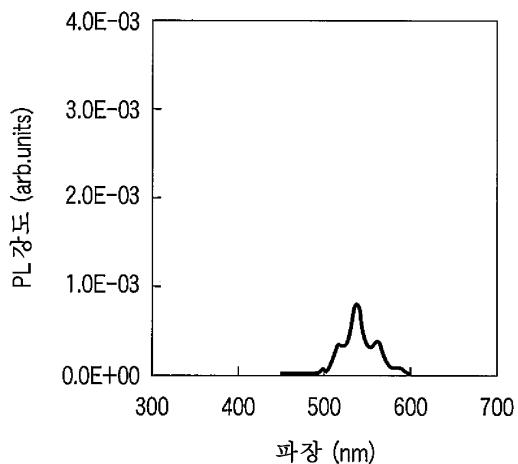
도면3



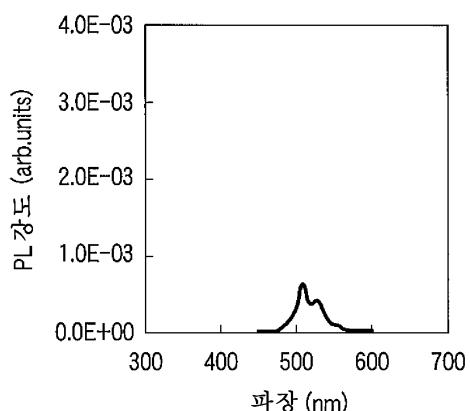
도면4



도면5



도면6



도면7

