

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 10 月 19 日(19.10.2017)



(10) 国際公開番号
WO 2017/179586 A1

- (51) 国際特許分類:
H01L 25/04 (2014.01) H01L 25/18 (2006.01)
H01L 23/00 (2006.01) H05K 9/00 (2006.01)
H01L 23/02 (2006.01)
- (21) 国際出願番号: PCT/JP2017/014859
- (22) 国際出願日: 2017 年 4 月 11 日(11.04.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-082114 2016 年 4 月 15 日(15.04.2016) JP
- (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 Kyoto (JP).
- (72) 発明者: 矢▲崎▼ 浩和(YAZAKI, Hirokazu); 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 吉川 修一, 外(YOSHIKAWA, Shuichi et al.); 〒5320011 大阪府大阪市淀川区西中島 5 丁目

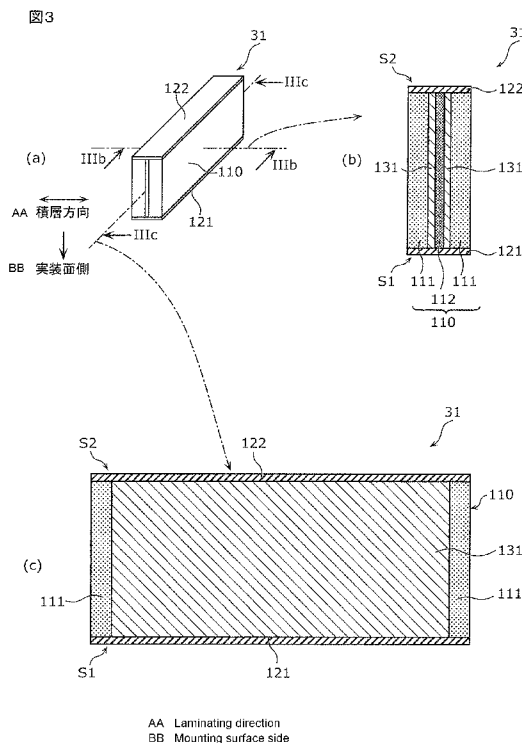
3 番 10 号タナカ・イトーピア新大阪ビル 6 階
新居国際特許事務所内 Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: SURFACE-MOUNTED SHIELD MEMBER AND CIRCUIT MODULE

(54) 発明の名称: 表面実装型シールド部材及び回路モジュール



(57) Abstract: This surface-mounted shield member (31) has: a laminated element body (110) having magnetic body layers (111) that extend orthogonally to the thickness direction thereof; a first surface electrode (121) that is a mounting electrode for mounting the surface-mounted shield member (31) so that the laminated element body (110) stands on a circuit board (10), the first surface electrode (121) being provided on a first edge surface (S1) which is a surface parallel to the thickness direction; and a shield electrode (131) which is provided on substantially the entire surface of the laminated element body (110) when viewed in the thickness direction, and which is connected to the first surface electrode (121).

(57) 要約: 表面実装型シールド部材 (31) は、厚み方向に直交して延在する磁性体層 (111) を有する積層素体 (110) と、積層素体 (110) が回路基板 (10) に立設するように表面実装型シールド部材 (31) を実装するための実装用の電極であって、厚み方向に平行な面である第 1 端面 (S1) に設けられた第 1 表面電極 (121) と、厚み方向に見て積層素体 (110) の実質的に全面に設けられ、第 1 表面電極 (121) に接続されているシールド電極 (131) と、を有する。

WO 2017/179586 A1

WO 2017/179586 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：表面実装型シールド部材及び回路モジュール

技術分野

[0001] 本発明は、表面実装型シールド部材及び回路モジュールに関し、特に、汎用性を高めつつシールド効果を高めるための技術に関する。

背景技術

[0002] 従来、複数の電子部品が実装された回路基板において、複数の電子部品によって形成される機能ブロック間を遮蔽（シールド）するための仕切りを設ける構成が知られている（例えば、特許文献1及び2参照）。これらの構成では、複数の電子部品の全体を覆うシールドケースの内壁にリブ状の仕切りを設けたり、複数の電子部品を機能ブロック毎に覆う個別のシールドケースを設けたりすることにより、機能ブロック間をシールドしている。

[0003] しかし、このような構成では、機能ブロック間をシールドする仕切りとシールドケースとが一体物（すなわち連続体）として形成されている。このため、回路基板のサイズや電子部品のレイアウトが変更された場合に、サイズや形状等を変更する必要性があり、汎用性が低いという問題があった。

[0004] そこで、機能ブロック間をシールドする仕切りとして、表面実装可能な導電部材を用いる構成が知られている（例えば、特許文献3参照）。この構成によれば、回路基板のサイズや電子部品のレイアウトに変更に合わせて、回路基板への実装位置または実装個数等を適宜調整することにより、仕切り全体の形状を自由に変更することができる。

先行技術文献

特許文献

[0005] 特許文献1：特開2004-140035号公報

特許文献2：特開2011-35165号公報

特許文献3：特開2011-258886号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、導電部材を仕切りとして用いる従来の構成では、十分なシールド効果が得られない場合がある。

[0007] そこで、本発明は、汎用性を高めつつシールド効果を高めることができる表面実装型シールド部材及び回路モジュールを提供することを目的とする。

課題を解決するための手段

[0008] 上記目的を達成するために、本発明の一態様に係る表面実装型シールド部材は、表面実装型シールド部材であって、厚み方向に直交して延在する磁性体層を有する板状部材と、前記板状部材が回路基板に立設するように前記表面実装型シールド部材を実装するための実装用の電極であって、前記厚み方向に平行な面である第1端面に設けられた第1表面電極と、前記厚み方向に見て前記板状部材の実質的に全面に設けられ、前記第1表面電極に接続されているシールド電極と、を有する。

[0009] このように、板状部材が回路基板に立設するように設けられた第1表面電極を有することにより、回路基板への実装位置等を適宜調整することができる。すなわち、高い汎用性を有する表面実装型シールド部材が実現される。また、磁性体層を有する板状部材の実質的に全面に設けられたシールド電極を有することにより、回路基板に実装された状態で、シールド電極及び磁性体層が並んで立設することになる。このため、シールド電極から漏れ出したノイズを磁性体層のビーズ効果によってシールドすることができるので、シールド効果を高めることができる。すなわち、本態様に係る表面実装型シールド部材によれば、汎用性を高めつつシールド効果を高めることができる。

[0010] また、前記板状部材は、前記厚み方向に積層された複数の前記磁性体層を有する積層素体であり、前記シールド電極は、複数の前記磁性体層の間に設けられていることにしてもよい。

[0011] このように、シールド電極が複数の磁性体層の間に設けられていることにより、表面実装型シールド部材の一方主面側からのノイズ及び他方主面側からのノイズのいずれについても、シールド効果を発揮することができる。し

たがって、表面実装型シールド部材を実装する工程においてノイズ源に対して表面実装型シールド部材の向きを調整する必要がなくなるため、実装作業のハンドリングが簡素化される。

[0012] また、前記厚み方向に積層された複数の前記シールド電極を有することにしてもよい。

[0013] このように、複数のシールド電極を有することにより、シールド効果をさらに高めることができる。

[0014] また、前記板状部材は、さらに、前記磁性体層より透磁率が低く、かつ、複数の前記シールド電極の間に設けられた低透磁率磁性体層を有することにしてもよい。

[0015] このように、複数のシールド電極の間に低透磁率磁性体層を設けることにより、複数のシールド電極それぞれのインダクタンス成分の増加を抑制することができる。具体的には、複数のシールド電極を設けた場合、各シールド電極のみを周回する磁束（いわゆるマイナーループ）によって、各シールド電極のインダクタンス成分が増加する場合がある。このようなインダクタンス成分の増加は、シールド電極を介して回路基板にノイズを逃がす際の阻害要因となり得る。そこで、複数のシールド電極の間に低透磁率磁性体層を設けることにより、マイナーループを抑制してインダクタンス成分の増加を抑制することができるので、シールド効果をさらに高めることができる。

[0016] また、前記シールド電極には、前記厚み方向に直交する方向に沿って延在するスリットが設けられていることにしてもよい。

[0017] このように、シールド電極にスリットが設けられていることにより、シールド電極から第1表面電極に向かうノイズの経路を囲むように磁性体層が配置されることになる。これにより、磁性体層がフェライトビーズとして機能することになり、回路基板に逃げるノイズを抑制することができる。よって、回路基板のグランド（安定電位面）の電気的変動を抑制することができるため、表面実装型シールド部材が搭載された部品の電気的特性の劣化を抑制することができる。

- [0018] また、前記表面実装型シールド部材は、さらに、前記第1端面に対向する第2端面に設けられた第2表面電極を有し、前記シールド電極は、さらに、前記第2表面電極に接続されていることにしてもよい。
- [0019] これにより、シールド電極が表面実装型シールド部材の実装面から反対側の面まで設けられているため、シールド効果を高めることができる。また、当該反対側の面には第2表面電極が設けられている。このため、当該反対側の面にシールドケース等の導電部材が当接された場合に、当該導電部材とシールド電極とを電氣的に接続することができる。よって、当該導電部材を伝搬したノイズを、シールド電極を介して回路基板に逃がすことができる。これにより、シールド効果をさらに高めることができる。
- [0020] また、前記第2端面には、前記厚み方向に沿って延在し、前記シールド電極が露出する切り欠きが設けられ、前記第2表面電極は、前記切り欠きに設けられた導電性接合材であることにしてもよい。
- [0021] このように、第2表面電極が導電性接合材であることにより、表面実装型シールド部材とシールドケース等の導電部材との電氣的及び構造的な接続を容易にとることができる。
- [0022] また、前記磁性体層はセラミック磁性体層であることにしてもよい。
- [0023] このように、磁性体層がセラミック磁性体層であることにより、磁性体層を焼成により一体の焼結体として得ることができる。さらに、板状部材が主にセラミックを基材とする場合、シールド電極と板状部材とを焼結により一体の焼結体として得ることができる。
- [0024] また、前記板状部材は、さらに、前記厚み方向の両側に設けられた一対のセラミック非磁性体層を有することにしてもよい。
- [0025] このように、板状部材の厚み方向の両側に一対のセラミック非磁性体層が設けられることにより、板状部材の全体的な強度、さらには表面実装型シールド部材の全体的な強度を高めることができる。
- [0026] また、本発明は、このような表面実装型シールド部材を備える回路モジュールとしても実現できる。すなわち、回路モジュールは、グラウンドを有する

回路基板と、前記回路基板に実装された複数の電子部品と、前記複数の電子部品の間に位置するように前記回路基板に実装された表面実装型シールド部材と、を備え、前記表面実装型シールド部材は、厚み方向に直交して延在する磁性体層を有する板状部材と、前記板状部材が前記回路基板に立設するように前記表面実装型シールド部材を実装するための実装用の電極であって、前記厚み方向に平行な面である第1端面に設けられた第1表面電極と、前記厚み方向に見て前記板状部材の実質的に全面に設けられ、前記第1表面電極に接続されているシールド電極と、を有し、前記第1表面電極は前記グラウンドに接続されている。

[0027] このように、複数の電子部品の間に表面実装型シールド部材が実装されていることにより、複数の電子部品の間の電磁干渉が低減される。つまり、一方の電子部品から他方の電子部品へのノイズをシールドすることができる。また、回路基板のサイズや電子部品のレイアウトに変更に合わせて、表面実装型シールド部材の配置位置を適宜調整することができる。

[0028] また、さらに、前記複数の電子部品及び前記表面実装型シールド部材を覆うように前記回路基板に設けられたシールドケースを備え、前記表面実装型シールド部材は、前記回路基板と反対側の端部が前記シールドケースの内壁に当接することにしてもよい。

[0029] このように、表面実装型シールド部材がシールドケースの内壁に当接することにより、シールドケースに伝搬したノイズを、表面実装型シールド部材を介して回路基板に逃がすことができる。これにより、シールドケースのシールド効果を高めることができる。

[0030] また、前記回路基板と前記シールドケースとで囲まれる空間を仕切る複数の前記表面実装型シールド部材を備えることにしてもよい。

[0031] これにより、回路基板のサイズや電子部品のレイアウトの変更に合わせて、複数の表面実装型シールド部材で構成される壁全体の形状を自由に変更できる。

[0032] また、複数の前記表面実装型シールド部材のうち所定の表面実装型シールド

ド部材において、前記シールド電極には、前記所定方向に沿って延在するスリットが設けられており、前記所定の表面実装型シールド部材は、前記複数の電子部品のうち他の電子部品よりも電磁波を放射しやすい一の電子部品に近接して配置されていることにしてもよい。

[0033] このように、スリットが設けられたシールド電極を有する表面実装型シールド部材が電磁波を放射しやすい一の電子部品に近接して配置されていることにより、回路基板のグラウンドの電気的変動を抑制することができる。このため、回路モジュールの電気的特性の劣化を抑制することができる。

発明の効果

[0034] 本発明に係る表面実装型シールド部材等によれば、汎用性を高めつつシールド効果を高めることができる。

図面の簡単な説明

[0035] [図1]図1は、実施の形態に係る表面実装型シールド部材を有する回路モジュールの斜視図である。

[図2A]図2Aは、実施の形態に係る回路モジュールの上面図である。

[図2B]図2Bは、実施の形態に係る回路モジュールの断面構造を概念的に示す図である。

[図3]図3は、実施の形態に係る表面実装型シールド部材の構成を示す図である。

[図4]図4は、実施の形態に係る表面実装型シールド部材の積層方向における構成を示す図である。

[図5]図5は、実施の形態に係る表面実装型シールド部材の端部の構成を示す図である。

[図6A]図6Aは、比較例に係る表面実装型シールド部材単体でのシールド効果を示す図である。

[図6B]図6Bは、比較例に係る表面実装型シールド部材とシールドケースとの組み合わせによるシールド効果を模式的に示す図である。

[図7A]図7Aは、実施の形態に係る表面実装型シールド部材によるシールド

効果を示す図である。

[図7B]図 7 B は、実施の形態に係る表面実装型シールド部材とシールドケースとの組み合わせによるシールド効果を模式的に示す図である。

[図8]図 8 は、変形例 1 に係る表面実装型シールド部材の構成を示す図である。

[図9]図 9 は、変形例 1 に係る表面実装型シールド部材の積層方向における構成を示す図である。

[図10]図 1 0 は、変形例 2 に係る表面実装型シールド部材の構成を示す図である。

[図11]図 1 1 は、変形例 3 に係る表面実装型シールド部材の構成を示す図である。

[図12]図 1 2 は、変形例 4 に係る表面実装型シールド部材の構成を示す図である。

[図13]図 1 3 は、変形例 5 に係る表面実装型シールド部材の構成を示す図である。

[図14]図 1 4 は、変形例 5 に係る表面実装型シールド部材を有する回路モジュールの上面図である。

発明を実施するための形態

[0036] 以下、図面を参照しながら、本発明の実施の形態に係る表面実装型シールド部材及び回路モジュールについて説明する。なお、以下で説明する実施の形態は、いずれも本発明の好ましい一具体例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、製造プロセス、及び、製造プロセスの順序などは、一例であり、本発明を限定する主旨ではない。また、以下の実施の形態における構成要素のうち、最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。また、図面に示される構成要素の大きさまたは大きさの比は、必ずしも厳密ではない。

[0037] (実施の形態)

図 1 は、本実施の形態に係る表面実装型シールド部材 3 1 を有する回路モジュール 1 の斜視図である。なお、同図では、シールドケース 4 0 を他の部材から分離した状態で図示している。

[0038] 同図では、回路モジュール 1 の厚さ方向を Z 軸方向、Z 軸方向に垂直かつ互いに直交する方向をそれぞれ X 軸方向及び Y 軸方向として説明し、Z 軸方向プラス側を回路モジュール 1 の天面（上面）側として説明する。しかし、実際の使用態様においては、回路モジュール 1 の厚さ方向が上下方向とはならない場合もある。このため、実際の使用態様においては、回路モジュール 1 の天面側は上面側には限定されない。

[0039] 回路モジュール 1 は、携帯電話等の携帯端末機器に搭載され、電源回路、及び、この電源回路から電源が供給される R F（Radio Frequency）回路等の、所定の回路を構成するモジュール部品である。図 1 に示すように、回路モジュール 1 は、回路基板 1 0 と、回路基板 1 0 に実装された複数の電子部品 2 0 と、複数の電子部品 2 0 の間に位置するように回路基板 1 0 に立設されたシールド壁 3 0 とを備える。また、本実施の形態では、回路モジュール 1 はさらに、複数の電子部品 2 0 及びシールド壁 3 0 を覆うように回路基板 1 0 に設けられたシールドケース 4 0 を備える。

[0040] 以下、回路モジュール 1 の各構成要素について、さらに図 2 A 及び図 2 B を用いて説明する。図 2 A は、回路モジュール 1 の上面図である。図 2 B は、回路モジュール 1 の断面構造を概念的に示す図であり、具体的には、図 2 A の IIB-IIB 線における回路モジュール 1 の断面図である。なお、図 2 A では、簡明のため、シールドケース 4 0 について図示を省略している。また、図 2 B では、簡明のため、後述する第 1 電子部品 2 1 及び第 2 電子部品 2 2 については、側面視で示している。

[0041] 回路基板 1 0 は、複数の電子部品 2 0 とともに所定の回路を構成する配線等が設けられた、例えばプリント配線板である。例えば、回路基板 1 0 は、図 2 B に示すように、複数の電子部品 2 0 が実装された上面から下面まで貫通するビア導体 1 1 と、下面に設けられてビア導体 1 1 に接続されたグラン

ド電極 12 とを有する。ここで、グランド電極 12 は、回路モジュール 1 によって構成される所定の回路のグランド（安定電位面）を構成する。

[0042] 複数の電子部品 20 は、上記の所定の回路の第 1 機能ブロックを構成する第 1 電子部品 21、及び、第 1 機能ブロックとは異なる機能を果たす第 2 機能ブロックを構成する第 2 電子部品 22 を含む。ここで、機能ブロックとは、上記の所定の回路のうち、果たされる機能ごとに区分けされた部分を意味する。本実施の形態では、第 1 機能ブロックは、電源機能を果たす電源回路ブロックであり、第 2 機能ブロックは、RF 信号処理機能を果たす RF 回路ブロックである。具体的には、第 1 電子部品 21 は、電源回路として DCDC コンバータ回路を構成するスイッチング IC (Integrated Circuit) 等の電源 IC 20P を含み、第 2 電子部品 22 は、RF 回路を構成する RF IC 20RF を含む。

[0043] シールド壁 30 は、回路基板 10 とシールドケース 40 とで囲まれる空間を仕切る間仕切りであり、本実施の形態では、複数（ここでは 7 つ）の表面実装型シールド部材 31 が並んで配置されることにより構成されている。

[0044] これら複数の表面実装型シールド部材 31 のそれぞれは、回路基板 10 に立設するように表面実装され、回路基板 10 と反対側の端部がシールドケース 40 の内壁に当接する。これにより、表面実装型シールド部材 31 とシールドケース 40 とは電氣的に接続されることになる。また、表面実装型シールド部材 31 の回路基板 10 側の端部は、ビア導体 11 を介してグランド電極 12 に接続されている。したがって、シールドケース 40 は、表面実装型シールド部材 31 を介してグランド電極 12 に接続されることになる。なお、表面実装型シールド部材 31 の詳細な構成については、後述する。

[0045] シールドケース 40 は、例えば金属等の導電部材により形成され、回路基板 10 に立設して複数の電子部品 20 を囲む壁部と、この壁部に蓋するように設けられた天面部とを有する。天面部の内壁は、例えば半田等の導電性接合材によって、シールド壁 30 の上側端部（すなわち表面実装型シールド部材 31 の上側端部）に、電氣的及び構造的に接続している。

- [0046] 次に、表面実装型シールド部材 31 の詳細な構成について説明する。
- [0047] 図 3 は、本実施の形態に係る表面実装型シールド部材 31 の構成を示す図であり、具体的には、同図の (a) は外観斜視図であり、同図の (b) は (a) の IIIb-IIIb 線における断面図であり、同図の (c) は (a) の IIIc-IIIc 線における断面図である。
- [0048] 同図に示すように、表面実装型シールド部材 31 は、表面実装型のチップ部品であり、積層素体 110、第 1 表面電極 121、第 2 表面電極 122、及び、シールド電極 131 を有する。本実施の形態では、表面実装型シールド部材 31 は、厚み方向に積層された複数（ここでは 2 つ）のシールド電極 131 を有する。
- [0049] 積層素体 110 は、厚み方向に直交して延在する磁性体層 111 を有する板状部材である。具体的には、積層素体 110 は、複数（本実施の形態では 2 つ）の磁性体層 111 を含み、シールド電極 131 は、複数の磁性体層 111 の間に設けられている。また、本実施の形態では、積層素体 110 は、さらに、磁性体層 111 より透磁率が低く、かつ、複数（ここでは 2 つ）のシールド電極 131 の間に設けられた非磁性体層 112 を有する。すなわち、本実施の形態では、積層素体 110 は、第 1 の磁性体層 111 と非磁性体層 112 と第 2 の磁性体層 111 とが、積層方向に順次積層された構造を有する。
- [0050] 磁性体層 111 は、具体的には、シールド電極 131 の積層方向両側に設けられ、表面実装型シールド部材 31 が回路基板 10 に実装されることにより、シールド電極 131 を挟んだ状態で回路基板 10 に立設する。
- [0051] 非磁性体層 112 は、具体的には、積層方向両側から 2 つのシールド電極 131 で挟まれ、表面実装型シールド部材 31 が回路基板 10 に実装されることにより、2 つのシールド電極 131 で挟まれた状態で回路基板 10 に立設する。
- [0052] このような積層素体 110 は、積層方向に平行な端面が面一に形成されている。

- [0053] 第1表面電極121は、板状部材（ここでは積層素体110）が回路基板10に立設するように表面実装型シールド部材31を実装するための実装用の電極であって、板状部材の厚み方向（すなわち積層素体110の積層方向）に平行な第1端面S1に設けられた、例えば平面電極である。具体的には、第1端面S1は、表面実装型シールド部材31の実装面である。このため、第1表面電極121は、表面実装型シールド部材31が回路基板10に実装されることにより、回路基板10のビア導体11を介してグランド電極12に接続される。
- [0054] 第2表面電極122は、上記の第1端面S1に対向する第2端面S2に設けられた、例えば平面電極である。具体的には、第2端面S2は、表面実装型シールド部材31の実装面と反対側の面である。このため、第2表面電極122は、表面実装型シールド部材31がシールドケース40で覆われることにより、シールドケース40の内壁に当接される。
- [0055] シールド電極131は、積層素体110の厚み方向（すなわち積層方向）に見て積層素体110の実質的に全面に設けられ、第1表面電極121に接続されている。つまり、シールド電極131は、積層素体110の実装面側の第1端面S1、及び、第1端面S1に対向する第2端面S2に、両端部がそれぞれ露出する、いわゆるベタパターン導体である。
- [0056] ここで、実質的に全面とは、完全に全面であることだけでなく、ほぼ全面であることも含まれる。つまり、積層素体110の実質的に全面に設けられるとは、積層素体110の例えば80パーセント以上に設けられていればよい。なお、積層方向に見て積層素体110に対するシールド電極131の面積比を大きくするほど、表面実装型シールド部材31のシールド効果は高まるものの、積層素体110のシールド電極131を挟み込む層同士の接合強度が弱くなるという別の問題が発生し得る。このため、上記の面積比は、特に限定されず、表面実装型シールド部材31に要求されるシールド効果及び機械的強度等を考慮して適宜決定されるものとする。
- [0057] 本実施の形態では、シールド電極131は、図3の（c）に示すように積

層素体 110 の紙面左右方向の両端部を除く全面に設けられ、図 3 の (b) 及び (c) に示すように第 1 表面電極 121 及び第 2 表面電極 122 に接続されている。これにより、シールド電極 131 は、表面実装型シールド部材 31 が回路基板 10 に実装されることにより、第 1 表面電極 121 とともに、回路基板 10 のビア導体 11 を介してグランド電極 12 に接続される。

[0058] このような表面実装型シールド部材 31 において、本実施の形態では、磁性体層 111 はセラミック磁性体層であり、例えば、磁性フェライトセラミックが用いられる。この磁性フェライトセラミックとしては、具体的には、酸化鉄を主成分とし、亜鉛、ニッケル及び銅のうち少なくとも 1 つ以上を含むフェライトが用いられる。

[0059] また、非磁性体層 112 は、本実施の形態では、セラミック非磁性体層であり、例えば、非磁性フェライトセラミックやアルミナ及びガラスを主成分とする絶縁性ガラスセラミックが用いられる。

[0060] また、シールド電極 131 ならびに第 1 表面電極 121 及び第 2 表面電極 122 としては、例えば、銅を主成分とする金属または合金が用いられる。なお、第 1 表面電極 121 及び第 2 表面電極 122 としては、例えば、ニッケル、パラジウムまたは金によるめっきが施されていてもよい。

[0061] なお、磁性体層 111 及び非磁性体層 112 を構成するセラミックとしては、焼成温度が銀の融点以下である L T C C セラミックス (Low Temperature Co-fired Ceramics) を用いてもよい。これにより、シールド電極 131 を銀を用いて構成することが可能になる。抵抗率の低い銀を用いてシールド電極 131 を構成することで、シールド効果に優れた表面実装型シールド部材 31 が形成される。また、シールド電極 131 に銀を用いることで、例えば大気などの酸化性雰囲気下で表面実装型シールド部材 31 を焼成できる。

[0062] 以上のように構成された表面実装型シールド部材 31 は、例えば次のようにして製造することができる。図 4 は、本実施の形態に係る表面実装型シールド部材 31 の積層方向における構成を示す図である。具体的には、同図の (a) は表面実装型シールド部材 31 を要部ごとに分離して示す斜視図であ

り、同図の（b）は（a）に示す一部の構成をさらに分離して示す斜視図である。なお、これらの図では、第1表面電極121及び第2表面電極122について図示を省略し、主に積層素体110及びシールド電極131からなる積層構造体について図示している。

[0063] まず、積層素体110となるセラミックグリーンシートを準備する。具体的には、磁性体層111となるセラミックグリーンシートは、磁性体セラミック粉末を含んだスラリーをシート成形することによって作製される。非磁性体層112となるセラミックグリーンシートは、非磁性体セラミック粉末を含んだスラリーをシート成形することによって作製される。

[0064] 次に、図4の（a）に示すように、セラミックグリーンシートの特定の位置に銀を主成分とする導体ペーストを印刷してシールド電極131となる導体ペーストを形成する。

[0065] 次に、導体ペーストが配置されたセラミックグリーンシートを、位置合わせをして積層、圧着し、未焼成の積層体ブロックに一体化する。その後、未焼成の積層体ブロックを一括して焼成する。

[0066] これにより、積層素体110及びシールド電極131が板状の焼結体ブロックとして一体に形成される。

[0067] 次に、焼結体ブロックの互いに対向する一对の端面に、第1表面電極121及び第2表面電極122をめっき等により形成することにより、図3に示す表面実装型シールド部材31が得られる。なお、第1表面電極121及び第2表面電極122はめっきに限らず、例えば転写によって形成されてもかまわない。

[0068] ここで、本実施の形態では、図4の（b）に示すように、磁性体層111は、複数の磁性体層111aにより構成されている。上述した導体ペーストを形成する工程では、この複数の磁性体層111aを形成する複数のセラミックグリーンシートのうち、シールド電極131となる導体ペーストを形成したセラミックグリーンシートとは異なるセラミックグリーンシートの両端部に導体ペーストを印刷して、第1表面電極121または第2表面電極12

2と接続される端部電極132となる導体ペーストを形成する。なお、非磁性体層112についても、磁性体層111と同様に、複数のセラミックグリーンシートにより構成され、端部電極132となる導体ペーストを形成してもかまわない。

[0069] このような端部電極132となる導体ペーストを形成することにより、第1表面電極121及び第2表面電極122をめっきにより容易に形成することができる。これについて、図5を用いて説明する。図5は、本実施の形態に係る表面実装型シールド部材31の端部の構成を示す図であり、同図の(b)は(a)の要部を拡大した断面斜視図である。なお、同図の(b)では、第2表面電極122を透視して示している。

[0070] ここで、表面実装型シールド部材31は、第1表面電極121側の構成と第2表面電極122側の構成とでは、第1表面電極121及び第2表面電極122を除いて同様の構成を有する。このため、以下では、第2表面電極122側の構成について説明し、第1表面電極121側の構成については、説明を省略する。

[0071] 同図に示すように、導体ペーストにより形成された端部電極132は、積層素体110の端面110aから露出する。これにより、第2表面電極122が形成される位置には、シールド電極131の端部、及び、端部電極132の端部が、例えばスジ状に複数露出することになる。これにより、第2表面電極122をめっきにより形成する工程において、第2表面電極122となる金属を容易に成長させることができるとともに、第2表面電極122と積層素体110との密着性を高めることができる。

[0072] なお、磁性体層111及び非磁性体層112の各々は、1つのセラミックグリーンシートにより形成されていてもかまわない。つまり、表面実装型シールド部材31には、端部電極132が設けられていなくてもかまわない。

[0073] 以下、本実施の形態に係る表面実装型シールド部材31及び回路モジュール1によって奏される効果について、本実施の形態の比較例と対比して説明する。

[0074] 図6Aは、比較例に係る表面実装型シールド部材91単体でのシールド効果を示す図である。具体的には、同図には、表面実装型シールド部材91によって仕切られた空間の一方にノイズ源NSが配置された状態での、他方の空間に漏れ出したノイズの強度分布が示されている。

[0075] ここで、表面実装型シールド部材91としては、金属部材のみで形成された板状部材を用いた。また、ノイズ源NSとしては、スイッチングIC等に接続されて図6Aの紙面奥行き方向に延在する配線を用いた。また、表面実装型シールド部材91の紙面下方端部は、グランド（安定電位面）に接続されているものとした。

[0076] 同図に示すように、比較例に係る表面実装型シールド部材91では、ノイズ源NS側の空間と仕切られた空間に対して、ノイズが漏れ出してしまう場合がある。このことは、特に、グランドが理想的なグランドでない場合に顕著となる。また、例えば、磁気ノイズが大きくなる場合、すなわちノイズ源NSで発生したノイズの周波数成分が低い場合に顕著となる。

[0077] 図6Bは、比較例に係る表面実装型シールド部材91とシールドケース40との組み合わせによるシールド効果を模式的に示す図である。具体的には、同図には、実施の形態に係る表面実装型シールド部材31に代わり比較例に係る表面実装型シールド部材91を備える回路モジュール901において、ノイズが伝搬する様子が模式的に示されている。

[0078] 同図に示すように、第1電子部品21で発生したノイズは、シールドケース40の天面に伝搬し、表面実装型シールド部材91を介してグランドを構成するグランド電極12へと流れる。このとき、金属部材のみで形成された表面実装型シールド部材91をノイズが流れることにより、表面実装型シールド部材91からノイズが漏れ出してしまう場合がある。このことは、特に、グランドが理想的なグランドでない場合に顕著となる。

[0079] これに対し、本実施の形態に係る表面実装型シールド部材31によれば、第1表面電極121が磁性体層111を有する板状部材（本実施の形態では積層素体110）に設けられていることにより、ノイズの漏れを抑制する（

シールドする）ことができる。

[0080] 図7Aは、本実施の形態に係る表面実装型シールド部材31によるシールド効果を示す図である。具体的には、同図には、表面実装型シールド部材31によって仕切られた空間の一方にノイズ源NSが配置された状態での、他方の空間に漏れ出したノイズの強度分布が示されている。なお、図7Aでのシミュレーション条件は、比較例に係る表面実装型シールド部材91に代わり実施の形態に係る表面実装型シールド部材31を用いた点を除いて、図6Aと同様である。

[0081] 図7Aと図6Aとを比較すると明らかなように、本実施の形態に係る表面実装型シールド部材31によれば、比較例に係る表面実装型シールド部材91に比べて、ノイズ源NS側の空間と仕切られた空間に漏れ出すノイズが顕著に抑制されている。これは、グラウンドが理想的なグラウンドでない場合であっても、シールド電極131から漏れ出したノイズを磁性体層111のビーズ効果（熱変換）によってシールドされることにより、表面実装型シールド部材31の外部に漏れ出しにくくなるためである。また、例えば、磁性体層111が磁気シールドとして機能することで、シールド電極131による静電シールドに加え磁気シールドを施すことになり、シールド効果が高められるためである。

[0082] 図7Bは、本実施の形態に係る表面実装型シールド部材31とシールドケース40との組み合わせによるシールド効果を模式的に示す図である。具体的には、同図には、実施の形態に係る回路モジュール1において、ノイズが伝搬する様子が模式的に示されている。

[0083] 図6Bと図7Bとを比較してわかるように、本実施の形態であっても、比較例と同様に、第1電子部品21で発生したノイズは、シールドケース40の天面に伝搬し、表面実装型シールド部材31を介してグラウンドを構成するグラウンド電極12へと流れる。このとき、本実施の形態では、表面実装型シールド部材31のシールド電極131をノイズが流れることにより、シールド電極131から漏れ出したノイズが磁性体層111のビーズ効果（熱変換

）によってシールドされて、表面実装型シールド部材 3 1 の外部に漏れ出しにくくなる。これにより、表面実装型シールド部材 3 1 によってノイズ源である第 1 電子部品 2 1 と仕切られた空間には、第 1 電子部品 2 1 からのノイズが漏れ出しにくくなる。つまり、第 1 電子部品 2 1 によって構成される第 1 機能ブロックと第 2 電子部品 2 2 によって構成される第 2 機能ブロックとのアイソレーションを高めることができる。

[0084] 以上説明したように、本実施の形態に係る表面実装型シールド部材 3 1 によれば、板状部材（本実施の形態では積層素体 1 1 0）が回路基板 1 0 に立設するように設けられた第 1 表面電極 1 2 1 を有することにより、回路基板 1 0 への実装位置等を適宜調整することができる。すなわち、高い汎用性を有する表面実装型シールド部材 3 1 が実現される。また、磁性体層 1 1 1 を有する板状部材の実質的に全面に設けられたシールド電極 1 3 1 を有することにより、回路基板 1 0 に実装された状態で、シールド電極 1 3 1 及び磁性体層 1 1 1 が並んで立設することになる。このため、シールド電極 1 3 1 から漏れ出したノイズを磁性体層 1 1 1 のビーズ効果によってシールドすることができるので、シールド効果を高めることができる。すなわち、本実施の形態に係る表面実装型シールド部材 3 1 によれば、汎用性を高めつつシールド効果を高めることができる。

[0085] また、本実施の形態に係る表面実装型シールド部材 3 1 によれば、シールド電極 1 3 1 が複数の磁性体層（本実施の形態では 2 つの磁性体層 1 1 1）の間に設けられていることにより、表面実装型シールド部材 3 1 の一方主面側からのノイズ及び他方主面側からのノイズのいずれについても、シールド効果を発揮することができる。

[0086] 具体的には、1 つのシールド電極 1 3 1 と 1 つの磁性体層 1 1 1 とを有する表面実装型シールド部材では、シールド電極 1 3 1 側からのノイズに対してシールド効果を発揮することができるものの、磁性体層 1 1 1 側からのノイズに対してはシールド効果を発揮できない場合がある。これに対して、本実施の形態に係る表面実装型シールド部材 3 1 によれば、一方主面側から他

方主面側に向かう第一方向と当該第一方向と逆の第二方向のいずれについても、シールド電極 131 と少なくとも 1 つの磁性体層 111 とがこの順で立設することになる。このため、表面実装型シールド部材 31 は、一方主面側からのノイズ及び他方主面側からのノイズのいずれについても、シールド効果を発揮することができる。

[0087] したがって、表面実装型シールド部材 31 を実装する工程においてノイズ源に対して表面実装型シールド部材 31 の向きを調整する必要がなくなるため、実装作業のハンドリングが簡素化される。

[0088] また、本実施の形態に係る表面実装型シールド部材 31 によれば、複数のシールド電極 131 を有することにより、シールド効果をさらに高めることができる。

[0089] また、本実施の形態に係る表面実装型シールド部材 31 によれば、複数のシールド電極 131 の間に低透磁率磁性体層（本実施の形態では非磁性体層 112）を設けることにより、複数のシールド電極 131 それぞれのインダクタンス成分の増加を抑制することができる。具体的には、複数のシールド電極 131 を設けた場合、各シールド電極 131 のみを周回する磁束（いわゆるマイナーループ）によって、各シールド電極 131 のインダクタンス成分が増加する場合がある。このようなインダクタンス成分の増加は、シールド電極 131 を介して回路基板 10 にノイズを逃がす際の阻害要因となり得る。そこで、複数のシールド電極 131 の間に低透磁率磁性体層を設けることにより、マイナーループを抑制してインダクタンス成分の増加を抑制することができるので、シールド効果をさらに高めることができる。このような構成は、特に、シールド電極 131 のインダクタンス成分の増加が抵抗成分の増加に繋がりやすい高周波ノイズに対して有効である。

[0090] また、本実施の形態に係る表面実装型シールド部材 31 によれば、第 1 表面電極 121 が設けられた第 1 端面 S1 に対向する第 2 端面 S2 に第 2 表面電極 122 が設けられ、シールド電極 131 が第 2 表面電極 122 に接続されている。すなわち、シールド電極 131 が表面実装型シールド部材 31 の

実装面から反対側の面まで設けられているため、シールド効果を高めることができる。また、当該反対側の面には第２表面電極１２２が設けられている。このため、当該反対側の面にシールドケース４０等の導電部材が当接された場合に、当該導電部材とシールド電極１３１とを電氣的に接続することができる。よって、当該導電部材を伝搬したノイズを、シールド電極１３１を介して回路基板に逃がすことができる。これにより、シールド効果をさらに高めることができる。

[0091] また、本実施の形態に係る表面実装型シールド部材３１によれば、磁性体層１１１がセラミック磁性体層であることにより、磁性体層１１１を焼成により一体の焼結体として得ることができる。さらに、板状部材が主にセラミックを基材とする場合、シールド電極１３１と板状部材とを焼結により一体の焼結体として得ることができる。

[0092] また、本実施の形態に係る表面実装型シールド部材３１によれば、実装面側から見て、シールド電極１３１が表面実装型シールド部材３１から露出せずに磁性体層１１１で囲まれている。これにより、シールド電極１３１から漏れたノイズが表面実装型シールド部材３１の外部に漏れ出しにくくなり、シールド効果をさらに高めることができる。

[0093] また、本実施の形態に係る回路モジュール１によれば、複数の電子部品２０の間（本実施の形態では第１電子部品２１と第２電子部品２２との間）に表面実装型シールド部材３１が実装されていることにより、複数の電子部品２０の間の電磁干渉が低減される。つまり、一方の電子部品２０（本実施の形態では第１電子部品２１）から他方の電子部品２０（本実施の形態では第２電子部品２２）へのノイズをシールドすることができる。また、回路基板１０のサイズや電子部品２０のレイアウトに変更に合わせて、表面実装型シールド部材３１の配置位置を適宜調整することができる。

[0094] また、本実施の形態に係る回路モジュール１によれば、表面実装型シールド部材３１がシールドケース４０の内壁に当接することにより、シールドケース４０に伝搬したノイズを、表面実装型シールド部材３１を介して回路基

板 10 に逃がすことができる。これにより、シールドケース 40 のシールド効果を高めることができる。

[0095] また、本実施の形態に係る回路モジュール 1 によれば、複数の表面実装型シールド部材 31 を備えることにより、回路基板 10 のサイズや電子部品 20 のレイアウトの変更に合わせて、複数の表面実装型シールド部材 31 で構成されるシールド壁 30 全体の形状を自由に変更できる。

[0096] なお、表面実装型シールド部材の構成は、上記実施の形態に限定されない。そこで、以下、変形例 1 ～変形例 5 として、表面実装型シールド部材の各種の変形例について説明する。また、以下では、上記実施の形態と同様の構成については、同一の符号を付して説明を省略する場合がある。

[0097] (変形例 1)

図 8 は、実施の形態の変形例 1 に係る表面実装型シールド部材 32 の構成を示す図であり、具体的には、同図の (a) は外観斜視図であり、同図の (b) は (a) の VIIIb-VIIIb 線における断面図であり、同図の (c) は (a) の VIIIc-VIIIc 線における断面図である。

[0098] 同図に示す表面実装型シールド部材 32 は、図 3 に示した表面実装型シールド部材 31 と比べて、積層素体 110 に代わり積層素体 210 を有する。積層素体 210 は、積層素体 110 の積層方向の両側に一对の非磁性体層 213 が設けられた構成である。この非磁性体層 213 は、非磁性体層 112 と同様に、セラミック非磁性体層である。つまり、積層素体 210 は、厚み方向の両側（積層方向の両側）に設けられた一对のセラミック非磁性体層を有する。

[0099] このような表面実装型シールド部材 32 によれば、シールド電極 131 及び磁性体層 111 を有することにより、実施の形態に係る表面実装型シールド部材 31 と同様の効果が奏される。

[0100] また、一般的に、非磁性体層は磁性体層と比べて機械的な強度が大きい。そこで、本変形例に係る表面実装型シールド部材 32 によれば、積層素体 210 の厚み方向の両側に一对のセラミック非磁性体層（本変形例では非磁性

体層 2 1 3) が設けられることにより、積層素体 2 1 0 の全体的な強度、さらには表面実装型シールド部材 3 2 の全体的な強度を高めることができる。

[0101] このような表面実装型シールド部材 3 2 は、例えば次のようにして製造することができる。図 9 は、本変形例に係る表面実装型シールド部材 3 2 の積層方向における構成を示す図である。具体的には、同図は表面実装型シールド部材 3 2 を要部ごとに分離して示す斜視図である。なお、同図では、第 1 表面電極 1 2 1 及び第 2 表面電極 1 2 2 について図示を省略し、主に積層素体 2 1 0 及びシールド電極 1 3 1 からなる積層構造体について図示している。

[0102] 同図に示すように、本変形例に係る表面実装型シールド部材 3 2 の製造工程では、実施の形態の製造工程に比べて、セラミックグリーンシートを準備する工程において、さらに非磁性体層 2 1 3 となるセラミックグリーンシートを準備する。具体的には、非磁性体層 2 1 3 となるセラミックグリーンシートは、非磁性体層 1 1 2 となるセラミックグリーンシートと同様に、非磁性体セラミック粉末を含んだスラリーをシート成形することによって作製される。なお、非磁性体層 2 1 3 となるセラミックグリーンシートと非磁性体層 1 1 2 となるセラミックグリーンシートとは、同等のセラミック材料の成分及び成分の配合比であってもよいし、異なる成分及び成分の配合比であってもよい。以降、実施の形態と同様の工程を経て、図 8 に示す表面実装型シールド部材 3 2 が得られる。

[0103] (変形例 2)

図 1 0 は、実施の形態の変形例 2 に係る表面実装型シールド部材 3 3 の構成を示す図であり、具体的には、同図の (a) は外観斜視図であり、同図の (b) は (a) の Xb-Xb 線における断面図であり、同図の (c) は (a) の Xc-Xc 線における断面図である。

[0104] 同図に示す表面実装型シールド部材 3 3 は、図 3 に示した表面実装型シールド部材 3 1 と比べて、積層素体 1 1 0 に代わり積層素体 3 1 0 を有し、第 1 表面電極 1 2 1 及び第 2 表面電極 1 2 2 に代わり島状の複数の第 1 表面電

極 3 2 1 及び複数の第 2 表面電極 3 2 2 を有する。また、2 層のシールド電極 1 3 1 に代わり 3 層のシールド電極 3 3 1 を有し、さらにシールド電極 3 3 1 同士を接続するビア導体 3 1 4 を有する。

[0105] 積層素体 3 1 0 は、積層素体 1 1 0 に比べて、2 層の非磁性体層 1 1 2 を有する。具体的には、本変形例では、積層素体 3 1 0 は、第 1 の磁性体層 1 1 1 と 2 層の非磁性体層 1 1 2 と第 2 の磁性体層 1 1 1 とが、積層方向に順次積層された構造を有する。

[0106] 第 1 表面電極 3 2 1 及び第 2 表面電極 3 2 2 は、図 3 に示した第 1 表面電極 1 2 1 及び第 2 表面電極 1 2 2 が複数の島状（ここでは 3 つの島状）に分離された形状である。なお、第 1 表面電極 3 2 1 及び第 2 表面電極 3 2 2 それぞれの個数は特に限定されず、2 または 4 以上であってもかまわない。また、第 1 表面電極 3 2 1 と第 2 表面電極 3 2 2 とは同じ個数に限らず、異なる個数であってもかまわない。

[0107] シールド電極 3 3 1 は、図 3 に示したシールド電極 1 3 1 と比べて、第 1 表面電極 3 2 1 及び第 2 表面電極 3 2 2 が島状に設けられていることに伴い、形状が異なる。具体的には、シールド電極 3 3 1 は、実装面側の端部（第 1 端面 S 1 側の端部）及びその反対側の端部（第 2 端面 S 2 側の端部）では、第 1 表面電極 3 2 1 及び第 2 表面電極 3 2 2 が設けられる部分のみに設けられている。つまり、シールド電極 3 3 1 は、表面実装型シールド部材 3 3 から露出せずに第 1 表面電極 3 2 1 及び第 2 表面電極 3 2 2 と接続されている。このため、シールド電極 3 3 1 から漏れたノイズが表面実装型シールド部材 3 3 の外部に漏れ出しにくくなり、シールド効果をさらに高めることができる。

[0108] ビア導体 3 1 4 は、非磁性体層 1 1 2 を積層方向に貫通して、シールド電極 3 3 1 同士を電氣的に接続する。このようなビア導体 3 1 4 により、シールド電極 3 3 1 の電位の安定化が図られるため、シールド効果をさらに高めることができる。

[0109] このような表面実装型シールド部材 3 3 によれば、シールド電極 3 3 1 及

び磁性体層 1 1 1 を有することにより、実施の形態に係る表面実装型シールド部材 3 1 と同様の効果が奏される。

[0110] なお、シールド電極 3 3 1 の個数は特に限定されず、3 以上であってもかまわない。

[0111] (変形例 3)

図 1 1 は、実施の形態の変形例 3 に係る表面実装型シールド部材 3 4 の構成を示す図であり、具体的には、同図の (a) は外観斜視図であり、同図の (b) は (a) の XIb-XIb 線における断面図であり、同図の (c) は (a) の XIc-XIc 線における断面図である。

[0112] 同図に示す表面実装型シールド部材 3 4 は、図 1 0 に示した表面実装型シールド部材 3 3 と比べて、積層素体 3 1 0 に代わり積層素体 4 1 0 を有し、第 2 表面電極 1 2 2 に代わり第 2 表面電極 4 2 2 を有する。

[0113] 同図に示すように、本変形例に係る表面実装型シールド部材 3 4 の第 2 端面 S 2 には、厚み方向（すなわち積層方向）に沿って延在し、シールド電極 3 3 1 が露出する切り欠き 4 1 0 a（いわゆる端面スルーホール）が設けられている。具体的には、この切り欠き 4 1 0 a は積層素体 4 1 0 の第 2 端面 S 2 側の端部に設けられている。つまり、本変形例における積層素体 4 1 0 は、図 1 0 に示した積層素体 3 1 0 に比べて、切り欠き 4 1 0 a が設けられている点異なる。なお、本変形例では、3 つの切り欠き 4 1 0 a が設けられているが、切り欠き 4 1 0 a の個数は特に限定されない。

[0114] 第 2 表面電極 4 2 2 は、切り欠き 4 1 0 a に設けられた導電性接合材であり、例えば、半田材、導電性接着ペースト（SCP）、導電性接着フィルム（SCF）、または、異方性導電フィルム（ACF）を用いることができる。第 2 表面電極 4 2 2 は、本変形例では略球形状である。

[0115] 本変形例では、第 2 表面電極 4 2 2 は、積層素体 4 1 0 の第 2 端面 S 2 側の端面の中央部を除く部分に設けられており、具体的には 3 つの切り欠き 4 1 0 a のうち中央の切り欠き 4 1 0 a を除く 2 つの切り欠き 4 1 0 a に設けられている。これにより、表面実装型シールド部材 3 4 の実装面側と反対側

の面である第2端面S2について、第2表面電極422を設けることによる平坦性の劣化を抑制することができる。したがって、表面実装型シールド部材34を実装する工程において、例えば、チップマウンター等の電子部品実装機器の吸着ノズルによって、表面実装型シールド部材34を吸着することができる。つまり、一般的なチップ部品と同様に、電子部品実装機器を用いて表面実装型シールド部材34を回路基板10に実装することができる。

[0116] このような表面実装型シールド部材34によれば、シールド電極331及び磁性体層111を有することにより、実施の形態に係る表面実装型シールド部材31と同様の効果が奏される。

[0117] また、第2表面電極422が導電性接合材であることにより、表面実装型シールド部材34とシールドケース40との電氣的及び構造的な接続を容易にとることができる。具体的には、表面実装型シールド部材34を回路基板10に実装した後にシールドケース40を設けることにより、第2表面電極422がシールドケース40と積層素体410とで押圧される。これにより、シールドケース40、表面実装型シールド部材34及び回路基板10が接続されることになる。

[0118] (変形例4)

図12は、実施の形態の変形例4に係る表面実装型シールド部材35の構成を示す図であり、具体的には、同図の(a)は外観斜視図であり、同図の(b)は(a)のXIIb-XIIb線における断面図であり、同図の(c)は(a)のXIIc-XIIc線における断面図である。なお、同図の(c)では、説明の都合上、紙面手前側の貫通孔531Ba(後述する)についても図示している。

[0119] 同図に示す表面実装型シールド部材35は、図3に示した表面実装型シールド部材31と比べて、シールド電極131に代わりシールド電極531(シールド電極531A、531B)を有する。

[0120] シールド電極531は、図3に示したシールド電極131と比べて形状が異なり、具体的には、図12の(c)に示すように紙面左右方向の両端部ま

で設けられている。このため、図12の(a)に示すように、本変形例では、シールド電極531が表面実装型シールド部材35から露出することになる。

[0121] また、シールド電極531には貫通孔が形成されており、具体的には、シールド電極531Aには貫通孔531Aaが形成されており、シールド電極531Bには貫通孔531Baが形成されている。これにより、積層素体110のシールド電極531を挟み込む層同士（本変形例では、磁性体層111と非磁性体層112）の接合強度の低下を抑制してクラック等の発生を抑制できる。

[0122] また、本変形例では、2層のシールド電極531の一方のシールド電極531Aに形成された貫通孔531Aaと、他方のシールド電極531Bに形成された貫通孔531Baとが、積層方向に見て互いに異なる位置に配置されている。これにより、表面実装型シールド部材35を厚み方向に見て、シールド電極531が全体にわたって設けられていることになる。これにより、表面実装型シールド部材35のシールド効果を高めることができる。

[0123] このような表面実装型シールド部材35によれば、シールド電極531及び磁性体層111を有することにより、実施の形態に係る表面実装型シールド部材31と同様の効果が奏される。

[0124] （変形例5）

図13は、実施の形態の変形例5に係る表面実装型シールド部材36の構成を示す図であり、具体的には、同図の(a)は外観斜視図であり、同図の(b)は(a)のXIIIb-XIIIb線における断面図であり、同図の(c)は(a)のXIIIc-XIIIc線における断面図である。

[0125] 同図に示す表面実装型シールド部材36は、図3に示した表面実装型シールド部材31と比べて、積層素体110に代わり積層素体610を有し、2層のシールド電極131に代わり1層のシールド電極631を有する。

[0126] 積層素体610は、積層素体110に比べて、非磁性体層112を有さずに、2層の磁性体層111が積層された構造を有する。

- [0127] シールド電極 631 には、図 3 に示したシールド電極 131 と比べて、所定方向（図 13 の紙面上下方向）に沿って延在するスリット 631s が設けられている。スリット 631s は厚み方向に直交する方向に沿って延在している。本変形例では、シールド電極 631 には、所定方向に貫通する 4 つのスリット 631s が設けられている。つまり、シールド電極 631 は、5 つの導体に分割されている。
- [0128] このシールド電極 631 は、2 つの磁性体層 111 の界面に設けられている。つまり、シールド電極 631 は、第 1 表面電極 121 及び第 2 表面電極 122 と接続される部分を除いて、磁性体層 111 によって囲まれている。このため、シールド電極 631 は、表面実装型シールド部材 36 から外部に露出しないことになる。
- [0129] このような表面実装型シールド部材 36 によれば、シールド電極 631 及び磁性体層 111 を有することにより、実施の形態に係る表面実装型シールド部材 31 と同様の効果が奏される。
- [0130] また、本変形例に係る表面実装型シールド部材 36 によれば、シールド電極 631 にスリット 631s が設けられていることにより、シールド電極 631 から第 1 表面電極 121 に向かうノイズの経路を囲むように磁性体層 111 が配置されることになる。これにより、磁性体層 111 がフェライトビーズとして機能することになり、回路基板 10 に逃げるノイズを抑制することができる。よって、回路基板 10 のグラウンドの電気的変動を抑制することができるため、表面実装型シールド部材 36 が搭載された部品（例えば回路モジュール 1）の電気的特性の劣化を抑制することができる。
- [0131] なお、スリット 631s は、所定方向に貫通する形状に限らず、所定方向に沿って延在する切り欠き形状であってもかまわないし、所定方向に沿って延在する開口形状であってもかまわない。また、スリット 631s の個数は 4 つに限定されない。よって、スリット 631s の形状及び個数は、表面実装型シールド部材 36 に要求されるシールド効果またはビーズ効果等に応じて、適宜決定されるものとする。

- [0132] このような表面実装型シールド部材 3 6 は、特に、D C D C コンバータ回路を構成するスイッチング I C 等の比較的大きなノイズを発生する部品に近い位置に配置される表面実装型シールド部材として有用である。
- [0133] 図 1 4 は、本変形例に係る表面実装型シールド部材 3 6 を有する回路モジュール 6 の上面図である。
- [0134] 同図に示す回路モジュール 6 は、図 2 A に示した表面実装型シールド部材 3 1 のみによって構成されるシールド壁 3 0 に代わり、表面実装型シールド部材 3 6 及び表面実装型シールド部材 3 1 によって構成されるシールド壁 3 0 A を備える。シールド壁 3 0 A は、本変形例では、3 つの表面実装型シールド部材 3 6 及び 4 つの表面実装型シールド部材 3 1 が並んで配置されることにより構成されている。
- [0135] 表面実装型シールド部材 3 6 は、複数の電子部品 2 0 のうち他の電子部品 2 0 よりも電磁波を放射しやすいの電子部品 2 0 に近接して配置されており、本実施の形態では、電源 I C 2 0 P に近接して配置されている。具体的には、表面実装型シールド部材 3 6 は、他の電子部品 2 0 よりも電磁波を放射しやすい電源 I C 2 0 P と他の電子部品 2 0 よりもノイズに弱い R F I C 2 0 R F との間に配置されている。
- [0136] このような回路モジュール 6 によれば、回路基板 1 0 に実装された表面実装型シールド部材 3 1、3 6 を備えることにより、実施の形態に係る回路モジュール 1 と同様の効果が奏される。
- [0137] また、本変形例に係る回路モジュール 6 によれば、スリット 6 3 1 s が設けられたシールド電極 6 3 1 を有する表面実装型シールド部材 3 6 が電磁波を放射しやすいの電子部品 2 0（本変形例では電源 I C 2 0 P）に近接して配置されていることにより、回路基板 1 0 のグラウンドの電気的変動を抑制することができる。このため、回路モジュール 6 の電気的特性の劣化を抑制することができる。
- [0138] ここで、シールド電極 6 3 1 をフェライトビーズとして機能させることは、回路基板 1 0 のグラウンドの電気的変動を抑制できるものの、シールド電極

631のインダクタンス成分の増加に繋がるためシールドケース40から回路基板10に逃げるノイズを妨げる要因となり得る。

[0139] そこで、本変形例に係る回路モジュール6によれば、シールド壁30Aが表面実装型シールド部材36及び表面実装型シールド部材31によって構成されている。具体的には、グラウンドを大きく変動させる要因となる一の電子部品20（本変形例では電源IC20P）に近接した位置には表面実装型シールド部材36が配置され、他の位置には表面実装型シールド部材31が配置されている。これにより、回路モジュール6全体としては、シールドケース40から回路基板10にノイズを逃がしつつ、回路基板10のグラウンドの電气的変動を抑制することができる。

[0140] なお、このような回路モジュール6は、表面実装型シールド部材31に代わり、表面実装型シールド部材32～35を用いた構成であっても、同様の効果が奏される。

[0141] （その他の変形例）

以上、本発明の実施の形態及び変形例に係る表面実装型シールド部材及び回路モジュールについて説明したが、本発明は、個々の実施の形態及び変形例には限定されない。本発明の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態及びその変形例に施したものや、異なる実施の形態及びその変形例における構成要素を組み合わせる構築される形態も、本発明の一つまたは複数の態様の範囲内に含まれてもよい。

[0142] 例えば、板状部材は、積層素体に限らず、単層であってもかまわない。つまり、表面実装型シールド部材は、板状の磁性体層、及び、当該磁性体層に設けられたシールド電極を有する構成であってもかまわない。

[0143] ここで、シールド電極は、磁性体層に直接設けられていることが好ましい。つまり、シールド電極は、接着剤等により磁性体層と貼り合わせられた構成ではなく、例えば、磁性体層上に導体ペーストを印刷する、磁性体層上の導体をエッチングする、あるいは、磁性体層上に導体を析出することにより形成されていることが好ましい。

- [0144] また、上記実施の形態及び変形例 1～4 では、シールド電極は、複数層設けられているとしたが、1 層のみ設けられていてもかまわない。一方、上記変形例 5 では、シールド電極 631 は、1 層のみ設けられているとしたが、複数層設けられていてもかまわない。
- [0145] また、上記実施の形態及び変形例 1～4 では、複数のシールド電極の間には非磁性体層 112 が設けられているとしたが、非磁性体層 112 に限らず、磁性体層 111 より透磁率が低い低透磁率磁性体層が設けられていればよい。
- [0146] また、表面実装型シールド部材は、第 2 表面電極を有さなくてもよく、例えば、第 1 表面電極が設けられた第 1 端面 S1 に対向する第 2 端面 S2 には、全体に積層素体が露出しているとしてもかまわない。
- [0147] また、磁性体層 111 は、セラミック磁性体層に限定されず、例えば磁性体フィラーを含有する樹脂層であってもかまわない。また、非磁性体層 112、213 は、セラミック非磁性体層に限定されず、例えば樹脂層であってもかまわない。
- [0148] また、回路モジュールはシールドケース 40 を備えなくてもよい。つまり、表面実装型シールド部材は、回路基板 10 とシールドケース 40 とで囲まれる空間を仕切らなくてもよく、複数の電子部品 20 の間に配置されていればよい。また、シールド壁を構成する表面実装型シールド部材の個数は複数に限らず、1 つであってもかまわない。
- [0149] なお、本発明では、表面実装型シールド部材の各層の厚みや形状などの各種の寸法値は、特には限定されない。また、板状部材（上記説明では積層素体）の各層を構成するセラミック材料の成分及び成分の配合比、透磁率などの物性値、複合部品内の導体等に用いられる材料の成分及び成分の配合比、導電率などの物性値も特には限定されない。これらの数値は、表面実装型シールド部材に要求されるシールド効果及びビーズ効果等の各種の電気的特性、あるいは、機械的強度等を勘案して適宜決定されるものとする。

産業上の利用可能性

[0150] 本発明は、表面実装型シールド部材及び回路モジュールとして、携帯電話等の携帯端末機器に広く利用できる。

符号の説明

- [0151] 1、6、901 回路モジュール
- 10 回路基板
 - 11、314 ビア導体
 - 12 グランド電極
 - 20 電子部品
 - 20P 電源IC
 - 20RF RFI C
 - 21 第1電子部品
 - 22 第2電子部品
 - 30、30A シールド壁
 - 31～36、91 表面実装型シールド部材
 - 40 シールドケース
 - 110、210、310、410、610 積層素体（板状部材）
 - 110a 端面
 - 111、111a 磁性体層
 - 112、213 非磁性体層
 - 121、321 第1表面電極
 - 122、322、422 第2表面電極
 - 131、331、531、531A、531B、631 シールド電極
 - 132 端部電極
 - 410a 切り欠き
 - 531Aa、531Ba 貫通孔
 - 631s スリット
 - S1 第1端面
 - S2 第2端面

請求の範囲

- [請求項1] 表面実装型シールド部材であって、
厚み方向に直交して延在する磁性体層を有する板状部材と、
前記板状部材が回路基板に立設するように前記表面実装型シールド部材を実装するための実装用の電極であって、前記厚み方向に平行な面である第1端面に設けられた第1表面電極と、
前記厚み方向に見て前記板状部材の実質的に全面に設けられ、前記第1表面電極に接続されているシールド電極と、を有する、
表面実装型シールド部材。
- [請求項2] 前記板状部材は、前記厚み方向に積層された複数の前記磁性体層を有する積層素体であり、
前記シールド電極は、複数の前記磁性体層の間に設けられている、
請求項1に記載の表面実装型シールド部材。
- [請求項3] 前記厚み方向に積層された複数の前記シールド電極を有する、
請求項2に記載の表面実装型シールド部材。
- [請求項4] 前記板状部材は、さらに、前記磁性体層より透磁率が低く、かつ、
複数の前記シールド電極の間に設けられた低透磁率磁性体層を有する、
請求項3に記載の表面実装型シールド部材。
- [請求項5] 前記シールド電極には、前記厚み方向に直交する方向に沿って延在するスリットが設けられている、
請求項1～3のいずれか1項に記載の表面実装型シールド部材。
- [請求項6] 前記表面実装型シールド部材は、さらに、前記第1端面に対向する第2端面に設けられた第2表面電極を有し、
前記シールド電極は、さらに、前記第2表面電極に接続されている、
請求項1～5のいずれか1項に記載の表面実装型シールド部材。
- [請求項7] 前記第2端面には、前記厚み方向に沿って延在し、前記シールド電

極が露出する切り欠きが設けられ、

前記第2表面電極は、前記切り欠きに設けられた導電性接合材である、

請求項6に記載の表面実装型シールド部材。

[請求項8] 前記磁性体層はセラミック磁性体層である、

請求項1～7のいずれか1項に記載の表面実装型シールド部材。

[請求項9] 前記板状部材は、さらに、前記厚み方向の両側に設けられた一対のセラミック非磁性体層を有する、

請求項1～8のいずれか1項に記載の表面実装型シールド部材。

[請求項10] グランドを有する回路基板と、

前記回路基板に実装された複数の電子部品と、

前記複数の電子部品の間に位置するように前記回路基板に実装された表面実装型シールド部材と、を備え、

前記表面実装型シールド部材は、

厚み方向に直交して延在する磁性体層を有する板状部材と、

前記板状部材が前記回路基板に立設するように前記表面実装型シールド部材を実装するための実装用の電極であって、前記厚み方向に平行な面である第1端面に設けられた第1表面電極と、

前記厚み方向に見て前記板状部材の実質的に全面に設けられ、前記第1表面電極に接続されているシールド電極と、を有し、

前記第1表面電極は前記グランドに接続されている、

回路モジュール。

[請求項11] さらに、前記複数の電子部品及び前記表面実装型シールド部材を覆うように前記回路基板に設けられたシールドケースを備え、

前記表面実装型シールド部材は、前記回路基板と反対側の端部が前記シールドケースの内壁に当接する、

請求項10に記載の回路モジュール。

[請求項12] 前記回路基板と前記シールドケースとで囲まれる空間を仕切る複数

の前記表面実装型シールド部材を備える、

請求項 1 1 に記載の回路モジュール。

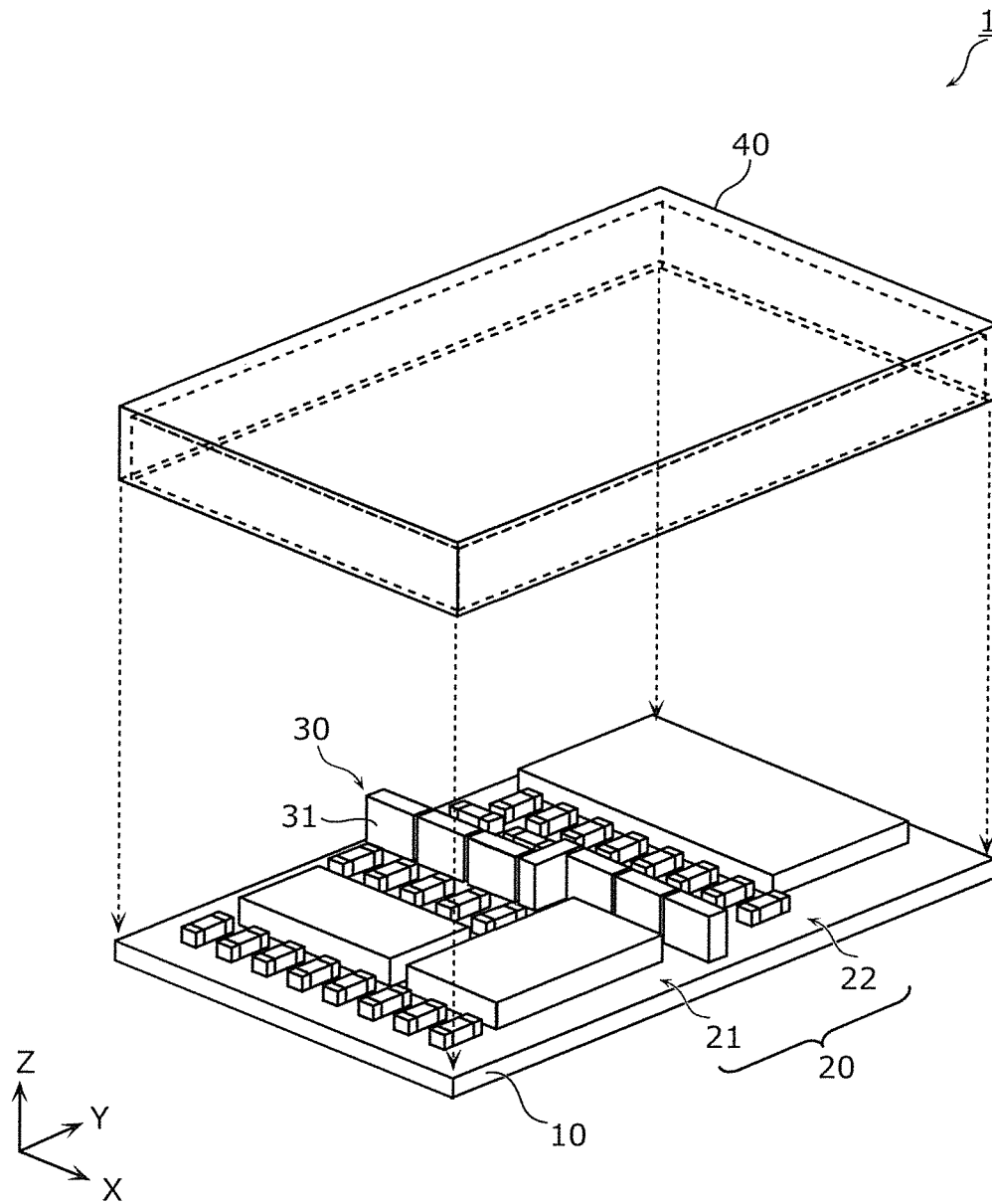
[請求項13] 複数の前記表面実装型シールド部材のうち所定の表面実装型シールド部材において、前記シールド電極には、前記厚み方向に直交する方向に沿って延在するスリットが設けられており、

前記所定の表面実装型シールド部材は、前記複数の電子部品のうち他の電子部品よりも電磁波を放射しやすい一の電子部品に近接して配置されている、

請求項 1 2 に記載の回路モジュール。

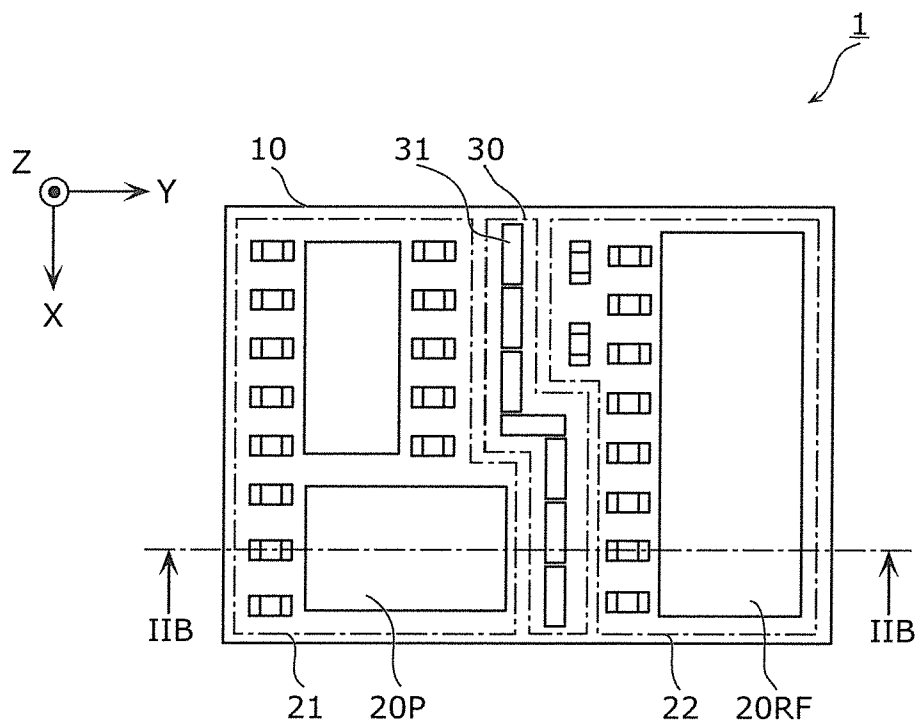
[図1]

図1



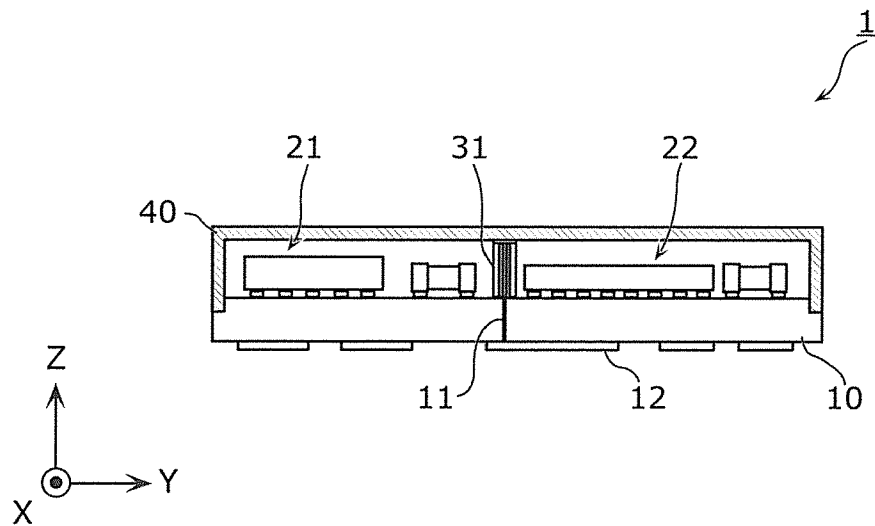
[図2A]

図2A



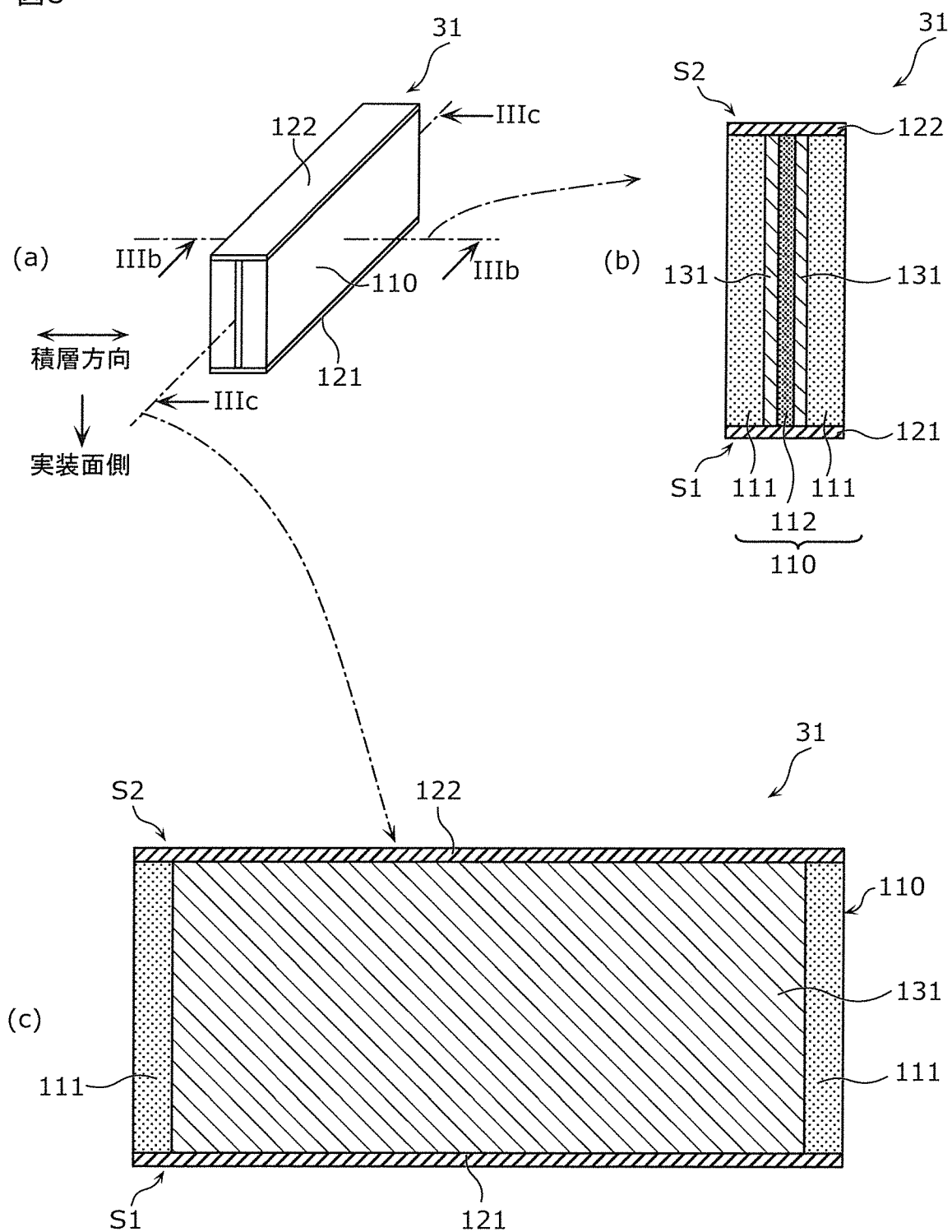
[図2B]

図2B

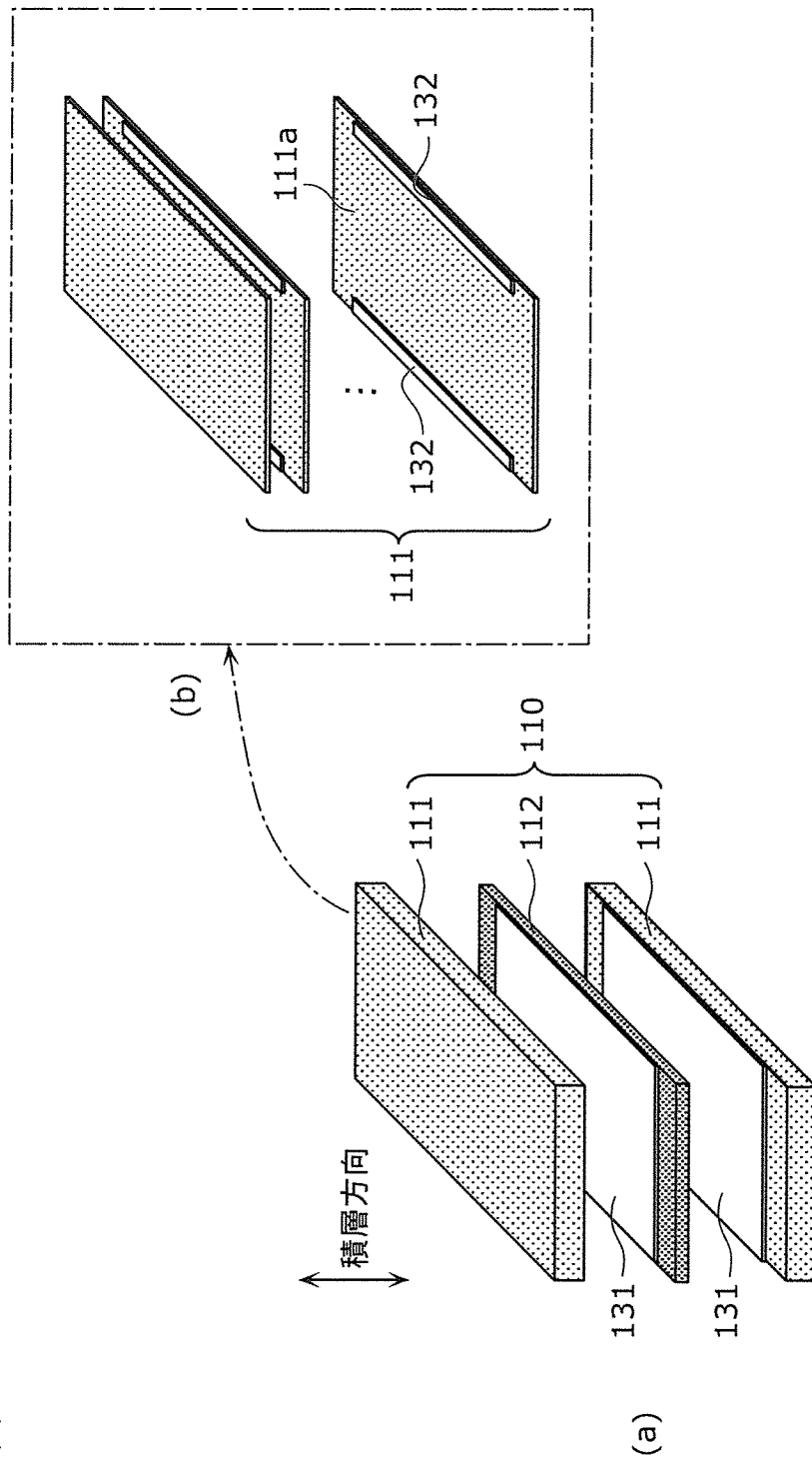


[図3]

図3

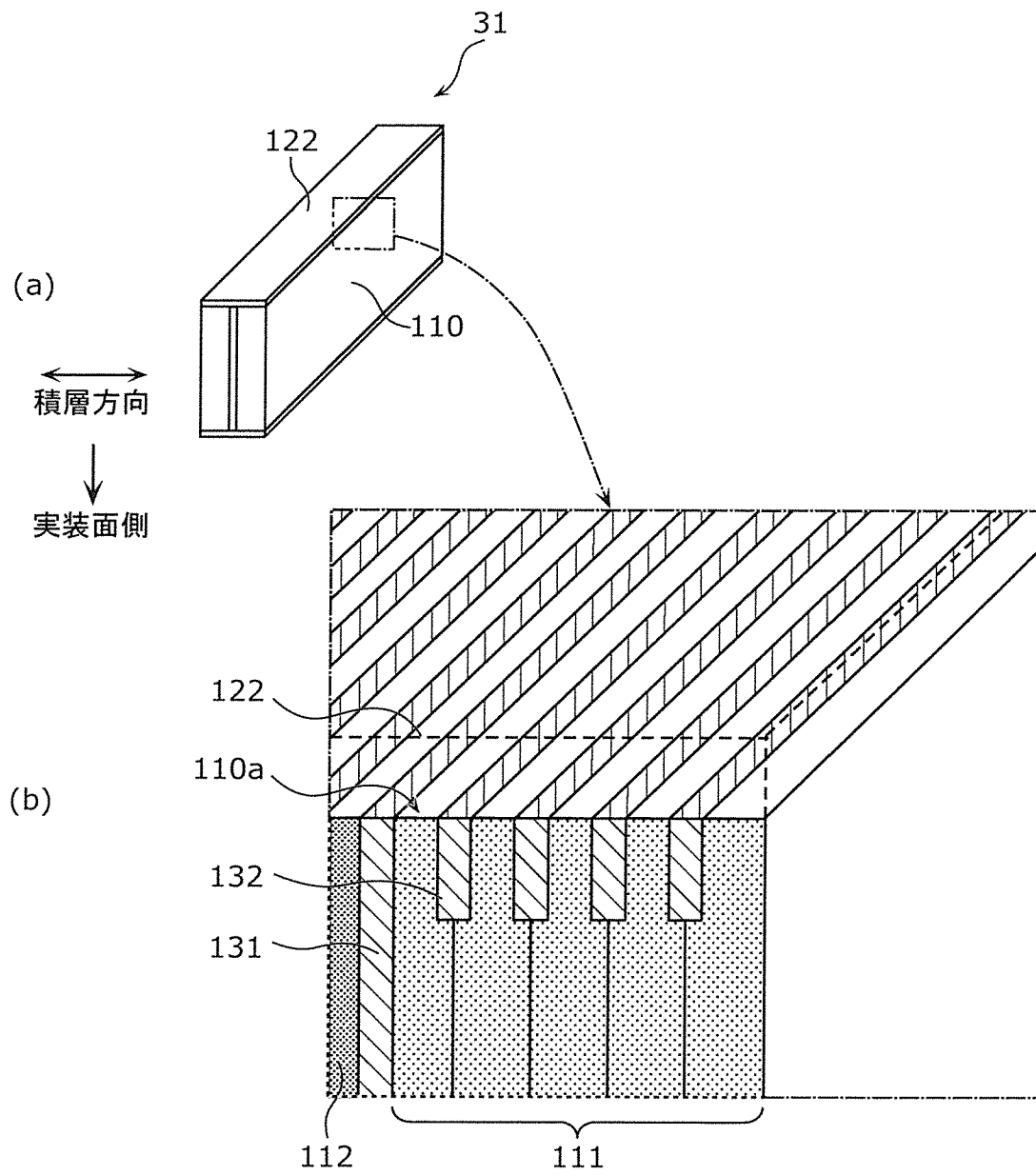


[圖4]



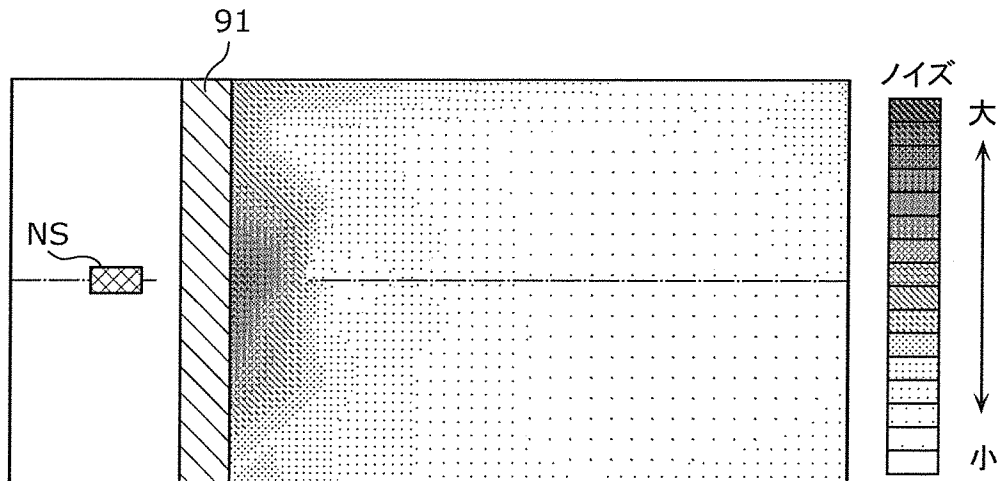
[図5]

図5



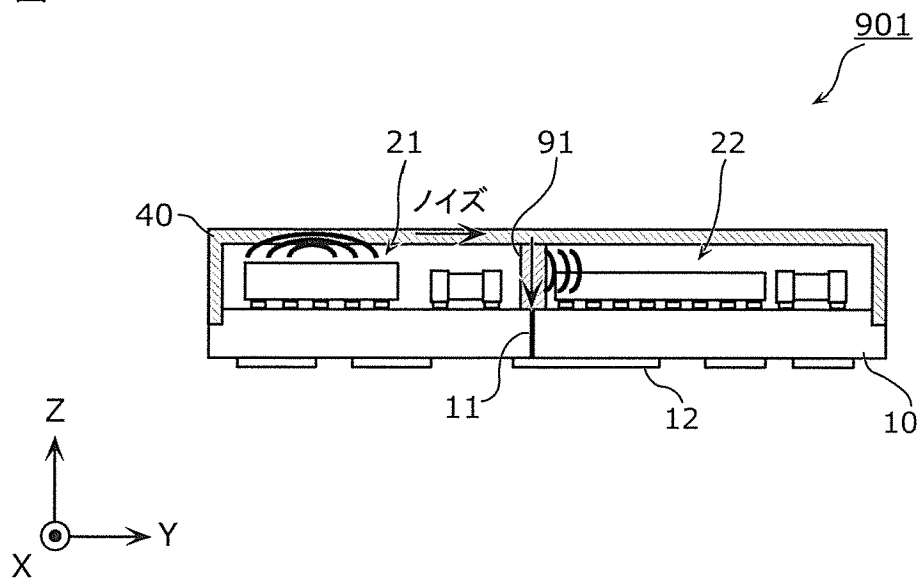
[図6A]

図6A



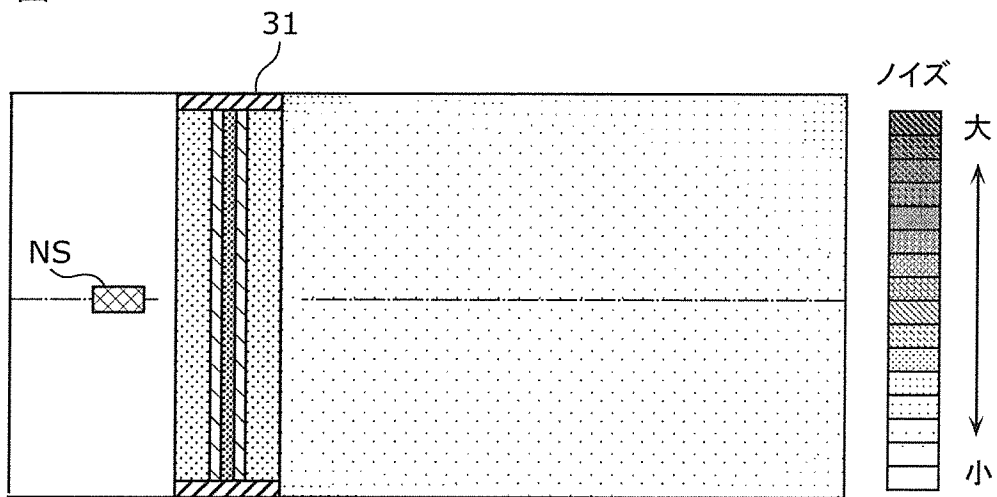
[図6B]

図6B



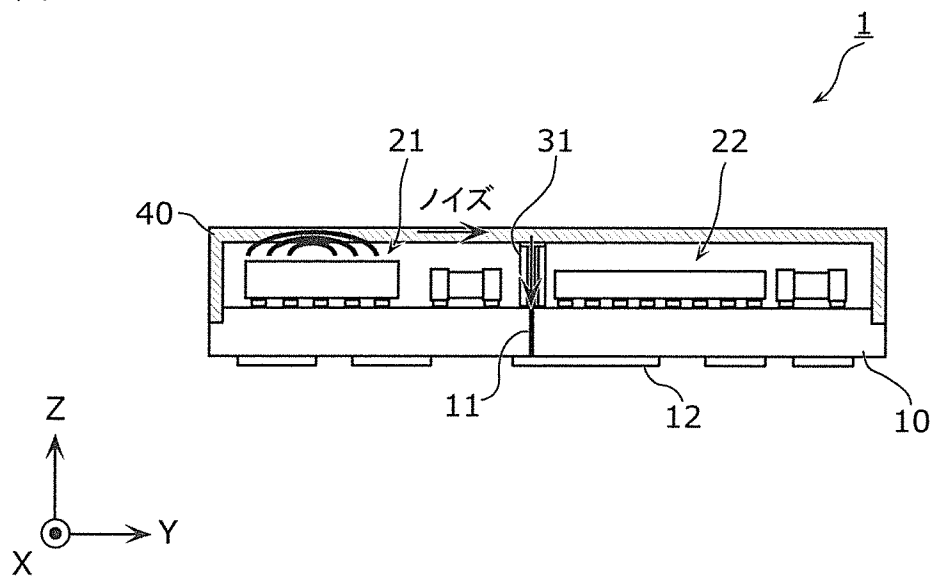
[図7A]

図7A



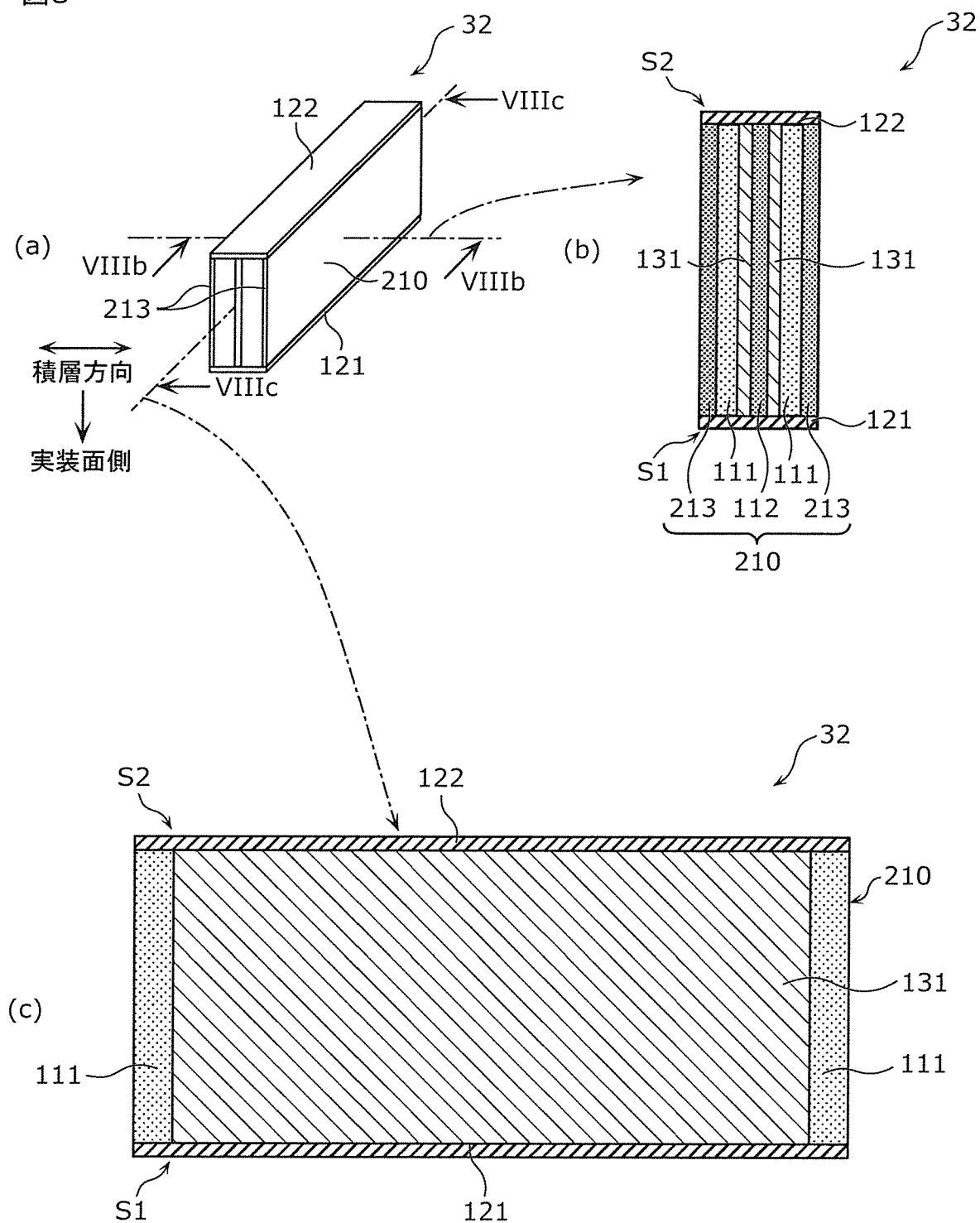
[図7B]

図7B



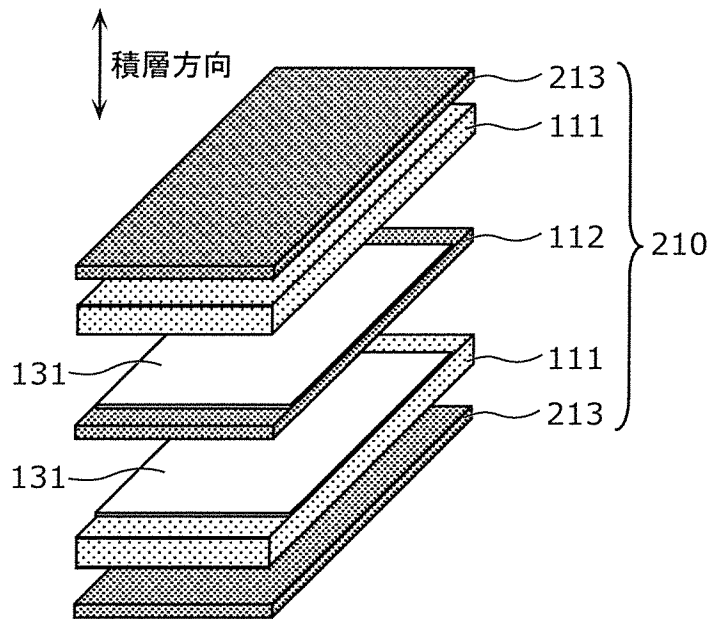
[図8]

図8



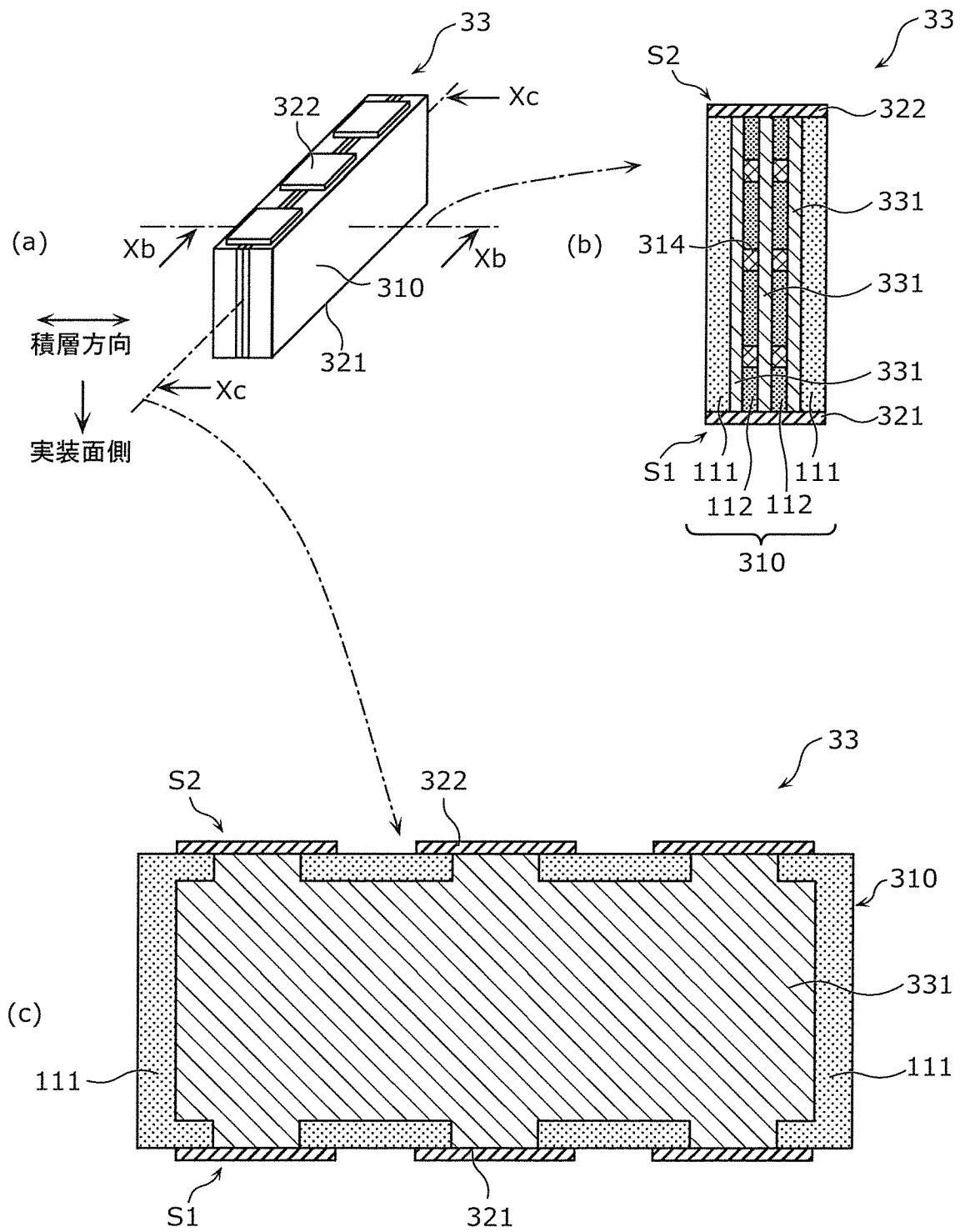
[図9]

図9



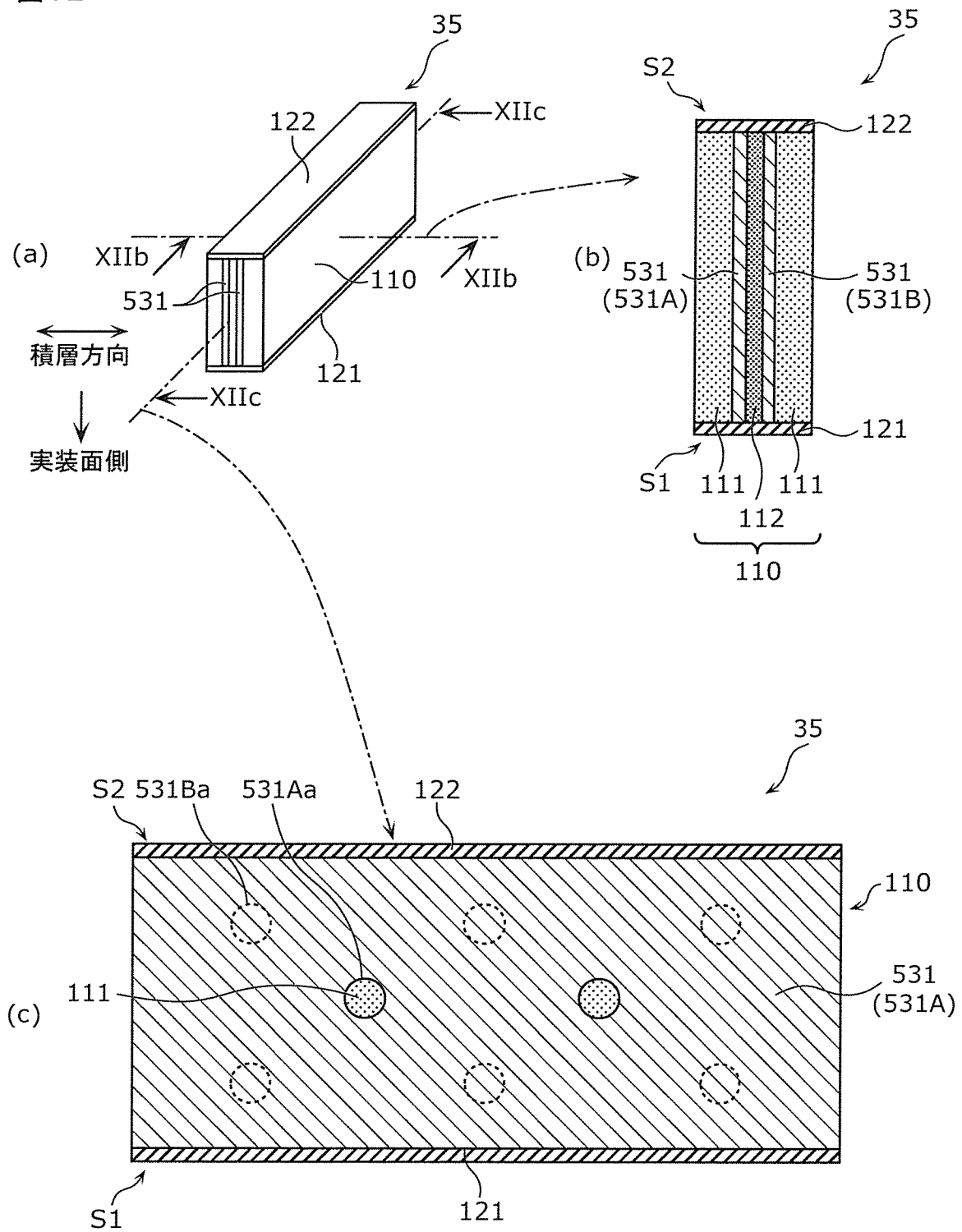
[図10]

図10



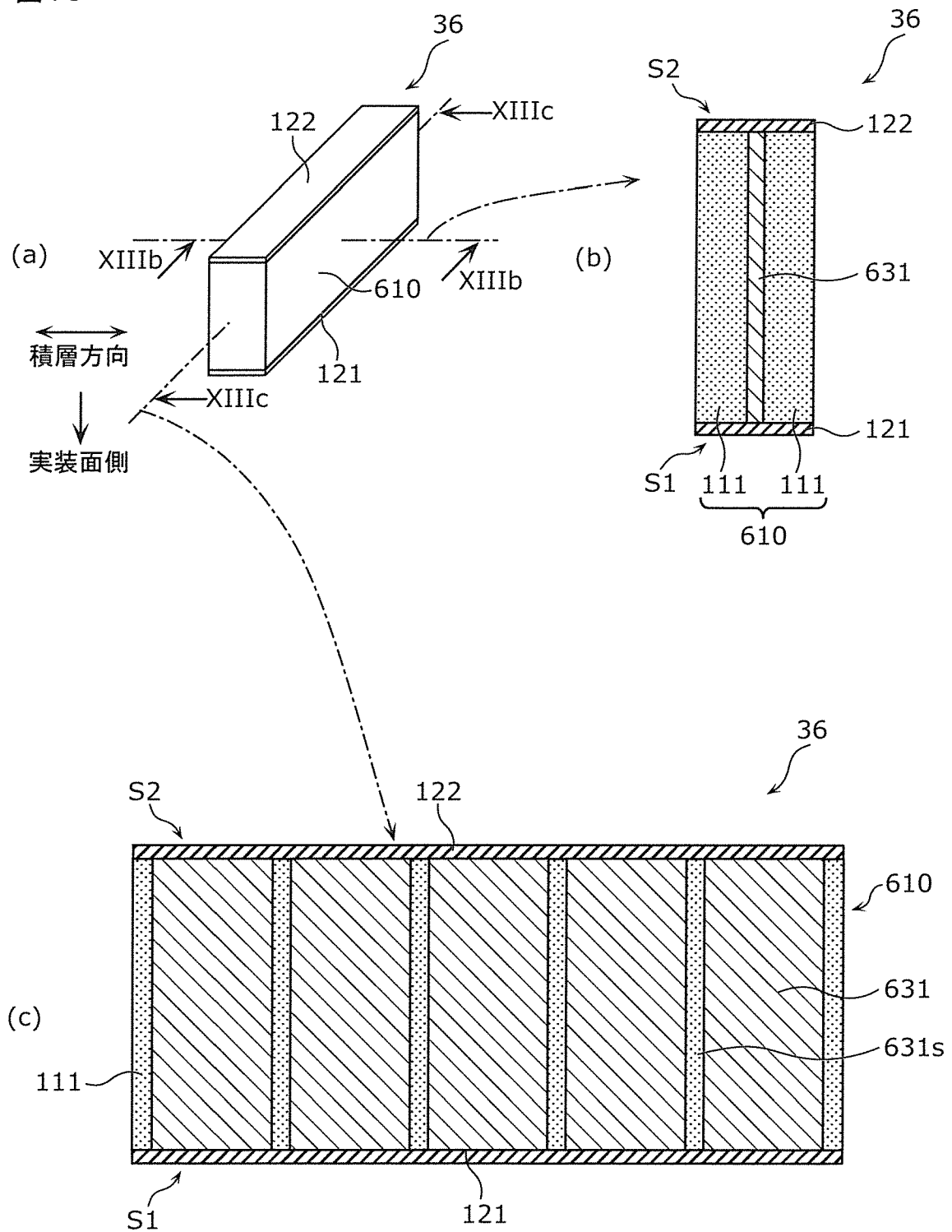
[図12]

図12



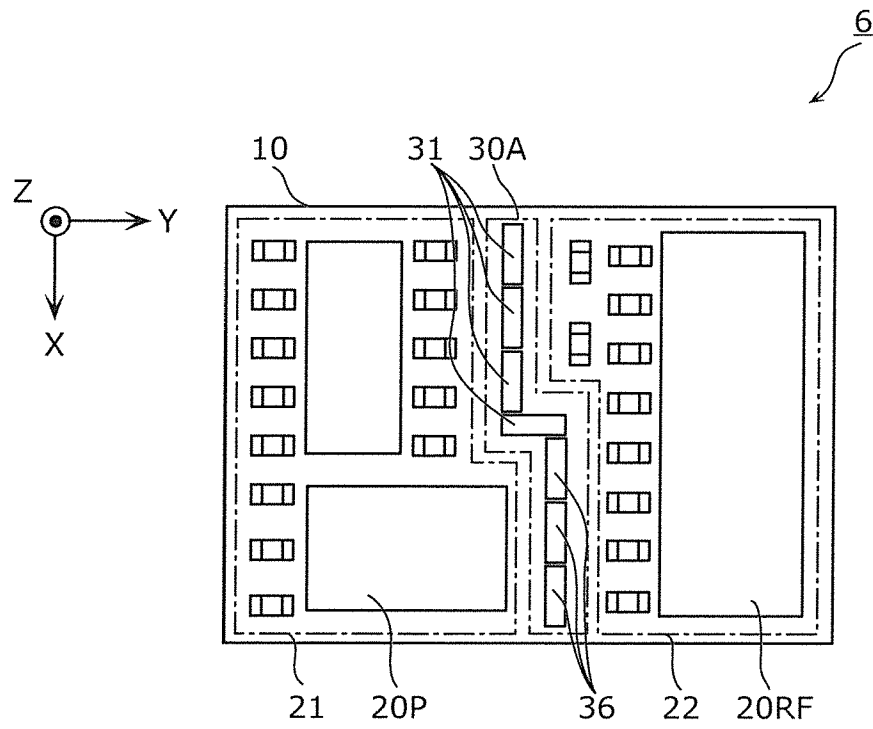
[図13]

図13



[図14]

図14



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/014859

A. CLASSIFICATION OF SUBJECT MATTER

H01L25/04(2014.01)i, H01L23/00(2006.01)i, H01L23/02(2006.01)i, H01L25/18(2006.01)i, H05K9/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/04, H01L23/00, H01L23/02, H01L25/18, H05K9/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2011-258886 A (Murata Mfg. Co., Ltd.), 22 December 2011 (22.12.2011), paragraphs [0007] to [0078]; fig. 1 to 5 & US 2011/0304993 A1 paragraphs [0008] to [0092]; fig. 1 to 5 & CN 102281707 A	1, 6, 8, 10-12 2-5, 7, 9, 13
Y A	JP 2005-251918 A (Shin-Etsu Polymer Co., Ltd.), 15 September 2005 (15.09.2005), paragraphs [0003] to [0038]; fig. 1 to 6 & US 2006/0083948 A1 paragraphs [0005], [0136] to [0166]; fig. 8 to 15 & WO 2004/086837 A1 & TW 200425830 A	1, 6, 8, 10-12 2-5, 7, 9, 13

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 June 2017 (20.06.17)

Date of mailing of the international search report
04 July 2017 (04.07.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/014859

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-317935 A (Matsushita Electric Industrial Co., Ltd.), 10 November 2005 (10.11.2005), paragraphs [0008] to [0040]; fig. 1 to 13 & US 2006/0258050 A1 paragraphs [0005] to [0060]; fig. 1 to 13 & WO 2005/099331 A1 & EP 1631137 A1 & CN 1774965 A	1-13
A	JP 2009-212263 A (Alps Electric Co., Ltd.), 17 September 2009 (17.09.2009), entire text; all drawings (Family: none)	1-13

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L25/04(2014.01)i, H01L23/00(2006.01)i, H01L23/02(2006.01)i, H01L25/18(2006.01)i, H05K9/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L25/04, H01L23/00, H01L23/02, H01L25/18, H05K9/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2011-258886 A (株式会社村田製作所) 2011.12.22, 段落[0007]-[0078], 図 1-5 & US 2011/0304993 A1, 段落[0008]-[0092], 図 1-5 & CN 102281707 A	1, 6, 8, 10-12 2-5, 7, 9, 13
Y A	JP 2005-251918 A (信越ポリマー株式会社) 2005.09.15, 段落[0003]-[0038], 図 1-6 & US 2006/0083948 A1, 段落[0005], [0136]-[0166], 図 8-15 & WO 2004/086837 A1 & TW 200425830 A	1, 6, 8, 10-12 2-5, 7, 9, 13

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

20.06.2017

国際調査報告の発送日

04.07.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

鈴木 駿平

5 D

5588

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-317935 A (松下電器産業株式会社) 2005.11.10, 段落[0008]-[0040], 図 1-13 & US 2006/0258050 A1, 段落[0005]-[0060], 図 1-13 & WO 2005/099331 A1 & EP 1631137 A1 & CN 1774965 A	1-13
A	JP 2009-212263 A (アルプス電気株式会社) 2009.09.17, 全文全図 (ファミリーなし)	1-13