



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년11월21일
(11) 등록번호 10-0869912
(24) 등록일자 2008년11월17일

(51) Int. Cl.

H04N 5/21 (2006.01)

(21) 출원번호 10-2002-0055719

(22) 출원일자 2002년09월13일

심사청구일자 2007년09월13일

(65) 공개번호 10-2003-0023577

(43) 공개일자 2003년03월19일

(30) 우선권주장

60/322,097 2001년09월14일 미국(US)

(56) 선행기술조사문헌

US 6249322 B1

US 6300981 B1

US 5471251 A

(73) 특허권자

툼슨 라이선싱 에스.에이.

프랑스 에프-92100 블로뉴-빌랑꾸르 퀘 아 르 갈로 46

(72) 발명자

테스틴윌리엄존

미국인디애나주46236인디애나폴리스워노나드라이브6808

킨로날드토마스

미국인디애나주46280

인디애나폴리스사라토가썬클1004

니어즈웍마크알란

미국인디애나주46112브라운스버그5945N.901E.

(74) 대리인

이병호, 장훈

전체 청구항 수 : 총 7 항

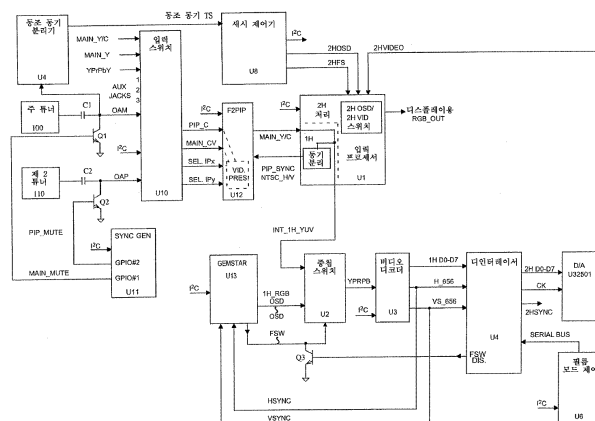
심사관 : 김도원

(54) 스위칭 파도 및 신호 부재 동안의 비디오 교란의 최소화

(57) 요약

텔레비전 모니터 디스플레이는, 제 1 비디오 디스플레이 신호(OAM)의 제 1 선택가능한 소스(100)와 제 2 비디오 디스플레이 신호(OSD)의 제 2 선택가능한 소스(U13)를 포함한다. 비디오 프로세서(U2)는 제 1 및 제 2 선택가능한 소스들로부터 신호를 수신하여 상기 제 1 비디오 디스플레이 신호(OAM)와 상기 제 2 비디오 디스플레이 신호(OSD)를 제어가능하게 결합한다. 동기 분리기(U3)는 상기 결합된 신호를 수신하도록 결합되고 상기 결합된 비디오 신호로부터 분리된 동기화 신호들(HSYNC, VSYNC)을 생성한다. 제어기(U8)는 제 1 선택가능한 소스(100)의 사용자 선택에 응답하고 사전설정된 시간 동안 제 2 비디오 디스플레이 신호(OSD)의 결합을 금지하도록 비디오 프로세서(U2)를 제어하기 위한 디스에이بل 신호(FSW DIS.)를 발생시킨다.

대표도



특허청구의 범위

청구항 1

텔레비전 모니터 디스플레이에 있어서,

제 1 비디오 디스플레이 신호의 제 1 선택가능한 소스;

제 2 비디오 디스플레이 신호의 제 2 선택가능한 소스;

상기 제 1 및 제 2 선택가능한 소스들로부터 신호들을 수신하고 상기 제 2 비디오 디스플레이 신호를 상기 제 1 비디오 디스플레이 신호와 제어가능하게 결합하는 비디오 프로세서;

상기 결합된 신호를 수신하고, 상기 결합된 신호로부터 분리된 동기화 신호들을 발생시키도록 결합된 동기 분리기; 및

상기 제 1 선택가능한 소스의 사용자 선택에 응답하여, 사전 설정된 시간 동안 상기 제 2 비디오 디스플레이 신호의 결합을 금지하도록 상기 비디오 프로세서를 제어하기 위한 디스에이블 신호를 발생시키는 제어기를 포함하는, 텔레비전 모니터 디스플레이.

청구항 2

제 1 항에 있어서,

상기 비디오 프로세서는 상기 제 2 비디오 디스플레이 신호가 상기 제 1 비디오 디스플레이 신호에 중첩되는 온 스크린 디스플레이 비디오 신호를 발생시키는, 텔레비전 모니터 디스플레이.

청구항 3

제 1 항에 있어서,

상기 디스에이블 신호는 온 스크린 디스플레이 비디오의 삽입을 금지하는 스위치를 제어하는, 텔레비전 모니터 디스플레이.

청구항 4

제 1 항에 있어서,

상기 제 1 비디오 디스플레이 신호는 동기화 신호들을 포함하는, 텔레비전 모니터 디스플레이.

청구항 5

제 1 항에 있어서,

상기 제 2 비디오 디스플레이 신호는 동기화 신호들이 없는, 텔레비전 모니터 디스플레이.

청구항 6

제 1 항에 있어서,

상기 제 2 비디오 디스플레이 신호는 표준 화질 텔레비전 활성 필드 기간보다 작은 활성 화상 지속 기간(active picture duration)을 갖는, 텔레비전 모니터 디스플레이.

청구항 7

제 1 항에 있어서,

상기 사전설정된 시간은 적어도 3개의 텔레비전 필드 기간들에 대응하는, 텔레비전 모니터 디스플레이.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<8> 본 발명은 표준 및 고화질 텔레비전 신호로 동작가능한 비디오 디스플레이에 관한 것으로, 특히 과도 교란 동안에 디스플레이 교란들을 완화시키기 위한 장치에 관한 것이다.

<9> 표준 화질(1H 또는 SD) 및 고화질(2H 또는 HD) 텔레비전 신호들로 동작가능하며 온-스크린 TV 가이드를 포함하는 비디오 디스플레이에 있어서, 표준 화질(1H) 주사 주파수 상향 변환, TV 가이드, 및 온-스크린 디스플레이(OSD) 상호관계들의 결과로서 동기화 문제가 발생할 수 있다. 온-스크린-디스플레이 기반의 TV 가이드는 가용 채널들의 목록을 제공하며, 1/9 크기의 화상 내 화상, 또는, PIP로 채널의 미리보기를 모니터링하면서, 커서를 이용하여, 이 리스트를 위아래로 살펴볼 수 있다. 일단 원하는 채널이 발견되고 하이라이팅되면, 단일 버튼을 누름으로써 가이드를 없애고 선택된 채널의 전체 화면 버전을 디스플레이한다. 이러한 대표적인 수신기에서, 주 NTSC 경로는 1H로 디지털화된 후 2H로 상향 변환된다. 색상, 색조, 음량 등과 같은 화상 파라미터들을 제어하는데 이용되는 표준 TV 메뉴들은, 화상 튜브와 결합하기 위한 2H RGB 출력들을 발생시키는 비디오 처리 IC에 위치한 "2H OSD" 기능에 의해 발생되고 삽입된다. 전형적으로, 온-스크린-디스플레이 TV 가이드의 추가는 2H에서 달성되지만, 가용 1H 온-스크린-디스플레이 발생기 IC의 사용은, 동기 분리 및 아날로그-대-디지털 변환에 앞서 주 신호로 온-스크린-디스플레이(OSD)의 삽입을 요구한다. 디스플레이 시스템은 2H에서 동작하기 때문에, 표준 1H 수평 PLL 및 수직 카운트다운 시스템은 이용가능하지 않다. 대안으로서, 가이드 OSD를 위한 1H 수평 및 1H 수직 동기 신호들은 1H 비디오 디코더 내의 디지털 동기 분리기 및 아날로그-대-디지털 변환기 IC에 의해 발생된다. 주 비디오 경로 내에 신호가 존재하는 경우, 가이드 OSD가 스크린상에 안정적으로 위치한채, 예를 들어, 문자들이 일그러지거나 불필요하게 움직이지 않고 스크린상의 수직 및 수평 중심에 위치한채, 시스템은 적절히 동작한다.

발명이 이루고자 하는 기술적 과제

<10> 그러나, 주 비디오 경로로부터 비디오 신호들이 없는 경우에, 비디오 디코더에 의해 발생된 수평 및 수직 동기 신호들은 비정상적이고, 의사주기적(spuriously timed)이 된다. 이들 잘못된 동기 신호들은, 신호 부재시에 발생하는 잡음에 대한 록킹(lock)을 시도하는 비디오 디코더내의 디지털 동기 분리기로부터 발생된다. 디지털 동기 분리는 카운트다운 시스템을 이용하지 않기 때문에, 수직 동기 신호들간의 기간은 종종 표준 간격인 16.7 밀리초로부터 벗어난다. 그 결과, 가이드 OSD와 PIP 미리보기 채널은 불안정하고 근본적으로 이용불가능하다. 디지털 동기 분리는 선택가능한 자유 실행 모드를 제공하지만, 복조된 신호의 부재 동안에 존재하는 비-무작위 잡음은 자유 실행 모드의 선택을 배제하여 잘못된 동기 신호의 발생을 초래한다.

발명의 구성 및 작용

<11> 비디오 디스플레이에서 수평 및 수직 동기 분리를 안정화하기 위해 채택된 본 발명의 제 1 장치에서, 예를 들어 동조 동안에 발생하는 잡음이 동기 분리를 잘못 트리거링하는 것을 방지하기 위해 입력 신호가 제어가능하게 소거(mute)된다. 즉, 비디오 진폭이 0으로 감소된다. 이 소거된 입력은 비디오 신호가 선택된 RF 채널이나 비디오 입력상에 부재하는 것으로 결정될 때마다, 또는 비디오가 온-스크린-디스플레이의 "뒤쪽"에 가려져 있거나 위치한 결과로서 선택된다. 본 발명의 제 2 장치에서 동기 분리가 새로운 주 비디오 신호에 적절하게 록킹될 수 있도록, 새로운 채널 동조를 뒤따르는 약 1개의 필드 동안에 온-스크린-디스플레이가 금지된다. 본 발명의 제 1 장치는 신호 부재들 동안 불안정한 가이드 표시를 방지한다. 본 발명의 장치는 자유 실행 모드에서 비디오 디코더가 성공적으로 동작하도록 하고 안정적인 가이드 디스플레이와 동기화되도록 소거된 입력 상태의 선택을 개시하는 동조 비디오 존재 검출기(tuning video presence detector)에 대한 제 2 사용법을 유익하게 제공한다.

<12> 입력 신호 부재 동안에 동기화를 안정화시키는 본 발명의 제 1 장치와 함께, 온-스크린 가이드를 디스플레이하면서 채널 변경들 동안에 발생하는 디스플레이 신호 파도들을 제거하거나 또는 차단하기 위해 추가적인 본 발명의 장치가 유익하게 이용된다. 존재하는 신호 및 부재하는 신호 간의 스위칭뿐만 아니라, 모두 존재하거나 또는 이용가능한 2개 신호들간의 채널을 변경할 때, 가이드 OSD의 동기화 시에 중단(interruption)이 발생할 수 있다. 특히, 입력 신호 부재 동안에 가이드를 안정화시키기 위해, 수평 및 수직 동기 분리 장치는 유리하게는 강제적으로 앞서 언급한 자유-실행 모드를 취하게 된다. 나아가, 유효한 비디오 신호를 록킹하기 위하여, 수평 및 수직 동기 신호들은 인입 비디오에 록킹되어야만 한다. 동조 동안에, 입력(또는 그로부터의 출력)은 소거되어 비디오 디코더가 자유 실행되도록 허용함으로써 판독가능한 가이드 디스플레이의 발생을 허용한다. 일단 채널이 동조되면, 수평 및 수직 동기 신호들은 인입 비디오에 다시 록킹된다. 이러한 전이, 또는, 록킹됨과 록킹 해제됨 사이의 동기화 부족은, 허용불가능한 비디오 파도들과 동요가 수 초간 지속되게 한다. 이전 설계에서는 수평 PLL 및 카운트다운 회로가 이용되어, 채널 변경 동안에 비교적 안정적인 수평 및 수직 신호들을 초래했고 따라서 동기 분리의 자유 실행 동작이 필요하지 않았다.

<13> 비디오 디코더 IC는 디지털 동기 분리 장치를 이용하며, 수직 카운트다운 장치를 구비한 PLL에 의해 제공되는 잡음 면역 레벨이 없다. 잡음 면역 문제 외에도, OSD를 주 비디오 상에 중첩시키는 것은 채널 변경 동안에 문제가 될 수 있는 것으로 드러났는데, 이는 채널 변경이 방금 완료될 때에 인입 비디오는 앞서 동조된 채널과 비동기이기 때문이다. 그러나, OSD는 비디오 디코더 IC로부터의 동기 신호들의 위상 및 자유 실행 주파수에 록킹된다. 동조된 새로운 채널의 수직 동기에 관하여, 통상적으로 각각의 TV 필드 내의 262.5개의 라인들 중 대략 220개에 존재하는 가이드 OSD의 위상 관계에 따라, 인입 비디오의 수직 동기 구간은 비디오 디코더 IC에게 이용가능하거나 상당한 기간 동안 이용가능하지 않을 것이다. 예를 들어, TV 네트워크 방송사는 지극히 정교하고 안정적인 기준 동기 소스를 사용하기 때문에, 상대적인 드리프트 레이트(drift rates)는 각각의 수직 동기 신호가 일시적 정렬을 통해 드리프트하기 이전에, 수십 초 내지 가능하게는 수분을 초과할 수 있다.

<14> 본 발명의 제 2 장치는 대략 1개 필드(16 msec)에서 록킹을 달성하기 위해 디지털 동기 분리의 능력을 유익하게 이용하며, 추가적으로 FSW(Fast Switch Overlay control: 빠른 스위치 중첩 제어) 라인을 유익하게 디스플레이 블랭킹함으로써, OSD(자유 실행 동기)와 인입 동기 파형 간의 위상 일치, 또는 동기화가 제거된다. 나아가, 소거된 입력으로부터 원하는 입력으로 스위칭할 때 2H OSD 블랭킹을 이용하여 전체 스크린을 순간적으로 블랭킹함으로써, 비디오 디코더 락업에 의해 유발되는 임의의 디스플레이 과도 상태들 또는 동요들이 차단되며, 동기 분리를 록킹하는데 걸리는 시간이 크게 감소한다.

<15> 도 1은 수신기 모니터에서 비디오 경로 및 제어 신호들의 개략적 블록도를 도시하고 있다. 집적 회로(U10)은

예를 들어, 주 튜너(100), 제 2 튜너(110), 성분 신호(Y Pr Pb), 보조 입력들(1-3) 등과 같은 다양한 비디오 입력들 중에서 사용자 선택을 허용하는 비디오 입력 스위치 또는 크로스 포인트이다. 크로스 포인트 비디오 스위치가 사용되기 때문에, 비디오 입력들 중 임의의 하나는 임의의 출력들로 동시에 라우팅될 수 있다. 집적 회로(U10)는 새시 제어기 IC(U8)에 의해 발생된 I²C 버스 명령들에 의해 제어된다. 예를 들어, 주 튜너 비디오(OAM)가 IC(U10)에 의해 선택될 때, 수신된 복조된 신호는 버퍼링되고 화상내화상 프로세서(F2PIP)인 IC(U12)에 합성(composite) 비디오 신호(MAIN_CV)로서 제공된다. 만일 화상내화상 또는 PIP 표시가 입력 소스들 중 하나로부터 선택되면, 스위치 IC(U10)로부터의 제 2 버퍼링된 출력인 화상내화상 합성 비디오(PIP_CV)는 IC(U12)에 결합된다. 집적 회로(U12)인 F2PIP 프로세서는 MAIN_CV 및 PIP_CV 신호 모두를 디지털화하고, PIP 신호를 MAIN_CV 신호에 적절하게 삽입한다. FPIP 디지털-대-아날로그 변환기들로부터의 출력들은 아날로그 YC 성분 신호들(MAIN_Y/C)이며, 이들은 입력 프로세서인 IC(U1)의 1H 부에 결합된다. 신호 MAIN_Y/C의 휘도 성분은 IC(U1)으로부터 신호 INT_1H_YUV로서 출력되고, INT_1H_YUV는 비디오 중첩 스위치인 IC(U2)에 공급되는 2개의 입력들 중 하나가 된다.

<16> 온-스크린 가이드가 사용자에게 의해 선택될 때, 새시 제어기 IC(U8)로부터의 I²C 명령을 통해, 빠른 스위치(FSW) 라인이 스크린상의 대부분의 액티브 라인들에 대해 활성화된다. 그러나, 비디오 디코더 IC(U3)에서의 디지털 동기 분리가 인입 비디오 신호를 록킹하는 것을 허용하기 위해, FSW 라인은 수직 동기 구간, 대략 라인 1-9 동안과, 수평 동기 기간 동안에 디스에이블된다(도 5 참조). IC(U2)로부터의 결합된 신호 출력, Y PR Pb는 디지털 출력 워드 "1H D0-D7"을 생성하는 비디오 디코더 IC(U3)에 의한 아날로그-대-디지털 변환을 위해 결합된다. 그 외에도, IC(U3)는 휘도 성분으로부터 유도되는 아날로그 수평 동기(HSYNC 또는 H_656) 및 수직 동기(VSYNC 또는 Vs_656) 신호들을 생성하는 디지털 동기 분리를 포함한다. 이들 분리된 동기 신호들은 온 스크린 디스플레이상의 가이드를 인입 비디오에 동기화하는데 이용된다. 디지털화된 비디오와 수평 및 수직 동기 신호들 모두는 디인테리서 IC(U4)에 결합된다. 디인테리서 IC는 디지털화된 1H 신호의 상향 변환을 제공하여 2H 주파수 디지털 디스플레이 신호를 생성하며 이 신호는 D/A 변환되어 출력 신호 2H VIDEO를 형성한다. 이 상향 변환된 신호는 매트릭스 처리를 위한 IC(U1)의 2H 부에 결합되며 디스플레이를 위한 적, 녹, 청의 RGB_OUT 아날로그 비디오 신호들을 형성한다.

<17> 도 2는 제어기(U8)에 의해 수행되는 주기적 테스트 시퀀스를 위한 본 발명의 "MAIN LOOP" 디스플레이 소프트웨어의 일부를 도시하는 흐름도이다. 도 2의 시퀀스는 선택된 입력상에 비디오 신호가 존재하는지 또는 부재하는지를 주기적으로 테스트한다. 온 스크린 디스플레이(OSD) 상의 가이드가 존재하든 또는 부재하든, 제어기(U8)에 의해 전달된 그 결과를 갖고 반복적인 테스트가 약 500 밀리초 간격으로 발생한다. 비디오 신호가 존재하지 않는 경우에, 도 3은 OSD 가이드가 존재하는지 또는 부재하는지에 따른 소프트웨어의 동작을 도시한다. 가이드가 선택되면, PIP는 턴오프되고, 예를 들어 GPIB#1에 응답하는 스위치 Q1에 의해 소거된 입력이 선택되어 비디오 디코더 동기 분리가 자유 실행되게 한다. 이러한 잡음 및 신호가 없는 입력은 비디오 디코더(U3)에서의 동기 분리가 가이드 OSD를 발생시키는 GemstarTM IC(U13)에 안정적인 비동기 수평 및 수직 동기를 제공하도록 허용한다. 그러나, 가이드가 선택되지 않으면, PIP는 턴오프되고, 소거된 입력이 선택되며, 프로세서(U1)의 "2H OSD" 회로는 "신호 없음"이라는 텍스트 자막 디스플레이와 함께 "회색 스크린"을 발생시키는데 사용된다.

<18> 가이드 OSD가 존재하고 가이드 내의 하이라이트된 채널이 유효한 비디오 신호 존재를 가지고 있지 않는 경우에, 새시 제어기 또는 주 마이크로(U8)는 비디오 부재를 검출할 것이다. 주 마이크로는 채널 동조 동안에 사용하기 위한 주 튜너 출력에 결합된 하드웨어 검출기로 동조 동기(Tuning Sync) 신호를 모니터링함으로써 "비디오 없음" 상태를 검출한다. 마이크로(U8)에서의 "비디오 존재 검출기"는 각각의 펄드 동안에 발생하는 공칭 표준 폭의 수평 동기 펄스들의 수를 카운트한다. 만일 "에러 카운트"가 사전설정된 한계를 초과하면, 데이터 비트는 비디오 부재를 나타내기 위해 플립(flip)된다. 이 동기 존재 검출기는 500 밀리초마다 선택된 비디오를 반복적으로 샘플링하도록 소프트웨어 제어되는 것이 유익하다. (예를 들어, 도 3에 도시된 바와 같이) "비디오 없음" 상태가 검출되면, 주 마이크로는 유익하게 PIP를 턴오프하여 디스플레이에서 가장자리(edge) 잡음을 제거한다. 또한, 마이크로제어기(U8)는 I²C 버스 명령을 출력하고 이 버스 명령은 IC(U11)에 의해 디코딩되어 신호 GPIO#2를 형성하고, 이 신호는 입력 선택기 스위치 IC(U2)로의 제 2 튜너(110) 출력(OAP)을 소거 또는 블랭킹한다. 입력 블랭킹은 트랜지스터(Q2)에 의해 성취되며, 이 트랜지스터는 디코딩된 제어 신호(GPIO#2)에 의해 포화된다. 이런 식으로, 새시 마이크로제어기(U8)는 비디오 디코더(U3)의 자유 실행상태를 나타내고(assert) 비디오 존재 결정 다이아몬드에서의 테스트 YES에 의해 동조 동기 신호의 재출현을 시그널링하기 위해 도 2에 설명된 모니터링 루프를 기다린다.

- <19> 비디오 신호가 후속해서 검출되면, 마이크로(U8)는 블랭킹 신호(2H OSD 블랭킹)를 발생하고, 이 신호는 순간적으로 2H 아날로그 RGB 디스플레이 신호들을 블랭킹하며, 그와 동시에 입력 스위치(U10)는 주 튜너 출력으로 다시 스위칭되어 비디오 디코더(U3)의 록킹을 용이하게 해주고, PIP는 인에이블되며 결국 스크린은 신호 2H OSD 블랭킹에 의해 언블랭킹(unblank)된다. 도 3은 또한 가이드가 선택되지 않은 때의 "신호 없음" 상태의 동작을 약술한다. 주 마이크로(U8)와 연관된 동조 동기 검출기(U4)는 주 튜너 출력으로부터의 출력(OAM)만을 모니터링하기 때문에, U12 내에 상주하는 별도의 비디오 존재 검출기들은 제 2 튜너 출력(OAP) 또는 PIP 비디오 입력을 위해 이용된다. 또한 U12 내의 다른 비디오 존재 검출기들은 다양한 다른 입력들로부터의 신호들을 제어기(U8)에 의해 선택적 제어에 응답하는 입력 스위치(U10)로 공급된다. 이들 입력 신호들은 즉석 디스플레이를 위해 선택되지 않더라도 IC(U12)의 입력들 SEL.lpx 및 SEL.lpy에 결합되며, 콤포넌트 비디오, Y/C 비디오 또는 NTSC 비디오와 같은 특정 신호들의 존재를 검출하기 위해 모니터링되어, 상이한 포맷으로된 신호 소스의 선택이 있는 경우 최적의 화상 품질이 자동으로 선택 및 디스플레이될 수 있도록 한다. 따라서, 다양한 입력 신호들의 존재를 모니터링하기 위해 총 5개의 상이한 검출기들이 이용된다.
- <20> 초기의 문제점과 해결책은 의사 동기 펄스 발생을 유발하는 주 튜너(100)로부터의 비디오 신호 손실을 처리하는 것이었다. 그러나, 주 튜너 출력은 신호 부재 동안에 GPIO#1에 의해 소거될 수 있을지라도, 이와 같은 소거는 동조 동안에 채널 획득의 검증을 방지한다. 더욱이 어떤 신호도 존재하지 않는 경우, (가이드의 일부인) PIP에서의 비디오 이미지는 무작위 잡음(random noise)을 포함하는데, 이는 주 비디오(OAM)와 PIP 비디오(OAP) 경로들 모두가 소거되고, 미리보기 PIP가 블랭킹되기 때문이다.
- <21> 또 다른 유익한 장치에서, 비디오 입력 부재 동안, 소거된 입력은 동기 분리기에 라우팅되고, 이 동기 분리는 안정적인 수평 및 수직 동기를 발생시키는 자유 실행 모드로 진입함으로써 응답한다. 이들 안정적인 동기 신호들은 입력 신호 부재 동안에 안정적이며 관독가능한 온-스크린-디스플레이의 발생을 용이하게 한다. 유효한 비디오의 존재 결정은 주 튜너 비디오가 선택될 때 모니터링되는 동조 동기 "비디오 존재 검출기"에 의해 수행된다. 앞서 기술된 동기화 결핍은 또한 예를 들어, 주 튜너, 제 2 튜너, aux 1, aux 2, aux3, 구성요소 입력 등과 같은 임의의 입력에서의 신호 부재와 함께 발생할 수 있다. 따라서, 임의의 입력에서의 신호 부재를 검출하기 위해 유익한 비디오 존재 검출기 장치가 이용된다.
- <22> 추가적인 문제점 및 해결책은 채널 동조와 연관된다. 도 7은 채널 또는 비디오 입력상에 비디오 신호가 있는 경우 및 없는 경우 모두에 대한 채널 동조 절차를 도시하고 있으며, 가이드가 선택된다고 가정한다. 동조는 도 7의 블록(71)에서 시작된다. PIP 주변의 박스에 존재하는 잡음을 방지하기 위해, PIP는 가이드 내부로부터의 동조 동안에 블록(72)에서 턴오프된다. 비디오 입력 스위치(U10)는 블록(73), 예를 들어, 도 1의 제 2 튜너 비디오에서 "소거된 입력" 상태로 변경된다. 일단 공칭 평탄, 무작위 잡음인 비디오 디코더로의 비디오 신호가 소거되면, 비디오 디코더는 마이크로(U8)로부터의 I²C 버스 명령을 통해 블록(74)에서 자유-실행 모드로 스위칭된다. 또한, I²C 명령은 블록(75)에서 동기 클리핑을 디스에이블 또는 금지하여, 비디오 디코더가 새롭게 선택된/발견된 채널로부터의 동기 분리 신호들의 록킹을 시도하는 동안 증폭되고 신장된 진폭 동기 펄스들이 동조 절차 이후에 존재할 수 있도록 허용한다. 블록(76)에서 표준 +/- 2MHz 채널 탐색이 주 튜너를 이용하여 수행된다. 이 채널 탐색은 오프셋 에어(MATV) 또는 케이블 채널들이 적절히 동조될 수 있도록 허용한다. 새로운 채널은 블록(77)에서 획득되지만, 만일 채널이 존재하지 않는다면, 동조 시스템은 FCC 공칭 채널 주파수에 디폴트된다. 블록(78)에서, 비디오 존재 검출기는 선택된 입력의 존재 또는 부재를 위해 테스트되고, 그 결과에 따라, 블록(79)에서 YES가 시그널링되거나, 또는 블록(80)에서 NO가 시그널링된다.
- <23> 블록(79) 테스트가 YES이면, 비디오는 존재하고, 시퀀스는 블록(81)에서 계속되며, 블록(82)에서, IC(U1)에서 2H OSD를 사용하여 스크린 블랭킹이 발생한다. 2H OSD 블랭킹의 활성화는, 비디오 디코더(U3)에서의 동기 분리가 록킹할 때 임의의 원하지 않는 과도한 비디오 효과가 디스플레이를 위해 결합되는 것을 차단한다. 블록(83)에서 빠른 스위치가 디스에이블, 즉 FSW 디스에이블되고, 범용 출력을 통해 GPIO는 IC(U4)에 의해 I2C 버스로부터 디코딩된다. 이 FSW 디스에이블 신호는 U13, 즉, GemstarTM OSD 발생기로부터의 FSW 라인을 디스에이블하는 Q3를 포화시켜, 결과적으로 IC(U2)에 의한 OSD 삽입 및 추가가 금지된다.
- <24> 도 5 및 6은 FSW 라인을 디스에이블링하는 효과를 이해하는데 도움을 줄 것이다. 도 5는 파형 A, B, 및 C를 도시한다. 파형 A는 한 필드에서 262.5개의 수평선들 중 약 220개에 대한 가이드 OSD의 존재를 설명한다. 파형 B는 수직 동기 및 가이드 OSD간의 시간 관계를 도시하고 있다. 파형 C는 각각 사전등화 펄스(pre-equalization pulse), 수직 동기 펄스, 및 후등화 펄스(post-equalization pulse)를 나타내는 a, b, c와 함께 수직 동기 펄

스 간격을 도시한다. 유효 비디오 신호의 경우에, 활성 비디오 상에 중첩되는 가이드 OSD는 수직 간격 동안에 활성이 아니거나 존재하지 않는다. 동일한 조건이 수평 동기 간격에 대해서 참(TRUE)이지만, 수직 간격은 가장 중요한데 이는 이후에 설명될 것이다. 유효 비디오와 함께, 요소들(a, b, 및 c)을 포함하는 수직 동기 간격은 비디오 디코더(U3)에 공급되는 휘도 신호에 존재한다. IC(U3) 내의 디지털 동기 분리는 수직 및 수평 동기 펄스들을 분리하여 가이드 IC(U12)에서의 OSD 발생과 동기화되도록 결합되는 출력 신호들 HSYNC 및 VSYNC을 발생시킨다.

<25> 새로운 채널이 동조된 직후, 새롭게 획득된 비디오 신호는 존재하는 가이드 OSD와 비동기이다. 도 6A는 SD 또는 1H 필드의 262.5개의 수평 라인들 중 약 220개 동안에 활성인 가이드 OSD를 도시하고 있다. 가이드 OSD와 인입 비디오 신호는 비동기이고, 가이드는 필드당 262.5개 라인들 중 약 220개 동안 존재하기 때문에, 수직 동기 간격이 가이드 OSD 수직 동기와 동기화된 다음 검출되기까지는 상당한 시간이 소요될 수 있다. 파형 6B는 비디오 디코더가 록킹되지 않아서 발생할 수 있는 무작위 수직 동기를 도시하고 있으며, 파형 6C는 비디오 디코더에 의한 동기 분리를 위해 결합된 휘도 신호를 도시하고 있으며, 여기서 가이드 OSD는 새롭게 획득된 비디오 신호의 수직 동기 간격을 차단 또는 블랭킹하고 있다. 가이드 OSD에 의해 수직 동기 간격을 놓치거나 제거된다면, 명백히, 비디오 디코더는 인입하는 새롭게 선택된 비디오 신호에 록킹하여 동기를 분리하지 못한다. 파형 D는 도 7의 블록(83)에 도시된 FSW 무력화를 활성화시킴으로써 일시적으로 제거 또는 금지된 가이드 OSD로 새롭게 동조된 비디오를 도시하고 있다.

<26> 만일 비디오가 도 7의 블록(80)에 존재하지 않는다면, 시퀀스는 블록(91)의 "비디오 없음"에서 계속된다. 비디오가 없는 경우, 블록(92)에서 비디오 디코더는 동조 절차 동안 이용된 바와 같이, 자유 실행 상태로 유지된다. 비디오 디코더가 자유 실행 상태로 적절히 기능하기 위해, 블록(93)에서 "소거된 입력" 모드가 선택되고 블록(94)에서 동기 클리퍼가 인에이블되어 비디오 레벨 시프트가 동기 진폭 AGC로부터 유발되는 것을 방지한다. 블록(95)에서 제어 시퀀스는 주 루프(main loop)로 되돌아간다.

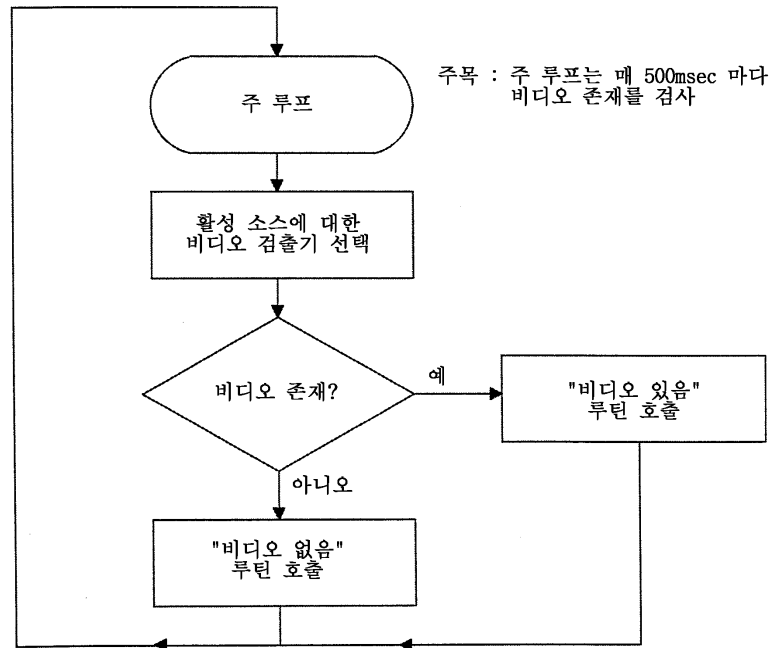
발명의 효과

<27> 본 발명의 장치는 가이드 삽입을 일시적으로 금지시키기 위해 "FSW 제어" 또는 디스에이블 라인을 이용한다. 이 제어 신호 FSW Control은 IC 버스 명령에 응답하여 발생되며 IC(U4)의 범용 입출력 포트(GPIO)에 의해 디코딩된다. 가이드 OSD는 시그널링된 동조의 완료 이후 약 60밀리초 동안 디스에이블된다. 이 유익한 제어 능력은, 비디오 디코더 IC에서의 동기 분리가 NTSC 비디오의 라인들(1-9)에서 수직 동기 블록을 캡처하여 가이드 OSD를 록킹하기 위해 적절한 수평 및 수직 동기를 발생하는 것을 보장한다. 채널 동조 이후의 가이드 OSD에 대한 본 발명의 일시적인 금지는 비디오 디코더에 의한 새로운 신호의 수직 동기 분리를 용이하게 해준다. 디지털 동기 분리의 록킹 시간은 비교적 짧기 때문에, 가이드 삽입의 일시적인 금지는 시각적으로 거의 인식할 수 없다. 상술한 본 발명의 장치들은 안정적인 비디오 및 OSD 디스플레이를 달성하기 위한 획득 시간을 상당히 감소시켜줄 뿐만 아니라, 자유 실행 모드 및 록킹된 모드간의 스위칭으로부터 유발되는 비디오 과도현상의 시각적 표시가 실질적으로 제거된다.

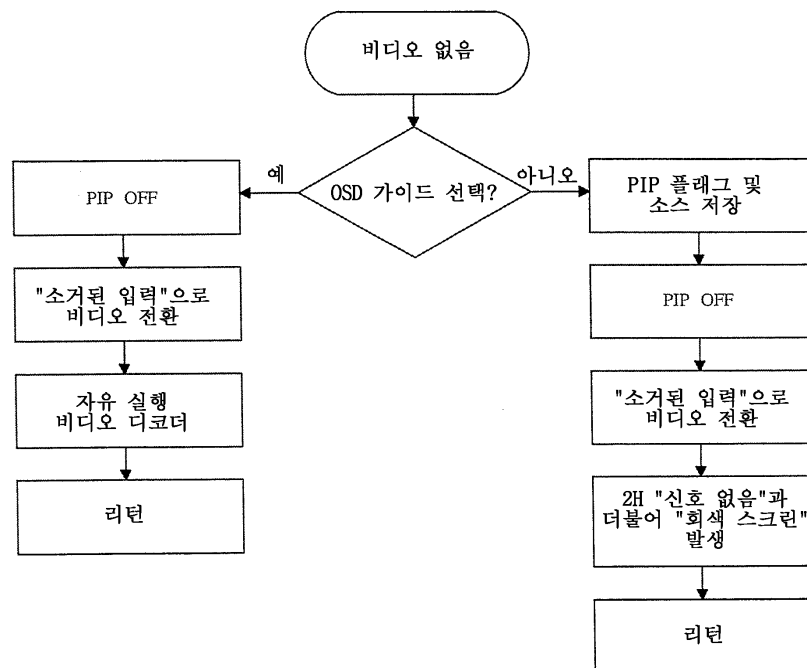
도면의 간단한 설명

- <1> 도 1은 다양한 본 발명의 장치를 포함하는 수상기 모니터의 단순화된 블록도.
- <2> 도 2는 본 발명의 "신호 없음" 검출기 소프트웨어의 메인 루프부의 흐름도.
- <3> 도 3은 "신호 없음" 검출기 소프트웨어의 본 발명에 따른 비디오 없음부의 흐름도.
- <4> 도 4는 "신호 없음" 검출기 소프트웨어의 본 발명에 따른 비디오 있음부의 흐름도.
- <5> 도 5는 인입 비디오 상에 중첩된 가이드 OSD 간의 관계를 도시한 도면.
- <6> 도 6은 OSD와 입력 비디오가 채널 동조 이후에 비동기로 될 때 인입 비디오 상에 중첩된 가이드 OSD 간의 관계를 도시한 도면.
- <7> 도 7은 입력 비디오 신호가 있는 경우 및 없는 경우 모두에서의 본 발명에 따른 "가이드 내" 채널 동조 시퀀스를 도시한 도면.

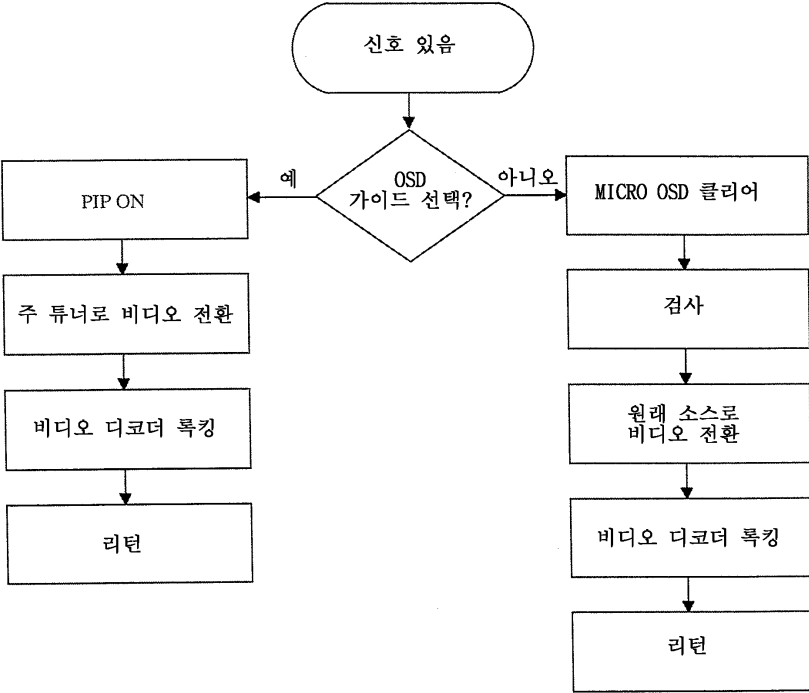
도면2



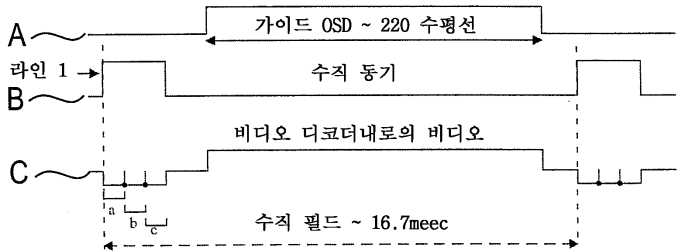
도면3



도면4

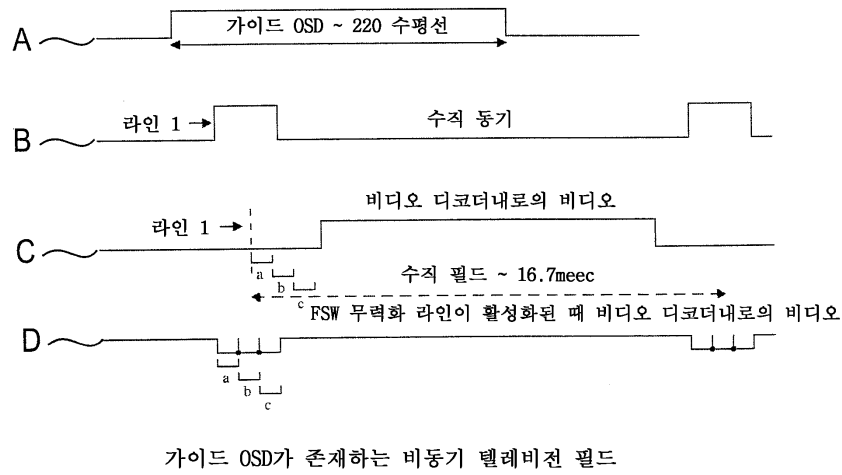


도면5



가이드 OSD가 존재하는 통상의 텔레비전 수직 필드

도면6



도면7

