(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0001231
(43) 공개일자 2009년01월08일

(51) Int. Cl.
H01L 33/00 (2008.05)
(21) 출원번호 10-2007-0065457
(22) 출원일자 2007년06월29일
심사청구일자 2007년06월29일

(71) 출원인
서울옵토디바이스주식회사
경기도 안산시 원시동 727-5(1-36)
(72) 발명자
황의진
경기 시흥시 정왕동 1569-7 303
(74) 대리인
남승희

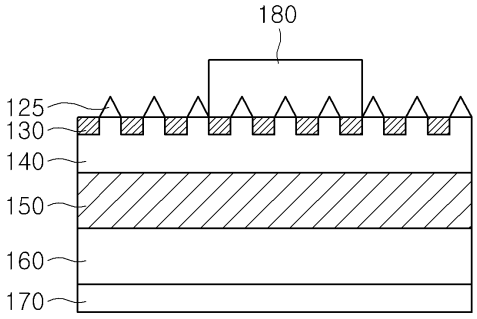
전체 청구항 수 : 총 11 항

(54) 수직형 발광 다이오드와 그 제조 방법 및 이를 구비한 발광다이오드

(57) 요 약

본 발명은 수직형 발광 다이오드와 그 제조 방법 및 이를 구비한 발광 다이오드에 관한 것으로, p형 반도체층과, 활성층과, n형 반도체층 및 n형 반도체층에 형성된 패턴을 포함하며, 패턴은 투명 도전성 재료로 이루어진 수직형 발광 다이오드와 그 제조방법 및 이를 구비한 발광 다이오드가 제공된다.

대 표 도 - 도2



특허청구의 범위

청구항 1

p형 반도체층;

활성층;

n형 반도체층; 및

상기 n형 반도체층에 형성된 패턴을 포함하며, 상기 패턴은 투명 도전성 재료로 이루어진 것을 특징으로 하는 수직형 발광 다이오드.

청구항 2

제1항에 있어서,

상기 n형 반도체층에 형성된 요철부를 더 포함하는 것을 특징으로 하는 수직형 발광 다이오드.

청구항 3

제2항에 있어서,

상기 요철부와 상기 패턴의 적어도 일부가 서로 중첩되지 않게 형성되는 것을 특징으로 하는 수직형 발광 다이오드.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 패턴은 스트라이프(stripe) 또는 메쉬(mesh) 형태로 형성되는 것을 특징으로 하는 수직형 발광 다이오드.

청구항 5

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 투명 도전성 재료는 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)인 것을 특징으로 하는 수직형 발광 다이오드.

청구항 6

기판 상에 버퍼층을 형성하는 단계;

상기 버퍼층 상에 투명 도전성 재료로 이루어진 패턴을 형성하는 단계;

n형 반도체층, 활성층 및 p형 반도체층을 순차적으로 형성하는 단계; 및

상기 기판을 제거하는 단계를 포함하는 것을 특징으로 하는 수직형 발광 다이오드 제조방법.

청구항 7

제6항에 있어서,

상기 버퍼층을 식각하여 상기 n형 반도체층 상에 요철부를 형성하는 단계를 더 포함하는 것을 특징으로 하는 수직형 발광 다이오드 제조방법.

청구항 8

제7항에 있어서,

상기 요철부를 형성하는 단계는,

상기 버퍼층을 PEC(Photo Enhanced Chemical) 식각 또는 ICP(Inductive Coupled Plasma) 식각하여 상기 n형 반도체층 상에 요철부를 형성하는 단계를 포함하는 것을 특징으로 하는 수직형 발광 다이오드 제조방법.

청구항 9

제6항 내지 제8항 중 어느 한 항에 있어서,

상기 패턴을 형성하는 단계는,

상기 패턴을 스트라이프(stripe) 또는 메쉬(mesh) 형태로 형성하는 단계를 포함하는 것을 특징으로 하는 수직형 발광 다이오드 제조방법.

청구항 10

제6항 내지 제8항 중 어느 한 항에 있어서,

상기 패턴을 형성하는 단계는,

ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)로 이루어진 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 수직형 발광 다이오드 제조방법.

청구항 11

단일 기판 내에 다수의 수직형 발광셀이 직렬, 병렬, 직병렬 또는 역병렬로 접속되며,

상기 수직형 발광셀은,

p형 반도체층과, 활성층과, n형 반도체층 및 상기 n형 반도체층에 형성된 패턴을 포함하며, 상기 패턴은 투명 도전성 재료로 이루어진 것을 특징으로 하는 발광 다이오드.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<11> 본 발명은 수직형 발광 다이오드와 그 제조방법 및 이를 구비한 발광 다이오드에 관한 것으로, 보다 상세하게는 n형 반도체층의 오믹 콘택 저항을 감소시키고, 발광 효율을 개선하기 위한 수직형 발광 다이오드와 그 제조방법 및 이를 구비한 발광 다이오드에 관한 것이다.

<12> 도 1a 내지 도 1c는 종래 기술에 따른 수직형 발광 다이오드의 제조공정 단면도이다. 도 1a 내지 도 1c를 참조하면, 기판(10) 상에 버퍼층(20), n형 반도체층(30), 활성층(40), p형 반도체층(50) 및 p 전극(60)을 순차적으로 형성한다.

<13> 그 다음에, 리프트 오프 공정을 통하여 기판(10)을 제거하고, 버퍼층(20)을 식각하여, n형 반도체층(30)을 노출시킨 후, n 전극(70)을 형성한다. 그러나, 버퍼층(20) 식각 시, n형 반도체층(30)이 손상되어, n 전극(70)이 제대로 형성되지 않는 경우가 종종 발생하게 된다.

발명이 이루고자 하는 기술적 과제

<14> 본 발명은 상술한 종래의 문제점을 극복하기 위한 것으로서, 상세하게는 n형 반도체층의 오믹 콘택 저항을 감소시키고, 발광 효율을 개선하기 위하여 투명 도전성 재료로 이루어진 패턴을 형성한 수직형 발광 다이오드와 그 제조방법 및 이를 구비한 발광 다이오드에 관한 것이다.

발명의 구성 및 작용

<15> 본 발명의 일 측면에 따르면, p형 반도체층; 활성층; n형 반도체층; 및 상기 n형 반도체층에 형성된 패턴을 포함하며, 상기 패턴은 투명 도전성 재료로 이루어진 수직형 발광 다이오드가 제공된다.

<16> 상기 n형 반도체층에 형성된 요철부를 더 포함한다.

<17> 상기 요철부와 상기 패턴의 적어도 일부가 서로 중첩되지 않게 형성된다.

<18> 상기 패턴은 스트라이프(stripe) 또는 메쉬(mesh) 형태로 형성된다.

<19> 상기 투명 도전성 재료는 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)인 것을 특징으로 한다.

<20> 본 발명의 다른 측면에 따르면, 기판 상에 버퍼층을 형성하는 단계; 상기 버퍼층 상에 투명 도전성 재료로 이루어진 패턴을 형성하는 단계; n형 반도체층, 활성층 및 p형 반도체층을 순차적으로 형성하는 단계; 및 상기 기판을 제거하는 단계를 포함하는 수직형 발광 다이오드 제조방법이 제공된다.

<21> 상기 버퍼층을 식각하여 상기 n형 반도체층 상에 요철부를 형성하는 단계를 더 포함한다.

<22> 상기 요철부를 형성하는 단계는 상기 버퍼층을 PEC(Photo Enhanced Chemical) 식각 또는 ICP(Inductive Coupled Plasma) 식각하여 상기 n형 반도체층 상에 요철부를 형성하는 단계를 포함한다.

<23> 상기 패턴을 형성하는 단계는 상기 패턴을 스트라이프(stripe) 또는 메쉬(mesh) 형태로 형성하는 단계를 포함한다.

<24> 상기 패턴을 형성하는 단계는 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)로 이루어진 패턴을 형성하는 단계를 포함한다.

<25> 본 발명의 또 다른 측면에 따르면, 단일 기판 내에 다수의 수직형 발광셀이 직렬, 병렬, 직병렬 또는 역병렬로 접속되며, 상기 수직형 발광셀은 p형 반도체층과, 활성층과, n형 반도체층 및 상기 n형 반도체층에 형성된 패턴을 포함하며, 상기 패턴은 투명 도전성 재료로 이루어진 발광 다이오드가 제공된다.

<26>

<27> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세히 설명한다.

<28> 도 2는 본 발명의 일 실시예에 따른 수직형 발광 다이오드의 개략 단면도이다.

<29> 도 2를 참조하면, 수직형 발광 다이오드는 p 전극(170), p형 반도체층(160), 활성층(150), n형 반도체층(140), 패턴(130), 요철부(125) 및 n 전극(180)을 포함한다.

<30> p 전극(170) 상에는 p형 반도체층(160), 활성층(150) 및 n형 반도체층(140)이 순차 적층되어 형성된다. 패턴(130)은 n형 반도체층(140)의 일 면에 형성되며, 요철부(125)는 n형 반도체층(140)의 일 면에 형성되고, n 전극(180)은 패턴(130)과 요철부(125) 상에 형성된다.

<31> 활성층(150)은 에너지 밴드갭이 작은 웰층(미도시)과 웰층 보다 에너지 밴드갭이 큰 배리어층(미도시)이 교대로 적층되어 형성된 양자 우물(Quantum Well) 구조로 형성될 수 있다.

<32> 패턴(130)은 도면에 도시된 바와 같이, 복수의 라인이 소정 간격 이격되어 형성되는 스트라이프 형태로 n형 반도체층(140)의 일 면에 삽입된 형태로 형성될 수 있다. 그러나, 패턴(130)의 형태가 이에 한정되는 것은 아니며, 다양하게 변형될 수 있다. 또한, 패턴(130)으로는 투명 도전성 재료 예를 들면, ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등이 사용될 수 있다.

<33> 요철부(125)는 n형 반도체층(140)의 일 면에 소정 형태 예를 들면, 톱니 형태, 반원 형태 또는 다각뿔 형태 등으로 형성될 수 있다. 이때, 요철부(125)와 패턴(130)은 적어도 일부가 서로 중첩되지 않도록 형성될 수 있다. 즉, 요철부(125)는 패턴(130)이 형성되지 않은 n형 반도체층(140)에 형성될 수 있다.

<34> 또한, 요철부(125)로는 언도핑된 GaN, AlN, GaInN, AlGaInN, SiN 등의 다양한 재료가 사용될 수 있다.

<35> 상기에서 살펴본 바와 같이, n형 반도체층(140)에 투명 도전성 재료로 이루어진 패턴(130)과 요철부(125)를 형성하면, n 전극(180)의 오믹 콘택 저항을 감소시켜서, 발광 다이오드의 구동 전압을 감소시킬 수 있게 된다. 그 결과, 발광 다이오드의 발광 효율을 개선시킬 수 있게 된다.

<36> 도 3 내지 도 8은 본 발명의 일 실시예에 따른 수직형 발광 다이오드의 제조공정 단면도이다.

<37> 도 3을 참조하면, 우선 기판(110) 상에 버퍼층(120)을 형성한다. 기판의 재료(110)로는 사파이어나 실리콘 카바이드(SiC) 등 다양한 물질이 사용될 수 있다.

<38> 버퍼층(120)의 재료로는 언도핑된 GaN, AlN, GaInN, AlGaInN, SiN 등의 다양한 재료가 사용될 수 있다.

<39> 도 4a를 참조하면, 버퍼층(120) 상에 패턴(130)을 형성한다. 이때, 패턴(130)은 상기 버퍼층 상에 투명 도전성 재료 예를 들면, ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등이 사용될 수 있다. 패턴(130)은 도

4b에 도시된 바와 같이 복수의 라인이 상호 이격되어 형성된 스트라이프 형태로 형성될 수 있거나, 또는 도 4c에 도시된 바와 같이 메쉬(mesh) 형태로 형성될 수 있다.

<40> 도 5를 참조하면, 패턴(130)이 형성된 버퍼층(120) 상에 n형 반도체층(140), 활성층(150) 및 p형 반도체층(160)을 순차적으로 형성한다.

<41> n형 반도체층(140)으로 n형 GaN을 사용하나, 이에 한정되는 것은 아니며, 여러 가지 조성의 질화물계 화합물이 사용될 수 있으며, n형 불순물로는 Si을 사용하나, 이에 한정되는 것은 아니며 Ge, Sn, Te, S 등을 포함하는 재료가 사용될 수 있다.

<42> 활성층(150)은 웰층과 배리어층이 적어도 2번 이상 교대로 적층된 다중 양자 우물구조로 형성한다. p형 반도체층(160)으로 p형 GaN을 사용하고 있으나, 이에 한정되는 것은 아니며, 여러 가지 조성의 질화물계 화합물이 사용될 수 있으며, p형 불순물로는 Zn, Cd, Be, Mg, Ca, Sr, Ba 등이 사용될 수 있으나, 이에 한정되는 것은 아니다.

<43> 도 6을 참조하면, 레이저 리프트 오프 공정을 통하여 기판(110)을 제거하여 버퍼층(120)을 노출시킨다.

<44> 도 7을 참조하면, 노출된 버퍼층(120)을 식각하여 n형 반도체층(140) 상에 요철부(125)를 형성한다. 이때, 요철부(125)는 버퍼층(120)을 PEC(Photo Enhanced Chemical) 식각 또는 ICP(Inductive Coupled Plasma) 식각을 수행하여 형성한다.

<45> 도 8을 참조하면, 요철부(125)와 패턴(130) 상에 n 전극(180)을 형성한다.

<46> 도 9a 및 도 9b는 본 발명에 따른 수직형 발광셀을 이용한 AC 발광 다이오드의 제조 공정 단면도이다.

<47> 도 9a를 참조하면, 복수의 수직형 발광셀을 기판(110) 상에 형성된 p 전극(170)상에 본딩한다. 이때, 각 수직형 발광셀은 p형 반도체층(160), 활성층(150), n형 반도체층(140), 패턴(130), 요철부(125) 및 n 전극(180)을 포함하며, p 전극(170)은 수직형 발광셀 보다 크게 형성된다. 본 실시예에서, 발광셀은 웨이퍼 레벨에서 단일칩 내에 본딩되는 단위 발광소자를 의미하며, 본 실시예의 경우 복수의 수직형 발광셀이 기판(110) 상에 본딩되며, 각 발광셀은 상기에서 살펴본 수직형 발광 다이오드의 구조를 갖는다.

<48> 도 9b를 참조하면, p 전극(170)과 인접한 수직형 발광셀의 n 전극(180)을 배선(250)으로 연결한다.

<49> 본 발명에 따른 AC 발광 다이오드를 구성하는 수직형 발광셀의 개수는 교류 구동이 가능한 전압의 숫자만큼 형성하는 것이 효과적이다. 즉, 본 발명에서 AC 발광 다이오드에 인가되는 교류 구동전압에 따라 직렬 접속되는 수직형 발광셀의 개수가 변화될 수 있다.

<50> 이상에서 설명한 것은 본 발명에 따른 수직형 발광 다이오드와 그 제조 방법 및 이를 구비한 발광 다이오드에 불과한 것으로서, 본 발명은 상기한 실시예에 한정되지 않고, 이하의 특허청구범위에서 청구하는 바와 같이, 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능한 범위까지 본 발명의 기술적 정신이 있다고 할 것이다.

발명의 효과

<51> 전술한 바와 같이 본 발명에 따르면, n형 반도체층에 투명 도전성 재료로 이루어진 패턴을 형성하고, 요철부를 형성함으로써, n형 반도체층의 오믹 콘택 저항을 감소시킬 수 있다. 그 결과, 발광 다이오드의 구동 전압을 현저히 감소시킬 수 있으며, 이에 따른 신뢰성 향상을 얻을 수 있게 된다.

도면의 간단한 설명

<1> 도 1a 내지 도 1c는 종래 기술에 따른 수직형 발광 다이오드의 제조공정 단면도이다.

<2> 도 2는 본 발명의 일 실시예에 따른 수직형 발광 다이오드의 개략 단면도이다.

<3> 도 3 내지 도 8은 본 발명의 일 실시예에 따른 수직형 발광 다이오드의 제조공정 단면도이다.

<4> 도 9a 및 도 9b는 본 발명에 따른 수직형 발광 다이오드를 이용한 AC 발광 다이오드의 제조 공정 단면도이다.

<5> *도면의 주요 부분에 대한 부호의 설명*

<6> 110: 기판 120: 버퍼층

<7> 125: 요철부 130: 패턴

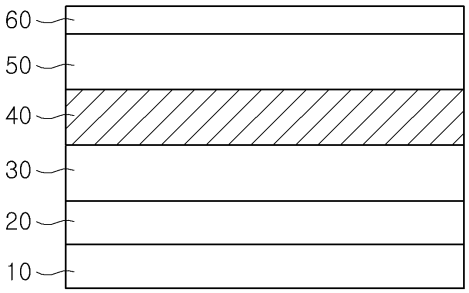
<8> 140: n형 반도체층 150: 활성층

<9> 160: p형 반도체층 170: p 전극

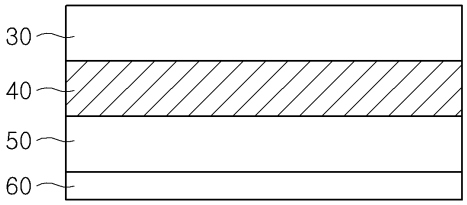
<10> 180: n 전극

도면

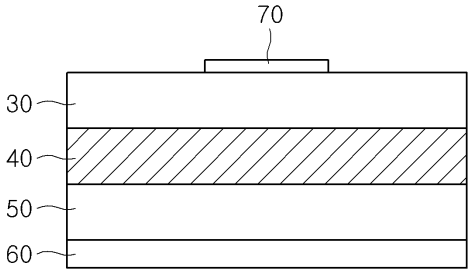
도면1a



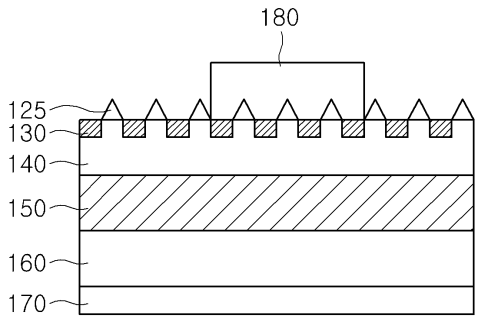
도면1b



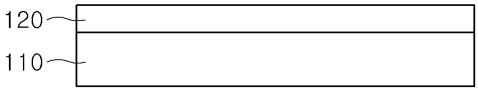
도면1c



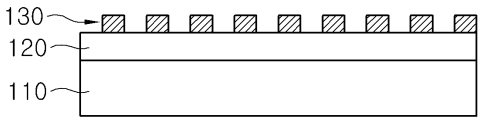
도면2



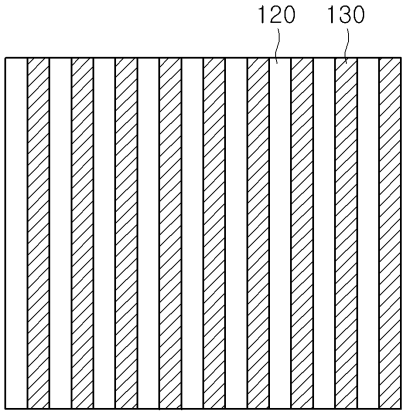
도면3



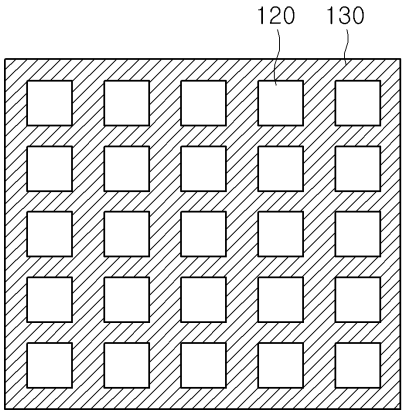
도면4a



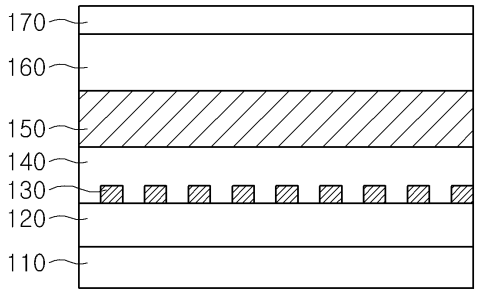
도면4b



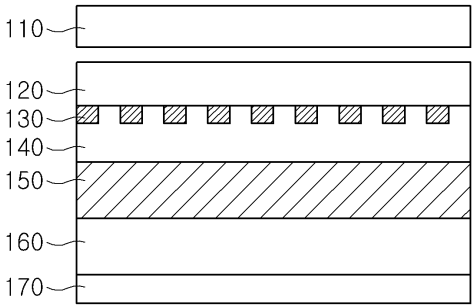
도면4c



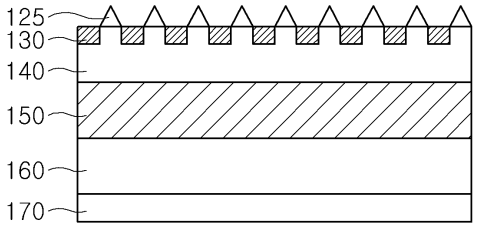
도면5



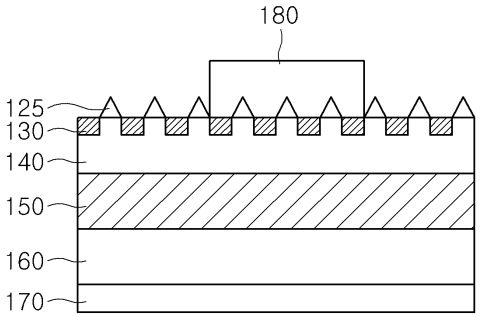
도면6



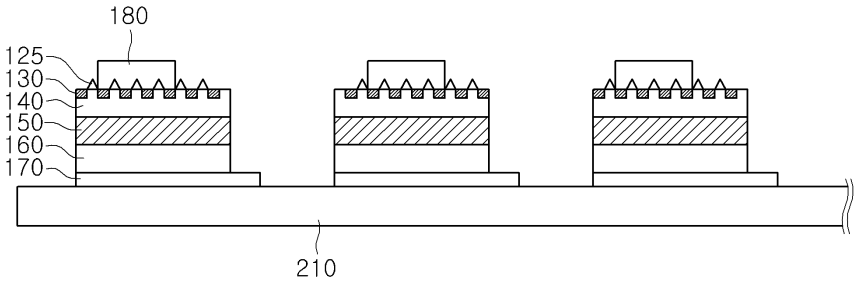
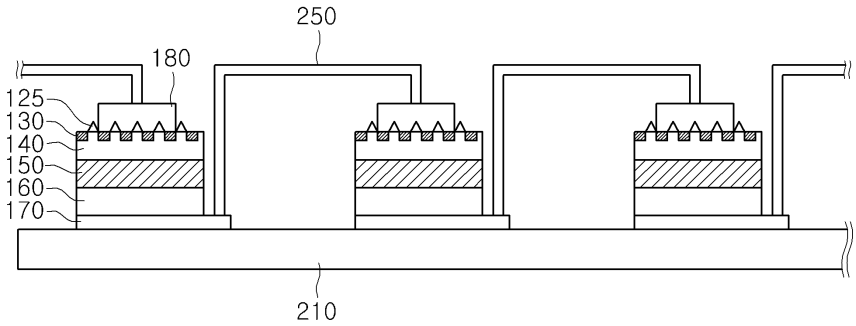
도면7


125
130
140
150
160
170

도면8


180
125
130
140
150
160
170

도면9a


180
125
130
140
150
160
170
210

도면9b