

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6118053号
(P6118053)

(45) 発行日 平成29年4月19日(2017.4.19)

(24) 登録日 平成29年3月31日(2017.3.31)

(51) Int.Cl.

F I

H O 1 L 27/146 (2006.01)

H O 1 L 27/14

A

請求項の数 7 (全 11 頁)

(21) 出願番号	特願2012-196639 (P2012-196639)	(73) 特許権者	000001007
(22) 出願日	平成24年9月6日(2012.9.6)		キヤノン株式会社
(65) 公開番号	特開2014-53434 (P2014-53434A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成26年3月20日(2014.3.20)	(74) 代理人	100076428
審査請求日	平成27年6月25日(2015.6.25)		弁理士 大塚 康德
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 固体撮像装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

画素領域および周辺回路領域を有する固体撮像装置の製造方法であって、
 半導体基板の上に酸化膜を形成する工程と、
 前記酸化膜の上に絶縁膜を形成する工程と、
 前記周辺回路領域において前記絶縁膜および前記酸化膜に第1開口を形成する工程と、
 前記絶縁膜をマスクとして使って前記第1開口を通して前記半導体基板をエッチングすることによって前記周辺回路領域において前記半導体基板に溝を形成する工程と、

ことを特徴とする固体撮像装置の製造方法。

【請求項 2】

前記第 2 開口を形成する工程は、前記溝を形成する工程の後に実施される、
ことを特徴とする請求項 1 に記載の固体撮像装置の製造方法。

【請求項 3】

前記絶縁膜を形成する工程の前に前記半導体基板の上に酸化膜が形成され、前記絶縁膜を形成する工程では、前記酸化膜の上に前記絶縁膜を形成し、

前記溝を形成する工程では、前記第 1 開口を通して前記酸化膜をエッチングした後に前記半導体基板をエッチングする、

ことを特徴とする請求項 1 又は 2 に記載の固体撮像装置の製造方法。

10

【請求項 4】

前記第 2 開口を形成する工程では、前記酸化膜が露出するように前記絶縁膜に前記第 2 開口を形成する、

ことを特徴とする請求項 1 又は 3 に記載の固体撮像装置の製造方法。

【請求項 5】

前記第 1 開口および前記第 2 開口が形成される前記絶縁膜を第 1 絶縁膜として、

前記絶縁膜を形成する工程では、前記溝、前記第 1 開口および前記第 2 開口を埋めるように第 2 絶縁膜を形成し、前記第 2 絶縁膜のうち第 1 絶縁膜の上面よりも上に存在する部分を除去する、

ことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の固体撮像装置の製造方法。

20

【請求項 6】

前記絶縁膜を形成する工程では、前記溝の深さの $1/2$ 以上の厚さを有するように前記絶縁膜を形成する、

ことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の固体撮像装置の製造方法。

【請求項 7】

前記溝を形成する工程において、前記絶縁膜の厚さは、前記溝を形成する工程の実施前における厚さの $4/5$ 以下まで薄くなる、

ことを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の固体撮像装置の製造方法。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、固体撮像装置の製造方法に関する。

【背景技術】

</

の溝を形成する。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2009-272597号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献1に記載された製造方法では、周辺回路部のSTIのための溝が完成した後に当該溝を形成するためのレジストマスクが除去される。このことから明らかなように、特許文献1に記載された製造方法では、周辺回路部のSTIのための溝を形成するためのレジストマスクの厚さは、エッチングによって当該溝の形成が完了した後に該レジストマスクが残るように決定されている。よって、周辺回路部および画素部の微細化が進むと、レジストマスクのアスペクト比（高さ／幅）が大きくなり、レジストマスクが倒壊し易くなる。レジストマスクを薄くすることによってアスペクト比を小さくすることによって倒壊を防ぐことはできるが、この場合、溝の形成のためのエッチングの途中でレジスト膜が消失しうる。

【0006】

本発明は、本発明者による上記の課題認識を契機としてなされたものであり、画素領域と周辺回路領域とで互いに異なる構造を有する微細な素子分離を形成するために有利な方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明の1つの側面は、画素領域および周辺回路領域を有する固体撮像装置の製造方法に係り、前記製造方法は、半導体基板の上に酸化膜を形成する工程と、前記酸化膜の上に絶縁膜を形成する工程と、前記周辺回路領域において前記絶縁膜および前記酸化膜に第1開口を形成する工程と、前記絶縁膜をマスクとして使って前記第1開口を通して前記半導体基板をエッチングすることによって前記周辺回路領域において前記半導体基板に溝を形成する工程と、前記画素領域および前記周辺回路領域に形成されたレジストパターンの開口を通して前記絶縁膜をエッチングすることによって、前記酸化膜を貫通しないように前記画素領域において前記絶縁膜に第2開口を形成する工程と、前記画素領域および前記周辺回路領域に前記レジストパターンが残された状態で、前記画素領域において、前記半導体基板に前記第2開口を通してイオンを注入して素子分離のための第1領域を形成する工程と、前記第1領域を形成する工程の後に、前記溝の側面および底面を熱酸化する工程と、前記熱酸化する工程の後に、前記画素領域において、前記半導体基板に前記第2開口を通してイオンを注入して、前記第1領域と前記半導体基板の表面との間に、素子分離のための第2領域を形成する工程と、前記溝および前記第2開口の中に絶縁体を形成する工程と、を含み、前記溝を形成する工程では、前記画素領域および前記周辺回路領域において前記絶縁膜が薄くなる。

【発明の効果】

【0008】

【図 6】固体撮像装置の製造方法を例示的に説明する断面図。

【図 7】固体撮像装置の製造方法を例示的に説明する断面図。

【発明を実施するための形態】

【0010】

以下、添付図面を参照しながら本発明に係る固体撮像装置の製造方法をその実施形態を通じて説明する。

【0011】

図 1 は、本発明に係る製造方法によって製造されうる固体撮像装置 300 の断面図である。ここで、図 1 では、説明の簡単化のために、コンタクト、配線層、カラーフィルタ、マイクロレンズなどの構成要素は、省略されている。固体撮像装置 300 は、画素領域 100 と周辺回路領域 200 とを含む。固体撮像装置 300 は、例えば、第 1 導電型の半導体基板 SB に形成される。画素領域 100 は、例えば半導体基板 SB に形成された第 2 導電型のウェル 305 に形成される。ここで、第 1 導電型は N 型であり、第 2 導電型は P 型であるが、これとは逆に第 1 導電型は P 型であり、第 2 導電型は N 型であってもよい。

【0012】

画素領域 100 は、光電変換素子（例えば、フォトダイオード）108 と、転送ゲート 303 と、フローティングディフュージョン 302、リセットトランジスタ 304、不図示の増幅トランジスタを含みうる。リセットトランジスタ 304 は、フローティングディフュージョン 302 の電位をリセットする。光電変換素子 108 は、例えば、第 1 導電型の半導体領域を含む。光電変換素子 108 は、それに入射した光を光電変換し、該光電変換によって発生した電荷を蓄積する。転送ゲート 303 は、光電変換素子 108 に蓄積された電荷をフローティングディフュージョン 302 に転送するチャネルを光電変換素子 108 とフローティングディフュージョン 302 との間に形成する。フローティングディフュージョン 302 の電位は、光電変換素子 108 から前記チャネルを通して電荷が転送されてくることによって変化する。増幅トランジスタは、フローティングディフュージョン 302 の電位に応じた信号を列信号線に出力する。このようにして、光電変換素子 108 から信号が読み出される。ここで、光電変換素子 108 又はその近傍に、エッチングダメージ、金属不純物、結晶格子ひずみ、結晶欠陥等が存在すると、暗電流が発生しうる。暗電流は、その画素から読み出される信号におけるノイズを増加させうる。

【0013】

画素領域 100 は、素子（光電変換素子 108、および、リセットトランジスタ 304 などのトランジスタ）を相互に分離する素子分離 301 を有する。素子分離 301 は、絶縁体 105 と、第 1 チャネルストップ領域 103 と、第 2 チャネルストップ領域 104 とを含む。絶縁体 105 は、画素領域 100 における半導体基板 SB を覆う平坦な酸化膜 201 の上に配置されている。第 2 チャネルストップ領域 104 は、絶縁体 105 が配置された領域における酸化膜 201 の下に、酸化膜 201 に接触するように配置されている。第 1 チャネルストップ領域

体基板 S B の中における絶縁体 1 0 5 の深さは、素子分離 3 0 1 がそれに要求される素子分離機能を失わない範囲で浅い方がよい。半導体基板 S B の中における絶縁体 1 0 5 の深さを浅くすることは、エッチングダメージ、金属不純物、結晶格子のひずみ、結晶欠陥等に起因する暗電流が発生を抑えるために有効である。

【 0 0 1 6 】

画素領域 1 0 0 には、複数の行および複数の列を構成するように複数の画素が配置される。各画素は、光電変換素子 1 0 8 および転送ゲート 3 0 3 を含みうる。フローティングディフュージョン 3 0 2、リセットトランジスタ 3 0 4 および増幅トランジスタ（不図示）は、個々の画素に対して設けられてもよいし、複数の画素によって共有されてもよい。

10

【 0 0 1 7 】

周辺回路領域 2 0 0 は、画素領域 1 0 0 の外側に位置する。周辺回路領域 2 0 0 は、例えば、行選択回路（例えば、垂直走査回路）、読み出し回路、列選択回路（例えば、水平走査回路）および出力部を含みうる。行選択回路は、画素領域 1 0 0 に形成された画素アレイにおける行を選択する。読み出し回路は、画素アレイから複数の列信号線に出力されるそれぞれの信号を読み出す。列選択回路は、読み出し回路によって読み出された信号を選択する。出力部は、列選択回路によって選択された信号を増幅して出力する。

【 0 0 1 8 】

周辺回路領域 2 0 0 は、複数のトランジスタ 4 0 1 および素子分離 2 1 9 を含む。図 1 においては、簡単化のために、1つのトランジスタ 4 0 1 と1つの素子分離 2 1 9 が示されている。素子分離 2 1 9 は、S T I 構造を有する。素子分離 2 1 9 は、例えば、半導体基板 S B に形成された溝に充填された絶縁体 2 0 9 を含む。素子分離 3 0 1 は、半導体基板 S B と絶縁体 2 0 9 との間に配置された絶縁膜 2 0 6 を含んでもよい。

20

【 0 0 1 9 】

近年、例えば、種々の読み出しモードをサポートするために、周辺回路領域 2 0 0 に配置される周辺回路の規模が増大する傾向にあり、素子（トランジスタ）を微細化することが求められている。素子分離 3 0 1 は、半導体基板 S B に溝を形成し該溝に絶縁体 2 0 9 を充填することによって形成されるので、微細化に有利である。より具体的には、半導体基板 S B に溝を形成し該溝に絶縁体 2 0 9 を充填して形成される素子分離 2 1 9 は、設計上の素子分離の寸法と実際に形成される素子分離の寸法との差を殆どなくすることができるので、微細化に有利である。また、半導体基板 S B に溝を形成し該溝に絶縁体 2 0 9 を充填して形成される素子分離 2 1 9 は、素子間の電氣的分離に要求される絶縁特性を満たすために有利である。

膜 202 の上にレジスト膜を形成し、フォトリソグラフィー工程によって該レジスト膜をパターンニングすることによってレジストパターン 203 を形成する。そして、レジストパターン 203 をエッチングマスクとして使って絶縁膜 202 および酸化膜 201 を異方性ドライエッチすることによって絶縁膜 202 および酸化膜 201 に第 1 開口 OP1 を形成する。この際に、半導体基板 SB の表面も第 1 開口 OP1 を通してエッチングされて、浅い溝 204 が形成されうる。溝 204 の深さは、例えば、40 nm 程度でありうる。第 1 開口 OP1 が形成された絶縁膜 202 は、ハードマスクとして使用される。

【0022】

図 3 (a) に示す工程では、レジストパターン 203 を除去する。図 3 (b) に示す工程では、第 1 開口 OP1 を有する絶縁膜 202 をハードマスクとして使って絶縁膜 202 の第 1 開口 OP1 を通して半導体基板 SB をエッチングすることによって半導体基板 SB の周辺回路領域 200 に溝 205 を形成する。半導体基板 SB に形成される溝 205 の深さ D は、例えば 300 nm 程度でありうる。半導体基板 SB に溝 205 が形成される際に絶縁膜 202 もエッチングされて、絶縁膜 202 の厚さは、例えば 120 nm 程度になりうる（初期の厚さが 170 nm である場合）。

【0023】

図 4 (a) に示す工程では、画素領域 100 における素子分離 301 を形成すべき領域の絶縁膜 202 に第 2 開口 OP2 を形成する。具体的には、絶縁膜 202 の上にレジスト膜を形成し、フォトリソグラフィー工程によって該レジスト膜をパターンニングすることによってレジストパターン 101 を形成する。そして、レジストパターン 101 をエッチングマスクとして使って絶縁膜 202 を異方性ドライエッチングすることによって絶縁膜 202 に第 2 開口 OP2 を形成する。第 2 開口 OP2 は、酸化膜 201 が露出するように形成される。あるいは、絶縁膜 202 を貫通して酸化膜 201 の所定深さに至るように（即ち、酸化膜 201 に溝が形成されるように）エッチングがなされてもよい。更には、半導体基板 SB に溝が形成されるようにエッチングがなされてもよい。

【0024】

ここで、絶縁膜 202 に第 2 開口 OP2 を形成する際に、絶縁膜 202 の厚さが初期の厚さ（即ち、図 2 (a) に示す工程において絶縁膜 202 が形成された直後の絶縁膜 202 の厚さ）であると、それに応じてレジストパターン 101 を厚くする必要がある。レジストパターン 101 が厚いと、それに応じてエッチング時間が長くなる。レジストパターン 101 が厚く、エッチング時間が長くなると、レジストパターン 101 から発生するデポ成分の影響で、第 2 開口 OP2 の側面が順テーパ形状になってしまい、微細化を進めることが困難になりうる。そこで、絶縁膜 202 に第 2 開口 OP2 を形成する際における絶縁膜 202 の厚さは、初期の厚さの 4/5 以下であることが好ましい。この実施形態では、半導体基板 SB に溝 204 を形成するために半導体基板 SB をエッチングする工程において、ハードマスクとしての絶縁膜 202 がエッチングされてその厚さが薄くなる。ここで、半導体基板 SB に溝 204 を形成する工程において、ハードマスクとしての絶縁膜 202 の厚さは、当該工程の実施前の厚さの 4/5 以下まで薄くなることが好ましい。

【0025】

ここでは、絶縁膜 206 と絶縁膜 201 とは一体の絶縁膜として示している。

【0027】

図5(b)に示す工程では、半導体基板SBに形成された第2導電型の第1チャネルストップ領域103の真上に第2導電型の第2チャネルストップ領域104を形成する。具体的には、画素領域100を露出させる一方で周辺回路領域200を覆ったレジストパターン207をフォトリソグラフィ工程によって形成し、第1チャネルストップ領域103の真上に第2導電型の形成用のイオンを注入する。これによって、第2チャネルストップ領域104を形成することができる。ここで、第2導電型がp型である場合は、第2導電型の形成用のイオンは、例えばボロンイオンでありうる。レジストパターン207は、周辺回路領域200における半導体基板SBにはイオンが注入されない厚さを有する。画素領域100における絶縁膜202は、半導体基板SBにおける第1チャネルストップ領域103の真上以外の領域にはイオンが注入されない厚さを有する。

10

【0028】

図6に示す工程では、絶縁膜202を覆うように第2絶縁膜208を形成する。第2絶縁膜208は、例えば、高密度プラズマCVD法により形成されるシリコン酸化膜でありうる。第2絶縁膜208は、画素領域100の絶縁膜202に形成された第2開口OP2、周辺回路領域200の絶縁膜202に形成された第1開口OP1および周辺回路領域200の半導体基板SBに形成された溝205を埋めるように形成される。

【0029】

図7(a)に示す工程では、第2絶縁膜208のうち絶縁膜202の上面よりも上に存在する部分を除去し、第2絶縁膜208のうち第2開口OP2、第1開口OP1および溝205の中に配置された部分を残す。これにより、画素領域100の絶縁膜202の第2開口OP2の中に絶縁体105が形成され、周辺回路領域200の絶縁膜202の第1開口OP1および周辺回路領域200の半導体基板SBの溝205の中に絶縁体209が形成される。

20

【0030】

第2絶縁膜208のうち絶縁膜202の上面よりも上に存在する部分を除去する処理は、化学機械研磨(Chemical Mechanical Polishing、以下CMP)によってなされうる。この際に、絶縁膜202は、CMPにおける研磨停止層として機能し、CMP後における絶縁膜202の厚さは、例えば70nm程度でありうる。

30

【0031】

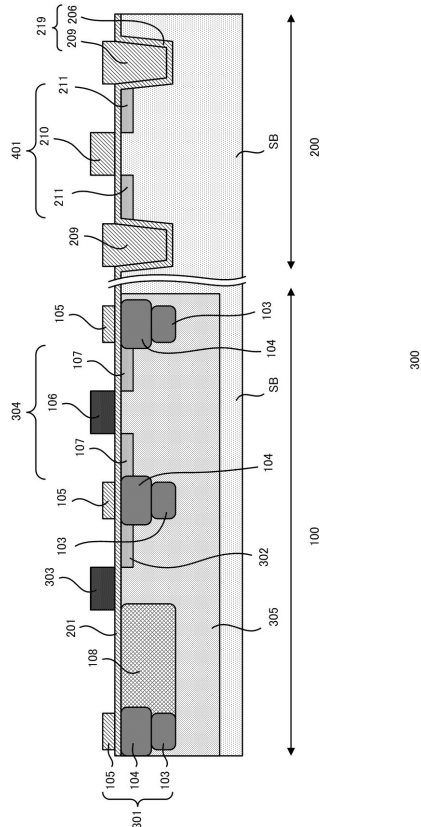
図7(b)に示す工程では、絶縁膜202を除去する。具体的には、絶縁膜202がシリコン窒化膜であり、第2絶縁膜208(絶縁体105、209)がシリコン酸化物である場合、シリコン酸化物のエッチングレートが十分に低い熱燐酸を用いて絶縁膜202が除去されうる。

【0032】

以上の処理を経て、絶縁体105、第1チャネルストップ領域103および第2チャネルストップ領域104で構成される素子分離

る。これにより、画素領域の素子分離の加工精度を高めることができる。これは、画素領域の素子の微細化に寄与する。また、画素領域の素子分離を構成する絶縁体を半導体基板の上に配置すること、又は、画素領域の素子分離を周辺回路領域の素子分離を構成する絶縁体よりも浅い位置に配置すること、によって、画素から読み出される信号におけるノイズを低減することができる。

【図 1】



フロントページの続き

(72)発明者 青木 武志
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 今井 聖和

(56)参考文献 特開2006-024786(JP,A)
特開2003-218195(JP,A)
特開2005-347325(JP,A)
特開2009-088447(JP,A)
特開2009-278141(JP,A)
特開2004-039832(JP,A)
米国特許出願公開第2010/0072567(US,A1)

(58)調査した分野(Int.Cl., DB名)
H01L 27/14
H04N 5/335