

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-61701

(P2010-61701A)

(43) 公開日 平成22年3月18日(2010.3.18)

(51) Int.Cl.

G 1 1 C 11/413 (2006.01)

F I

G 1 1 C 11/34 3 3 5 C

テーマコード (参考)

5 B 0 1 5

審査請求 未請求 請求項の数 16 O L (全 19 頁)

(21) 出願番号 特願2008-223290 (P2008-223290)
 (22) 出願日 平成20年9月1日(2008.9.1)

(71) 出願人 503121103
 株式会社ルネサステクノロジ
 東京都千代田区大手町二丁目6番2号
 (74) 代理人 100089071
 弁理士 玉村 静世
 (72) 発明者 山岡 雅直
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内
 (72) 発明者 長田 健一
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内
 Fターム(参考) 5B015 HH01 HH03 JJ11 JJ45 KB66
 MM10

(54) 【発明の名称】 半導体装置

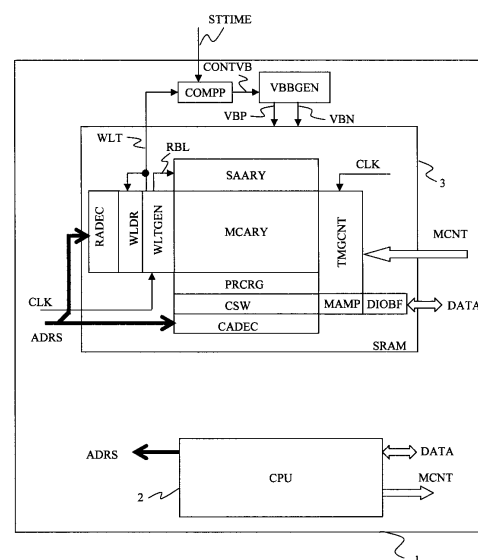
(57) 【要約】

【課題】 メモリセルの書き込み及び読み出しマージンの劣化を自動的に補償することができる半導体装置を提供する。

【解決手段】 半導体装置は、ワード線の選択期間を決めるためのワード線タイミング信号と基準信号とを比較し、その比較結果が読み出しマージンの低い状態に应ずるときは読み出しマージンを拡大する基板バイアスを印加し、逆にその比較結果が書き込みマージンの低い状態に应ずるときは書き込みマージンを拡大する基板バイアスを印加する。基準信号は、ワード線選択期間（ワード線パルス幅）によって変動する動作マージンを補償する場合、プロセス変動（閾値電圧のばらつき）によって変動する動作マージンを補償する場合に依じて選択される。ワード線パルス幅により基板バイアスを制御することで、ワード線パルス幅によって変動する動作マージンを改善し、また、製造時の閾値電圧のばらつきによって変動する動作マージンを改善する。

【選択図】 図1

図1



【特許請求の範囲】

【請求項 1】

選択端子がワード線に接続されデータ端子がビット線に接続された複数のメモリセルのアレイと、

ワード線の選択期間を決めるためのワード線タイミング信号を生成するワード線タイミング生成回路と、

前記ワード線タイミング信号と基準信号を比較する比較回路と、

前記比較回路による比較結果が読み出しマージンの低い状態に応ずるときは読み出しマージンを拡大する基板バイアスを印加し、逆にその比較結果が書き込みマージンの低い状態に応ずるときは書き込みマージンを拡大する基板バイアスを印加する基板バイアス制御回路と、を有する半導体装置。

10

【請求項 2】

前記メモリセルは相互に一方の入力を他方の出力に結合した一対の CMOS インバータを有するスタティック型メモリセルである、請求項 1 記載の半導体装置。

【請求項 3】

前記ワード線タイミング生成回路は、前記メモリセルと読出し動作の電気的特性が等価なレプリカセルを有し、ワード線の選択に呼応して選択された前記レプリカセルのローレベル出力が確定するタイミングで前記ワード線タイミング信号を変化させる、請求項 2 記載の半導体装置。

【請求項 4】

20

ワード線タイミング生成回路は、前記メモリセルのアレイにおけるワード線本数に依存してワード線タイミング信号の変化タイミングを決定する、請求項 3 記載の半導体装置。

【請求項 5】

前記基板バイアス制御回路は、ワード線選択タイミングから前記ワード線タイミング信号の変化までの期間が基準信号よりも短い場合に p チャンネル型 MOS トランジスタに逆方向基板バイアスを印加する、請求項 3 記載の半導体装置。

【請求項 6】

前記基板バイアス制御回路は、ワード線選択タイミングから前記ワード線タイミング信号の変化までの期間が基準信号よりも短い場合に n チャンネル型 MOS トランジスタに順方向基板バイアスを印加する、請求項 3 記載の半導体装置。

30

【請求項 7】

前記基板バイアス制御回路は、ワード線選択タイミングから前記ワード線タイミング信号の変化までの期間が基準信号よりも長い場合に n チャンネル型 MOS トランジスタに逆方向基板バイアスを印加する、請求項 3 記載の半導体装置。

【請求項 8】

前記基板バイアス制御回路は、ワード線選択タイミングから前記ワード線タイミング信号の変化までの期間が基準信号よりも長い場合に p チャンネル型 MOS トランジスタに順方向基板バイアスを印加する、請求項 3 記載の半導体装置。

【請求項 9】

40

前記基板バイアス制御回路は、ワード線選択タイミングから前記ワード線タイミング信号の変化までの期間が基準信号よりも短い場合に p チャンネル型 MOS トランジスタに順方向基板バイアスを印加する、請求項 3 記載の半導体装置。

【請求項 10】

前記基板バイアス制御回路は、ワード線選択タイミングから前記ワード線タイミング信号の変化までの期間が基準信号よりも短い場合に n チャンネル型 MOS トランジスタに逆方向基板バイアスを印加する、請求項 3 記載の半導体装置。

【請求項 11】

前記基板バイアス制御回路は、ワード線選択タイミングから前記ワード線タイミング信号の変化までの期間が基準信号よりも長い場合に n チャンネル型 MOS トランジスタに順方向基板バイアスを印加する、請求項 3 記載の半導体装置。

50

【請求項 1 2】

前記基板バイアス制御回路は、ワード線選択タイミングから前記ワード線タイミング信号の変化までの期間が基準信号よりも長い場合に p チャンネル型 MOS トランジスタに逆方向基板バイアスを印加する、請求項 3 記載の半導体装置。

【請求項 1 3】

選択端子がワード線に接続されデータ端子がビット線に接続された複数のメモリセルの第1アレイと、

前記第1アレイにおけるワード線の選択期間を決めるための第1ワード線タイミング信号を生成する第1ワード線タイミング生成回路と、

前記第1ワード線タイミング信号と基準信号を比較する第1比較回路と、

前記第1比較回路による比較結果が読み出しマージンの低い状態に应ずるときは読み出しマージンを拡大する基板バイアスを前記第1アレイに印加し、前記比較結果が書き込みマージンの低い状態に应ずるときは書き込みマージンを拡大する基板バイアスを前記第1アレイに印加する第1基板バイアス制御回路と、

選択端子がワード線に接続されデータ端子がビット線に接続された複数のメモリセルの第2アレイと、

前記第2アレイにおけるワード線の選択期間を決めるための第2ワード線タイミング信号を生成する第2ワード線タイミング生成回路と、

前記第2ワード線タイミング信号と基準信号を比較する第2比較回路と、

前記第2比較回路による比較結果が読み出しマージンの低い状態に应ずるときは読み出しマージンを拡大する基板バイアスを前記第2アレイに印加し、前記比較結果が書き込みマージンの低い状態に应ずるときは書き込みマージンを拡大する基板バイアスを前記第2アレイに印加する第2基板バイアス制御回路と、を有する半導体装置。

【請求項 1 4】

前記第1アレイと第2アレイのワード線本数が相違される、請求項 1 3 記載の半導体装置。

【請求項 1 5】

選択端子がワード線に接続されデータ端子がビット線に接続された複数のメモリセルの第1アレイと、

前記第1アレイにおけるワード線の選択期間を決めるための第1ワード線タイミング信号を生成する第1ワード線タイミング生成回路と、

選択端子がワード線に接続されデータ端子がビット線に接続された複数のメモリセルの第2アレイと、

前記第2アレイにおけるワード線の選択期間を決めるための第2ワード線タイミング信号を生成する第2ワード線タイミング生成回路と、

前記第2ワード線タイミング信号と基準信号を比較する比較回路と、

前記第2比較回路による比較結果が読み出しマージンの低い状態に应ずるときは読み出しマージンを拡大する基板バイアスを前記第1アレイ及び第2アレイに印加し、前記比較結果が書き込みマージンの低い状態に应ずるときは書き込みマージンを拡大する基板バイアスを前記第1アレイ及び第2アレイに印加する基板バイアス制御回路と、を有する半導体装置。

【請求項 1 6】

前記第1アレイと第2アレイのワード線本数が等しくされる、請求項 1 5 記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スタティック・ランダム・アクセスメモリ (SRAM) が半導体チップ上に集積された半導体集積回路に係り、特に SRAM の動作に必要な動作マージンを広げる構成に関する。

10

20

30

40

50

【背景技術】

【0002】

近年、半導体装置、例えばSRAMなどの半導体装置に対しては、高速化および低消費電力化が強く求められている。SRAMの消費電力を低減するには電源電圧を低下させることがもっとも単純で効果が大きい方法である。しかし、低い電源電圧ではトランジスタの動作に必要な動作マージンが低下し、動作が不安定となる。特許文献1には、このSRAMの動作マージンをワード線のパルス幅を変化させて測定する技術が開示されている。

【0003】

【特許文献1】特開2007-035171号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

LSI (Large Scale Integrated circuit: 大規模集積回路) を製造するプロセスの進展により、LSI 中のトランジスタの微細化が進展している。たとえば、2006年にはトランジスタのゲート長が50nmという微細なトランジスタの量産が行われている。トランジスタの微細化が進展すると特にトランジスタのしきい値電圧(V_{th})のばらつきが増大する。トランジスタの V_{th} ばらつきが増大すると、LSIのオンチップメモリとして使用されるSRAMの動作マージンが低下し、SRAMメモリセルの動作が困難になる。このSRAMの動作マージンには、読み出し動作時のマージンである読み出しマージンと、書き込み動作時のマージンである書き込みマージンがあり、SRAMを正常に動作させるにはそれぞれの動作マージンを一定以上持っている必要がある。本明細書において、読み出しマージンとは読み出し動作における記憶情報の反転の生じ難さとして把握する。書き込みマージンとは書き込み動作における反転書き込みの確実性として把握する。このとき、それぞれの動作マージンは、SRAMのメモリセルを制御するワード線が"H"になるワード線選択時間、つまりワード線のパルス幅によって変化する傾向にあることが知られている。ワード線パルス幅が長いほどビット線を介してアンプで駆動される時間が長くなるから、それに従って書き込みマージンも良くなる(大きくなる)。一方ワード線パルス幅が長いほど、メモリセルはローレベル側の記憶ノードによって一方のビット線のプリチャージ電荷を引き抜くディスチャージ動作時間が長くなり、即ち記憶情報に不所望な反転を生ずる機会が多くなり、それに従って読み出しマージンが悪化する(小さくなる)。また、MOSトランジスタの閾値電圧の変動によっても上記動作マージンが影響される。閾値電圧の変動は、プロセスの変動、動作時の温度、電源電圧の変動等によって生ずる。

【0005】

前記特許文献1では、ワード線のパルス幅を積極的に変化させて動作マージンの測定を行っている。これにより、通常の機能試験では測定を行うことが困難な動作マージンを測定することが可能となり、製造後のチップの動作可否を調べることが可能となる。しかし、この回路ではSRAMの動作マージン自体を改善することは出来ず、微細化等とともに問題となるSRAMの動作マージンを改善することは難しい。

【0006】

本発明の目的はメモリセルの書き込み及び読み出しマージンの劣化を自動的に補償することができる半導体装置を提供することにある。

【0007】

本発明の目的は、メモリセルの書き込み及び読み出しマージンの劣化を検出して改善することができる半導体装置を提供することにある。

【0008】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0009】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通り

10

20

30

40

50

である。

【0010】

すなわち、本発明に係る半導体装置は、ワード線の選択期間を決めるためのワード線タイミング信号と基準信号とを比較し、その比較結果が読み出しマージンの低い状態に応ずるときは読み出しマージンを拡大する基板バイアスを印加し、逆にその比較結果が書き込みマージンの低い状態に応ずるときは書き込みマージンを拡大する基板バイアスを印加する。前記基準信号は、ワード線選択期間（ワード線パルス幅）によって変動する動作マージンを補償する場合、また、プロセス変動（閾値電圧のばらつき）によって変動する動作マージンを補償する場合、に応じて相違される。したがって、ワード線パルス幅により基板バイアスを制御することで、ワード線パルス幅によって変動する動作マージンを改善することが可能である。また、製造時の閾値電圧のばらつきによって変動する動作マージンを改善することが可能である。

10

【発明の効果】

【0011】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0012】

すなわち、メモリセルの書き込み及び読出しマージンの劣化を自動的に補償することができる。また、メモリセルの書き込み及び読出しマージンの劣化を検出して改善することができる。

20

【発明を実施するための最良の形態】

【0013】

1. 実施の形態の概要

先ず、本願において開示される発明の代表的な実施の形態について概要を説明する。代表的な実施の形態についての概要説明で括弧を付して参照する図面中の参照符号はそれが付された構成要素の概念に含まれるものを例示するに過ぎない。

【0014】

〔1〕本発明に係る半導体装置は、選択端子がワード線に接続されデータ端子がビット線に接続された複数のメモリセルのアレイと、ワード線の選択期間を決めるためのワード線タイミング信号を生成するワード線タイミング生成回路と、前記ワード線タイミング信号と基準信号を比較する比較回路と、前記比較回路による比較結果が読み出しマージンの低い状態に応ずるときは読み出しマージンを拡大する基板バイアスを印加し、逆にその比較結果が書き込みマージンの低い状態に応ずるときは書き込みマージンを拡大する基板バイアスを印加する基板バイアス制御回路と、を有する。

30

【0015】

〔2〕項1の半導体装置において、前記メモリセルは相互に一方の入力を他方の出力に結合した一対のCMOSインバータを有するスタティック型メモリセルである。スタティック型メモリセルにおいて、ワード線選択期間（ワード線パルス幅）が長いほどビット線を介してアンプで駆動される時間が長くなるから、それに従って書き込みマージンが良くなり（大きくなる）、短いほど書き込みマージンが悪化する（小さくなる）。一方ワード線パルス幅が長いほど、メモリセルはローレベル側の記憶ノードによって一方のビット線のプリチャージ電荷を引き抜くディスチャージ動作時間が長くなってデータ記憶ノードに電位的な浮きを生じ易くなって記憶情報に不所望な反転を生ずる機会が多くなり、それに従って読出しマージンが悪化し、逆短い方が読出しマージンは良くなる。

40

【0016】

〔3〕項2の半導体装置において、前記ワード線タイミング生成回路は、前記メモリセルと読出し動作の電気的特性が等価なレプリカセルを有し、ワード線の選択に呼応して選択された前記レプリカセルのローレベル出力が確定するタイミングで前記ワード線タイミング信号を変化させる。これにより、基準信号と比較すべき前記ワード線タイミング信号に、製造時におけるプロセスのばらつきや実際の回路特性を容易に反映させることができ

50

る。

【0017】

〔4〕項3の半導体装置において、ワード線タイミング生成回路は、前記メモリセルのアレイにおけるワード線本数が多いほどワード線タイミング信号の変化タイミングを遅らせる。これにより、基準信号と比較すべき前記ワード線タイミング信号に、メモリアレイの構成、特にビット線負荷の状態を容易に反映させることができる。

【0018】

〔5〕《ワードパルス幅とマージンに着目》

ワード線選択期間（ワード線パルス幅）によって変動する動作マージンを補償する場合には、その観点による基準信号がワード線タイミング信号と比較される。項3の半導体装置において、前記基板バイアス制御回路は、ワード線選択タイミングから前記ワード線タイミング信号の変化までの期間が基準信号よりも短い場合にpチャンネル型MOSトランジスタに逆方向基板バイアスを印加する。これによって書き込みマージンを改善する。

10

【0019】

〔6〕《ワードパルス幅とマージンに着目》

ワード線選択期間（ワード線パルス幅）によって変動する動作マージンを補償する場合には、その観点による基準信号がワード線タイミング信号と比較される。項3の半導体装置において、前記基板バイアス制御回路は、ワード線選択タイミングから前記ワード線タイミング信号の変化までの期間が基準信号よりも短い場合にnチャンネル型MOSトランジスタに順方向基板バイアスを印加する。これによって書き込みマージンを改善する。

20

【0020】

〔7〕《ワードパルス幅とマージンに着目》

ワード線選択期間（ワード線パルス幅）によって変動する動作マージンを補償する場合には、その観点による基準信号がワード線タイミング信号と比較される。項3の半導体装置において、前記基板バイアス制御回路は、ワード線選択タイミングから前記ワード線タイミング信号の変化までの期間が基準信号よりも長い場合にnチャンネル型MOSトランジスタに逆方向基板バイアスを印加する。これによって読出しマージンを改善する。

【0021】

〔8〕《ワードパルス幅とマージンに着目》

ワード線選択期間（ワード線パルス幅）によって変動する動作マージンを補償する場合には、その観点による基準信号がワード線タイミング信号と比較される。項3の半導体装置において、前記基板バイアス制御回路は、ワード線選択タイミングから前記ワード線タイミング信号の変化までの期間が基準信号よりも長い場合にpチャンネル型MOSトランジスタに順方向基板バイアスを印加する。これによって読出しマージンを改善する。

30

【0022】

〔9〕《nMOS_{vth}とマージンに着目》

プロセス変動（MOSトランジスタの閾値電圧のばらつき）によって変動する動作マージンを補償する場合には、その観点による基準信号がワード線タイミング信号と比較される。項3の半導体装置において、前記基板バイアス制御回路は、ワード線選択タイミングから前記ワード線タイミング信号の変化までの期間が基準信号よりも短い場合（nチャンネル型MOSトランジスタの閾値電圧の絶対値が小さいことに起因して読出しマージンが劣化し、ワード線選択信号の変化も早くなっている場合）にpチャンネル型MOSトランジスタに順方向基板バイアスを印加する。これによって読出しマージンを改善する。

40

【0023】

〔10〕《nMOS_{vth}とマージンに着目》

プロセス変動（MOSトランジスタの閾値電圧のばらつき）によって変動する動作マージンを補償する場合には、その観点による基準信号がワード線タイミング信号と比較される。項3の半導体装置において、前記基板バイアス制御回路は、ワード線選択タイミングから前記ワード線タイミング信号の変化までの期間が基準信号よりも短い場合（nチャンネル型MOSトランジスタの閾値電圧の絶対値が小さいことに起因して読出しマージンが

50

劣化し、ワード線選択信号の変化も早くなっている場合)にnチャンネル型MOSトランジスタに逆方向基板バイアスを印加する。これによって読出しマージンを改善する。

【0024】

〔11〕《nMOS_{vth}とマージンに着目》

プロセス変動(MOSトランジスタの閾値電圧のばらつき)によって変動する動作マージンを補償する場合には、その観点による基準信号がワード線タイミング信号と比較される。項3の半導体装置において、前記基板バイアス制御回路は、ワード線選択タイミングから前記ワード線タイミング信号の変化までの期間が基準信号よりも長い場合(nチャンネル型MOSトランジスタの閾値電圧の絶対値が大きいことに起因して、書き込みマージンが劣化し、ワード線選択信号の変化も遅くなっている場合)にnチャンネル型MOSトランジスタに順方向基板バイアスを印加する。これによって書き込みマージンを改善する。

10

【0025】

〔12〕《nMOS_{vth}とマージンに着目》

プロセス変動(MOSトランジスタの閾値電圧のばらつき)によって変動する動作マージンを補償する場合には、その観点による基準信号がワード線タイミング信号と比較される。項3の半導体装置において、前記基板バイアス制御回路は、ワード線選択タイミングから前記ワード線タイミング信号の変化までの期間が基準信号よりも長い場合(nチャンネル型MOSトランジスタの閾値電圧の絶対値が大きいことに起因して、書き込みマージンが劣化し、ワード線選択信号の変化も遅くなっている場合)にpチャンネル型MOSトランジスタに逆方向基板バイアスを印加する。これによって書き込みマージンを改善する。

20

【0026】

〔13〕本発明の別の観点による半導体装置は第1メモリ部と第2メモリ部を有し、それぞれに固有の比較回路と基板バイアス制御回路を設ける。即ち、第1メモリ部は、選択端子がワード線に接続されデータ端子がビット線に接続された複数のメモリセルの第1アレイと、前記第1アレイにおけるワード線の選択期間を決めるための第1ワード線タイミング信号を生成する第1ワード線タイミング生成回路とを有し、これに対して、前記第1ワード線タイミング信号と基準信号を比較する第1比較回路と、前記第1比較回路による比較結果が読出しマージンの低い状態に応ずるときは読出しマージンを拡大する基板バイアスを前記第1アレイに印加し、前記比較結果が書き込みマージンの低い状態に応ずるときは書き込みマージンを拡大する基板バイアスを前記第1アレイに印加する第1基板バイアス制御回路とが設けられる。第2メモリ部は、選択端子がワード線に接続されデータ端子がビット線に接続された複数のメモリセルの第2アレイと、前記第2アレイにおけるワード線の選択期間を決めるための第2ワード線タイミング信号を生成する第2ワード線タイミング生成回路とを有し、これに対して、前記第2ワード線タイミング信号と基準信号を比較する第2比較回路と、前記第2比較回路による比較結果が読出しマージンの低い状態に応ずるときは読出しマージンを拡大する基板バイアスを前記第2アレイに印加し、前記比較結果が書き込みマージンの低い状態に応ずるときは書き込みマージンを拡大する基板バイアスを前記第2アレイに印加する第2基板バイアス制御回路と、が設けられる。

30

40

【0027】

〔14〕項13の半導体装置において、前記第1アレイと第2アレイのワード線本数が相違される。即ち、第1メモリ部と第2メモリ部ではビット線負荷が相違され、ワード線タイミング信号の変化点も相違されるから、基板バイアス制御の精度を向上させるという点で、第1メモリ部と第2メモリ部に別々に比較回路と基板バイアス制御回路を設ける意義がある。

【0028】

〔15〕本発明のさらに別の観点による半導体装置は第1メモリ部と第2メモリ部を有し、一方のメモリ部に比較回路を設け、その比較結果に基づいて双方のメモリ部の基板バイアスを制御する基板バイアス制御回路を配置する。即ち、第1メモリ部は、選択端子が

50

ワード線に接続されデータ端子がビット線に接続された複数のメモリセルの第1アレイと、前記第1アレイにおけるワード線の選択期間を決めるための第1ワード線タイミング信号を生成する第1ワード線タイミング生成回路とを有する。第2メモリ部は選択端子がワード線に接続されデータ端子がビット線に接続された複数のメモリセルの第2アレイと、前記第2アレイにおけるワード線の選択期間を決めるための第2ワード線タイミング信号を生成する第2ワード線タイミング生成回路とを有する。前記第2ワード線タイミング信号と基準信号を比較する比較回路を設け、前記第2比較回路による比較結果が読み出しマージンの低い状態に必ずるときは読み出しマージンを拡大する基板バイアスを前記第1アレイ及び第2アレイに印加し、前記比較結果が書き込みマージンの低い状態に必ずるときは書き込みマージンを拡大する基板バイアスを前記第1アレイ及び第2アレイに印加する基板バイアス制御回路を採用する。

10

【0029】

〔16〕項15の半導体装置において、前記第1アレイと第2アレイのワード線本数が等しくされる。即ち、第1メモリ部と第2メモリ部ではビット線負荷が等しくされ、ワード線タイミング信号の変化点も同じになるから、第1メモリ部と第2メモリ部に比較回路と基板バイアス制御回路を共通化することによって、半導体装置の回路規模を縮小することができる。

【0030】

2. 実施の形態の詳細

実施の形態について更に詳述する。以下、本発明を実施するための形態を図面に基づいて詳細に説明する。なお、発明を実施するための形態を説明するための全図において、同一の機能を有する要素には同一の符号を付して、その繰り返しの説明を省略する。

20

【0031】

《ワード線パルス幅のばらつきに対する動作マージン劣化の補償》

図1には本発明に係る半導体装置の一例が示される。同図に示される半導体装置1はシステムオンチップ(SoC)の所謂システムLSIとして構成される。半導体装置1は、特に制限されないが、単結晶シリコンのような1個の半導体基板にCMOS集積回路製造技術などによって構成される。

【0032】

半導体装置1は、例えば代表的に示された中央処理装置(CPU)2とそのワークメモリであるSRAM部3と、基板バイアス電圧VBN、VBPを生成する基板バイアス発生回路VBBGENと、基板バイアス発生回路VBBGENの制御に用いる比較回路COMPを有する。

30

【0033】

基板バイアス発生回路VBBGENは、特に制限されないが、メモリ部3の基板バイアス制御を行う。VBPはpチャンネル型MOSトランジスタ(以下単にpMOSトランジスタと記す)の基板(n型ウェル領域)に印加される基板バイアス電圧、VBNはnチャンネル型MOSトランジスタ(以下単にnMOSトランジスタと記す)の基板(p型ウェル領域)に印加される基板バイアス電圧である。基板バイアス電圧VBP、VBNの電圧レベルは比較回路COMPが出力する信号CONTVBに基づいて決定される。

40

【0034】

SRAM部3はスタティック型のメモリセルがマトリクス配置されたメモリセルアレイMCARYを有する。メモリセルアレイMCARYにおいてメモリセルの選択端子は対応するワード線に、メモリセルのデータ入出力端子は相補ビット線に接続される。特に制限されないが相補データ線にはそれぞれセンスアンプ(SA)が結合される。図においてSAARYはセンスアンプのアレイを意味する。CPU2から出力されたメモリアクセスのためのアドレス信号ADRSの内のロウアドレス信号はロウアドレスデコーダRADCでデコードされ、デコードされた信号をワードドライバWLDRが受けて、ロウアドレス信号で指定されるワード線が選択レベルに駆動される。それぞれの相補データ線はカラムスイッチ回路CSWを介して選択的にコモンデータ線に接続可能される。コモンデータ線

50

にはメインアンプMAMPが接続され、メインアンプMAMPにはデータ入出力バッファDIOBFが接続される。前記アドレス信号ADRSに含まれるカラムアドレス信号はカラムアドレスデコーダCADECがデコードし、デコードされた信号でカラムスイッチ回路CSWをスイッチ制御することにより、カラムアドレス信号で指定される相補ビット線がコモンデータ線に導通される。読出し動作において相補ビット線は予めプリチャージ回路(PRCRG)で例えば電源電圧にプリチャージされ、ワード線が選択されるとメモリセルの記憶情報に従って相補データ線に相補レベルが現れ、これをセンスアンプ(SA)がセンス増幅する。この相補レベルの変化はカラムスイッチ回路CSWを介してコモンデータ線に伝達され、これをメインアンプMAMPのリードアンプが増幅することによって、データバスDATAにリードデータが出力される。書き込み動作では、データバスDATAから供給される書き込みデータに従ってメインアンプMAMPのライトアンプがコモンデータ線、並びにカラムスイッチ回路CSWで選択された相補ビット線を相補レベルに駆動し、これによって、ワード線で選択されたメモリセルにデータが書き込まれる。書き込み及び読出し動作の内部タイミング制御はCPU2からのアクセス制御信号MCNT及びクロック信号CLK等を受けるタイミングコントローラTMGCNTとワード線タイミング生成回路WL T GENが行う。

【0035】

図2にはSRAM部3のスタティック型のメモリセルの回路構成が例示される。メモリセルMCは、pMOSトランジスタP1とnMOSトランジスタN1から成るインバータとpMOSトランジスタP2とnMOSトランジスタN2から成るインバータとを相互に一方の入力端子を他方の出力端子にクロスカップルされて成るスタティックラッチを有し、一方のCMOSインバータの出力端子にnMOSトランジスタ(選択MOSトランジスタ)N3が、他方のCMOSインバータの出力端子にnMOSトランジスタ(選択MOSトランジスタ)N4が接続される。選択MOSトランジスタN3, N4のゲートはワード線WLに、選択MOSトランジスタN3は非反転ビット線BLTに、選択MOSトランジスタN4は反転ビット線BLBに接続される。非反転ビット線BLTと反転ビット線BLBは相補ビット線を構成する。メモリセルMCのnMOSトランジスタの基板は基板バイアス電圧VBNを受け、メモリセルMCのpMOSトランジスタの基板は基板バイアス電圧VBPを受ける。Vddは電源電圧、Vssはグランド電圧である。

【0036】

図3にはSRAMのスタティック型メモリセルMCの読み出しおよび書き込みマージンを拡大するためのMOSトランジスタの閾値電圧制御およびそのために必要な基板バイアスの印加形態について示す。前記メモリセルMCの読み出しマージンとは読み出し動作における記憶情報の反転の生じ難さ(即ち読み出し動作で記憶情報が容易に反転しないこと)であり、書き込みマージンとは書き込み動作時における反転書き込みの確実性(即ち書き込み動作において記憶情報を反転し易いこと)である。

【0037】

読み出しマージンを改善するには、メモリセルMCを構成するインバータの出力が反転する電圧(トリップポイント)を上げればよいため、nMOSトランジスタの閾値電圧(Vth)を上げる(絶対値的に大きくする)とともに、pMOSトランジスタの閾値電圧を下げる(絶対値的に小さくする)ことで対応可能である。即ち、ビット線BLT(BLB)のプリチャージ電荷を引き抜くnMOSトランジスタN1(N2)の閾値電圧が絶対値的に小さいと当該nMOSトランジスタN1(N2)に大きな電流が流れてそのドレイン電位が浮き上がり、反対側のpMOSトランジスタP2(P1)の閾値電圧が絶対値的に小さいと反対側のビット線BLB(BLT)の電位が不所望に低下してしまう。

【0038】

逆に書き込みマージンを改善するには、電流を供給するロード用のpMOSトランジスタP1, P2の電流を減少させ、トランスファ用のnMOSトランジスタN3, N4の電流を増加させればよいため、nMOSトランジスタの閾値電圧を絶対値的に小さくするとともに、pMOSトランジスタの閾値電圧を絶対値的に大きくすればよい。同図にはその

ための基板バイアス電圧が例示される。電源電圧 $V_{dd} = 1.2\text{ V}$ 、グランド電圧 $V_{ss} = 0\text{ V}$ とするとき、 $n\text{MOS}$ トランジスタの基板に印加する基板バイアス電圧 V_{BN} は、逆バイアスを印加する（閾値電圧を絶対値的に大きくする）場合には負の電圧である -1.2 V を印加し、順バイアスを印加する（閾値電圧を絶対値的に小さくする）場合には正の電圧である 0.6 V を印加する。その他の場合にはグランド電圧 V_{ss} を印加する。 $p\text{MOS}$ トランジスタの基板に印加する基板バイアス電圧 V_{BP} は、逆バイアスを印加する場合には電源電圧 v_{dd} よりも高い 2.4 V を印加し、順バイアスを印加する場合には電源電圧 V_{dd} より低い電圧である 0.6 V を印加する。

【0039】

図4にはワード線 WL の選択信号によるワード線選択期間（ワード線パルス幅）と $SRAM$ の動作マージンとの関係が例示される。ワード線パルス幅が短い場合には、読み出しマージンが増加する。これは、ワード線がオンする期間が短くなるために、 $SRAM$ メモリセルで記憶されているデータを破壊する電流が流れる期間が短縮され、メモリセルのデータが壊れにくくなるためである。逆にワード線のパルス幅が短い場合には、書き込みマージンは減少する。これは、ワード線がオンする期間が短くなるため、新しいデータを書くために必要なメモリセル電流が流れる時間が短くなり、それに伴って書き込みが困難となり、書き込みマージンが低下するためである。また、ワード線パルス幅が長い場合には、ワード線パルス幅が短いときと逆の理由により、読み出しマージンが減少し、書き込みマージンが増加する。

【0040】

図3および図4より、ワード線パルス幅が短い場合には書き込みマージンが減少するため、図3の書き込みマージンの欄に示されるように、 $n\text{MOS}$ トランジスタに順バイアスを印加し $p\text{MOS}$ トランジスタに逆バイアスを印加すれば減少した書き込みマージンを補償することができるということが解る。また、ワード線パルス幅が長い場合には読み出しマージンが減少するため、図3の読み出しマージンの欄に示されるように、 $n\text{MOS}$ トランジスタに逆バイアスを印加し $p\text{MOS}$ トランジスタに順バイアスを印加すれば減少した読み出しマージンを補償することができるということが解る。

【0041】

本実施の形態では上記に鑑みて $SRAM$ 部3はワード線パルス幅に応じて自らの基板バイアス電圧を自律的に制御する。以下、そのための構成を詳細に説明する。

【0042】

図5にはワード線タイミング生成回路 $WL\text{ TGEN}$ の一例が示される。ワードドライバ $WLDR$ はワード線 WL 単位にドライバユニット $WLDRU$ を有し、ドライバユニット $WLDRU$ にはロウアドレスデコーダ $RADC$ から出力されるロウアドレスデコード信号 $RADS$ とワード線タイミング信号 WLT を受けて、対応するワード線を選択的に駆動する。ワード線 WL には $CMOS$ スタティック型のメモリセル MC の選択端子が結合され、相補ビット線 BLT 、 BLB にはメモリセル MC のデータ入出力端子が接続される。ワード線タイミング生成回路 $WL\text{ TGEN}$ は相補ビット線とメモリセル MC の一列分の構成と等価なレプリカ回路として、ドライバユニット $WLDRU$ と回路特性の等しいレプリカドライバユニット $RWLDRU$ 、ワード線と等価なレプリカワード線 RWL 、レプリカワード線 RWL に順次共通接続されたレプリカセル RMC 、及びレプリカセル RMC に順次接続されビット線負荷と等価な負荷を有するレプリカビット線 RBL を有する。レプリカビット線 RBL はセンスアンプ活性化ドライバ $SAENDR$ 及びワード線パルス発生回路 $PULGEN$ に接続される。センスアンプ活性化ドライバ $SAENDR$ はセンスアンプ SA のイネーブル信号 $SAEN$ を生成する。ワード線パルス発生回路 $PULGEN$ はワード線タイミング信号 WLT を生成する。

【0043】

レプリカセル RMC の回路構成は図6に例示される。すなわち、レプリカセル RMC はメモリセル MC と同じ MOS トランジスタ $P1$ 、 $P2$ 、 $N1 \sim N4$ を有し、 MOS トランジスタ $P1$ 、 $N1$ から成るインバータの入力は電源電圧に、 MOS トランジスタ $P2$ 、 N

10

20

30

40

50

2 から成るインバータの入力はグラウンド電圧に、 $nMOS$ トランジスタ $N3$ のゲートはレプリカワード線 RWL に、 $nMOS$ トランジスタ $N3$ のソースはレプリカビット線に接続される。レプリカワード線 RWL が選択されたときレプリカセル $RM C$ は、電源電圧 $V d d$ にプリチャージされたレプリカビット線 $R B L$ をディスチャージする動作を行い、この動作は、電源電圧 $V d d$ にプリチャージされた非反転ビット線 $B L T$ がワード線選択によってディスチャージされてローレベルに確定するのと等価の動作になる。

【0044】

図5のワード線パルス発生回路 $P U L G E N$ は、特に制限されないが、メモリアクセスに際してクロック信号 $C L K$ のサイクルに同期してワード線タイミング信号 $W L T$ を活性化し（例えばハイレベルとし）、レプリカビット線 $R B L$ のディスチャージに同期してワード線タイミング信号 $W L T$ を非活性化する（例えばローレベルにする）。センスアンプ活性化ドライバ $S A E N D R$ は読出し動作に際してレプリカビット線 $R B L$ のディスチャージに同期してセンスアンプ $S A$ のイネーブル信号 $S A E N$ を活性化し、センスアンプ $S A$ のセンス増幅動作を開始する。

【0045】

図7にはワード線タイミング生成回路 $W L T G E N$ の動作タイミングチャートが例示される。クロック信号 $C L K$ の立ち上がり変化に同期してワード線タイミング信号 $W L T$ が活性化され、それによってワード線 $W L$ が選択レベルに駆動されると共に、レプリカワード線 $R W L$ が選択レベルに駆動される。レプリカワード線 $R W L$ が選択されると、レプリカビット線 $R B L$ のプリチャージ電荷はレプリカセル $RM C$ の $nMOS$ トランジスタ $N1$ を介してディスチャージが開始される。レプリカビット線 $R B L$ のレベルがローレベルに確定されると、ワード線タイミング信号 $W L T$ が非活性化され、それによってワード線 $W L$ 及びレプリカワード線 $R W L$ が非選択レベルに反転される。同図から明らかなように、ワード線選択期間（ワード線パルス幅）はワード線タイミング信号 $W L T$ のハイレベル期間によって規定される。

【0046】

図8にはワード線パルス幅に応じて閾値電圧制御の動作タイミングが例示される。図1で説明した前記基板バイアス電圧 $V B P$ 、 $V B N$ の電圧レベルを制御するための信号 $C O N T V B$ を生成する比較回路 $C O M P P$ は、ワード線タイミング信号 $W L T$ を入力し、そのハイレベル期間であるワード線パルス幅と基準信号 $S T T I M E$ のパルス幅を比較する。例えば比較回路 $C O M P P$ は D 型ラッチのようなフリップフロップで構成され、基準信号 $S T T I M E$ の立ち下がりタイミングでワード線タイミング信号 $W L T$ をラッチし、ワード線パルス幅が基準信号 $S T T I M E$ よりも短ければローレベルの信号 $C O N T V B$ を出力し、逆の場合にはハイレベルの信号 $C O N T V B$ を出力する。信号 $C O N T V B$ を受ける基板バイアス制御回路 $V B B G E N$ は信号 $C O N T V B$ がローレベルの時（ワード線パルス幅が基準信号 $S T T I M E$ よりも短く読出しマージンに比べて書き込みマージンが小さい時）は書き込みマージンを拡大するように例えば $V B N = 0.6 V$ 、 $V B P = 2.4 V$ を印加し（図8の状態 $C O N D A$ ）、逆に、信号 $C O N T V B$ がハイレベルの時（ワード線パルス幅が基準信号 $S T T I M E$ よりも長く書き込みマージンに比べて読出しマージンが小さい時）は読出しマージンを拡大するように例えば $V B N = -1.2 V$ 、 $V B P = 0.6 V$ を印加する（図8の状態 $C O N D B$ ）。尚、ここではタイミングを比較する回路のもっとも単純な例としてフリップフロップを用いた回路を示したが、位相比較器などの信号のタイミングを比較する回路を用いることも可能である。基準信号 $S T T I M E$ は半導体装置1の外部から供給される外部信号とされる。基準信号 $S T T I M E$ それ自体は半導体装置1のプロセスバラツキの影響の直接受けていない。信号 $S T T I M E$ に変えて $C L K$ を基準信号に採用することも可能である。

【0047】

上記ワード線パルス幅に基づいた自律的な基板バイアス制御では $nMOS$ トランジスタおよび $pMOS$ トランジスタへの基板バイアスとして、図3のように順バイアスおよび逆バイアスの双方を用いる場合について説明したが、すべてを用いる必要はない。他の基板

10

20

30

40

50

バイアス印加の例を図9に示す。パターン1は図3に基づいた基板バイアス制御形態である。パターン2は逆バイアスのみを印加する場合の例である。この場合、順バイアスを印加しないためリーク電流を低く抑えることが可能である。パターン3は順バイアスのみを印加する場合の例である。順バイアス電圧は V_{BN} 、 V_{BP} ともに電源電圧 V_{dd} と接地電位 V_{ss} の間の値となるため、基板バイアス電圧を生成するのが比較的容易であり、基板バイアス発生回路 V_{BBGE} の回路規模を小さく抑えることが可能となる。パターン4は $nMOS$ トランジスタのみに基板バイアスを印加する場合の例である。 p ウエルのみを制御すればよいため、 p ウエルの分離が容易なトリプルウエル構造の LSI では $SRAM$ 部ごとなど非常に小さい単位での基板バイアスの制御が可能となる。パターン5は $pMOS$ トランジスタのみに基板バイアスを印加する場合の例である。 n ウエルのみを制御すればよいため、 n ウエルの分離が容易なダブルウエル構造の LSI では $SRAM$ 部ごとなど非常に小さい単位での基板バイアスの制御が可能となる。パターン6は $nMOS$ トランジスタのみに逆バイアスを印加する場合である。上記、パターン2とパターン4の利点を併せ持った構造となる。ただし、 $nMOS$ トランジスタの逆バイアスのみを用いるため、パターン1～5と比較すると動作マージンを増加させる効果は低くなる。パターン7は $pMOS$ トランジスタのみに逆バイアスを印加する場合である。上記、パターン2とパターン5の利点を併せ持った構造となる。ただし、 $pMOS$ トランジスタの逆バイアスのみを用いるため、パターン1～5と比較すると動作マージンを増加させる効果は低くなる。パターン8は $nMOS$ トランジスタのみに順バイアスを印加する場合である。上記、パターン3とパターン4の利点を併せ持った構造となる。ただし、 $nMOS$ トランジスタの順バイアスのみを用いるため、パターン1～5と比較すると動作マージンを増加させる効果は低くなる。パターン9は $pMOS$ トランジスタのみに順バイアスを印加する場合である。上記、パターン3とパターン5の利点を併せ持った構造となる。ただし、 $nMOS$ トランジスタの逆バイアスのみを用いるため、パターン1～5と比較すると動作マージンを増加させる効果は低くなる。

【0048】

以上のように、ワード線パルス幅に従って基板バイアスを変化させることで、動作マージンを改善することが可能になる。更に、微細化した製造プロセスで増加するトランジスタの V_{th} ばらつきに対して、閾値電圧を絶対知的に大きくして動作マージンを補償すれば、 $SRAM$ 部の低電圧化にも資することができる。

【0049】

図10には複数個の $SRAM$ 部に対して共通に前記基板バイアス制御を行うようにした SoC 形態の半導体装置1Aが例示される。 SoC 形態の半導体装置には多くの回路モジュールが搭載され、それにともない多くの $SRAM$ 部も搭載される。図10において半導体装置1Aは2個の $SRAM$ 部3a, 3bを備え、一方の $SRAM$ 部から出力されるワード線タイミング信号 WLT を比較回路 $COMP$ が受けて信号 $CONTVB$ を生成し、これを受ける基板バイアス発生回路 $VBBGEN$ が双方の $SRAM$ 部3a, 3bに共通に基板バイアス電圧 V_{BN} , V_{BP} を生成する。等しく基板バイアス制御される $SRAM$ 部3a, 3bにおいてメモリアレイのビット線負荷は相互に等しくされている。これにおいても上記同様の作用効果を得る。半導体装置1Aに搭載される $SRAM$ 部の個数は3個以上であってもよい。

【0050】

図11には複数個の $SRAM$ 部に対して別々に前記基板バイアス制御を行うようにした SoC 形態の半導体装置1Bが例示される。図10において半導体装置1Aは2個の $SRAM$ 部3c, 3dを備え、一方の $SRAM$ 部3cのワード線タイミング生成回路 $WLTGEN1$ から出力されるワード線タイミング信号 $WLT1$ を比較回路 $COMP1$ が受けて信号 $CONTVB1$ を生成し、これを受ける基板バイアス発生回路 $VBBGEN1$ が $SRAM$ 部3cに基板バイアス電圧 V_{BN1} , V_{BP1} を生成する。他方の $SRAM$ 部3dのワード線タイミング生成回路 $WLTGEN2$ から出力されるワード線タイミング信号 $WLT2$ を比較回路 $COMP2$ が受けて信号 $CONTVB2$ を生成し、これを受ける祈願バ

イアス発生回路VBBGEN2がSRAM部3dに基板バイアス電圧VBN2, VBP2を生成する。ワード線タイミング生成回路WLTGEN1, WLTGEN2、比較回路COMP1, COMP2、基板バイアス発生回路VBBGEN1, VBBGEN2は図1と同様に構成される。SRAM部3c, 3dにおいてメモリアレイのビット線負荷は相違され、其れに応じてワード線タイミング生成回路WLTGEN1とワード線タイミング生成回路WLTGEN2が相違され、それ故に、SRAM部3cとSRAM部3dの基板バイアス制御のための回路構成が相違される。

【0051】

図12には図11の半導体装置1Bにおける基板バイアス制御の動作タイミングが例示される。SRAM部3c, 3dを動作させるためにクロックCLKおよびワード線パルス幅の基準として基準信号STTIMEがSRAM部3c, 3dに入力される。クロックCLKおよび基準信号STTIMEは、例えば半導体装置1B内のタイミングを制御するモジュール内で生成される。SRAM部3cは記憶容量が小さな(ビット線負荷の小さな)メモリアレイを備えるため、図1及び図5で説明したワード線タイミング生成回路WLTGENのレプリカ回路等を用いて生成したワード線タイミング信号WLTのワード線パルス幅は短くなる。よって、ワード線タイミングを示す信号WLT1と入力されるタイミング基準信号STTIMEを比較するとWLT1は短くなり、信号CONTVB1はローレベルにされ、基板バイアス発生回路VBBGEN1によってSRAM部3cに最適な基板バイアス電圧VBN1, VBP1が出力される。この場合、WLT1によるワード線パルス幅が短くなっているため、SRAM部3cは書き込みマージンは小さく、読み出しマージンが大きくなっていると考えられ、VBN1はnMOSトランジスタの順バイアス、VBP1はpMOSトランジスタの逆バイアスが印加される。SRAM3dは記憶容量が大きな(ビット線負荷が大きい)メモリアレイを備えるため、タイミング生成回路WLTGEN2においてレプリカ回路等を用いてワード線タイミングが生成された場合に、ワード線タイミング信号WLT2で得られるワード線パルス幅は長くなる。よって、ワード線タイミング信号WLT2は基準信号STTIMEよりも長く、比較回路COMP2からハイレベルの信号CONTVB2が出力され、基板バイアス発生回路VBBGEN2によってSRAM部3dに最適な基板バイアス電圧VBN2, VBP2が出力される。この場合、ワード線タイミング信号WLT2によるワード線パルス幅が長くなっているため、SRAM部3dにおいて書き込みマージンは小さく読み出しマージンが大きくなっていると考えられ、基板場椅子電圧VBN2はnMOSトランジスタに逆バイアスを印加し、基板バイアス電圧VBP2はpMOSトランジスタに順バイアスを印加する。

【0052】

現在、一般的なSoCでは、記憶容量やビット線負荷等が相違されるさまざまなサイズのSRAMが搭載されており、それぞれの構成によりワード線のパルス幅は異なる。よって、1つのチップ上で同じ条件下で動作しているSRAM部でも、動作マージンの状態は変わっており、それぞれの構成で最適な基板バイアスも異なる。図11の構成を用いれば、それぞれの構成で最適な基板バイアスを印加することが可能となり、構成によってワード線タイミングが異なることにより変動する動作マージンを自律的に最適に設定することが可能となる。ワード線パルス幅は、レプリカ回路によりメモリセルからのデータの読み出しが出来る時間を設定するのが一般的であり、読み出しが出来る時間はビット線の負荷容量によって変動するため、1つのビット線に付くメモリセルの数、つまりメモリアレイの行数で決まる。よって、メモリアレイの行数が小さければワード線パルス幅は短くなり、逆に行数が大きければワード線パルス幅は長くなる。よって、本発明はメモリアレイの行数(ワード線方向のメモリセルの行数)に応じて基板バイアスの設定を行うと言う観点で捕らえることも可能である。図13にはこの観点によるメモリセルと基板バイアス電圧の設定例が示される。具体的な値はSRAM部の設計内容によっても変わる。図13の例では基板バイアス電圧として順バイアスおよび逆バイアスの両方をnMOSトランジスタとpMOSトランジスタの双方に印加する場合を示したが、図9と同様にnMOSトランジスタのみ、pMOSトランジスタのみ、または順バイアスのみ、逆バイアスのみといっ

10

20

30

40

50

た制御形態を採用することも可能である。

【0053】

特に図示はしないが、図10と図11の構成を混在させて基板バイアス制御を行うことも可能である。すなわち、SoC内の複数のSRAM部のグループで基板バイアスを発生するためのワード線パルス幅を測定する回路を共有し、基板バイアスを同様に制御することも可能である。

【0054】

図14にはSRAM部に対する基板バイアス制御の更に別の制御形態が示される。図1とは基準信号が相違される。DELAYはクロック信号CLKを遅延される遅延回路、STTIME2はクロックを遅延させて生成された基準信号であり、比較回路COMPは基準信号STTIME2とワード線タイミング信号WLTを上記同様に比較して信号CONTVBを生成する。

【0055】

図15には図14による基板バイアス制御の動作タイミングが例示される。CLKが入力されるとともにワード線のタイミングを表す信号であるWLTがハイレベルとなる。またワード線タイミングを作る回路WLTGENにおいてさらにワード線を非活性化されるタイミングが生成されワード線が非活性化されると信号WLTもローレベルとなる。この信号WLTの生成過程は図1の場合と同じである。同時に遅延回路DELAYを用いてクロック信号CLK信号を一定時間遅延させた基準信号STTIMEが生成される。図15において、状態COND Cの場合には、信号STTIME2がハイレベルになるタイミングよりも早く信号WLTがローレベルに非活性化されており、この場合ワード線パルス幅が基準信号よりも短くなっており、比較回路COMPの出力はローレベルとなる。この場合、ワード線パルス幅が基準よりも短いため、書き込みマージンが減少した状態となっているから、書き込みマージンを増加させる基板バイアスとしてnMOSトランジスタへの順バイアスとpMOSトランジスタへの逆バイアスとなる基板バイアス電圧VBNとVBPが基板バイアス生成回路VBBGENで発生されてSRAM部3に印加される。図15において、状態COND Dの場合には、信号STTIME2がハイレベルになるタイミングよりも遅く信号WLTが非活性化されており、この場合ワード線パルス幅が基準信号よりも長くなっており、比較回路COMPの出力CONTVBはハイレベルとなる。この場合、ワード線パルス幅が基準よりも長いため、読み出しマージンが減少した状態となっており、読み出しマージンを増加させる基板バイアスとしてnMOSトランジスタへの逆バイアスとpMOSトランジスタへの順バイアスとなる基板バイアス電圧VBN、VBPが基板バイアス生成回路VBBGENで発生されてSRAM部3に印加される。図14の構成においても上記同様野作用効果を得ることができる。

【0056】

図15では同一波形で2つの条件を表しているため、同じモジュール内でタイミングが変化した場合を想定しているように見えるが、必ずしも同じモジュールに限る必要はなく、図11のように複数のSRAM部で異なるワード線タイミングを検出する場合も同様の回路を用いることが可能である。ワード線パルス幅を測定するための基準信号を外部から供給せずにSRAM部内で遅延回路を用いて生成しているが、実際には、必ずしも遅延回路を用いる必要はなくその他のタイミングを生成する回路を用いても同様である。

【0057】

《nMOSトランジスタのVthのばらつきに対する動作マージン劣化の補償》

上記ではワード線選択期間（ワード線パルス幅）によって変動する動作マージンを補償する場合について説明した。以下においては、プロセス変動（MOSトランジスタの閾値電圧のばらつき）によって変動する動作マージンを補償する場合について説明する。ここではプロセス変動によるMOSトランジスタの閾値電圧のばらつきをワード線タイミング信号WLTのワード線パルス幅で検出する場合を一例とする。前述のように、ワード線パルス幅は図6で説明したレプリカセルRMCのnMOSトランジスタN1、N3を介するディスチャージ速度に依存するから、特にnMOSトランジスタの閾値電圧のばらつきに

着目する。この場合の半導体装置の回路構成は、図1に代表される上述の構成に比べて、信号CONTVBに基づいて基板バイアス電圧VBN、VBPを発生させる基板バイアス発生回路VBBGENの制御論理が相違され、その他の構成は同一であってよい。よってこの観点による半導体装置の構成については単独で図示することを省略してある。STTIMEに代表される基準信号は、第1の観点によるワード線選択期間（ワード線パルス幅）によって変動する動作マージンを補償する場合と、第2の観点によるプロセス変動（nMOSトランジスタの閾値電圧のばらつき）によって変動する動作マージンを補償する場合とは相違されることになる。

【0058】

図16にはnMOSトランジスタのVthが変動した場合のSRAMの動作マージンの変動を示す。nMOSトランジスタのVthが絶対値的に大きい（Vthが高い）場合には保持しているデータが壊れにくい、読み出しマージンが大きく書き込みマージンが小さい状態となる。逆にnMOSトランジスタのVthが絶対値的に小さい（Vthが低い）場合には保持しているデータが壊れやすくなるため、読み出しマージンが小さく書き込みマージンが大きい状態となる。

【0059】

図5及び図6に基づいて先に説明したように、ワード線タイミングを生成する部分にはnMOSトランジスタの電流が大きく影響を及ぼすレプリカ回路が用いられるため、nMOSトランジスタの電流が大きい場合、つまりnMOSトランジスタのVthが低い場合にはnMOSトランジスタのオン抵抗が小さくなってワード線パルス幅は短くなり、nMOSトランジスタの電流が小さい場合つまりnMOSトランジスタのVthが高い場合にはワード線パルス幅は長くなる。よって、ワード線パルス幅が短い場合には読み出しマージンを高く（nMOSトランジスタに逆バイアス印加、pMOSトランジスタに順バイアス印加）、書き込みマージンを低く（nMOSトランジスタに順バイアス印加、pMOSトランジスタに逆バイアス印加）するように、逆にワード線パルス幅が長い場合に読み出しマージンを低く書き込みマージンを高くするよう基板バイアスを制御すれば、プロセスの変動によって変動したSRAM部の動作マージンを補償することが可能となる。この制御の様子は図17のパターン1に例示される。これによる基板バイアス制御の動作タイミングは図18に例示される。

【0060】

図17には図9と同様に、基板バイアス電圧として順バイアスおよび逆バイアスの両方をnMOSトランジスタとpMOSトランジスタの双方に印加するパターン1だけでなく、nMOSトランジスタのみ、pMOSトランジスタのみ、または順バイアスのみ、逆バイアスのみといった、各種制御パターンが例示される。

【0061】

図17と図9を比べれば明らかなように、バラツキ補償のための検出手段であるワード線パルス幅に対する基板バイアス電圧の印加態様は相互に逆になっている。これは矛盾ではなく、着目する観点の相違によって生ずる当然帰結である。前者又は後者の何れの観点を採用するかは設計思想の相違による。例えば、ワード線パルス幅のバラツキに対して十分余裕を採った設計が行われている場合には後者を採用し、ワード線パルス幅のバラツキに対して余裕の少ない設計が行われている場合には前者を採用する。

【0062】

MOSトランジスタの閾値電圧のばらつき補償の観点により、ワード線パルス幅に従って半導体装置に搭載される複数のSRAM部の基板バイアスを変化させることで、SRAM部の動作マージンを改善することが可能になる。更に、微細化した製造プロセスで増加するトランジスタのVthばらつきに対して、閾値電圧を絶対的に大きくして動作マージンを補償すれば、SRAM部の低電圧化にも資することができる。

【0063】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であ

10

20

30

40

50

ることは言うまでもない。

【0064】

例えば、ワード線タイミング信号を生成する回路の構成は上記回路に限定されず適宜変更可能である。本発明に係る半導体装置はCPUを備えたSoCに限定されず、SRAM単体のメモリLSI、CPUと共にそれ以外のロジック回路等を搭載し、あるいはCPU以外の回路モジュールを搭載する、種々の半導体装置に適用することができる。基板バイアス制御はメモリセルアレイに限定し、また、その周辺に拡大し、さらにはメモリ全体に拡大してもよい。MOSトランジスタの閾値電圧のバラツキに着目した制御を行う場合にはメモリの動作タイミングに影響する回路に基板バイアス制御を拡大してもよい。

【図面の簡単な説明】

【0065】

【図1】図1は本発明に係る半導体装置の一例を示すブロック図である。

【図2】図2はSRAM部のスタティック型のメモリセルの回路構成を例示する回路図である。

【図3】図3はSRAM部のスタティック型メモリセルの読み出しおよび書き込みマージンを拡大するためのMOSトランジスタの閾値電圧制御およびそのために必要な基板バイアスの印加形態について示す説明図である。

【図4】図4はワード線の選択信号によるワード線選択期間（ワード線パルス幅）とSRAMの動作マージンとの関係を例示する説明図である。

【図5】図5はワード線タイミング生成回路の一例を示す回路図である。

【図6】図6はレプリカセルの回路構成を例示する回路図である。

【図7】図7はワード線タイミング生成回路の動作を例示するタイミングチャートである。

【図8】図8はワード線パルス幅に応じた閾値電圧制御動作を例示するタイミングチャートである。

【図9】図9は基板バイアス制御に各種制御態様を例示する説明図である。

【図10】図10は複数のSRAM部に対して共通に前記基板バイアス制御を行うようにした半導体装置を例示するブロック図である。

【図11】図11は複数のSRAM部に対して別々に前記基板バイアス制御を行うようにした半導体装置のブロック図である。

【図12】図12は図11の半導体装置における基板バイアス制御動作を例示するタイミングチャートである。

【図13】図13はビット線負荷に応じて基板バイアス電圧を変える場合の制御形態を例示する説明図である。

【図14】図14はクロック信号を遅延させて生成した基準信号で基板バイアス制御を行うようにした制御形態を例示するブロック図である。

【図15】図15は図14による基板バイアス制御動作を例示するタイミングチャートである。

【図16】図16はnMOSトランジスタの V_{th} が変動した場合のSRAMの動作マージンの変動を示す説明図である。

【図17】図17は図16の場合における各種基板バイアス電圧制御の制御形態を例示する説明図である。

【図18】図18は図16の観点による基板バイアス制御動作を例示するタイミングチャートである。

【符号の説明】

【0066】

1, 1A 半導体装置

2 CPU

3, 3a、3b、3c、3d SRAM部

WL…ワード線

10

20

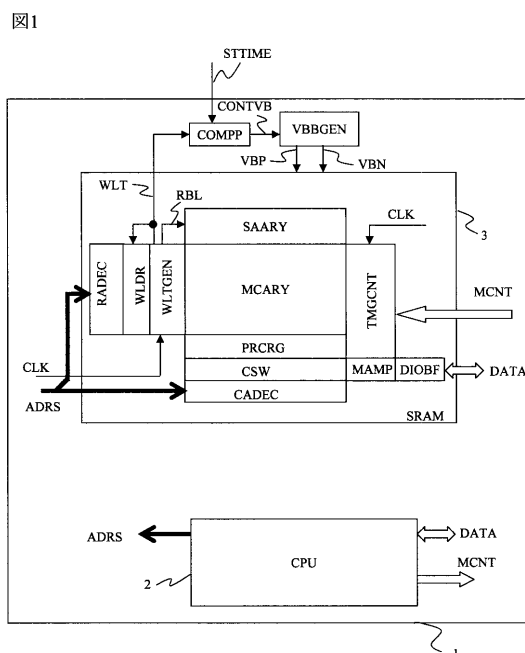
30

40

50

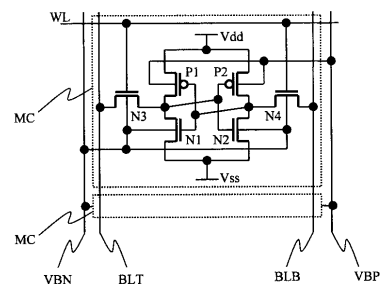
B L T、B L B…ビット線
 V B N…n M O S トランジスタの基板端子
 V B P…p M O S トランジスタの基板端子
 V d d…電源電圧
 V s s…グランド電圧
 M C E L L…メモリセル
 M A R R A Y…メモリセルアレイ
 W L T G E N、W L T G E N 1、W L T G E N 2…ワード線のタイミングを生成回路
 W L T…ワード線タイミング信号
 S T T I M E、S T T I M E 2…基準信号
 C O M P P、C O M P P 1、C O M P P 2…タイミング比較回路
 C L K…クロック信号
 V B B G E N…基板バイアス発生回路
 C O N T V B、C O N T V B 1、C O N T V B 2…基板バイアス制御信号
 W L D R…ワード線ドライバ
 M C…メモリセル
 S A…センスアンプ
 S A E N…センスアンプ活性化信号
 S A E N D R…センスアンプ駆動回路
 P U L G E N…パルス生成回路
 R W L…レプリカワード線
 R B L…レプリカビット線
 R C…レプリカセル
 R W L D R…レプリカワード線駆動回路
 D E L A Y…遅延回路

【図 1】



【図 2】

図2



【図 3】

図3

MOSの Vth制御		読み出しマージン	書き込みマージン
		上昇(絶対的に大きく)	低下(絶対的に小さく)
最適基板 バイアス	nMOS	低下(絶対的に小さく)	上昇(絶対的に大きく)
	pMOS	低下(絶対的に小さく)	上昇(絶対的に大きく)
最適基板 バイアス	nMOS	逆バイアス (-1.2V)	順バイアス (0.6V)
	pMOS	順バイアス (0.6V)	逆バイアス (2.4V)

【図 4】

図4

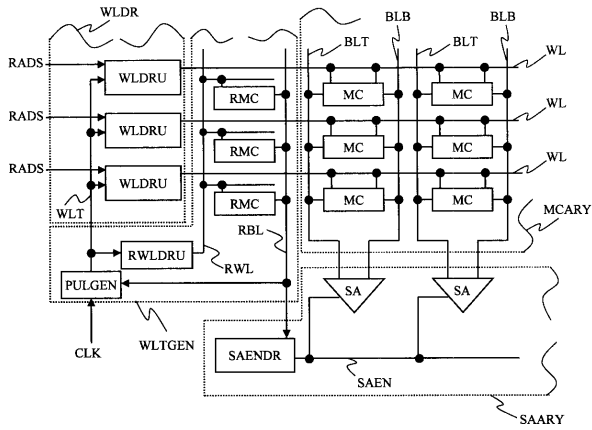
ワード線パルス幅		短	長
動作マージン	読み出し	大	小
	書き込み	小	大

10

20

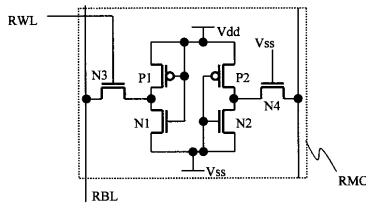
【図 5】

図5



【図 6】

図6



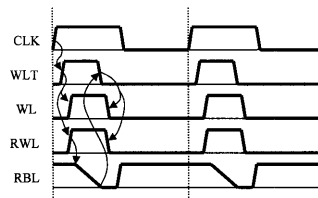
【図 9】

図9

		ワード線パルス幅 長い	ワード線パルス幅 短い
パターン1	nMOS (VBN)	逆バイアス (-1.2V)	順バイアス (0.6V)
	pMOS (VBP)	順バイアス (0.6V)	逆バイアス (2.4V)
パターン2	nMOS (VBN)	逆バイアス (-1.2V)	バイアスなし (0V)
	pMOS (VBP)	バイアスなし (1.2V)	逆バイアス (2.4V)
パターン3	nMOS (VBN)	バイアスなし (0V)	順バイアス (0.6V)
	pMOS (VBP)	順バイアス (1.2V)	バイアスなし (1.2V)
パターン4	nMOS (VBN)	逆バイアス (-1.2V)	順バイアス (0.6V)
	pMOS (VBP)	バイアスなし (1.2V)	バイアスなし (1.2V)
パターン5	nMOS (VBN)	バイアスなし (0V)	バイアスなし (0V)
	pMOS (VBP)	順バイアス (0.6V)	逆バイアス (2.4V)
パターン6	nMOS (VBN)	逆バイアス (-1.2V)	バイアスなし (0V)
	pMOS (VBP)	バイアスなし (1.2V)	バイアスなし (1.2V)
パターン7	nMOS (VBN)	バイアスなし (0V)	バイアスなし (0V)
	pMOS (VBP)	バイアスなし (0V)	逆バイアス (2.4V)
パターン8	nMOS (VBN)	バイアスなし (0V)	順バイアス (0.6V)
	pMOS (VBP)	バイアスなし (1.2V)	バイアスなし (1.2V)
パターン9	nMOS (VBN)	バイアスなし (0V)	バイアスなし (0V)
	pMOS (VBP)	順バイアス (0.6V)	バイアスなし (1.2V)

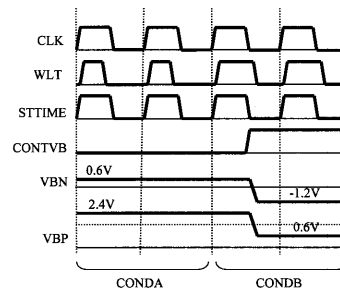
【図 7】

図7



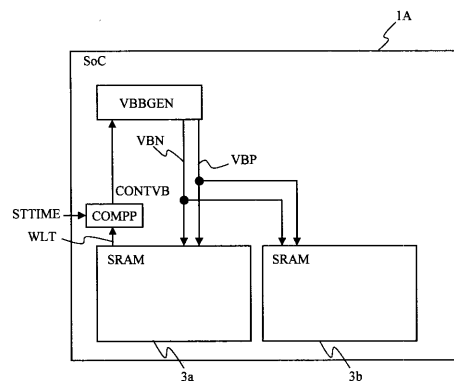
【図 8】

図8



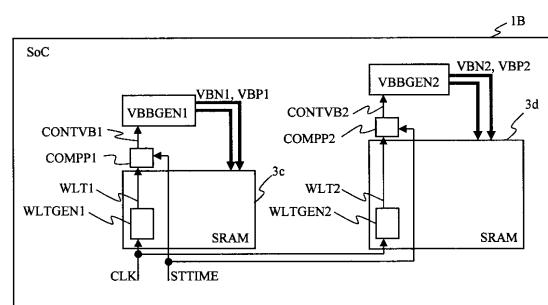
【図 10】

図10



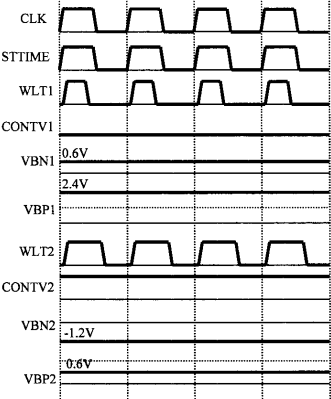
【図 11】

図11



【図 1 2】

図12



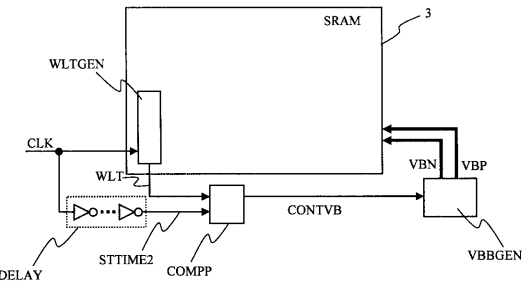
【図 1 3】

図13

メモリ行数	VBN	VBP
~32	順バイアス (0.6V)	逆バイアス (2.4V)
33~128	バイアスなし	バイアスなし
129~	逆バイアス (-1.2V)	順バイアス (0.6V)

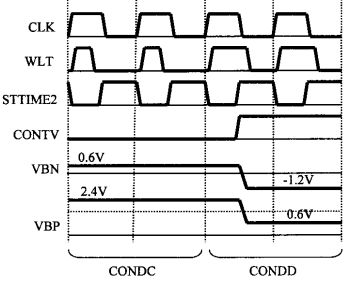
【図 1 4】

図14



【図 1 5】

図15



【図 1 6】

図16

nMOS Vth		高い(絶対値的に大)	低い(絶対値的に小)
動作マージン	読み出し	大	小
	書き込み	小	大

【図 1 7】

図17

		WLT短い(Vth 小)	WLT長い(Vth 大)
パターン1	nMOS (VBN)	逆バイアス (2.4V)	順バイアス (0.6V)
	pMOS (VBP)	順バイアス (0.6V)	逆バイアス (2.4V)
パターン2	nMOS (VBN)	逆バイアス (2.4V)	バイアスなし (0V)
	pMOS (VBP)	バイアスなし (1.2V)	逆バイアス (2.4V)
パターン3	nMOS (VBN)	バイアスなし (0V)	順バイアス (0.6V)
	pMOS (VBP)	順バイアス (0.6V)	バイアスなし (1.2V)
パターン4	nMOS (VBN)	逆バイアス (2.4V)	順バイアス (0.6V)
	pMOS (VBP)	バイアスなし (1.2V)	バイアスなし (1.2V)
パターン5	nMOS (VBN)	バイアスなし (0V)	バイアスなし (0V)
	pMOS (VBP)	順バイアス (0.6V)	逆バイアス (2.4V)
パターン6	nMOS (VBN)	逆バイアス (2.4V)	バイアスなし (0V)
	pMOS (VBP)	バイアスなし (1.2V)	バイアスなし (1.2V)
パターン7	nMOS (VBN)	バイアスなし (0V)	バイアスなし (0V)
	pMOS (VBP)	バイアスなし (0V)	逆バイアス (2.4V)
パターン8	nMOS (VBN)	バイアスなし (0V)	順バイアス (0.6V)
	pMOS (VBP)	バイアスなし (1.2V)	バイアスなし (1.2V)
パターン9	nMOS (VBN)	バイアスなし (0V)	バイアスなし (0V)
	pMOS (VBP)	順バイアス (0.6V)	バイアスなし (1.2V)

【図 1 8】

図18

