

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5391423号
(P5391423)

(45) 発行日 平成26年1月15日(2014. 1. 15)

(24) 登録日 平成25年10月25日(2013. 10. 25)

(51) Int. Cl.	F I	
HO 1 L 21/336 (2006. 01)	HO 1 L 29/78	3 O 1 Y
HO 1 L 29/78 (2006. 01)	HO 1 L 29/78	3 O 1 X
HO 1 L 21/8242 (2006. 01)	HO 1 L 27/10	6 7 1 Z
HO 1 L 27/108 (2006. 01)	HO 1 L 27/10	6 2 1 C
HO 1 L 21/3065 (2006. 01)	HO 1 L 21/302	1 O 5 A

請求項の数 23 (全 14 頁) 最終頁に続く

(21) 出願番号 特願2009-519450 (P2009-519450)
 (86) (22) 出願日 平成19年6月28日(2007. 6. 28)
 (65) 公表番号 特表2009-544150 (P2009-544150A)
 (43) 公表日 平成21年12月10日(2009. 12. 10)
 (86) 国際出願番号 PCT/US2007/015146
 (87) 国際公開番号 W02008/008204
 (87) 国際公開日 平成20年1月17日(2008. 1. 17)
 審査請求日 平成22年6月24日(2010. 6. 24)
 (31) 優先権主張番号 11/486, 800
 (32) 優先日 平成18年7月14日(2006. 7. 14)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 510127664
 ラウンド ロック リサーチ、エルエルシ
 ー
 アメリカ合衆国、ニュージャージー州 O
 7302, ジャージー シティ、ハドソ
 ン ストリート 101, スイート 21
 00
 101 Hudson Street, S
 uite 2100, Jersey Ci
 ty, New Jersey 07302
 , United States of A
 merica
 (74) 代理人 100106851
 弁理士 野村 泰久

最終頁に続く

(54) 【発明の名称】 解像度以下のケイ素フィーチャおよびそれを形成するための方法

(57) 【特許請求の範囲】

【請求項 1】

フィールド絶縁材料の表面の上に部分的にのみ及び、下部領域がフィールド絶縁材料によって囲まれ、ソース領域、ドレイン領域、トランジスタチャンネル領域が、前記フィールド絶縁材料の表面の上に部分的にのみ及び前記表面の上にのびる半導体メサ及び前記表面の上にのびる半導体メサの部分に隣接する活性領域メサに形成される半導体メサを形成するステップと、

前記フィールド絶縁材料の表面の下のエッチングされない半導体メサの部分と比べて減少した幅を有する、前記表面の上にのびる前記半導体メサの上端部の丸められた部分を画定するために、フィールド絶縁材料の前記表面の上にのびる前記半導体メサの前記部分を等方性乾式エッチングするステップと、

前記トランジスタチャンネル領域となる、前記表面の上にのびる前記半導体メサの前記丸められた部分及び側壁の部分をコンフォーマルに覆うように、トランジスタゲート誘電体を介してトランジスタゲート導電体を形成するステップと、
 を含む、半導体構造を形成する方法。

【請求項 2】

前記半導体メサを形成するステップは、

シャロウトレンチアイソレーションによってフィールド絶縁領域で囲まれる前記半導体メサを画定するステップと、

前記フィールド絶縁材料の表面を画定するために少なくとも前記半導体メサの一部を囲む前記フィールド絶縁領域を埋め込むステップと、

を含む、請求項 1 の方法。

【請求項 3】

前記半導体メサの前記トランジスタチャネル領域に前記丸められた部分を制限するために、等方性乾式エッチングがマスクを通して行われる、請求項 2 の方法。

【請求項 4】

前記フィールド絶縁領域を埋め込むステップは、前記丸められた部分を前記トランジスタチャネル領域に制限するために使用される前記マスクを通して行われる、請求項 3 の方法。

【請求項 5】

等方性乾式エッチングするステップは、リモートプラズマユニットを利用するステップを含む、請求項 1 の方法。

10

【請求項 6】

等方性乾式エッチングするステップは、フッ素源を供給するステップを含む、請求項 1 の方法。

【請求項 7】

等方性乾式エッチングするステップは、酸素源を供給するステップをさらに含む、請求項 6 の方法。

【請求項 8】

前記フッ素源は CF_4 を含み、前記酸素源は O_2 を含み、 $O_2 : CF_4$ の比は 15 : 1 より大きい、請求項 7 の方法。

20

【請求項 9】

等方性乾式エッチングするステップは、前記フィールド絶縁材料をエッチングするよりも約 3 ~ 5 . 5 倍だけ速い速度で前記半導体メサを選択的にエッチングするステップを含む、請求項 1 の方法。

【請求項 10】

等方性乾式エッチングするステップは、前記フィールド絶縁材料をエッチングするよりも約 10 ~ 25 倍だけ速い速度で前記半導体メサを選択的にエッチングするステップを含む、請求項 1 の方法。

【請求項 11】

等方性乾式エッチングするステップは、前記フィールド絶縁材料をエッチングするよりも約 15 ~ 25 倍だけ速い速度で前記半導体メサを選択的にエッチングするステップを含む、請求項 1 の方法。

30

【請求項 12】

前記丸められた部分が 300 未満の横幅寸法を持つ、請求項 1 の方法。

【請求項 13】

前記丸められた部分が約 200 から 250 の間の横幅を持つ、請求項 1 の方法。

【請求項 14】

前記丸められた部分の上に前記トランジスタゲート導電体を堆積するステップ、マスクングするステップ、およびエッチングするステップをさらに含み、前記トランジスタゲート導電体をマスクングするステップは、約 50 nm から 150 nm の間のリソグラフィー限界を持つフォトリソグラフィープロセスを利用するステップを含む、請求項 13 の方法。

40

【請求項 15】

前記丸められた部分が、前記半導体メサを画定するために利用されるフォトリソグラフィープロセスのリソグラフィー限界未満の横幅を持つ、請求項 1 の方法。

【請求項 16】

ソース領域と、ドレイン領域と、前記ソースおよびドレイン領域との間のチャネル領域とを含み、フィールド絶縁材料によって囲まれた活性領域メサと、

前記ソースおよびドレイン領域は実質的に平坦であり、前記メサの前記チャネル領域の上に上方へ突出し、上端部が丸められた半導体突起であって、前記メサの前記チャネル領域に比べて減少した幅を有する丸められた半導体突起と、

50

前記チャンネル領域内の前記丸められた半導体突起の表面及び前記丸められた半導体突起に隣接する活性領域メサのチャンネル領域の上に適合するゲート誘電体膜およびゲート電極と、
を含む、集積回路。

【請求項 17】

前記丸められた半導体突起が前記平坦なソースおよびドレイン領域に対して埋め込まれる、請求項 16 の集積回路。

【請求項 18】

前記丸められた半導体突起に隣接する前記チャンネル領域の部分が、前記平坦なソースおよびドレイン領域と前記丸められた半導体突起の両方に対して埋め込まれる、請求項 17 の集積回路。

10

【請求項 19】

ゲート電極が、前記フィールド絶縁材料内に少なくとも部分的に埋め込まれたワード線の一部を形成する、請求項 16 の集積回路。

【請求項 20】

前記ソース領域によって前記チャンネル領域から間隔のあいた第二のチャンネル領域と、第二のゲート電極とをさらに含み、前記第二のチャンネル領域はそこから突出する第二の丸められた半導体突起を含み、前記第二のゲート電極は前記第二の丸められた半導体突起の表面に適合する、請求項 16 の集積回路。

【請求項 21】

20

前記第二のチャンネル領域によって前記ソース領域から間隔のあいた第二のドレイン領域をさらに含み、

前記ソース、前記チャンネル、前記ドレインおよび前記ゲート電極は前記半導体メサの第一のトランジスタを画定し、

前記ソース、前記第二のチャンネル、前記第二のドレインおよび前記第二のゲート電極は前記半導体メサの第二のトランジスタを画定する、
請求項 20 の集積回路。

【請求項 22】

前記ドレイン領域に電氣的に接続された第一の蓄積キャパシタと、前記第二のドレイン領域に電氣的に接続された第二の蓄積キャパシタと、前記活性領域メサの上に二つのメモリセルを画定するために前記ソース領域に電氣的に接続されたビット線とをさらに含む、
請求項 21 の集積回路。

30

【請求項 23】

前記丸められた半導体突起が約 300 未満の幅を持つ、請求項 16 の集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、特にFinFETデバイスを利用する高密度集積化スキームに照らして、ケイ素の等方性エッチングの方法と、それによって形成されるデバイスとに関する。

【背景技術】

40

【0002】

RAMメモリなどの半導体デバイスは、コンピュータアプリケーションにおいて一般に使用されるデバイスである。一般的に、デバイスの性能を改良し、コストを削減するために、こうした種類のデバイスの密度を増やすことが強く望まれている。DRAMメモリでは、電荷蓄積セルと、電荷蓄積セルにアクセスするためのゲートという二つの基本的構成要素がある。密度増加の必要性が生じるにつれ、デバイスの高密度化を促進するために、より小さなサイズのゲートの種類を開発する必要がある。

【0003】

メモリ用途を含む様々な用途で現在使用されているゲートデバイスの一種は、FinFETデバイスである。一般に、FinFETデバイスは、ケイ素基板などの半導体基板上、SOI (silic

50

on-on-insulator) 基板もしくは他の種類の材料の上に形成される。典型的には、概してケイ素などの半導体材料から作られている、垂直にのびる突起であるフィンが形成される。フィンは二つの垂直な側壁を持ち、その上にゲート誘電体および導電体を配置することができ、導電体が帯電されると、その結果生じる電場が、フィンの両側の電場によって制御可能なチャンネル領域をフィン内に作るようになっている。フィンの少なくとも二つの側面からチャンネル領域を制御することができるので、その結果、より小さな導電性チャンネルをフィン内に形成することができ、それによって、漏出を減らしながらデバイス寸法の縮小化を促進することができる。

【0004】

FinFETデバイスは従来の平面MOSFETデバイスに勝る利点を提供するものの、依然として、FinFETの性能を最適化する必要がある。特に、チャンネル領域を形成するための閾値電圧を減らすこと、およびデバイスの拡張性を改良することは、設計上考慮すべき重要な事柄である。さらに、リフレッシュ速度を改良すること、および現在のFinFETデバイスの信頼性を改良することも、さらに小さなFinFETデバイスを得て、それによってDRAMデバイスなどの半導体回路上でさらに大きなデバイス密度を可能にするために、重要な目標と見なされる。

【発明の概要】

【0005】

FinFETデバイスがより効果的に縮小され得る一つの方法は、デバイス作製に使用される処理ステップの精度を改良することである。発明者らが認識したところでは、例えば、ケイ素エッチングプロセスをうまく制御することで、FinFETデバイスのための信頼性のあるデバイス設計と集積化スキームにおける柔軟性の拡大が可能になる。同様に、ケイ素エッチングにおける制御の改良は、特にそのようなエッチングが集積回路(IC)フィーチャの横方向寸法を画定する場合、様々なIC構造とプロセスにとって有益となることが理解されるだろう。

【図面の簡単な説明】

【0006】

下記の図面と詳細な説明は、例証を意図し、本発明を限定することを意図しない。図面は、例え同一でなくとも、同様の部分には類似する参照数字を使用する。図面は概略図に過ぎず、縮尺通りに描かれていない。

【図1A】半導体基板上のフィールド絶縁材料によって囲まれた複数の活性領域メサの簡易化した略平面図である。

【図1B】図1Aの線1B-1Bに沿った図1Aの活性領域の略断面図である。

【図2】メサを囲む絶縁材料が埋め込まれている、図1Bの活性領域メサの断面図である。

【図3】フィンを輪郭形成するための乾式等方性エッチング後の図2の活性領域メサの断面図である。

【図4】ゲート誘電体とゲート導電体がフィンの上に形成されている図3の活性領域メサの断面図である。

【図5】図1-4に図示されたプロセスに従って形成されたFinFETデバイスの例示的なアレイの一部の簡易化した平面図である。

【図6A】ダマシン型処理のみに対してメサのチャンネルもしくはゲート領域を晒すようにマスクがパターニングされる、基板上に形成された複数の活性領域メサの略平面図である。

【図6B】線6B-6Bに沿った図6Aの活性領域の断面図である。

【図7】絶縁材料が、露出されたゲート線領域内のみで埋め込まれている、図6Bの活性領域メサの断面図である。

【図8】チャンネルもしくはゲート領域内のみでフィンを輪郭形成するための選択的エッチング後の図7の活性領域メサの断面図である。

【図9】ゲート誘電体とゲート導電体がフィンの上に形成されている、図8のフィンの断

10

20

30

40

50

面図である。

【図10】チャンネルもしくはゲート領域に制限されたフィンを示す、図6-9に図示されたダマシ型処理を用いて形成されたFinFETデバイスのアレイの簡易化した平面図である。

【図11】図6-9のプロセスによって形成されたFinFETデバイスを組み込む一つの活性領域メサから形成された二つのDRAMセルの断面図である。

【発明を実施するための形態】

【0007】

本明細書に記載の実施形態は、ケイ素エッチング、より具体的には、酸化ケイ素ベースの材料などの周囲の絶縁材料に対するケイ素の選択的等方性エッチングの制御を改良する。ケイ素エッチングの制御を改良することで、特にDRAMアレイとの関連において、図示された実施形態では高密度集積化スキームでのFinFETデバイスによって例示される新規の半導体デバイスの形成が容易になる。本明細書に記載の乾式エッチングの等方性は、リソグラフィ限界以下の横方向寸法を画定する横方向エッチングを容易にする。

10

【0008】

下記に記載のプロセスでは、半導体メサが画定され、絶縁材料によって囲まれる。絶縁材料はその後、活性領域メサの上部部分が絶縁材料の上面の上に突出するように埋め込まれる。半導体突起はその後等方性乾式エッチングされ、輪郭部分の幅が減少するように半導体突起の輪郭形成されたフィン部分を画定する。続いて、ゲート誘電体および導電体が半導体突起の輪郭部分の上にコンフォーマルに形成される。一実施形態では、そのような輪郭形成によって形成されるフィンは、活性領域メサの大部分に広がり、別の実施形態では、フィンは形成されるトランジスタのゲートもしくはチャンネル領域に制限される。

20

【0009】

導電体を受けるメサの上部部分を等方性乾式エッチングすることにより、その結果得られる輪郭もしくはフィンは、その起伏にわたってより大きな表面積を持ち、従って効率的に増加したトランジスタチャンネル長を持つ。さらに、フィンの上端はテーパ加工されるかもしくは丸められる。こうして、より性能特性の良いFinFETデバイス、例えば減少した閾値電圧必要量と、より良いリフレッシュ特性および信頼性特性とを持つFinFETが作製される。具体的な一実施例では、乾式等方性エッチングはリモートプラズマエッチングであり、これは突起の露出部分のより均一なエッチングを可能にする。さらに、下記により詳細に開示される通り、選択された条件によって、周囲の材料に対して高い選択性が得られる。

30

【0010】

従って、このプロセスは改良された設計特性を持つ半導体デバイスの形成を可能にする。前述の効果は、添付の図面と併用される次の説明からより完全に明らかとなるだろう。

【0011】

ここで図面を参照するが、全体を通して類似する数字は類似する部分をあらわす。図1Aは、周知のマスキングプロセスを用いてフィールド絶縁領域102間に複数の活性領域メサ106が形成されている半導体基板100を図示する。図1A、5、6A、10は包括的な平面図であるが、異なる材料を明確にするために網掛けを使用する。活性領域メサ106はフィールド絶縁領域102によって互いに間隙を介している。次の工程で記載されるように、活性領域メサ106の上部部分は最初に突出するように作られ、その後、得られるデバイスの性能特性を拡張するために、乾式等方性エッチングによって選択的に細くされる。

40

【0012】

図1Bに図示される通り、フィールド絶縁領域102は周知の方法で形成されることが好ましい。典型的には、フィールド絶縁102は、SiO₂、TEOS、BPSG、F-もしくはC-ドーパント酸化ケイ素などの酸化ケイ素、および、化学気相堆積もしくはスピノオン堆積によって形成される様々な同様の材料の形をとる。ある特定のシャロウトレンチアイソレーション(STI)の実施例では、フォトリソグラフィを用いて活性領域メサ106をマスキングし、マスクを通してエッチングすることによって、トレンチが半導体基板100内に形成される。基

50

板100を覆って、トレンチを充填し、メサ106の上面114を覆うために、酸化ケイ素が堆積される（スピノン堆積によることが好ましい）。次に、フィールド絶縁102の上面112がメサ106と同一平面上になるように、メサ106の上面114を平坦化して露出するために、化学機械平坦化（CMP）もしくは他のエッチングプロセスが使用され得る。他の処理では、フィールド絶縁材料は酸化（LOCOS）によって成長させることができ、あるいは、LOCOSとSTIのハイブリッドプロセスによって形成することができる。いずれの場合にも、リソグラフィが活性領域メサ106の寸法を画定し、図示された実施形態では、活性領域メサ106を画定するために使用されるリソグラフィは、約50 nmと150 nm、より好ましくは約60 nmと80 nmの間のフォトリソグラフィ解像限界を持つ。そのようなシステムの解像度はリソグラフィの改良に対応し得ることがわかるだろう。

10

【0013】

好ましい実施形態では図示されていないが、活性領域のパターニングとフィールド絶縁トレンチのエッチングのために使用されるマスク（レジストかハードマスクかを問わず）は、図2に関連して下記に記載される次の酸化物埋め込みステップ中に、活性領域メサ106の上面114を保護するために随意に適所に残っていてもよい。

【0014】

図2に示される通り、フィールド絶縁領域102の材料は、その後、活性領域メサ106の側面もしくは側壁120を露出するために、メサ106に対して埋め込まれる。特定の一実施例では、フィールド絶縁材料は、ケイ素を実質的にエッチングすることなく選択的に酸化ケイ素を除去する湿式もしくは乾式エッチングプロセスを用いて埋め込まれる。一実施例では、絶縁材料は約500 から1300 の間、例えばおよそ900 の差で埋め込まれ、それによって、フィールド絶縁領域102のここで埋め込まれた上面112の上に約900 の高さを持つケイ素の突起を残す。

20

【0015】

図3に図示される通り、活性領域メサ106の突出部分は、次に、下部領域126（フィールド絶縁領域102によって保護されたままである）に対してテーパ加工された活性領域メサ106のフィン124を作るために、等方性エッチングプロセスを用いて輪郭形成される。各フィン124の上面128は等方性エッチングによって丸められる。フィン124の最小横方向寸法もしくは幅は300 未満であることが好ましく、約200 から250 の間であることがより好ましい。

30

【0016】

問題になっている小さな寸法、および、好ましい実施形態のDRAMアレイのための高度に縮小されたスキームによって要求される精度のために、出願人は、とりわけ、画定されるフィーチャがフォトリソグラフィ解像限界以下の寸法を持つので、乾式等方性エッチングがフィンを成形するために高度な制御と精度を提供することを見出した。従って、等方性エッチングは乾式エッチングであることが好ましく、ダウンストリームマイクロ波プラズマ反応器などでのリモートプラズマ生成物を利用することがより好ましい。また、そのような反応器を適切な化学物質と共に使用することで、ケイ素に対する高度な選択性が得られることもわかっている。下記の三つのプロセス法のうちの二つにおいて、化学物質は酸素源とフッ素源を含む。酸素源の例は酸素ガス（ O_2 ）であり、フッ化炭素ガス源（例えば CF_4 ）もしくは NF_3 がフッ素源として使用され得る。あるいは、酸素は省略されてもよい。

40

【0017】

“低選択性”プロセスの例は、酸素ガス（ O_2 ）と CF_4 ガスをリモートプラズマユニットを通して流すことで行われる。この低選択性プロセスでは比較的高い比率（15:1より大きい）の O_2 対 CF_4 比が使用され、一実施形態例では、約24:1の比率では、約5:1のケイ素：酸化物エッチング比の選択性が得られる。この低選択性プロセスにより、良好な均一性と平滑な結晶ケイ素表面が残される。この乾式等方性エッチングプロセスは、エッチング速度と、停止点を制御する能力の両方において高い精度を提供することがわかっている。そのような制御は、等方性エッチングがフィーチャに横方向寸法の変化を実現する際に重要で

50

ある。そのような横方向寸法は、アレイにわたるデバイス間の均一性、チップにわたるアレイ間の均一性、ウェハにわたるチップ間の均一性、およびバッチ間におけるウェハ間の均一性を確実にするために、正確に制御されるべきである。フィン124は電界効果トランジスタの機能的フィーチャであるため、等方性エッチングプロセスでの差異に起因する厚みの差異は、一貫性のないデバイス性能をもたらし、歩留まりを減らす可能性がある。下記の表1は、例示的な低選択性プロセス法のための好ましいパラメータ範囲を提供する。

【0018】

【表1】

低選択性プロセス

	温度 (°C)	圧力 (mTorr)	マイクロ波電力 (Watts)	O ₂ フロー (sccm)	CF ₄ フロー (sccm)	ガス比 (O ₂ :CF ₄)	総ガスフロー (sccm)	およその選択性 (Si:SiO ₂)
好ましい	60-90	300-1500	500-6000	800-1100	30-50	20-30	830-1150	3-5.5
より好ましい	80-90	800-1100	1500-2500	900-1000	35-45	22-25	935-1035	3-5.5

10

【0019】

あるいは、低い温度、低い酸素源ガス対フッ素源ガス比、および随意に低い圧力は、酸化ケイ素などの周囲の絶縁材料に対して“高選択性”を提供し得る。例えば、下記の表2は、10:1から25:1の間の選択性をもたらし得る、約5:1未満の酸素：フッ素源ガスの体積流量比率とその他のパラメータ設定を用いる例示的な高選択性プロセス法を提供する。

20

【0020】

【表2】

高選択性プロセス

	温度 (°C)	圧力 (mTorr)	マイクロ波電力 (Watts)	O ₂ フロー (sccm)	CF ₄ フロー (sccm)	ガス比 (O ₂ :CF ₄)	総ガスフロー (sccm)	およその選択性 (Si:SiO ₂)
好ましい	20-90	300-1500	250-6000	150-750	150-450	1-5	300-1200	10-25
より好ましい	20-60	500-800	250-800	200-700	200-400	1-3	400-1100	18-25

30

【0021】

下記の表3のプロセスによって例示される通り、依然として高選択性を実現しながら、随意にプロセスから酸素を省略することができる。例えば、下記のプロセス法は、フッ素源と共にヘリウムとフォーミングガス (N₂/H₂) の形の不活性ガスを提供する。下記の例示的なプロセス法と好ましい範囲によって例示されるとおり、15:1から25:1のエッチング選択性 (ケイ素：酸化物) が得られる。

【0022】

【表3】

酸素を使用しない高選択性プロセス

	温度 (°C)	圧力 (mTorr)	マイクロ波電力 (Watts)	Heフロー (sccm)	N ₂ /H ₂ フロー (sccm)	CF ₄ フロー (sccm)	総ガスフロー (sccm)	およその選択性 (Si:SiO ₂)
好ましい	60-90	300-1500	500-6000	500-2500	0-420	20-120	500-3500	15-25
より好ましい	80-90	800-1100	1500-2500	1300-1800	20-370	40-80	1350-1900	18-25

40

【0023】

さらに、等方性乾式エッチングにおけるフッ素源はCF₄以外のものであってもよいこと

50

を当業者は容易に理解するだろう。例えば、 NF_3 は上述の乾式等方性エッチング法において CF_4 に代わることができ、与えられた方法での NF_3 の流速は CF_4 に与えられる流速のおよそ半分に設定される。これは NF_3 がリモートプラズマチャンバ内でより容易に自由フッ素に解離するためである。同様に、他の調節が前述の方法になされてもよいことを当業者は容易に理解し、例えば、圧力条件と電力条件は、全体のエッチング速度における変化を伴ってプロセスの選択性を調節するように容易に調節できる。

【0024】

次に、図4に示される通り、ゲート誘電体131およびゲート導電体132が、テーパ加工されたフィン部分124を含む活性領域メサ106の上に形成され得る。ゲート導電体132は、ポリシリコン金属、金属シリサイド、もしくはトランジスタの仕事関数を設定するために適切な任意の他のゲート材料で形成されることが好ましい。単一層として図示されているが、典型的には、ゲートスタックは、仕事関数設定電極材料、より良い横方向の導電性のための随意的金属ストラッピング層、および誘電性キャッピング層とを含む。電圧が導電体132に印加されると、ゲート導電体132の下に位置する活性領域106の領域は導電性チャンネルを形成する。好ましい乾式等方性エッチングの優れた制御のために、フィン124は、酸化物を埋め込むことによって画定されるケイ素の突起の元の側壁120(図2)に極めて忠実であることを示す、ほぼ垂直な側壁だけでなく、丸い上面128の両方を持ち、チャンネルの表面積を増加する。

【0025】

図5は、図1-4に関連して記載されたプロセスを用いて形成されたいくつかのトランジスタデバイス140を図示する平面図である。図示された通り、埋め込まれた下部部分126の上にのびるフィン124を形成するために、活性領域メサ106は各メサ106の中央領域にわたって上述の方法でテーパ加工される。ゲート導電体132は、ブランケット堆積、リソグラフィエッチング、およびゲート材料のスタックのエッチング(例えば、ポリシリコンもしくはシリサイド、改良された横方向の導電性のための金属ストラップ、および誘電性キャップ)によって形成される。ゲート線132を画定するために使用されるシステムのフォトリソグラフィエッチングの限界は、約50nmから150nmの間であることが好ましいが、将来のシステムはさらに優れた解像度を持ってよい。得られるゲート線132は、ゲート132の下にあるフィン124の部分を含む、メサ106内にあるチャンネル領域を画定するためにメサ106を横断する。ソース領域136とドレイン領域134は導電体132の反対側に画定され、ソース/ドレイン領域134、136は、図11の実施形態に関して下記により詳細に説明されるように、例えばビット線、蓄積ノード(キャパシタなど)といった他の構成要素に接続することができる。図5は四つのFinFETデバイス140を画定する二つの活性領域メサ106しか図示していないが、図5は一例に過ぎず、活性領域メサ106上の何千ものトランジスタ140のレイが上述のプロセスを用いて同時に形成できることを当業者は理解するだろう。

【0026】

図1-5に関連して上述したプロセスでは、活性領域メサ106は全体的にテーパ加工され、それによって、得られるFinFETデバイスの性能特性を改良する。フィン124を形成するために半導体メサ106をテーパ加工するもしくは輪郭形成することによって、より多くの場所を占めることなくトランジスタのチャンネル長が長くなり、また、フィン124の角が丸められ、それにより、反転領域もしくはチャンネル領域を形成するために必要な閾値電圧を減少し、アクセスデバイスの縮小を改良し、その結果デバイスのリフレッシュ特性と信頼性特性の改良をもたらすようになっている。この特定の実施形態では、方法は全長に沿ってテーパ加工されたメサ106をもたらす。あいにく、フィン124と活性領域メサ106の下部部分126との間の段差は、次のパターニングステップとエッチングステップにとって問題を生じる可能性がある。特に、図5を参照すると、ゲート材料はブランケット堆積され、活性領域106のソース領域136とドレイン領域134からエッチングして除去される。しかしながら垂直側壁全体からのゲート材料の除去は困難であり、ソース領域136とドレイン領域134内の活性領域の過剰エッチングと損傷につながる可能性がある。これらの同じ領域は、その後コンタクトがこれらのソース/ドレイン領域134、136にあけられる際に再度

エッチングされる必要がある。

【 0 0 2 7 】

図 6 - 1 1 は、活性領域メサ106が、ゲート導電体132を受けるゲートもしくはチャネル領域のみにて加工されるプロセスを図示する。最初に図 6 A を参照すると、透明カーボンもしくはフォトレジストなどのマスク層146が基板100の上に全体的に堆積される。図 6 B に示されるように、トレンチのエッチング、フィールド絶縁材料102の充填、およびメサ106の上面114に至るまでの平坦化の後に、マスク層146が基板100上に堆積される。図 6 A に戻ると、その後マスク層146は、マスク層146内に開口部148を画定するために、パターンングされエッチングされる。開口部148はゲート導電体132のパターンに従い（例えば下記の図 1 0 を参照）、従ってマスク146は反対のパターンに従う。従って、反対のフォトレジストタイプで、これらのマスク両方に同じレチクルが使用できる（ネガ対ポジ）。

10

【 0 0 2 8 】

予備の線開口部149が活性領域106の列の間に形成される。この予備の開口部149は、ゲート線もしくはワード線をパターンングするために使用されるものと同じマスクの使用により形成する。特にフォトリソグラフィー限界近くにおいて、等間隔の線はフォトリソグラフィーで画定しやすいことがわかっている。従って、マスク開口部149が形成される所と同じ場所に、非機能的な線が形成されることになる。ダミーの線開口部149は、下にあるフィールド絶縁材料102のみを露出するが、ゲート線開口部148は、下にある酸化物材料102と、活性領域メサ106の露出領域の両方を露出する。ゲート線開口部148は後のゲート電極と同じパターンに形成されるので、活性領域メサ106のゲートもしくはチャネル領域のみがこのマスク146によって露出される。

20

【 0 0 2 9 】

図 7 に図示される通り、その後、活性領域メサ106の側壁120を露出してケイ素突起を形成するために、選択的酸化物エッチングを用いてフィールド絶縁領域102が薄くされる、あるいは埋め込まれる。突起は、埋め込まれたフィールド絶縁領域102の表面112の上に約 500 から 1300 、例えば約 900 のびることが好ましい。述べた通り、陥凹（従って突起）はマスク層146を通して露出された領域148、149のみで形成される（図 6 A ）。

【 0 0 3 0 】

次に、図 8 に示される通り、活性領域メサ106の突出部分は、例えば表 1 - 3 に関連して上述した乾式等方性選択的エッチングプロセスの内の一つを用いて、マスク146を通して等方性エッチングされる（図 6 A を参照）。メサ106には各々、丸められた端部128に先細りする上部領域もしくはフィン124と、フィールド絶縁材料102によって囲まれた下部領域126とが残る。上述の通り、フィン124の幅もしくは最小横方向寸法は 300 未満であることが好ましく、約 200 から 250 の間であることがより好ましい。乾式エッチングの等方性のために、マスク層146（図 6 A ）はわずかにアンダーカットされる可能性があり、フィンの両側の埋め込まれたケイ素126は、フィン124から遠ざかるにつれて拡大し、ゲート線148よりもやや広くなる可能性がある。

30

【 0 0 3 1 】

次に、図 9 に示される通り、ゲート誘電体131とゲート導電体132を基板全体の上に形成することができ、その後、図 6 A からのマスクパターンの反対の像を用いて、ゲート導電体132をパターンングしエッチングする。例えば、図 6 A の段階でポジレジストが使用された場合、図 1 0 では同じレチクルを用いるネガレジストが使用でき、あるいは逆もまた同様である。従って、ゲート電極132が、フィールド絶縁102の埋め込まれた部分、およびケイ素メサ106の埋め込まれた部分に、開口部148と149（図 6 A ）と同じパターンで残る。

40

【 0 0 3 2 】

マスク層146（図 6 A ）の結果、線開口部148を通して露出された活性領域メサ106の部分のみが等方性エッチングプロセスに晒されるので、その結果これらの部分のみが薄くされる。従って、フィン124はゲート導電体132の下のチャネル領域に制限され、等方性エッ

50

チングのアンダーカット効果のためにメサ106の端付近でやや拡大するかもしれない。ゲート132は、フィールド絶縁102内に埋め込まれた線もしくはトレンチの中に堆積されるので、図6-11に図示されたプロセスはダマシ型プロセスと見なすことができる。

【0033】

図10は、導電体132を受けるチャンネル領域内の活性領域メサ106の局所テーパ加工を図示する。フィールド絶縁102の表面と、メサ106の大部分（ゲート導電体132と交差した領域から離れて）は同一平面上にあるので、ソース領域136とドレイン領域134全体からのゲート電極スタックの除去は、これらの領域に段差がないため難しくない。また、図10に図示される通り、二つのトランジスタ140が各活性領域メサ106に対して形成される。共通ソース領域136が二つのゲート導電体132の間にあるが、トランジスタ140の各々は独自のドレイン領域134を持つ。

10

【0034】

ここで図11を参照すると、DRAMセルを完成するためのさらなる処理後の活性領域メサ106の長さに沿った断面が示される。当業者に理解される通り、トランジスタの各々に対するチャンネルは、共通ソース領域136から活性領域メサ106の表面に沿って各トランジスタのドレイン領域134に向かってのびる。従ってこのチャンネル領域はフィン124の形成によって生じた起伏（図9を参照）を含む。その結果、チャンネル長は平坦なデバイスと比較して長くなる。各トランジスタのチャンネル領域は、ソース/ドレイン領域134、136に対して埋め込まれたフィン124と、断面では見えないので図11では点線で示される、さらに埋め込まれた下部領域126とを含む。

20

【0035】

図11は、一つの活性領域メサ106から形成された二つのDRAMセルをあらわす。三次元フォールディングキャパシタ180によってあらわされる図示された実施形態において、各セルは蓄積デバイスだけでなくトランジスタ140（共通ソース136、個別ドレイン領域134、個別ゲート電極132、およびその下に形成されたチャンネルを含む）を含む。キャパシタコンタクト182は各メモリセルのドレイン134とキャパシタ180との間にのびる。共通ソース136はビット線コンタクト192を用いてビット線190に接続される。

【0036】

前述のプロセスは、チャンネル領域を形成する半導体突起がテーパ加工され、あるいは乾式等方性エッチングによって正確に輪郭形成され、その結果FinFETデバイスの性能特性の改良をもたらすようないくつかの実施例を説明する。乾式等方性エッチングは、少なくとも活性領域106のチャンネル領域148内において、横方向のエッチング作用により、フォトリソグラフィで画定される寸法から、好ましくはリソグラフィ限界以下のフィン124の幅に、活性領域メサ106の上部部分の幅を効果的に減らす。乾式等方性エッチングは、このフィーチャの画定に正確さと制御を与える。さらに、フィンの丸められた端面128は、とがった角とそれに付随する高い電場強度を避ける。

30

【0037】

このように、FinFETデバイスを形成するための方法が提供される。方法は、半導体基板上に半導体材料のメサを形成するステップを含み、メサは側面を絶縁材料で囲まれる。絶縁材料は、半導体材料のメサの側面を露出するために埋め込まれる。メサの露出された側面は乾式エッチングされ、メサの幅を減らし、半導体材料のメサの輪郭部分を画定する。ゲート導電体が半導体材料のメサの輪郭部分をコンフォーマルに覆うように形成される。

40

【0038】

半導体構造のための横方向寸法を画定するための方法も提供される。方法は酸化ケイ素表面からのびる半導体突起を形成するステップを含む。半導体突起の輪郭部分を画定するために、半導体突起は等方性乾式エッチングされる。

【0039】

集積回路も提供される。集積回路は、フィールド絶縁材料によって囲まれた活性領域メサを含み、メサはソース領域、ドレイン領域、およびソース領域とドレイン領域との間のチャンネル領域を含む。ソース領域とドレイン領域はほぼ平坦なまま、半導体フィンがメサ

50

のチャンネル領域からのびる。ゲート電極はチャンネル領域内のフィンの表面に適合する。

【0040】

上記で開示された本教示の実施形態は、上記で開示された実施形態に適用される本発明の基本的な新規の特徴を示し、記載し、指摘したが、当然のことながら、本教示の範囲から逸脱することなく、本明細書で説明されたデバイス、システム、および/または方法の詳細の形で、様々な省略、置換、および変更が当業者によってなされてもよい。従って、本発明の範囲は前述の記載に限定されるべきではなく、添付の請求項によって規定されるべきである。

【図1A】

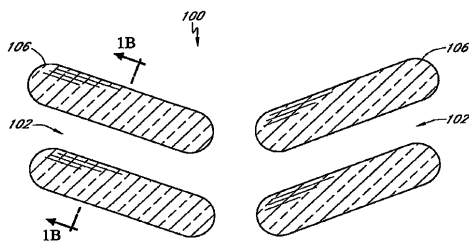


FIG. 1A

【図1B】

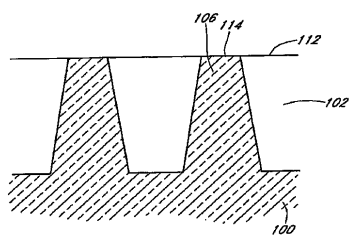


FIG. 1B

【図2】

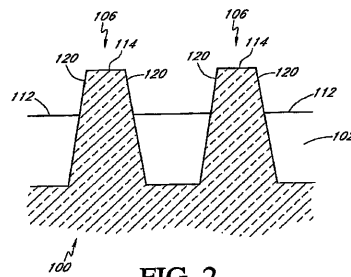


FIG. 2

【図3】

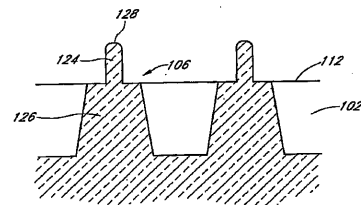


FIG. 3

【 図 4 】

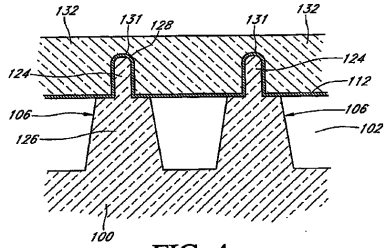


FIG. 4

【 図 5 】

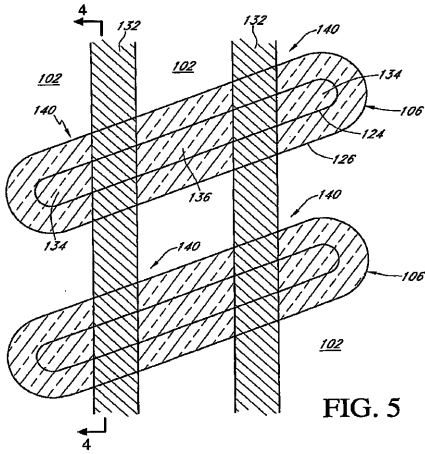


FIG. 5

【 図 6 A 】

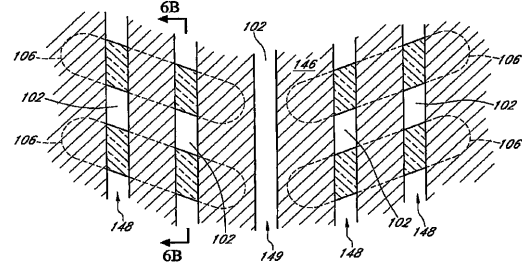


FIG. 6A

【 図 6 B 】

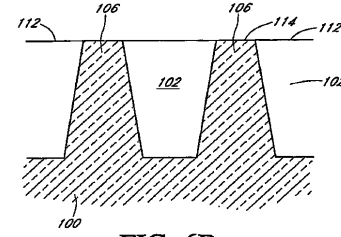


FIG. 6B

【 図 7 】

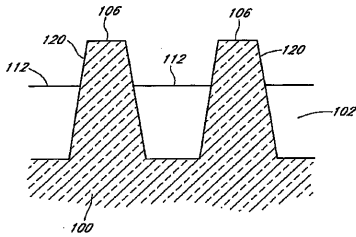


FIG. 7

【 図 9 】

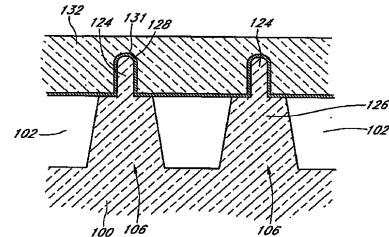


FIG. 9

【 図 8 】

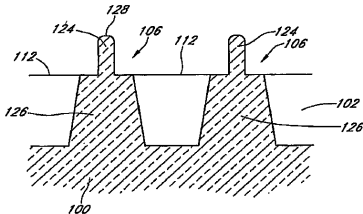


FIG. 8

【 図 10 】

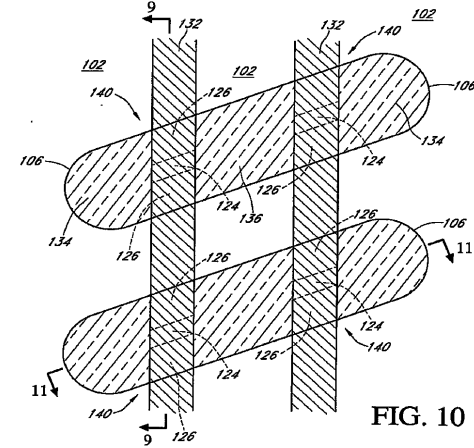


FIG. 10

【図 11】

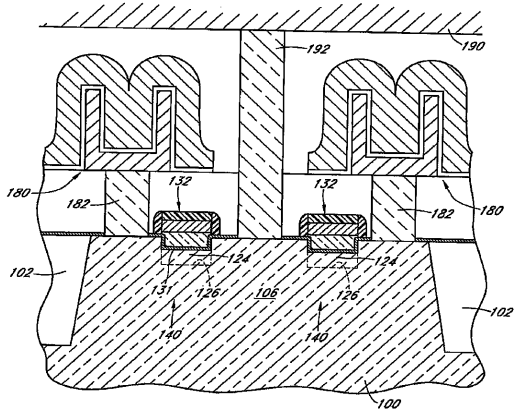


FIG. 11

フロントページの続き

(51)Int.Cl. F I
 H 0 1 L 21/76 (2006.01) H 0 1 L 27/10 6 7 1 B
 H 0 1 L 21/76 L

(74)代理人 100074099

弁理士 大菅 義之

(72)発明者 トレック, ケヴィン ジェイ.

アメリカ合衆国, アイダホ州 8 3 6 4 2, メリディアン, ノース カストル フォールズ アヴェ
 ニュー 1 7 1 8

(72)発明者 フィッシャー, マーク

アメリカ合衆国, アイダホ州 8 3 7 1 3, ボイズ, ノース ブルックレット アヴェニュー 5
 9 4 4

(72)発明者 ハンソン, ロバート ジェイ.

アメリカ合衆国, アイダホ州 8 3 7 1 6, ボイズ, サウス ホーンビーム プレイス 6 4 4 2

審査官 小山 満

(56)参考文献 特開2005-229101(JP, A)
 特開2006-012924(JP, A)
 特開2004-006869(JP, A)
 特開2006-135067(JP, A)
 特開2004-214379(JP, A)
 特表2007-511071(JP, A)
 国際公開第2005/048339(WO, A1)
 米国特許出願公開第2005/0167754(US, A1)
 特開2005-311317(JP, A)
 米国特許出願公開第2004/0262687(US, A1)
 米国特許出願公開第2005/0255943(US, A1)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 3 0 6 5
 H 0 1 L 2 1 / 7 6
 H 0 1 L 2 1 / 8 2 4 2
 H 0 1 L 2 7 / 1 0 8
 H 0 1 L 2 9 / 7 8