

市下京区塩小路通堀川東入南不動堂町 8 0 1
番地 オムロン株式会社内 Kyoto (JP).

- (74) 代理人: 弁理士法人秀和特許事務所 (IP FIRM SHUWA); 〒1030004 東京都中央区東日本橋三丁目4番10号 アクロポリス 2 1 ビル8階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

a drive voltage for driving the switching device; a clamp circuit having a third switch element that causes conductance between a reference potential of the drive circuit and a node on the basis of a comparison result between a threshold potential generated on the basis of the reference potential of the drive circuit, and a potential at a connecting point of a path to which an output end and the gate terminal of the drive circuit are connected; and a ferrite inductor that is provided directly near the output end of the drive circuit, one end of the ferrite conductor being connected to the output end, and another end being connected to the node.

(57) 要約: 半導体デバイスの発振ノイズを抑制するとともにミラーノイズの抑制を可能とする技術を提供する。ゲート端子とソース端子との間に印加された電圧に基づいて、ドレイン端子とソース端子との間の状態を導通または開放させるスイッチングデバイスと、第1スイッチ素子と2スイッチ素子とを備え、所定の制御信号にしたがって第1および第2スイッチ素子を開閉させ、スイッチングデバイスを駆動する駆動電圧を出力端を介してゲート端子に出力する駆動回路と、駆動回路の基準電位に基づいて生成された閾値電位と、駆動回路の出力端とゲート端子とが接続される経路の接続点における電位との比較結果に基づいて、駆動回路の基準電位と接続点との間を導通させる第3スイッチ素子を有するクランプ回路と、駆動回路の出力端の直近に設けられ、一端が出力端に接続され他端が接続点に接続されるフェライトインダクタと、を備える。

明 細 書

発明の名称：スイッチング回路および電力変換器

技術分野

[0001] 本発明は、半導体デバイスのスイッチング動作に伴うノイズを抑制するスイッチング回路および電力変換器に関する。

背景技術

[0002] 従来では、半導体デバイスの発振ノイズを抑制するため、ゲートドライバに接続されるゲート端子直近にフェライトビーズ等を追加することが知られている（例えば、特許文献1）。フェライトビーズ等の追加により、ゲート端子の入力側からみたインピーダンスを高めることができるため、半導体デバイスが有する寄生容量（例えば、ゲートドレイン間容量）に起因する発振ノイズ抑制が期待される。

先行技術文献

特許文献

[0003] 特許文献1：特許第6645924号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、ゲート端子直近におけるフェライトビーズ等の追加により、半導体デバイスのターンオン、ターンオフに伴うノイズ（以下、ミラーノイズとも称す）による電圧変動を招く場合があった。このような電圧変動は、スイッチング速度の高速化に伴って顕著になり、例えば、ゲート端子に印加される電圧を上昇させ、半導体デバイスの誤動作や破壊を生ずる虞があった。

[0005] 本発明は、上記のような事情に鑑みてなされたものであり、その目的は、半導体デバイスの発振ノイズを抑制するとともにミラーノイズの抑制を可能とする技術を提供することにある。

課題を解決するための手段

- [0006] 上記の課題を解決するための開示の技術の一形態は、
- ゲート端子とソース端子との間に印加された電圧に基づいて、ドレイン端子とソース端子との間の状態を導通または開放させるスイッチングデバイスと、
- 一端が制御電源の正極側に接続され、他端が出力端に接続される第1スイッチ素子と、一端が前記出力端に接続され、他端が前記制御電源の負極側が接続された基準電位に接続される第2スイッチ素子とを備え、所定の制御信号にしたがって前記第1スイッチ素子および前記第2スイッチ素子を開閉させ、前記スイッチングデバイスを駆動する駆動電圧を生成するとともに、前記生成された駆動電圧を前記出力端を介して前記スイッチングデバイスのゲート端子に出力する駆動回路と、
- 前記駆動回路の基準電位に基づいて生成された閾値電位と、前記駆動回路の出力端と前記スイッチングデバイスのゲート端子とが接続される経路の接続点における電位との比較結果に基づいて、前記駆動回路の基準電位と前記接続点との間を導通させる第3スイッチ素子を有するクランプ回路と、
- 前記駆動回路の出力端の直近に設けられ、一端が前記出力端に接続され他端が前記接続点に接続されるフェライトインダクタと、
- を備えることを特徴とする。

- [0007] これにより、スイッチング回路であるスイッチング回路100においては、駆動回路であるゲートドライバ101の直近にフェライトインダクタであるフェライトビーズFBを設け、フェライトビーズFBとスイッチングデバイスである半導体デバイス102のゲート端子Gとが接続される経路上の接続点である接続点T3と、クランプ回路であるミラークランプ回路103の入力端（接続点T4）とが接続されるように構成することができる。スイッチング回路100では、GND電位を介して発振ノイズが伝搬する伝搬経路の閉ループと、半導体デバイス102のターンオン、ターンオフに伴うミラーノイズの伝搬経路の閉ループとを分離することができる。発振ノイズが伝搬する伝搬経路にフェライトビーズFBを配置し、ミラーノイズが伝搬する

伝搬経路にはフェライトビーズFBを介在させず、当該ノイズを抑制するミラークランプ103が配置できる。この結果、GND電位を介して伝搬された発振ノイズをフェライトビーズFBのインダクタによって抑制し、ミラークランプ回路103の、接続点T3を介して伝搬されたミラーノイズの抑制効果を十分に高めることができる。これにより、半導体デバイスの発振ノイズを抑制するとともにミラーノイズの抑制を可能とする技術が提供できる。

[0008] また、開示の技術の一形態においては、前記駆動回路の出力端と前記接続点との間に、前記フェライトインダクタと直列に接続される抵抗素子をさらに備えるようにしてもよい。これにより、抵抗素子であるゲート抵抗 R_g の追加により、ゲート端子Gに印加されるゲート電圧の立ち上がり時間（スルーレート）を変更することが可能になるため、半導体デバイス102におけるターンオン、ターンオフに係るスイッチング速度を変更することができる。ゲート電圧の立ち上がり時間の変更により、半導体デバイス102のターンオン、ターンオフに伴うスイッチングノイズ（ミラーノイズ）の低減が期待できる。

[0009] また、開示の技術の一形態においては、アノードが前記駆動回路の基準電位に接続され、カソードが前記接続点に接続されるダイオード素子をさらに備えるようにしてもよい。これにより、ダイオード素子であるショットキーダイオード D_s を、ミラーノイズが伝搬する経路の、接続点T3とGND電位との間に配置でき、スイッチングノイズ（ミラーノイズ）が伝搬する電流経路のインピーダンスが低減できる。半導体デバイス102のターンオン、ターンオフに伴うスイッチングノイズ（ミラーノイズ）の低減効果をさらに向上できる。

[0010] また、開示の技術の一形態においては、フェライトインダクタと直列に接続される抵抗素子には、キャパシタ素子が並列して接続されるようにしてもよい。これにより、ゲート抵抗 R_g に並列して接続されるキャパシタ素子であるキャパシタ C_p の追加により、半導体デバイス102のターンオン、ターンオフに係るスイッチング速度を高めることができるため、当該スイッチ

ング回路におけるスイッチング損失の低減が期待できる。

[0011] また、開示の技術の一形態においては、前記フェライトインダクタは、該フェライトインダクタに相当する等価回路であってもよい。これにより、抑制対象の発振ノイズの特性や回路規模等に応じて、フェライトインダクタをインダクタ素子および抵抗素子を用いて適宜に構成することができる。また、開示の技術の一形態においては、スイッチングデバイスは、少なくともSiC半導体、GaN半導体を含むワイドバンドギャップ半導体で構成されるようにしてもよい。これにより、SiC半導体、GaN半導体を含むワイドバンドギャップ半導体で構成されたスイッチングデバイスの、寄生容量に伴うミラーノイズを効果的に抑制することができる。

[0012] また、開示の技術の他の形態においては、請求項1から6の何れか一項に記載のスイッチング回路を構成に備える、ことを特徴とする電力変換器であってもよい。このような形態であっても、GND電位を介して発振ノイズが伝搬する伝搬経路の閉ループと、半導体デバイス102のターンオン、ターンオフに伴うミラーノイズの伝搬経路の閉ループとを分離できる。発振ノイズが伝搬する伝搬経路にフェライトビーズFBを配置し、ミラーノイズが伝搬する伝搬経路にはフェライトビーズFBを介在させず、当該ノイズを抑制するミラークランプ103が配置できる。これにより、GND電位を介して伝搬された発振ノイズをフェライトビーズFBのインダクタによって抑制し、ミラークランプ回路103の、接続点T3を介して伝搬されたミラーノイズの抑制効果を十分に高めることができる。

発明の効果

[0013] 本開示の形態によれば、半導体デバイスの発振ノイズを抑制するとともにミラーノイズの抑制を可能とする技術が提供できる。

図面の簡単な説明

[0014] [図1]本発明の前提になるスイッチング回路の発振を説明する回路図である。
[図2]本発明の前提になるスイッチング回路のフェライトビーズによる発振ノイズの抑制を説明する図である。

[図3]本発明の前提になるスイッチング回路におけるノイズの伝搬経路を説明する図である。

[図4]本発明の実施例に係るスイッチング回路の回路構成を示す回路図である。

[図5]本発明の実施例に係るスイッチング回路におけるノイズの伝搬経路を説明する図である。

[図6]本発明の実施例に係るスイッチング回路のターンオン時におけるミラーノイズ抑制の評価試験の結果を説明する図である。

[図7]本発明の比較形態に係るスイッチング回路のターンオン時におけるミラーノイズ抑制の評価試験の結果を説明する図である。

[図8]本発明の実施例に係るスイッチング回路のターンオフ時におけるミラーノイズ抑制の評価試験の結果を説明する図である。

[図9]本発明の比較形態に係るスイッチング回路のターンオフ時におけるミラーノイズ抑制の評価試験の結果を説明する図である。

[図10]本発明の変形例1に係るスイッチング回路の回路構成を示す回路図である。

[図11]本発明の変形例2に係るスイッチング回路の回路構成を示す回路図である。

[図12]本発明の変形例3に係るスイッチング回路の回路構成を示す回路図である。

[図13]本発明の変形例4に係るスイッチング回路の回路構成を示す回路図である。

発明を実施するための形態

[0015] 〔適用例〕

以下、本発明の適用例について、図面を参照しつつ説明する。

図4は、本発明の適用例に係るスイッチング回路100の回路構成を示す回路図である。本適用例に係るスイッチング回路100は、ミラーノイズを抑制するミラークランプ回路103を備えるゲートドライバ101と、発振

ノイズを抑制するフェライトビーズFBと、半導体デバイス102とを備える。ミラークランプ回路103は、寄生容量（キャパシタ C_{gd} 、 C_{gs} 、 C_{ds} ）にチャージされた電荷による電流をソース端子側にバイパスし、ミラーノイズによるゲート電位の上昇を抑制する回路である。本適用例に係るスイッチング回路100においては、ミラークランプ回路103の接続点T4は、半導体デバイス102のゲート端子Gと接続される接続点T3と接続されるように構成される。そして、本適用例に係るスイッチング回路100におけるフェライトビーズFBは、ゲートドライバ101の接続点T2と、ミラークランプ回路103が接続される接続点T3との間の経路上の、ゲートドライバ101の直近に設けられるように構成される。すなわち、フェライトビーズFBの一端はゲートドライバ101の接続点T2に接続され、他端は接続点T3に接続されている。

[0016] 図5から図9に示されるように、本適用例に係るスイッチング回路100は、GND電位を介して発振ノイズが伝搬する伝搬経路の閉ループと、半導体デバイス102のターンオン、ターンオフに伴うミラーノイズの伝搬経路の閉ループとを分離することができる。そして、発振ノイズが伝搬する伝搬経路にフェライトビーズFBを配置し、ミラーノイズが伝搬する伝搬経路にはフェライトビーズFBを介在させず、当該ノイズを抑制するミラークランプ103が配置できる。この結果、GND電位を介して伝搬された発振ノイズをフェライトビーズFBのインダクタによって抑制し、ミラークランプ回路103の、接続点T3を介して伝搬されたミラーノイズの抑制効果を十分に高めることができる。これにより、半導体デバイスの発振ノイズを抑制するとともにミラーノイズの抑制を可能とする技術が提供できる。

[0017] [実施例1]

以下では、本発明の具体的な実施の形態について、図面を用いて、より詳細に説明する。なお、以下に示す実施の形態の構成は例示であり、開示の技術は実施の形態の構成に限定されない。

[0018] <回路構成>

図1は、本発明の実施例の前提に係るスイッチング回路の発振を説明する図である。図1において、(a)には本実施例に係る発振抑制の対象となる回路構成(ゲートドライバ301、半導体デバイス302)を備えた発振評価用のスイッチング回路300が例示され、(b)にはスイッチング回路300で計測された発振の状況が例示されている。なお、スイッチング回路300の、本実施例に係る発振抑制の対象となる回路構成は、例えば、商用の電力系統に連系して運用される分散型電源システムにおけるパワーコンディショナ(PCS)等の電力変換器を構成する。電力変換器においては、例えば、蓄電池ユニットに蓄電された直流電力や太陽光発電によって発電された直流電力を商用の電力系統と同期のとれた交流電力に変換するための電力変換処理、電力系統等から供給された交流電力を直流電力に変換するための電力変換処理が行われる。

[0019] 図1(a)に示すように、発振評価用のスイッチング回路300は、ゲートドライバ301と、半導体デバイス302と、ゲート抵抗調整回路303で構成されている。ゲートドライバ301は、一端が制御電源 V_s の正極側に接続されるスイッチ素子 S_1 と、一端が制御電源 V_s の負極側(GND)に接続されるスイッチ素子 S_2 とを備え、スイッチ素子 S_1 の他端とスイッチ素子 S_2 の他端とは接続点 T_1 を介して接続されている。ゲートドライバ301は、PWM等の制御信号 V_{sig} にしたがってスイッチ素子 S_1 および S_2 を開閉させ、制御電源 V_s から印加された電圧に基づいて、半導体デバイスを駆動するためのゲート電圧 V_{gs} を生成する。ゲートドライバ301によって生成されたゲート電圧 V_{gs} は、接続点 T_1 とGNDとを介して半導体デバイス302のゲート端子G-ソース端子S間に印加される。

[0020] 半導体デバイス302は、大電力の高速スイッチングが可能なIGBT(Insulated Gate Bipolar Transistor; 絶縁型バイポーラトランジスタ)、ワイドバンドギャップ半導体(SiC(Silicon Carbide; 炭化ケイ素)半導体、GaN(Gallium Nitride; 窒化ガリウム)半導体)といったスイッチングデバイスである。本実施例においては、GaN半導体によるGIT(Gate In

jection Transistor) を半導体デバイス 302 として説明するが、半導体デバイス 302 は、例えば、窒化物半導体を用いた FET (Field Effect Transistor) や、炭化珪素を用いた MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) であってもよい。

[0021] 半導体デバイス 302 は、ゲート端子 G-ソース端子 S 間に印加されたゲート電圧 V_{gs} にしたがって、ドレイン端子 D-ソース端子 S 間を導通 (ターンオン)、開放 (ターンオフ) させる。例えば、半導体デバイス 302 は、ゲート電圧 V_{gs} が所定の閾値を超えるハイステータスのときには、ドレイン端子 D-ソース端子 S を導通させ、ゲート電圧 V_{gs} が所定の閾値以下のローステータスのときにはドレイン端子 D-ソース端子 S を開放させる。半導体デバイス 302 においては、ゲート電圧 V_{gs} のステータスに応じてドレイン端子 D-ソース端子 S 間を流れるドレイン電流 I_d が制御される。

[0022] なお、図 1 (a) において、ゲート端子 G-ソース端子 S 間に接続されたダイオード D1 は半導体デバイスの寄生ダイオードであり、ダイオード D1 のアノードはゲート端子 G、カソードはソース端子 S に接続されている。また、キャパシタ C_{gd} 、 C_{gs} 、 C_{ds} は、それぞれゲート端子 G-ドレイン端子 D 間の寄生容量、ゲート端子 G-ソース端子 S 間の寄生容量、ドレイン端子 D-ソース端子 S 間の寄生容量を表す。これらの寄生容量が、半導体デバイス 302 の発振ノイズの要因となる。

[0023] ゲート抵抗調整回路 303 は、抵抗 R_p と、抵抗 R_{goff} と、ダイオード D_p とにより構成されている。直列に接続された抵抗 R_{goff} とダイオード D_p とは、抵抗 R_p に並列して接続されている。ダイオード D_p のカソードと抵抗 R_p の一端とが接続されたゲート抵抗調整回路 303 の入力端は、ゲートドライバ 301 の接続点 T1 に接続されている。また、ダイオード D_p のアノードに一端が接続された抵抗 R_{goff} の他端と、抵抗 R_p の他端とが接続されたゲート抵抗調整回路 303 の出力端は、半導体デバイス 302 のゲート端子 G に接続されている。

[0024] 発振評価用のスイッチング回路 300 においては、抵抗 R_p の抵抗値を 1

、 $5\text{ k}\Omega$ 、抵抗 R_{goff} の抵抗値を 22Ω とすることで、ゲートドライバ301および半導体デバイス302間のゲート電圧 V_{gs} が印加される経路における抵抗値（ゲート抵抗値）を $1.5\text{ k}\Omega$ に調整して半導体デバイス302の発振評価を行った。なお、発振評価においては、半導体デバイス302のドレイン端子Dには評価用電源 V_{in} の正極側を接続させ、ソース端子Sには評価用電源 V_{in} の負極側を接続させて、ドレイン端子D－ソース端子S間に 100 VDC の電圧を印加した。そして、ゲートドライバ301から半導体デバイス302のゲート端子Gに印加される評価信号のパルス幅を $2\mu\text{sec}$ のシングルパルスとして、スイッチング動作に係る電流変動および電圧変動を計測した。本実施例においては、スイッチング動作に係る電流変動および電圧変動として、半導体デバイス302のゲート電圧 V_{gs} 、ドレイン端子D－ソース端子S間に掛かる電圧（端子間電圧） V_{ds} 、ドレイン電流 I_{ds} 、ゲート電流 I_{g} が計測される。

[0025] 図1(b)において、縦軸は計測された電流変動、電圧変動の相対的な大きさを表し、横軸は時間を表す。また、グラフG1はゲート電圧 V_{gs} 、グラフG2はドレイン電流 I_{ds} 、グラフG3は端子間電圧 V_{ds} 、グラフG4はゲート電流 I_{g} の推移を表す。矩形枠で囲まれたTは、ゲート端子Gに印加される評価信号の立ち上がりを表す。図1(b)に示されるように、評価信号の立ち上がりとともに、グラフG4に示されるゲート電流 I_{g} が急峻に立ち上がり、半導体デバイス302のゲート端子G－GND間に流れ込むことがわかる。そしてグラフG1、G2に示されるようにゲート電圧 V_{gs} が所定の閾値を超えると半導体デバイス302がターンオンして、ドレイン端子D－ソース端子S間にドレイン電流 I_{ds} が流れ込むことがわかる。そして、グラフG1に示されるように、半導体デバイス302のターンオンを契機として寄生容量に起因する高周波の発振ノイズが重畳しゲート電圧 V_{gs} が大きく変動していることがわかる。ゲート電圧 V_{gs} の変動幅は、評価信号が入力される前の電位状態（矩形枠1）から相対的に負側に大きく振れていることがわかる。

[0026] 図2は、フェライトビーズを用いた発振ノイズの抑制を説明する図である。図2(a)には、フェライトビーズFBを備えた評価用のスイッチング回路300が例示される。図2(a)に示す形態は、破線の矩形枠304に示されるように、図1(a)の回路構成に対して、半導体デバイス302のソース端子Sとゲートドライバ301のスイッチ素子S2とが接続されるGND電位側の経路にフェライトビーズFBを挿入させた形態である。すなわち、フェライトビーズFBの一端はゲートドライバ301のスイッチ素子S2のGND側の接続点に接続され、他端は半導体デバイス302のソース端子Sに接続される。フェライトビーズFBは、高周波域のインピーダンスを高めるインダクタとして機能することでゲート電圧 V_{gs} に重畳するノイズを抑制し、半導体デバイス302のゲート端子G-ソース端子S間に印加されたゲート電圧の急峻な変動を抑制する。本実施例では、フェライトビーズFBを発振ノイズを抑制するためのインダクタとして説明するが、このようなインダクタは中空筒型のフェライトコア構造のインダクタであってもよく、インダクタLと抵抗Rから構成されるフェライトビーズFBの等価回路構成であってもよい。

[0027] 図2(b)には、フェライトビーズFBをGND側の経路に備えたスイッチング回路300における発振の評価状況が例示される。なお、評価測定に関する条件は図1と同様である。図2(b)において、縦軸は計測された電流変動、電圧変動の相対的な大きさを表し、横軸は時間を表す。また、矩形枠で囲まれたTは、ゲート端子Gに印加される評価信号の立ち上がりを表す。そして、グラフG5はゲート電圧 V_{gs} 、グラフG6はドレイン電流 I_{ds} 、グラフG7は端子間電圧 V_{ds} の推移を表す。グラフG5に示されるように、ゲート電圧 V_{gs} は、半導体デバイス302のターンオンを契機として寄生容量に起因する高周波の発振ノイズが抑制されていることがわかる。ゲート電圧 V_{gs} の変動幅は、評価信号が入力される前の電位状態(矩形枠1)に対して負側に振れることがなく推移していることがわかる。

[0028] 図1、図2を用いて説明したように、スイッチング回路300においては

、半導体デバイス302の寄生容量に起因する高周波域の発振ノイズを抑制するため、インピーダンスを高めるインダクタとしてのフェライトビーズFBを設けることが効果的であることがわかる。しかしながら、フェライトビーズFBの追加により、半導体デバイス302のターンオン、ターンオフに伴って寄生容量（キャパシタ C_{gd} 、 C_{gs} 、 C_{ds} ）にチャージされた電荷が増幅され、スイッチング動作に伴うノイズ（ミラーノイズ）が増大する場合があった。ミラーノイズの増加は、スイッチング速度の高速化に伴って顕著になり、例えば、ゲート端子に印加される電圧を上昇させ、半導体デバイスの誤動作や、ハーフブリッジ回路やフルブリッジ回路を構成する他のスイッチングデバイスの破壊（例えば、アーム破壊等）を生ずる虞がある。

[0029] 図3は、スイッチング回路300におけるノイズの伝搬経路を説明する図である。図3において、太線矢印Z11で示される経路は、発振ノイズの伝搬経路を表し、太破線矢印Z12で示される経路はミラーノイズの伝搬経路を表す。なお、図3に例示のスイッチング回路300においては、フェライトビーズFBは、ゲートドライバ301の接続点T1と半導体デバイス302のゲート端子Gとが接続される配線経路の、ゲート端子直近に設けられている。

[0030] 太線矢印Z11で示されるように、発振ノイズはゲートドライバ301と半導体デバイス302との間のGND電位の経路を介して伝搬され、制御電源 V_s →ゲートドライバ301→フェライトビーズFB→ゲート端子G→ソース端子S→制御電源 V_s で構成される伝搬経路の閉ループを構成することになる。太線矢印Z11で示される閉ループにおいては、フェライトビーズFBによるインダクタが発振ノイズに対するインピーダンスを高めるように機能するため、当該発振ノイズが抑制される。

[0031] しかしながら、ミラーノイズは半導体デバイス302の寄生容量（キャパシタ C_{gd} 、 C_{gs} 、 C_{ds} ）に起因するものであり、当該寄生容量にチャージされた電荷が半導体デバイス302のターンオン、ターンオフに伴って伝搬することになる。このため、太破線矢印Z12で示されるように、ゲー

トドライバ301（接続点T1）→フェライトビーズFB→ゲート端子G→ソース端子S→ゲートドライバ301（GND側スイッチ素子S2）→ゲートドライバ301（接続点T1）で構成されるミラーノイズの伝搬経路の閉ループを構成することになる。

[0032] 図3に示されるスイッチング回路300においては、ミラーノイズは、半導体デバイス302のターンオン、ターンオフに伴って太破線矢印Z12で示される閉ループを双方向に伝搬することになる。このため、寄生容量（キャパシタCgd、Cgs、Cds）にチャージされた電荷は、フェライトビーズFBのインダクタを介して増幅されることになり、半導体デバイス302のターンオン、ターンオフに伴うミラーノイズが増加することになる。

[0033] <実施例1の回路構成>

図4は、本実施例に係るスイッチング回路100の回路構成を示す回路図である。本実施例に係るスイッチング回路100は、ミラーノイズを抑制するミラークランプ回路103を備えるゲートドライバ101と、発振ノイズを抑制するフェライトビーズFBと、半導体デバイス102とを備える。ここで、ミラークランプ回路103は、寄生容量（キャパシタCgd、Cgs、Cds）にチャージされた電荷による電流をソース端子側にバイパスし、ミラーノイズによるゲート電位の上昇を抑制する回路である。本実施例に係るスイッチング回路100においては、ミラークランプ回路103の接続点T4は、半導体デバイス102のゲート端子Gと接続される接続点T3と接続されるように構成される。そして、本実施例に係るスイッチング回路100におけるフェライトビーズFBは、ゲートドライバ101の接続点T2と、ミラークランプ回路103が接続される接続点T3との間の経路上の、ゲートドライバ101の直近に設けられるように構成される。すなわち、フェライトビーズFBの一端はゲートドライバ101の接続点T2に接続され、他端は接続点T3に接続されている。

なお、本実施例に係るスイッチング回路100において、ゲートドライバ101は「駆動回路」の一例に相当し、半導体デバイス102は「スイッチ

ングデバイス」の一例に相当する。同様にして、ミラークランプ回路103は「クランプ回路」の一例に相当し、フェライトビーズFBは「フェライトインダクタ」の一例に相当する。また、本実施例に係るゲートドライバ101の接続点T2は、「出力端」の一例に相当し、フェライトビーズFBの他端が接続される接続点T3は、「接続点」の一例に相当する。

[0034] 本実施例に係るスイッチング回路100は、図4に示す回路構成により、GND電位を介して発振ノイズが伝搬する伝搬経路の閉ループと、半導体デバイス102のターンオン、ターンオフに伴うミラーノイズの伝搬経路の閉ループとを分離することが可能になる。本実施例に係るスイッチング回路100によれば、GND電位を介して伝搬された発振ノイズをフェライトビーズFBのインダクタによって抑制し、接続点T3を介して接続されたミラークランプ回路103によって伝搬されたミラーノイズを抑制することが可能になる。

[0035] 図5は、本実施例に係るスイッチング回路100におけるノイズの伝搬経路を説明する図である。図5(a)には、スイッチング回路100の伝搬経路を説明する図が例示され、図5(b)、図5(c)には、フェライトビーズFBの配置位置が異なるスイッチング回路200a、200bにおける伝搬経路を説明する図が例示されている。図5(a)、(b)、(c)において、太線矢印(Z1、Z3、Z5)のそれぞれは、各スイッチング回路における発振ノイズの伝搬経路を表し、太破線矢印(Z2、Z4、Z6)のそれぞれは、各スイッチング回路におけるミラーノイズの伝搬経路を表す。

[0036] 本実施例に係るスイッチング回路100では、太線矢印Z1で示されるように、発振ノイズはゲートドライバ101と半導体デバイス102との間のGND電位の経路を介して伝搬され、制御電源Vs→ゲートドライバ101(接続点T2)→フェライトビーズFB→接続点T3→ゲート端子G→ソース端子S→制御電源Vsで構成される伝搬経路の閉ループが構成される。そして、太破線矢印Z2で示されるように、ミラーノイズの伝搬経路は、ゲート端子G→接続点T3→接続点T4→ミラークランプ回路103→ソース端

子S→ゲート端子Gで構成される閉ループとなる。本実施例に係るスイッチング回路100では、ミラーノイズが伝搬する閉ループの経路内にフェライトビーズFBは存在しない。このため、半導体デバイス102においては、図3に示す半導体デバイス302のように、寄生容量（キャパシタ C_{gd} 、 C_{gs} 、 C_{ds} ）にチャージされた電荷がフェライトビーズFBのインダクタを介して増幅されることはない。スイッチング回路100においては、発振ノイズの抑制とミラーノイズの抑制との両立が可能になる。

[0037] 図5（b）におけるスイッチング回路200aでは、発振ノイズを抑制するためのフェライトビーズFBが、接続点T3とゲート端子Gとの間の配線経路上に設けられている。スイッチング回路200aでは、太線矢印Z3で示されるように、発振ノイズはゲートドライバ101と半導体デバイス102との間のGND電位の経路を介して伝搬され、制御電源 V_s →ゲートドライバ101（接続点T2）→フェライトビーズFB→ゲート端子G→ソース端子S→制御電源 V_s で構成される伝搬経路の閉ループが構成される。しかし、太破線矢印Z4で示されるように、ミラーノイズの伝搬経路は、ゲート端子G→フェライトビーズFB→接続点T3→接続点T4→ミラークランプ回路103→ソース端子S→ゲート端子Gで構成される閉ループとなり、ミラーノイズが伝搬する閉ループの経路内にフェライトビーズFBが含まれることになる。このため、フェライトビーズFBが接続点T3とゲート端子Gとの間の経路上に設けられる場合には、ミラークランプ回路103によるノイズ抑制効果はある程度は得られるものの、半導体デバイス102の寄生容量（キャパシタ C_{gd} 、 C_{gs} 、 C_{ds} ）にチャージされた電荷がフェライトビーズFBのインダクタを介して増幅されてしまい、十分な抑制効果は得られないことになる。

[0038] 図5（c）におけるスイッチング回路200bでは、発振ノイズを抑制するためのフェライトビーズFBが、ミラークランプ回路103のGND電位側とソース端子Sとの間の経路上に設けられている。スイッチング回路200bでは、太線矢印Z5で示されるように、発振ノイズはゲートドライバ1

01と半導体デバイス102との間のGND電位の経路を介して伝搬され、制御電源 V_s →ゲートドライバ101（接続点T2）→ゲート端子G→ソース端子S→フェライトビーズFB→制御電源 V_s で構成される閉ループの伝搬経路が構成される。しかし、太破線矢印Z6で示されるように、ミラーノイズの伝搬経路は、ゲート端子G→接続点T3→接続点T4→ミラークランプ回路103→フェライトビーズFB→ソース端子S→ゲート端子Gで構成される閉ループとなり、ミラーノイズが伝搬する閉ループの経路内にフェライトビーズFBが含まれることになる。このため、スイッチング回路200bにおいても、ミラークランプ回路103によるノイズ抑制効果はある程度は得られるものの、半導体デバイス102の寄生容量（キャパシタ C_{gd} 、 C_{gs} 、 C_{ds} ）にチャージされた電荷がフェライトビーズFBのインダクタを介して増幅されてしまい、十分な抑制効果は期待できない。

[0039] 図4に戻り、ゲートドライバ101は、一端が制御電源 V_s の正極側に接続されるスイッチ素子S3と、一端が制御電源 V_s の負極側（GND）に接続されるスイッチ素子S4とを備え、スイッチ素子S3の他端とスイッチ素子S4の他端とは接続点T2を介して接続されている。ゲートドライバ101は、PWM等の制御信号 V_{sig} にしたがってスイッチ素子S3およびS4を開閉させ、制御電源 V_s から印加された電圧に基づいて、半導体デバイスを駆動するためのゲート電圧 V_{gs} を生成する。ゲートドライバ101によって生成されたゲート電圧 V_{gs} は、接続点T2と一端が接続されたフェライトビーズFBと、GNDとを介して半導体デバイス102のゲート端子G-ソース端子S間に印加される。本実施例において、スイッチ素子S3は「第1スイッチ素子」の一例に相当し、スイッチ素子S4は「第2スイッチ素子」の一例に相当する。なお、半導体デバイス102は、半導体デバイス302と同様の回路構成を備えるスイッチングデバイスであるため、説明は省略される。

[0040] ミラークランプ回路103は、内部基準電位 V_{th} と、コンパレータCOMと、クランプロジック103aと、N型のMOSFETであるトランジス

タ Q_s とを含み構成される。なお、ミラークランプ回路103は、ゲートドライバ101の外部に設けられてもよい。また、トランジスタ Q_s はP型のMOSFETなど他スイッチに代替してもよい。

[0041] ミラークランプ回路103において、コンパレータCOMの反転入力端子(−)には、内部基準電位 V_{th} が信号源として入力される。また、コンパレータCOMの非反転入力端子(+)には、接続点T4を介して伝搬されたゲート電圧 V_{gs} が入力される。コンパレータCOMは、反転入力端子(−)に入力された内部基準電位 V_{th} と非反転入力端子(+)に入力されたゲート電圧 V_{gs} との比較を行い、比較結果をクランプロジック103aに出力する。クランプロジック103aは、コンパレータCOMから出力された比較結果に基づいてトランジスタ Q_s のゲート電圧を制御し、ドレイン−ソース間の導通または開放を制御する。トランジスタ Q_s のドレインには接続点T4が接続され、ソースにはGND電位が接続される。ミラークランプ回路103においては、例えば、スイッチ素子S4がオン状態(閉状態)のタイミングでトランジスタ Q_s のドレイン−ソース間が導通するようにゲート電圧が制御される。この結果、半導体デバイス102の寄生容量(キャパシタ C_{gd} 、 C_{gs} 、 C_{ds})にチャージされた電荷に起因する、ターンオン、ターンオフに伴うミラーノイズが抑制される。本実施例に係るミラークランプ回路103において、GND電位は「基準電位」の一例に相当し、当該内部基準電位 V_{th} は「閾値電位」の一例に相当する。同様にして、ミラークランプ回路103のトランジスタ Q_s は、「駆動回路の基準電位と接続点との間を導通させる第3スイッチ素子」の一例に相当する。

[0042] <ミラーノイズの抑制評価>

次に、本実施例に係るスイッチング回路100を用いたミラーノイズ抑制の評価試験の結果を図6から図9を用いて説明する。評価試験においては、相対的な評価を行うため、図5(c)に例示のスイッチング回路200b、すなわち、発振ノイズを抑制するためのフェライトビーズFBが、ミラークランプ回路103のGND電位側とソース端子Sとの間の経路上に設けられ

た形態を対象として比較評価試験を行った。評価条件は、半導体デバイス102のドレイン端子Dーソース端子S間に印加される入力電圧を50V、半導体デバイス102のスイッチング動作（ターンオン、ターンオフ）によって生成される出力電圧を90V、スイッチング周波数を50kHzとして、ターンオンおよびターンオフに伴うミラーノイズによる電圧変動を計測した。本実施例においては、ミラーノイズによる電圧変動として、ドレイン端子Dーソース端子S間に掛かる電圧（端子間電圧） V_{ds} 、ゲート電圧 V_{gs} が計測される。

[0043] 先ず、ターンオン時の試験結果を説明する。図6は、本実施例に係るスイッチング回路100よるターンオン時の評価試験の結果を説明する図である。図6(a)には、スイッチング回路100#1の回路構成が例示され、図6(b)には、上述した評価条件で計測された端子間電圧 V_{ds} 、ゲート電圧 V_{gs} に対するミラーノイズの状況が例示されている。

[0044] 図6(a)において、回路104、105は、ゲート抵抗調整回路である。回路104は、抵抗 R_p 、 R_{gon} 、 R_{goff} 、キャパシタ C_p 、ダイオード D_p により構成され、ゲートドライバ101の直近に設けられたフェライトビーズFBと、半導体デバイス102のゲート端子Gとの間に設けられる。回路105は、抵抗 R_s 、キャパシタ C_s により構成され、半導体デバイス102のソース端子Sとゲートドライバ101との間のGND電位の経路に設けられる。なお、図6(a)において、一点鎖線矢印は、半導体デバイス102のターンオン時における、ドレイン端子Dーゲート端子Gを介して伝搬されるミラーノイズの伝搬経路を表す。

[0045] 図6(b)において、縦軸は計測された電圧変動の相対的な大きさを表し、横軸は時間を表す。また、矩形枠1で示されるグラフは、半導体デバイスのターンオン時にドレイン端子Dーソース端子S間に掛かる電圧（端子間電圧） V_{ds} の推移を表し、同様にして、矩形枠2で示されるグラフはゲート電圧 V_{gs} の推移を表す。

[0046] 図6(b)の太線丸囲みで示される領域には、ミラーノイズによるゲート

電圧 V_{gs} の推移が例示されている。太線丸囲み内のゲート電圧 V_{gs} の推移に示されるように、ミラーノイズによる電圧変動幅は最小限に抑制されていることがわかる。本実施例におけるスイッチング回路 100 においては、フェライトビーズ FB はゲートドライバ 101 の出力端（接続点 T2）直近に設けられ、フェライトビーズ FB とゲート端子 G 間の接続経路上の接続点 T3 とミラークランプ回路 103 の接続点 T4 が接続される。そして、接続点 T3 を介して伝搬されたミラーノイズは、ゲートドライバ 101 に設けられたミラークランプ回路 103 のトランジスタ Q_s を経由して、半導体デバイス 102 のソース端子 S が接続される GND 電位に伝搬する。ミラーノイズが伝搬する経路（一点鎖線矢印）には、フェライトビーズ FB が存在しないため、ミラークランプ回路 103 による抑制効果を奏することができる。図 6 (b) の太線丸囲みで示されるように、ミラーノイズによるゲート電圧 V_{gs} への影響（ゲート電圧の変動幅）が最小限に抑制されているため、ゲート電圧 V_{gs} の上昇による誤動作等を防止することができる。

[0047] 図 7 は、スイッチング回路 200b によるターンオン時の評価試験の結果を説明する図である。図 7 (a) には、スイッチング回路 200b #1 の回路構成が例示され、図 7 (b) には、上述した評価条件で計測された端子間電圧 V_{ds} 、ゲート電圧 V_{gs} に対するミラーノイズの状況が例示されている。なお、スイッチング回路 200b #1 に設けられた回路 104、105 は、スイッチング回路 100 #1 の回路 104、105 と同様である。回路 105 は、フェライトビーズ FB と半導体デバイス 102 のソース端子 S との間の GND 電位の経路に設けられる。図 7 (a) の一点鎖線矢印は、半導体デバイス 102 のターンオン時における、ドレイン端子 D - ゲート端子 G を介して伝搬されるミラーノイズの伝搬経路を表し、図 7 (b) の縦軸は計測された電圧変動の相対的な大きさを表し、横軸は時間を表す。図 6 (b) と同様にして、矩形枠 1 で示されるグラフは、半導体デバイスのターンオン時にドレイン端子 D - ソース端子 S 間に掛かる電圧（端子間電圧） V_{ds} の推移を表し、矩形枠 2 で示されるグラフはゲート電圧 V_{gs} の推移を表す。

[0048] 図7 (b) において、ミラーノイズによるゲート電圧 V_{gs} の推移が太線丸囲みで示される領域に示されている。スイッチング回路 200b においては、既に説明したように、発振ノイズを抑制するためのフェライトビーズ FB が、ミラークランプ回路 103 の GND 電位側とソース端子 S との間の経路上に設けられている。接続点 T3 を介して伝搬されたミラーノイズは、ゲートドライバ 101 に設けられたミラークランプ回路 103 のトランジスタ Q_s 、フェライトビーズ FB を経由して、半導体デバイス 102 のソース端子 S が接続される GND 電位に伝搬する。ミラークランプ回路 103 で電圧変動幅が一旦抑制されたミラーノイズはフェライトビーズ FB のインダクタによって増加され、半導体デバイス 102 のソース端子 S が接続される GND 電位に伝搬することになる。このため、図7 (b) の太線丸囲み内のゲート電圧 V_{gs} の推移に示されるように、ミラーノイズによる電圧変動幅は、図6 (b) の太線丸囲み内のゲート電圧 V_{gs} の推移に示される電圧変動幅と比較して相対的に大きいことがわかる。発振ノイズを抑制するためのフェライトビーズ FB がミラークランプ回路 103 の GND 電位側とソース端子 S との間の経路上に存在する形態では、ターンオン時における十分なミラーノイズの抑制効果が得られないことがわかる。

[0049] 次に、ターンオフ時の試験結果を説明する。図8は、本実施例に係るスイッチング回路 100 のターンオフ時における評価試験の結果を説明する図である。図8 (a) には、図6 (a) と同様のスイッチング回路 100 #1 の回路構成が例示され、図8 (b) には、上述した評価条件で計測された端子間電圧 V_{ds} 、ゲート電圧 V_{gs} に対するミラーノイズの状況が例示されている。図8 (a) における一点鎖線矢印は、半導体デバイス 102 のターンオフ時の、ドレイン端子 D - ゲート端子 G を介して伝搬されるミラーノイズの伝搬経路を表す。また、図8 (b) の縦軸は計測された電圧変動の相対的な大きさ、横軸は時間を表し、矩形枠 1 で示されるグラフは、半導体デバイスのターンオフ時にドレイン端子 D - ソース端子 S 間に掛かる電圧 (端子間電圧) V_{ds} の推移を表す。同様にして、矩形枠 2 で示されるグラフはゲ-

ト電圧 V_{gs} の推移を表す。

[0050] 図8 (b) の太線丸囲みで示される領域には、ターンオフ時におけるミラーノイズによるゲート電圧 V_{gs} の推移が例示されている。太線丸囲み内のゲート電圧 V_{gs} の推移に示されるように、ターンオフ時においてもミラーノイズによる電圧変動幅は最小限に抑制されていることがわかる。接続点 T3 を介して分岐された、ミラーノイズが伝搬する経路（一点鎖線矢印）にはフェライトビーズ FB が存在しないため、経路上に設けられたミラークランプ回路 103 の抑制効果を十分に奏することができるからである。

[0051] 図9 は、スイッチング回路 200b よるターンオフ時の評価試験の結果を説明する図である。図9 (a) には、スイッチング回路 200b #1 の回路構成が例示され、図9 (b) には、上述した評価条件で計測された端子間電圧 V_{ds} 、ゲート電圧 V_{gs} に対するミラーノイズの状況が例示されている。図9 (a) の一点鎖線矢印、図9 (b) の縦軸および横軸、矩形枠 1、2 は、図8 と同様である。

[0052] 図9 (b) において、太線丸囲みで示される領域には、ターンオフ時におけるミラーノイズによるゲート電圧 V_{gs} の推移が例示されている。図9 (b) の太線丸囲み内のゲート電圧 V_{gs} の推移に示されるように、ミラーノイズによる電圧変動幅は、図8 (b) の太線丸囲み内のゲート電圧 V_{gs} の推移に示される電圧変動幅と比較して相対的に大きいことがわかる。発振ノイズを抑制するためのフェライトビーズ FB がミラークランプ回路 103 の GND 電位側とソース端子 S との間の経路上に存在するため、ターンオン時と同様にして、十分なミラーノイズの抑制効果が得られないからである。

[0053] 以上、説明したように、本実施例に係るスイッチング回路 100 においては、ゲートドライバ 101 の直近にフェライトビーズ FB を設け、フェライトビーズ FB と半導体デバイス 102 のゲート端子 G とが接続される経路上の接続点 T3 と、ミラークランプ回路 103 の入力端（接続点 T4）とが接続されるように構成することができる。本実施例に係るスイッチング回路 100 では、GND 電位を介して発振ノイズが伝搬する伝搬経路の閉ループと

、半導体デバイス102のターンオン、ターンオフに伴うミラーノイズの伝搬経路の閉ループとを分離することが可能になる。この結果、GND電位を介して伝搬された発振ノイズをフェライトビーズFBのインダクタによって抑制し、接続点T3を介して接続されたミラークランプ回路103によって伝搬されたミラーノイズの抑制効果を十分に高めることができる。本実施例に係るスイッチング回路100によれば、半導体デバイスの発振ノイズを抑制するとともにミラーノイズの抑制を可能とする技術が提供できる。

[0054] <変形例1>

図10は、変形例1に係るスイッチング回路100aの回路構成を示す回路図である。変形例1に係るスイッチング回路100aは、フェライトビーズFBと直列に接続されるゲート抵抗Rgを回路構成に備える形態である。すなわち、ゲートドライバ101の直近に設けられたフェライトビーズFBの一端はゲートドライバ101の接続点T2に接続され、他端はゲート抵抗Rgの一端に接続される。ゲート抵抗Rgの他端は、ゲート端子Gと接続される経路に設けられた接続点T3と接続される。このため、変形例1においても実施例1のスイッチング回路100と同様の効果を奏することができる。そして、変形例1では、ゲート抵抗Rgの追加により、ゲート端子Gに印加されるゲート電圧の立ち上がり時間（スルーレート）を変更することが可能になるため、半導体デバイス102におけるターンオン、ターンオフに係るスイッチング速度を変更することができる。ゲート電圧の立ち上がり時間の変更により、半導体デバイス102のターンオン、ターンオフに伴うスイッチングノイズ（ミラーノイズ）の低減が期待できる。

[0055] <変形例2>

変形例1に係るスイッチング回路100aにおいて、フェライトビーズFBと直列接続されるゲート抵抗Rgの位置は、ゲートドライバ101側に設けられてもよい。図11は、変形例2に係るスイッチング回路100bの回路構成を示す回路図である。変形例2に係るスイッチング回路100bにおいて、ゲート抵抗Rgの一端はゲートドライバ101の接続点T2に接続さ

れ、他端はフェライトビーズの一端に接続される。フェライトビーズFBの他端は、ゲート端子Gと接続される経路に設けられた接続点T3と接続される。図11に示すスイッチング回路100bの形態においても、変形例1と同様の効果を奏することができる。変形例1および2において、ゲート抵抗Rgは「抵抗素子」の一例に相当する。

[0056] <変形例3>

図12は、変形例3に係るスイッチング回路100cの回路構成を示す回路図である。変形例3に係るスイッチング回路100cは、変形例1に係るスイッチング回路100aの回路構成にショットキーダイオードDsをさらに備える形態である。なお、図12においては、変形例1に係るスイッチング回路100aの回路構成にショットキーダイオードDs備える形態が例示されるが、変形例2に係るスイッチング回路100bの回路構成にショットキーダイオードDs備える形態であってもよい。図12に示すように、ショットキーダイオードDsは、接続点T3とGND電位との間に設けられ、ショットキーダイオードDsのアノードはGND電位、カソードは接続点T3に接続される。このような回路構成により、スイッチングノイズ（ミラーノイズ）が伝搬する電流経路のインピーダンスが低減できるため、半導体デバイス102のターンオン、ターンオフに伴うスイッチングノイズ（ミラーノイズ）の低減効果をさらに向上できる。なお、ショットキーダイオードDsのカソードの接続位置は、接続点T3と接続点T4とが接続される経路であってもよい。変形例3において、ショットキーダイオードDsは「ダイオード素子」の一例に相当する。

[0057] <変形例4>

図13は、変形例4に係るスイッチング回路100dの回路構成を示す回路図である。変形例4に係るスイッチング回路100dは、変形例3に係るスイッチング回路100cの回路構成にキャパシタCpをさらに備える形態である。図12に示すように、キャパシタCpは、一端がフェライトビーズFBとゲート抵抗Rgとの接続点T5に接続され、他端は接続点T3に接続

される。ゲート抵抗 R_g に並列して接続されるキャパシタ C_p の追加により、半導体デバイス102のターンオン、ターンオフに係るスイッチング速度を高めることができるため、当該スイッチング回路におけるスイッチング損失の低減が期待できる。変形例4において、キャパシタ C_p は「キャパシタ素子」の一例に相当する。

[0058] (その他)

上記の実施形態はあくまでも一例であって、本実施の形態の開示はその要旨を逸脱しない範囲内で適宜変更して実施し得る。本開示において説明した処理や手段は、技術的な矛盾が生じない限りにおいて、自由に組合せて実施することができる。

[0059] また、1つの回路、装置が行うものとして説明した処理が、複数の回路、装置によって分担して実行されてもよい。あるいは、異なる回路、装置が行うものとして説明した処理が、1つの回路、装置によって実行されても構わない。

[0060] なお、以下には本発明の構成要件と実施例の構成とを対比可能とするために、本発明の構成要件を図面の符号付きで記載しておく。

<発明1>

ゲート端子(102、G)とソース端子(102、S)との間に印加された電圧に基づいて、ドレイン端子(102、D)とソース端子(102、S)との間の状態を導通または開放させるスイッチングデバイス(102)と、

一端が制御電源(V_s)の正極側に接続され、他端が出力端(101、T2)に接続される第1スイッチ素子(101、S3)と、一端が前記出力端(101、T2)に接続され、他端が前記制御電源(V_s)の負極側が接続された基準電位(GND)に接続される第2スイッチ素子(101、S4)とを備え、所定の制御信号(V_{sig})にしたがって前記第1スイッチ素子(101、S3)および前記第2スイッチ素子(101、S4)を開閉させ、前記スイッチングデバイス(102)を駆動する駆動電圧(V_{gs})を生

成するとともに、前記生成された駆動電圧 (V_{gs}) を前記出力端 (101、T2) を介して前記スイッチングデバイス (102) のゲート端子 (102、G) に出力する駆動回路 (101) と、

前記駆動回路 (101) の基準電位 (GND) に基づいて生成された閾値電位 (V_{th}) と、前記駆動回路 (101) の出力端 (101、T2) と前記スイッチングデバイス (102) のゲート端子 (G) とが接続される経路の接続点 (T3) における電位との比較結果に基づいて、前記駆動回路 (101) の基準電位 (GND) と前記接続点 (T3) との間を導通させる第3スイッチ素子 (103、 Q_s) を有するクランプ回路 (103) と、

前記駆動回路 (101) の出力端 (101、T2) の直近に設けられ、一端が前記出力端に (101、T2) 接続され他端が前記接続点 (T3) に接続されるフェライトインダクタ (FB) と、

を備えることを特徴とするスイッチング回路。(100)。

符号の説明

- [0061] 100、100a、100b、100c、100d、100#1、200a、200b、200ba#1、300 スイッチング回路
 101、301 ゲートドライバ
 102、302 半導体デバイス (スイッチングデバイス)
 103 ミラークランプ回路
 104、105、303 ゲート抵抗調整回路
 FB フェライトビーズ
 T2、T3、T4、T5 接続点
 D1 寄生ダイオード
 D_s ショットキーダイオード
 Q_s トランジスタ (第3スイッチ素子)
 R_g ゲート抵抗
 C_p キャパシタ
 C_{gd} 、 C_{gs} 、 C_{ds} キャパシタ (寄生容量)

請求の範囲

- [請求項1] ゲート端子とソース端子との間に印加された電圧に基づいて、ドレイン端子とソース端子との間の状態を導通または開放させるスイッチングデバイスと、
- 一端が制御電源の正極側に接続され、他端が出力端に接続される第1スイッチ素子と、一端が前記出力端に接続され、他端が前記制御電源の負極側が接続された基準電位に接続される第2スイッチ素子とを備え、所定の制御信号にしたがって前記第1スイッチ素子および前記第2スイッチ素子を開閉させ、前記スイッチングデバイスを駆動する駆動電圧を生成するとともに、前記生成された駆動電圧を前記出力端を介して前記スイッチングデバイスのゲート端子に出力する駆動回路と、
- 前記駆動回路の基準電位に基づいて生成された閾値電位と、前記駆動回路の出力端と前記スイッチングデバイスのゲート端子とが接続される経路の接続点における電位との比較結果に基づいて、前記駆動回路の基準電位と前記接続点との間を導通させる第3スイッチ素子を有するクランプ回路と、
- 前記駆動回路の出力端の直近に設けられ、一端が前記出力端に接続され他端が前記接続点に接続されるフェライトインダクタと、
- を備えることを特徴とするスイッチング回路。
- [請求項2] 前記駆動回路の出力端と前記接続点との間に、前記フェライトインダクタと直列に接続される抵抗素子をさらに備える、請求項1に記載のスイッチング回路。
- [請求項3] アノードが前記駆動回路の基準電位に接続され、カソードが前記接続点に接続されるダイオード素子をさらに備える、請求項1または2に記載のスイッチング回路。
- [請求項4] フェライトインダクタと直列に接続される抵抗素子には、キャパシタ素子が並列して接続される、請求項2または3に記載のスイッチン

グ回路。

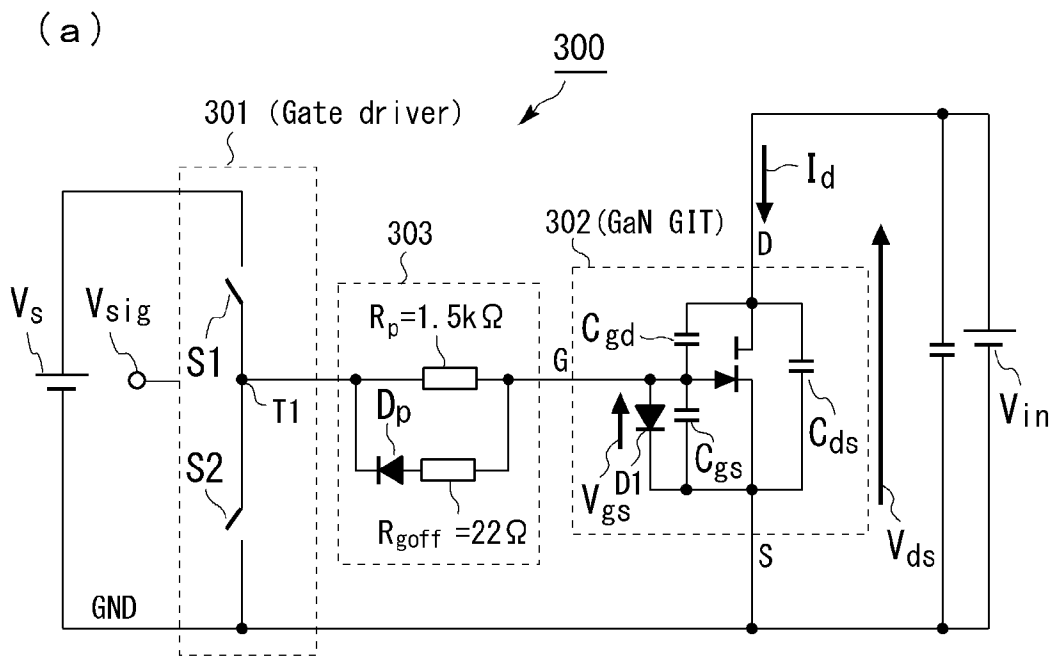
[請求項5] フェライトインダクタは、該フェライトインダクタに相当する等価回路である、請求項1から4の何れか一項に記載のスイッチング回路

。

[請求項6] スwitchングデバイスは、少なくともSiC半導体、GaN半導体を含むワイドバンドギャップ半導体で構成される、請求項1から5の何れか一項に記載のスイッチング回路。

[請求項7] 請求項1から6の何れか一項に記載のスイッチング回路を構成に備える、ことを特徴とする電力変換器。

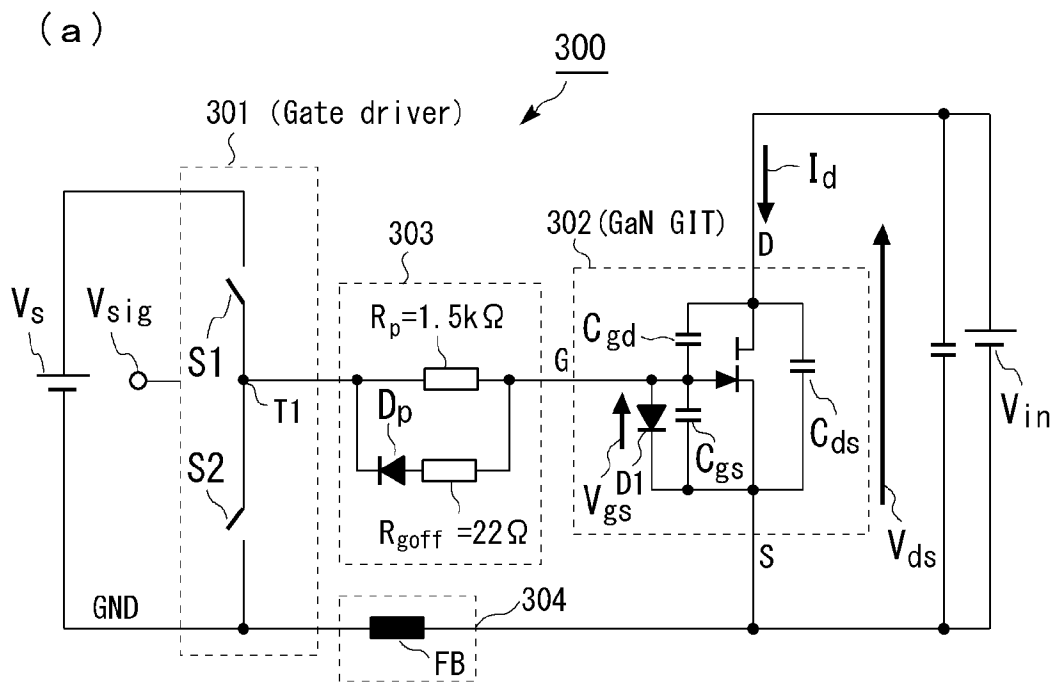
[図1]



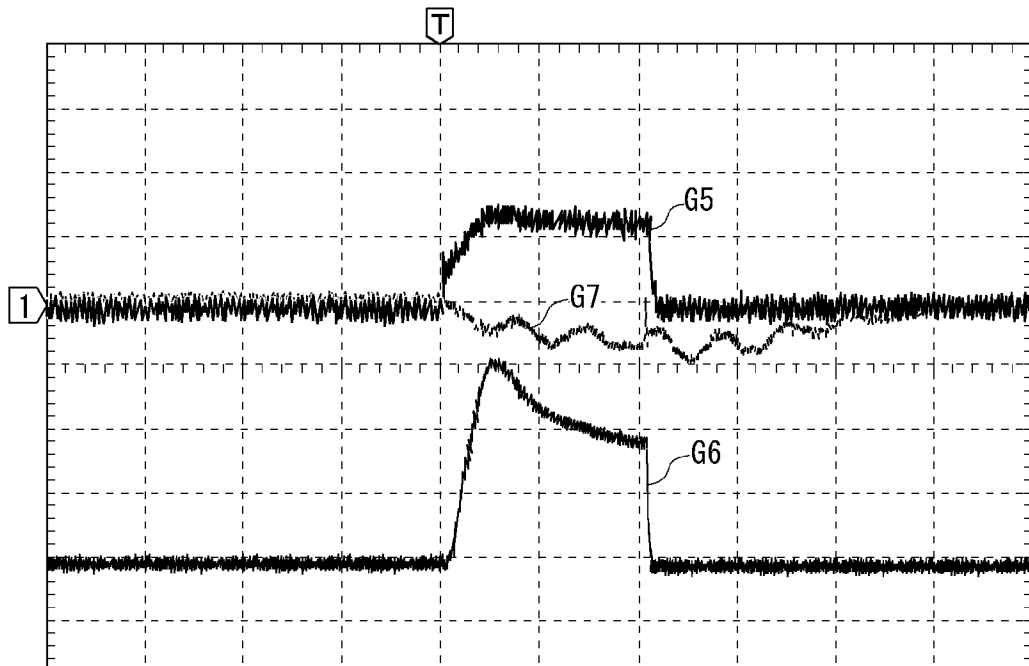
(b)



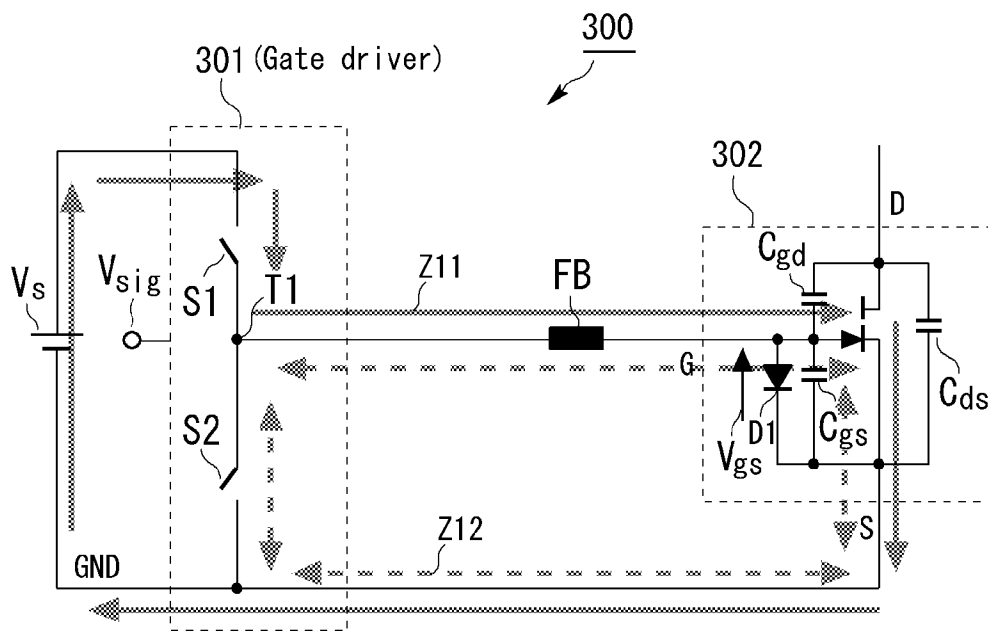
[図2]



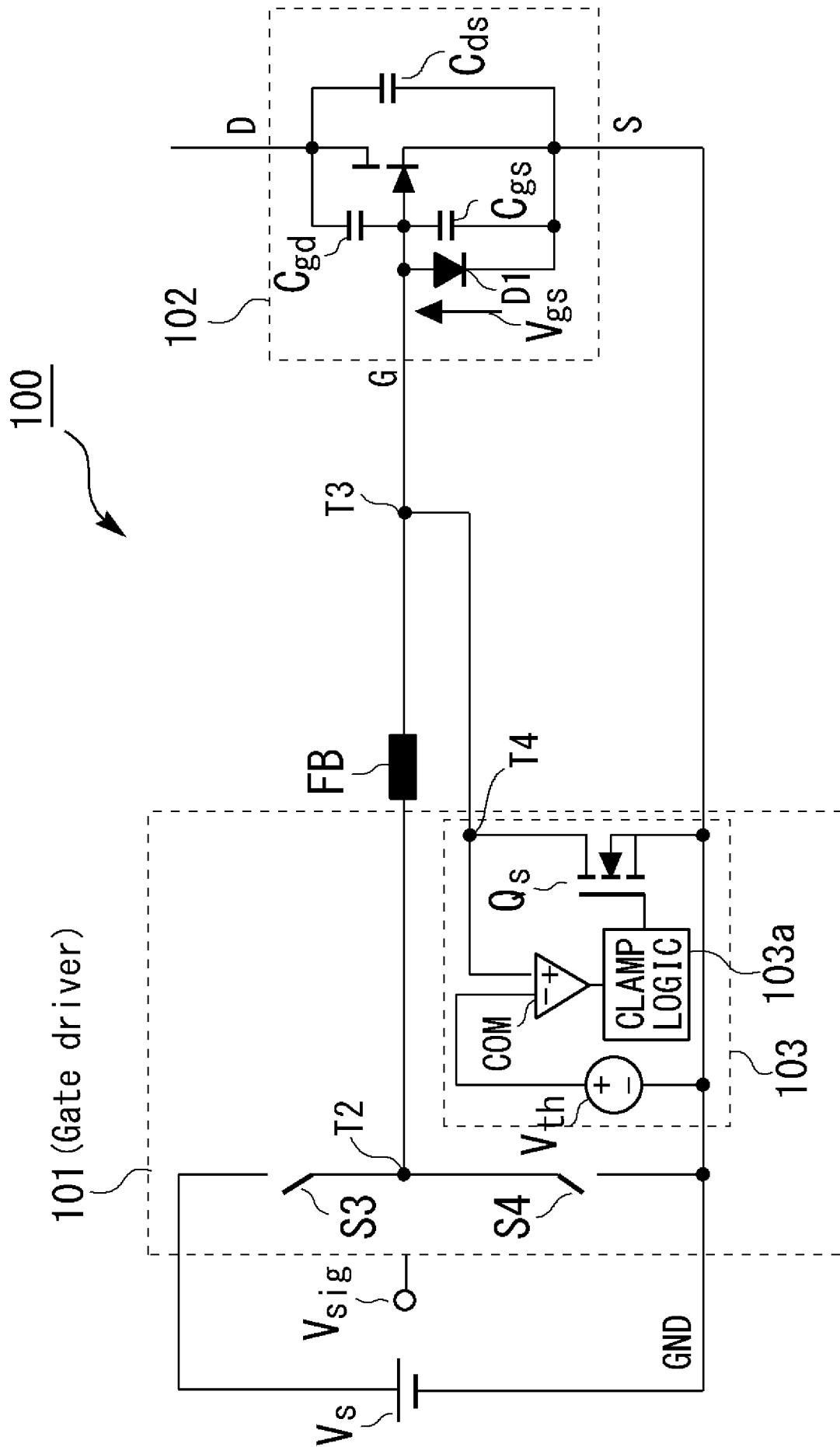
(b)



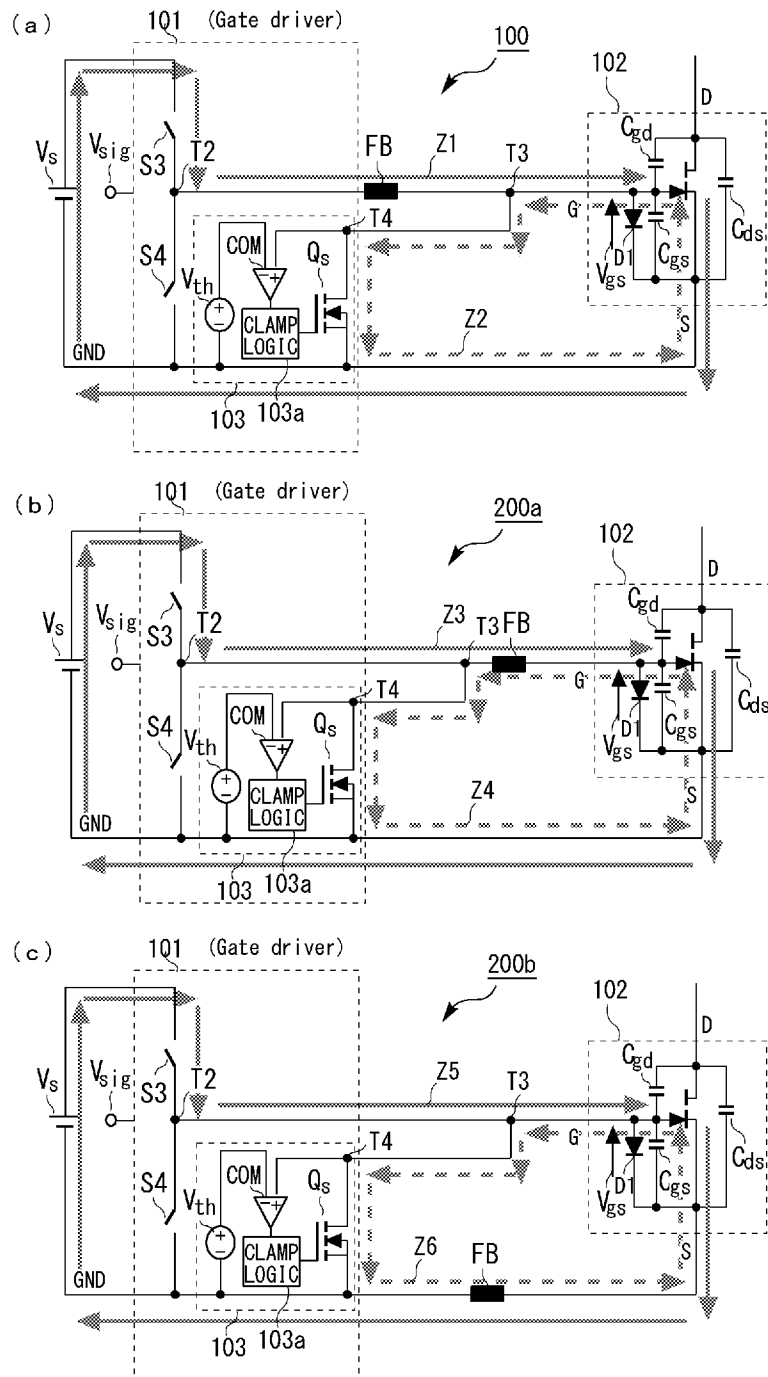
[図3]



[図4]

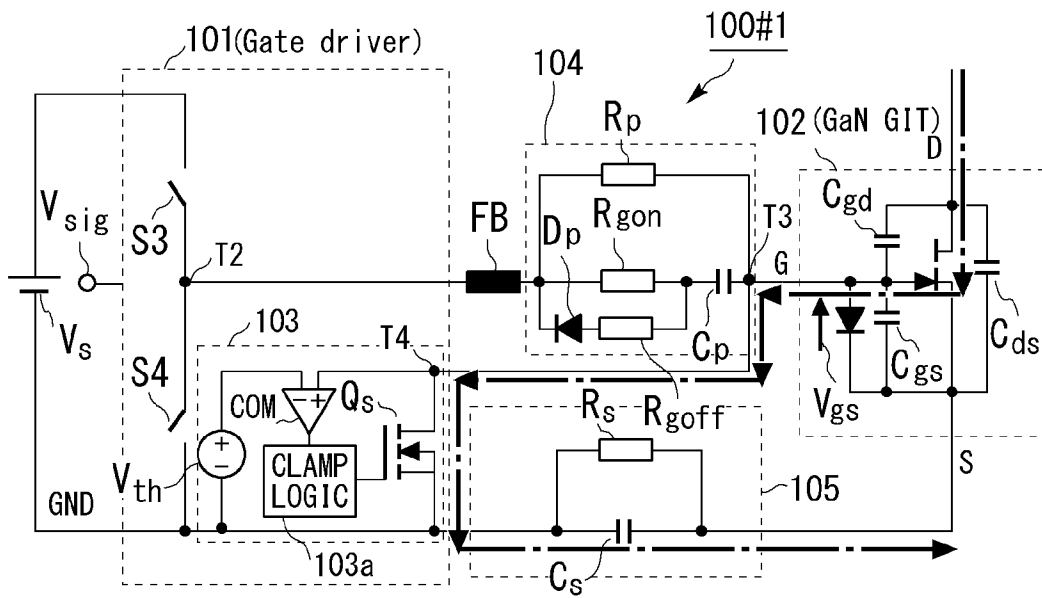


[図5]

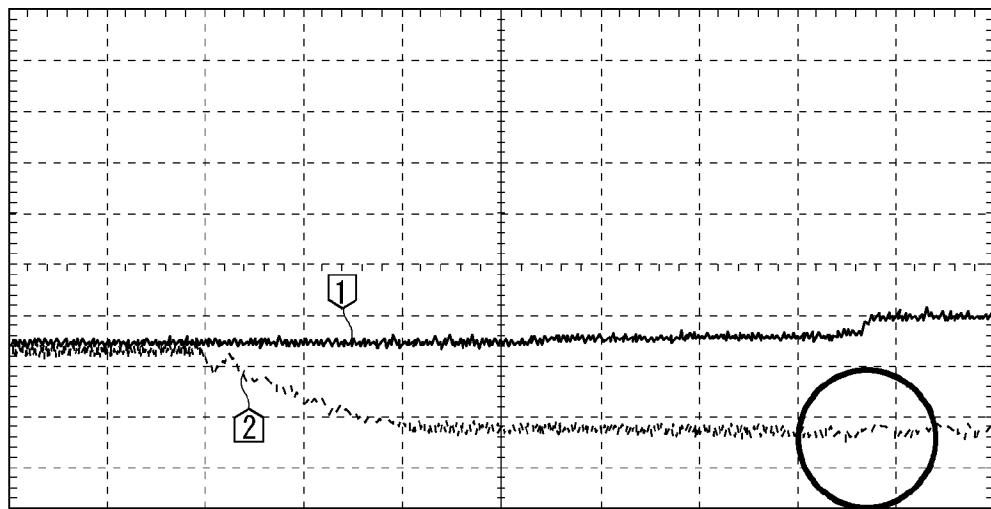


[図6]

(a)

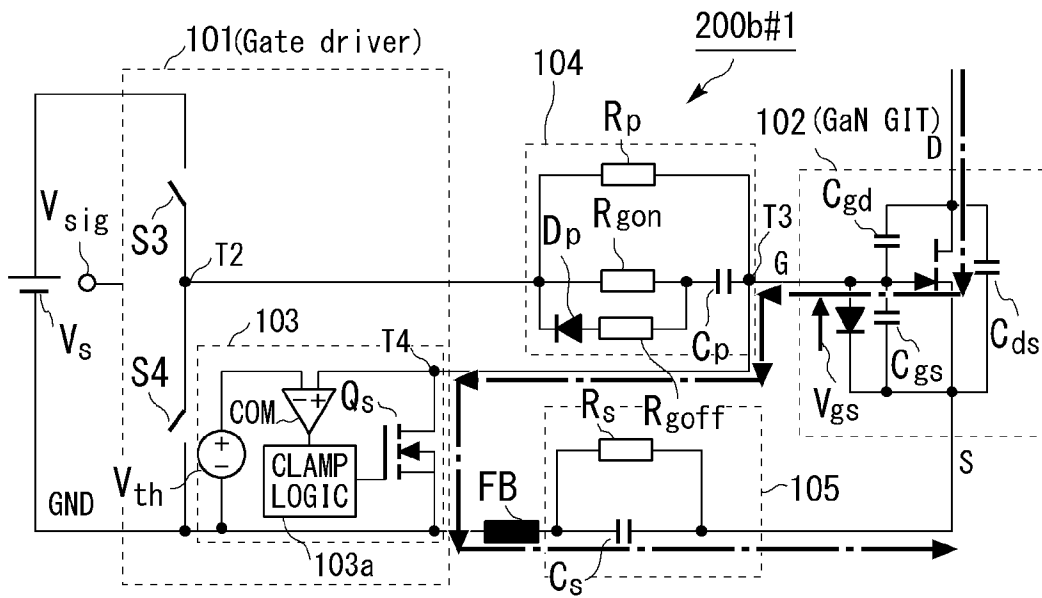


(b)

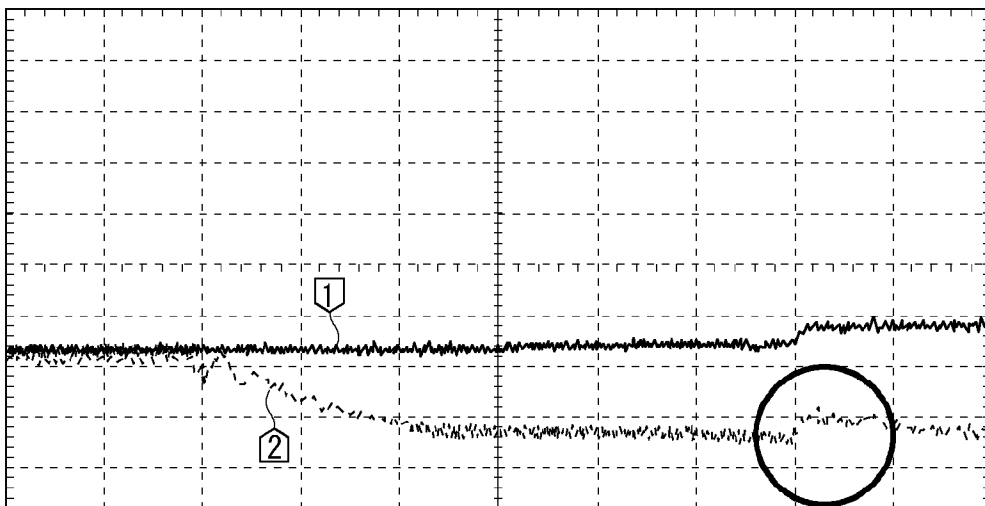


[図7]

(a)

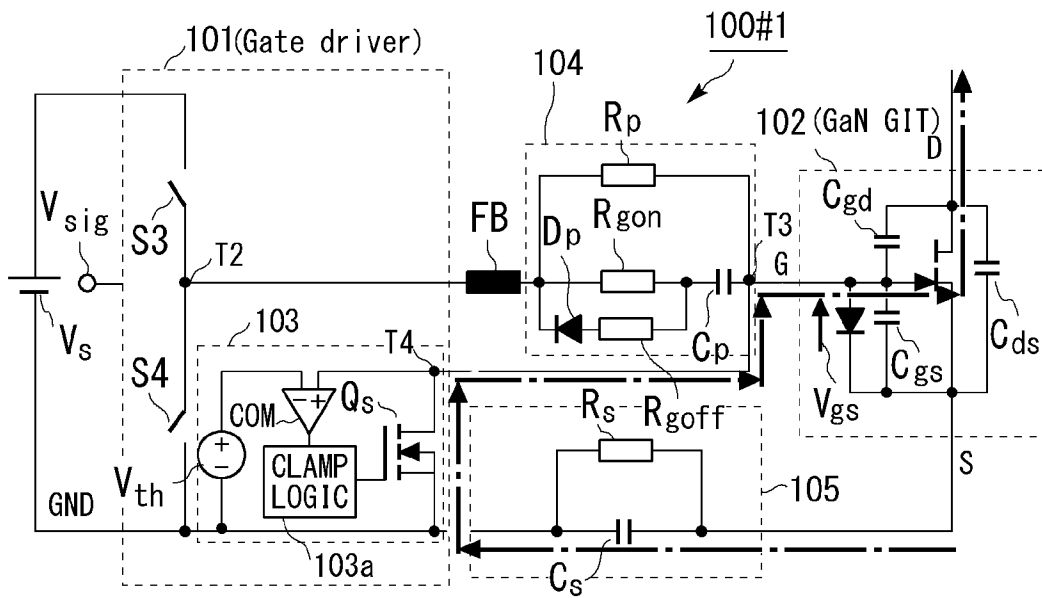


(b)

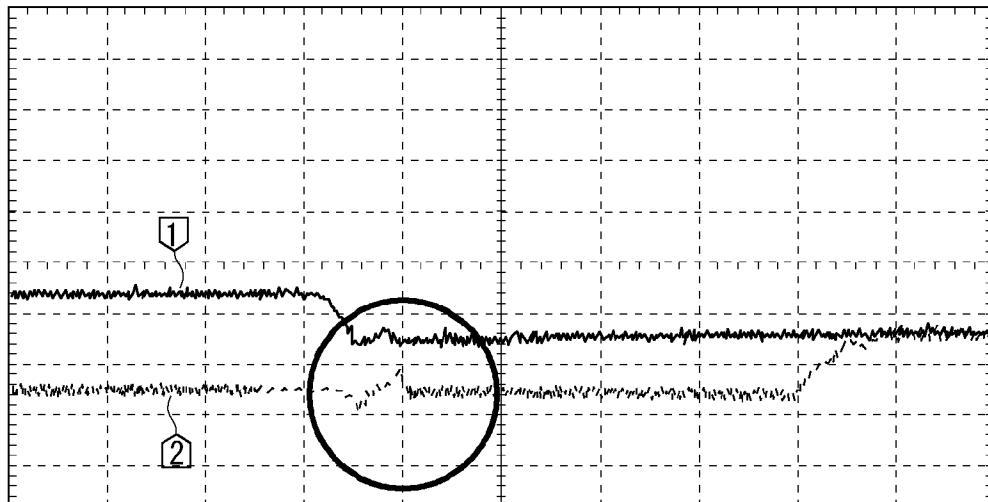


[図8]

(a)

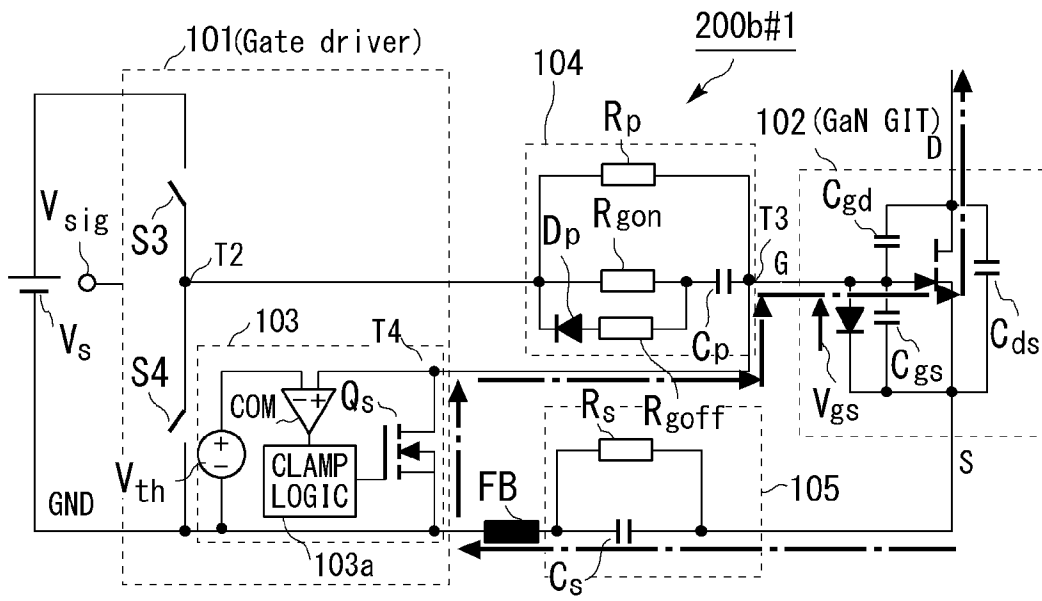


(b)

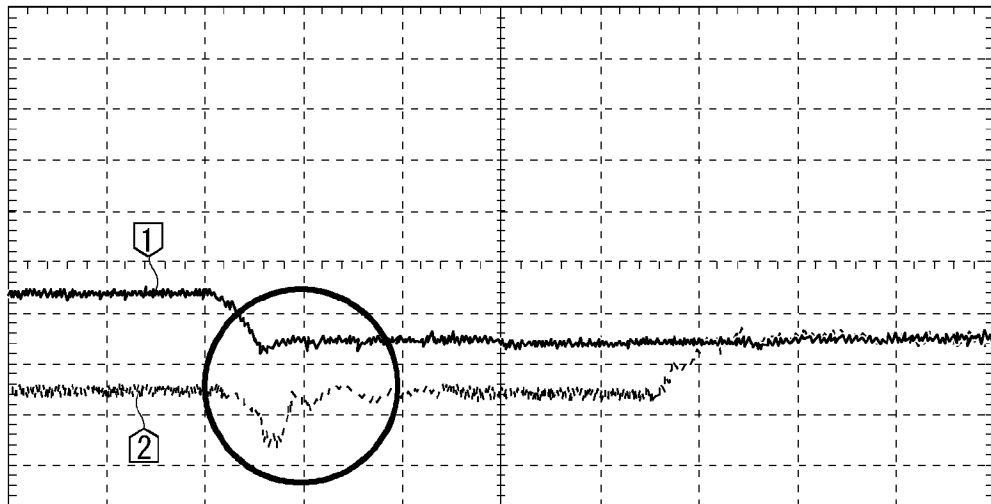


[図9]

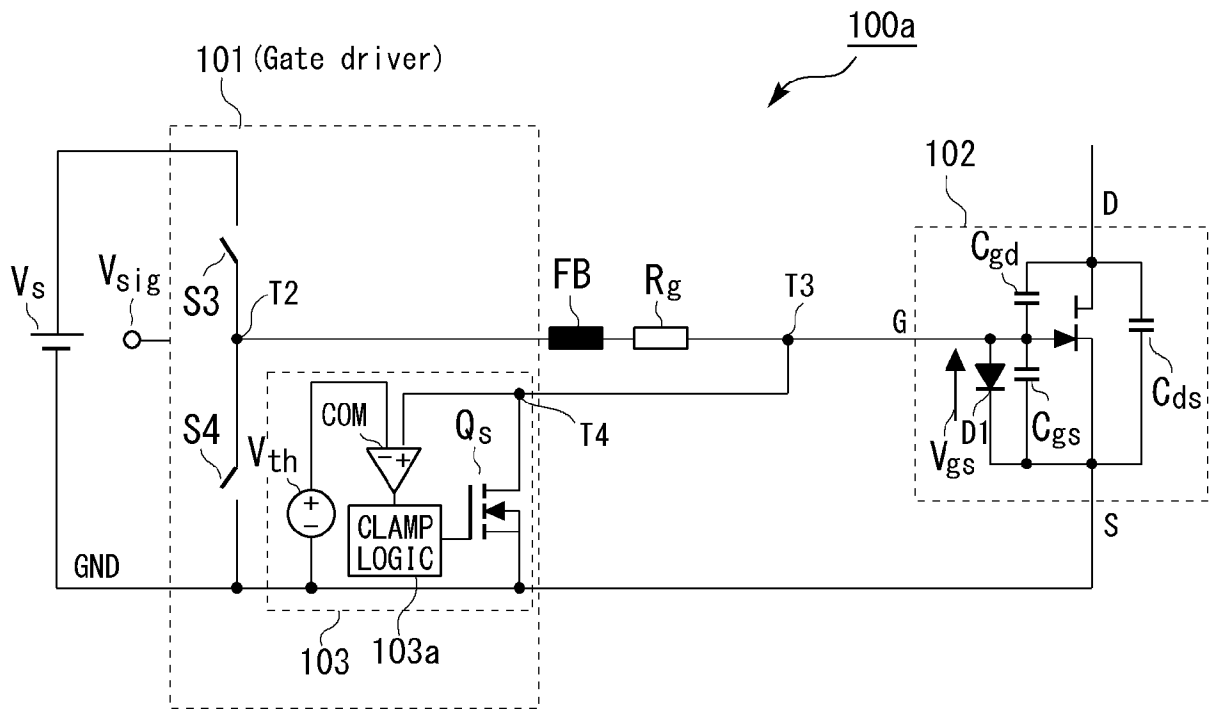
(a)



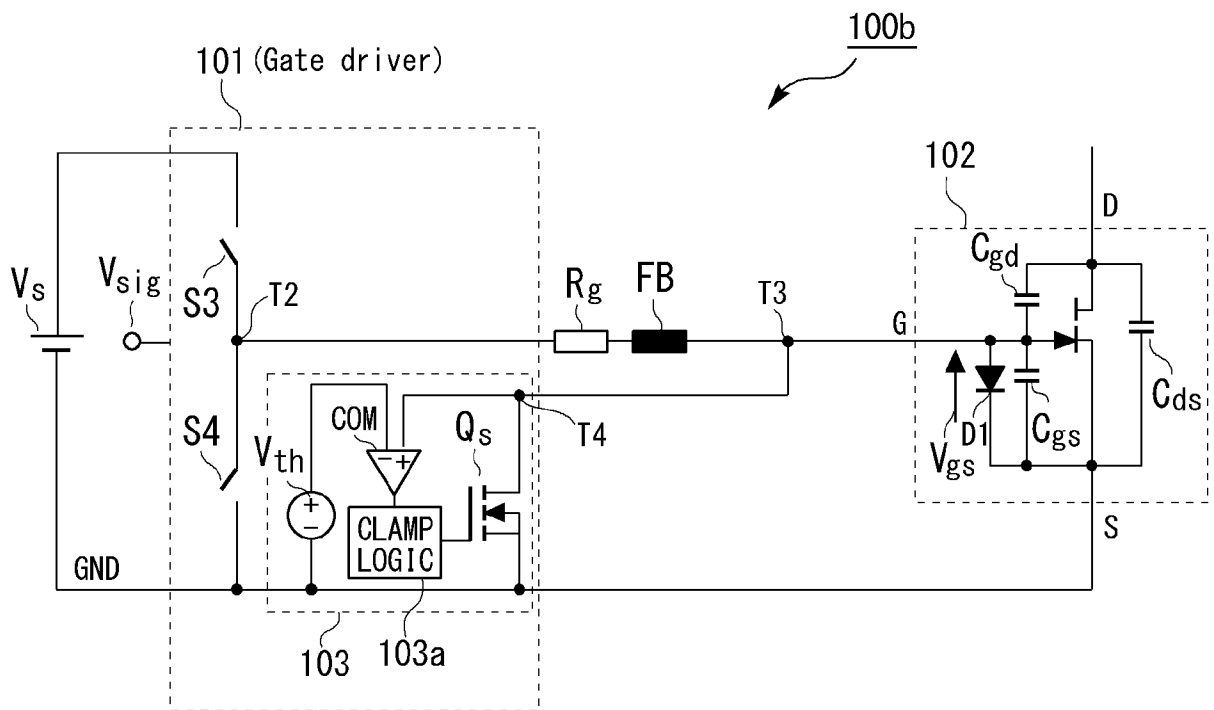
(b)



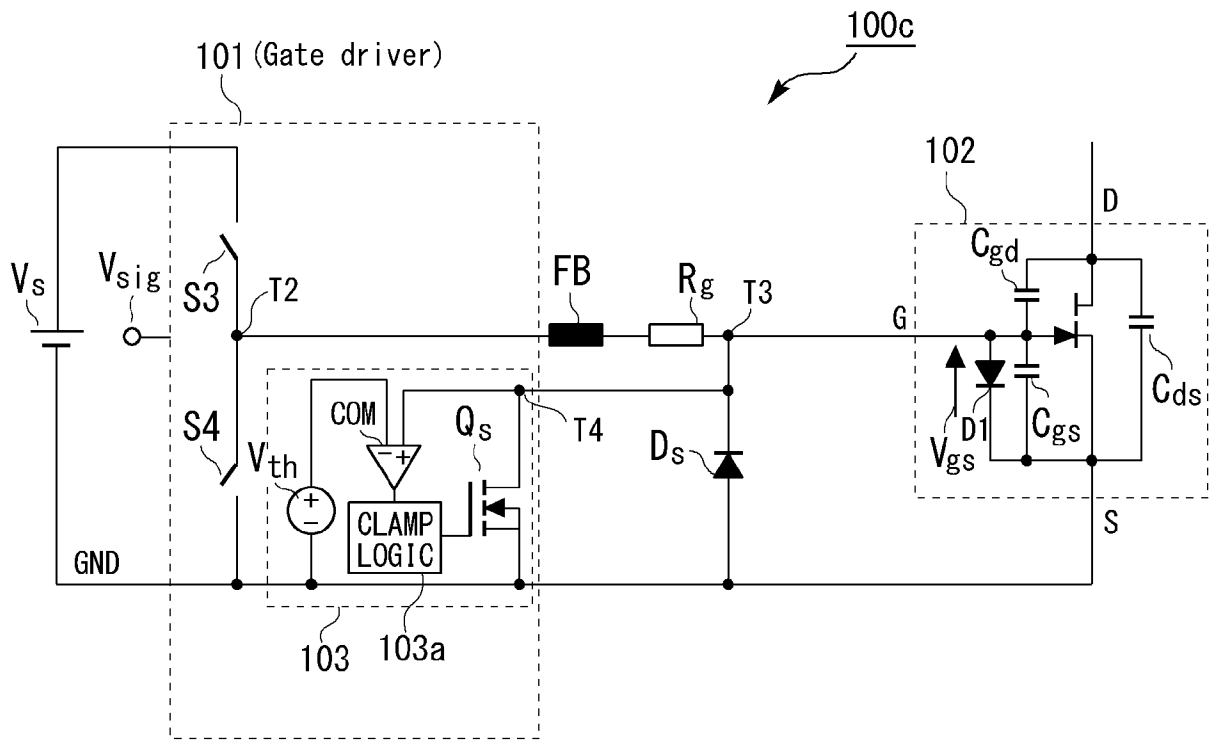
[図10]



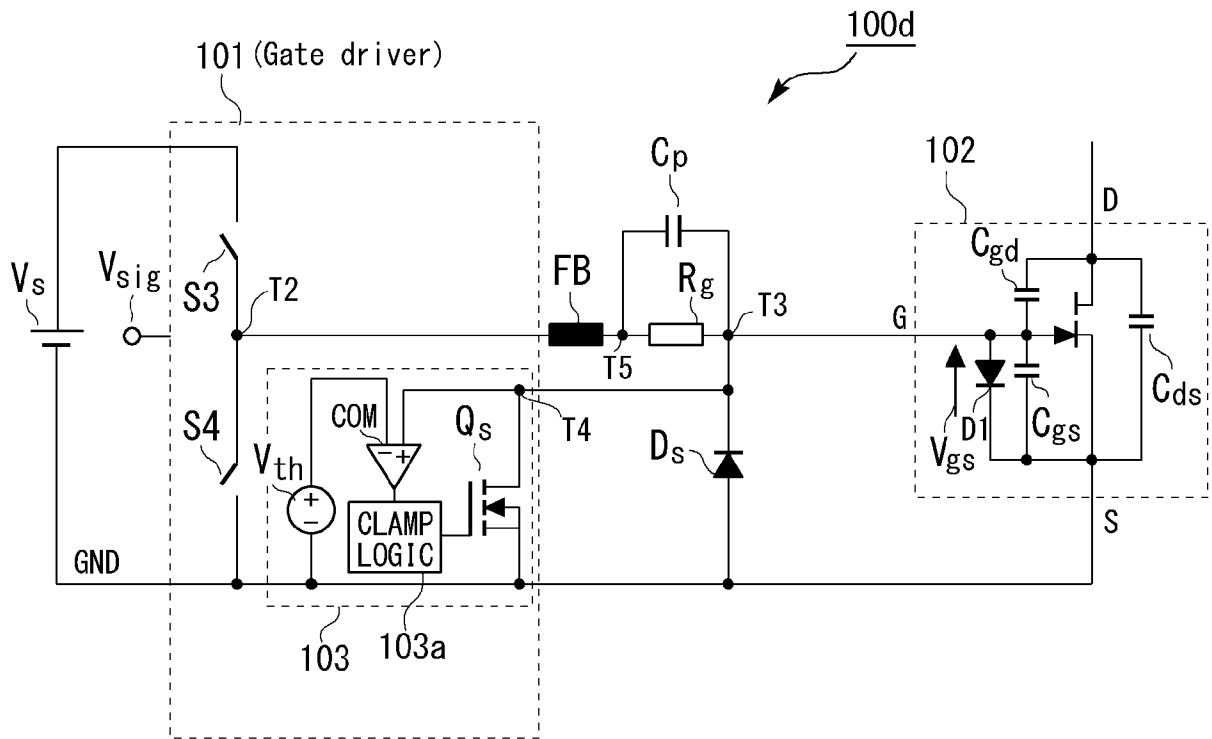
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/015378

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H02M 1/08</i> (2006.01)i; <i>H03K 17/16</i> (2006.01)i FI: H02M1/08 A; H03K17/16 H		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H02M1/00-7/98; H03K17/00-17/70		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2020-517125 A (CREE FAYETTEVILLE, INC) 11 June 2020 (2020-06-11) paragraphs [0030], [0036]-[0040], [0080], fig. 1-3	1-7
Y	JP 2018-33280 A (DENSO CORP) 01 March 2018 (2018-03-01) paragraphs [0017]-[0024], fig. 2	1-7
Y	JP 2018-11144 A (TOSHIBA CORP) 18 January 2018 (2018-01-18) paragraphs [0009]-[0029], [0057]-[0064], fig. 1, 5-6	1-7
A	JP 2019-146353 A (AISIN AW CO) 29 August 2019 (2019-08-29) entire text, all drawings	1-7
A	JP 2008-42633 A (TOYOTA MOTOR CORP) 21 February 2008 (2008-02-21) entire text, all drawings	1-7
A	WO 2020/003634 A1 (HITACHI LTD) 02 January 2020 (2020-01-02) entire text, all drawings	1-7
A	JP 2020-68631 A (OMRON CORPORATION) 30 April 2020 (2020-04-30) entire text, all drawings	1-7
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 09 June 2022		Date of mailing of the international search report 21 June 2022
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/015378

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2020-517125	A	11 June 2020	WO 2018/112302 A1 paragraphs [0059], [0065]- [0069], [0109], fig. 1-3	
				US 2018/0175853 A1	
				KR 10-2019-0111927 A	
JP	2018-33280	A	01 March 2018	US 2019/0181856 A1 paragraphs [0026]-[0033], fig. 2	
				WO 2018/037898 A1	
				CN 109661763 A	
JP	2018-11144	A	18 January 2018	US 2018/0019686 A1 paragraphs [0016]-[0036], [0064]-[0071], fig. 1, 5-6	
				CN 107611177 A	
JP	2019-146353	A	29 August 2019	(Family: none)	
JP	2008-42633	A	21 February 2008	(Family: none)	
WO	2020/003634	A1	02 January 2020	JP 2020-5411 A	
JP	2020-68631	A	30 April 2020	US 2021/0320653 A1 entire text, all drawings	
				WO 2020/084808 A1	
				EP 3832865 A1	
				CN 112567612 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02M 1/08(2006.01)i; H03K 17/16(2006.01)i FI: H02M1/08 A; H03K17/16 H		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H02M1/00-7/98; H03K17/00-17/70 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2020-517125 A (クリー ファイエットヴィル インコーポレイテッド) 11.06.2020 (2020-06-11) 段落 [0030], [0036] - [0040], [0080], 図1-3	1-7
Y	JP 2018-33280 A (株式会社デンソー) 01.03.2018 (2018-03-01) 段落 [0017] - [0024], 図2	1-7
Y	JP 2018-11144 A (株式会社東芝) 18.01.2018 (2018-01-18) 段落 [0009] - [0029], [0057] - [0064], 図1, 5-6	1-7
A	JP 2019-146353 A (アイシン・エイ・ダブリュ株式会社) 29.08.2019 (2019-08-29) 全文, 全図	1-7
A	JP 2008-42633 A (トヨタ自動車株式会社) 21.02.2008 (2008-02-21) 全文, 全図	1-7
A	WO 2020/003634 A1 (株式会社日立製作所) 02.01.2020 (2020-01-02) 全文, 全図	1-7
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの		
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）		
“O” 口頭による開示、使用、展示等に言及する文献		
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献		
国際調査を完了した日	国際調査報告の発送日	
09.06.2022	21.06.2022	
名称及びあて先 日本国特許庁 (ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 東 昌秋 5G 3139 電話番号 03-3581-1101 内線 3526	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/015378

引用文献	公表日	パテントファミリー文献	公表日
JP 2020-517125 A	11.06.2020	WO 2018/112302 A1 段落[0059],[0065]-[0069], [00109], 図1-3 US 2018/0175853 A1 KR 10-2019-0111927 A	
JP 2018-33280 A	01.03.2018	US 2019/0181856 A1 段落[0026]-[0033], 図2 WO 2018/037898 A1 CN 109661763 A	
JP 2018-11144 A	18.01.2018	US 2018/0019686 A1 段落 [0016]-[0036], [0064]-[0071], 図1,5-6 CN 107611177 A	
JP 2019-146353 A	29.08.2019	(ファミリーなし)	
JP 2008-42633 A	21.02.2008	(ファミリーなし)	
WO 2020/003634 A1	02.01.2020	JP 2020-5411 A	
JP 2020-68631 A	30.04.2020	US 2021/0320653 A1 全文, 全図 WO 2020/084808 A1 EP 3832865 A1 CN 112567612 A	