

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5724623号
(P5724623)

(45) 発行日 平成27年5月27日 (2015. 5. 27)

(24) 登録日 平成27年4月10日 (2015. 4. 10)

(51) Int. Cl.

F I

H O 1 L 27/146 (2006. 01)

H O 1 L 27/14 C

H O 1 L 21/822 (2006. 01)

H O 1 L 27/04 H

H O 1 L 27/04 (2006. 01)

H O 1 L 27/06 3 1 1 C

H O 1 L 27/06 (2006. 01)

H O 1 L 29/78 6 1 3 Z

H O 1 L 29/786 (2006. 01)

H O 1 L 29/78 6 2 3 A

請求項の数 12 (全 23 頁) 最終頁に続く

(21) 出願番号 特願2011-114827 (P2011-114827)
 (22) 出願日 平成23年5月23日 (2011. 5. 23)
 (65) 公開番号 特開2012-244053 (P2012-244053A)
 (43) 公開日 平成24年12月10日 (2012. 12. 10)
 審査請求日 平成26年4月28日 (2014. 4. 28)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100098785
 弁理士 藤島 洋一郎
 (74) 代理人 100109656
 弁理士 三反崎 泰司
 (74) 代理人 100130915
 弁理士 長谷部 政男
 (74) 代理人 100155376
 弁理士 田名網 孝昭
 (72) 発明者 千田 みちる
 東京都港区港南1丁目7番1号 ソニー株
 式会社内

最終頁に続く

(54) 【発明の名称】 信号伝達装置および撮像表示システム

(57) 【特許請求の範囲】

【請求項 1】

信号の入力動作および出力動作のうちの少なくとも一方の動作を行う複数の画素と、
 前記画素に接続された1または複数の信号線と、
 前記信号線を含む複数の配線と、
 前記複数の配線のうちの1の信号線と他の1の配線との間に配設され、第1トランジスタと、容量素子と、第2トランジスタにより構成された抵抗素子とを有する1または複数の静電気保護回路と、
 前記静電気保護回路に接続された第1制御線と
 を備え、
 前記静電気保護回路では、
 前記第1トランジスタのゲートが、前記第1制御線と直接もしくは間接的に接続され、
 前記第1トランジスタにおけるソースおよびドレインのうちの一方が、前記一の信号線および前記容量素子の一端に接続されると共に、他方が前記他の一の配線に接続され、
 前記容量素子の他端が、前記第1トランジスタのゲートに接続され、
 前記抵抗素子の一端が、前記第1制御線に接続され、
 前記抵抗素子の他端が、前記第1トランジスタのゲートおよび前記容量素子の他端に接続されている

信号伝達装置。

【請求項 2】

前記抵抗素子の一端および他端が、前記第 2 トランジスタのソースまたはドレインであり、

前記第 2 トランジスタのゲートには、第 2 制御線が接続されている

請求項 1 に記載の信号伝達装置。

【請求項 3】

装置電源がオン状態のときに前記第 2 トランジスタがオン状態となるように、前記第 2 制御線の電位が設定されている

請求項 2 に記載の信号伝達装置。

【請求項 4】

装置電源がオン状態のときに前記第 1 トランジスタがオフ状態となるように、前記第 1 制御線の電位が設定されている

請求項 1 ないし請求項 3 のいずれか 1 項に記載の信号伝達装置。

【請求項 5】

前記他の一の配線が、前記複数の配線のうちの、他の一の信号線、一の電源線または一の接地線である

請求項 1 ないし請求項 4 のいずれか 1 項に記載の信号伝達装置。

【請求項 6】

前記複数の静電気保護回路が、

前記一の信号線と前記他の一の信号線との間に配設された、1 または複数の第 1 保護回路と、

前記一の信号線と、前記一の電源線または前記一の接地線との間に配設された、1 または複数の第 2 保護回路とからなる

請求項 5 に記載の信号伝達装置。

【請求項 7】

前記第 1 保護回路および前記第 2 保護回路が、隣接する複数の配線間で連続的に配設されている

請求項 6 に記載の信号伝達装置。

【請求項 8】

前記複数の画素は、信号の入力動作としての撮像動作を行うものであり、撮像装置として構成されている

請求項 1 ないし請求項 7 のいずれか 1 項に記載の信号伝達装置。

【請求項 9】

前記複数の画素は、前記撮像動作として、入射した放射線に応じて電気信号を発生するものであり、放射線撮像装置として構成されている

請求項 8 に記載の信号伝達装置。

【請求項 10】

前記放射線が X 線である

請求項 9 に記載の信号伝達装置。

【請求項 11】

前記複数の画素は、信号の出力動作としての表示動作を行うものであり、表示装置として構成されている

請求項 1 ないし請求項 7 のいずれか 1 項に記載の信号伝達装置。

【請求項 12】

撮像装置と、この撮像装置により得られた撮像信号に基づく画像表示を行う表示装置とを備え、

前記撮像装置は、

撮像動作を行う複数の画素と、

前記画素に接続された 1 または複数の信号線と、

前記信号線を含む複数の配線と、

前記複数の配線のうちの一の信号線と他の一の配線との間に配設され、第 1 トランジス

10

20

30

40

50

たと、容量素子と、第 2 トランジスタにより構成された抵抗素子とを有する 1 または複数の静電気保護回路と、

前記静電気保護回路に接続された第 1 制御線と
を備え、

前記静電気保護回路では、

前記第 1 トランジスタのゲートが、前記第 1 制御線と直接もしくは間接的に接続され、
前記第 1 トランジスタにおけるソースおよびドレインのうちの一方が、前記一の信号線
および前記容量素子の一端に接続されると共に、他方が前記他の一の配線に接続され、

前記容量素子の他端が、前記第 1 トランジスタのゲートに接続され、

前記抵抗素子の一端が、前記第 1 制御線に接続され、

前記抵抗素子の他端が、前記第 1 トランジスタのゲートおよび前記容量素子の他端に接
続されている

10

撮像表示システム。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、信号の入力動作および出力動作のうちの少なくとも一方の動作（信号伝達動作）を行う信号伝達装置、ならびに信号の入力動作（撮像動作）を行う撮像装置を備えた撮像表示システムに関する。

【背景技術】

20

【0002】

撮像装置や表示装置などの信号伝達装置では、ESD（Electro-Static Discharge；静電気放電）現象に起因した外部からの静電気入力に対して内部の素子（回路）を保護するため、一般に、静電気保護回路（ESD保護回路）が設けられている。例えば特許文献 1 には、信号線間に静電気保護回路を設けるようにした撮像装置が提案されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2007 - 294900 号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0004】

しかしながら、上記特許文献 1 の静電気保護回路では、静電気からの有効な保護がなされない場合もあり得ることから、静電気からの保護をより確実に行うことを可能とする手法の提案が望まれる。

【0005】

本開示はかかる問題点に鑑みてなされたもので、その目的は、静電気からの保護をより確実に行うことが可能な信号伝達装置および撮像表示システムを提供することにある。

【課題を解決するための手段】

【0006】

40

本開示の信号伝達装置は、信号の入力動作および出力動作のうちの少なくとも一方の動作を行う複数の画素と、画素に接続された 1 または複数の信号線と、この信号線を含む複数の配線と、複数の配線のうちの一の信号線と他の一の配線との間に配設され、第 1 トランジスタと容量素子と第 2 トランジスタにより構成された抵抗素子とを有する 1 または複数の静電気保護回路と、静電気保護回路に接続された第 1 制御線とを備えたものである。上記静電気保護回路では、第 1 トランジスタのゲートが、第 1 制御線と直接もしくは間接的に接続され、第 1 トランジスタにおけるソースおよびドレインのうちの一方が、上記一の信号線および容量素子の一端に接続されると共に、他方が上記他の一の配線に接続され、容量素子の他端が、第 1 トランジスタのゲートに接続され、抵抗素子の一端が第 1 制御線に接続され、抵抗素子の他端が、第 1 トランジスタのゲートおよび容量素子の他端に接

50

続されている。

【 0 0 0 7 】

本開示の撮像表示システムは、撮像装置と、この撮像装置により得られた撮像信号に基づく画像表示を行う表示装置とを備えたものである。上記撮像装置は、撮像動作を行う複数の画素と、上記複数の配線と、上記 1 または複数の静電気保護回路と、上記第 1 制御線とを備えている。

【 0 0 0 8 】

本開示の信号伝達装置および撮像表示システムでは、例えば装置電源がオフ状態のときに、上記一の信号線および上記他の一の配線のうちの一方の配線に対して静電気が入力すると、これらの配線間に配設された静電気保護回路が有効状態（アクティブ状態）となる。具体的には、その静電気が正電荷からなる場合および負電荷のからなる場合のいずれであっても、静電気保護回路内の第 1 トランジスタがオン状態となり、上記一の信号線および上記他の一の配線のうちの他方の配線側に、静電気の電荷が放出される。

【発明の効果】

【 0 0 0 9 】

本開示の信号伝達装置および撮像表示システムによれば、上記一の信号線および上記他の一の配線の間に上記静電気保護回路を配設するようにしたので、これらの配線のうちの一方の配線に対して正電荷または負電荷の静電気が入力された場合のいずれにおいても、他方の配線側にその静電気の電荷を放出することができる。よって、静電気からの保護をより確実に行うことが可能となる。

【図面の簡単な説明】

【 0 0 1 0 】

【図 1】本開示の一実施の形態に係る信号伝達装置としての撮像装置の全体構成例を表すブロック図である。

【図 2】図 1 に示した撮像部の概略構成例を表す模式図である。

【図 3】図 1 に示した画素の詳細構成例を表す回路図である。

【図 4】図 1 に示した静電気保護部の詳細構成例を表す回路図である。

【図 5】図 4 に示したトランジスタの特性例を表す図である。

【図 6】図 4 に示したトランジスタにおける電位設定例を表す模式図である。

【図 7】比較例 1 に係る静電気保護部の構成例を表す回路図である。

【図 8】図 7 に示したトランジスタの特性例を表す図である。

【図 9】比較例 2 に係る静電気保護部の構成例を表す回路図である。

【図 10】図 4 に示した静電気保護部における装置電源がオン状態のときの動作例を表す回路図である。

【図 11】図 4 に示した静電気保護部における装置電源がオフ状態のとき（正電荷の静電気入力時）の動作例を表す回路図である。

【図 12】図 4 に示した静電気保護部における装置電源がオフ状態のとき（負電荷の静電気入力時）の動作例を表す回路図である。

【図 13】変形例 1 に係る静電気保護部の構成例を表す回路図である。

【図 14】図 13 に示したトランジスタの特性例を表す図である。

【図 15】変形例 2 に係る静電気保護部の構成例を表す回路図である。

【図 16】変形例 3 に係る静電気保護部の構成例を表す回路図である。

【図 17】変形例 4 ~ 6 に係る撮像部の概略構成例を表す模式図である。

【図 18】適用例に係る撮像表示システムの概略構成例を表す模式図である。

【図 19】本開示の他の変形例に係る信号伝達装置としての表示装置の全体構成例を表すブロック図である。

【発明を実施するための形態】

【 0 0 1 1 】

以下、本開示の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 実施の形態（N型の第1トランジスタ、容量素子、抵抗素子を有する単位回路の例）
2. 変形例
 - 変形例1（P型の第1トランジスタ、容量素子、抵抗素子を有する単位回路の例）
 - 変形例2（抵抗素子を第2トランジスタにより構成した単位回路の例）
 - 変形例3（第1トランジスタ、容量素子を有する単位回路の例）
 - 変形例4～6（撮像部の他の構成例）
3. 適用例（実施の形態および各変形例の撮像装置を備えた撮像表示システムの例）
4. その他の変形例（静電気保護部の表示装置への適用例等）

【0012】

10

<実施の形態>

[撮像装置1の構成]

図1は、本開示の一実施の形態に係る信号伝達装置としての撮像装置（撮像装置1）の全体のブロック構成を表すものである。撮像装置1は、信号の入力動作（撮像動作）を行うものであり、具体的には、撮像光に基づいて被写体の情報を読み取る（被写体を撮像する）ようになっている。この撮像装置1は、撮像部11、行走査部13、A/D変換部14、列走査部15、システム制御部16および静電気保護部18を備えている。

【0013】

（撮像部11）

撮像部11は、入射した撮像光に応じて電気信号を発生する撮像領域である。この撮像部11には、入射した撮像光の光量に応じた電荷量の光電荷を発生して内部に蓄積する光電変換部（後述する光電変換素子21）を有する画素（撮像素素）20が、行列状（マトリクス状）に2次元配置されている。換言すると、これらの複数の画素20では、信号の入力動作（撮像動作）がなされるようになっている。なお、図1中に示したように、以下、撮像部11内における水平方向（行方向）を「H」方向とし、垂直方向（列方向）を「V」方向として説明する。

20

【0014】

図2は、この撮像部11の概略構成例を表したものである。撮像部11では、上記した画素20が行列状に配置されてなる光電変換層111が設けられている。この光電変換層111では、図中に示したように、入射した撮像光Linに基づく情報の読み取りを行うようになっている。

30

【0015】

図3は、画素20の回路構成例を表したものである。画素20には、1つの光電変換素子21と、1つのトランジスタ22とが設けられている。この画素20にはまた、H方向に沿って延在する読み出し制御線Lreadと、V方向に沿って延在する信号線Lsigとが接続されている。

【0016】

光電変換素子21は、例えばPIN（Positive Intrinsic Negative）型のフォトダイオードからなり、入射光（撮像光Lin）の光量に応じた電荷量の信号電荷を発生するようになっている。なお、この光電変換素子21のカソードは、蓄積ノードNに接続されている。

40

【0017】

トランジスタ22は、読み出し制御線Lreadから供給される行走査信号に応じてオン状態となることにより、光電変換素子21で発生した信号電荷（入力電圧Vin）を信号線Lsigへ出力するトランジスタである。このトランジスタ22は、ここではNチャネル型（N型）の電界効果トランジスタ（FET）により構成されている。ただし、トランジスタ22がPチャネル型（P型）のFET等により構成されていてもよい。このトランジスタ22はまた、例えば、微結晶シリコンまたは多結晶シリコン等のシリコン系半導体を用いて構成されている。あるいは、酸化インジウムガリウム亜鉛（InGaZnO）または酸化亜鉛（ZnO）等の酸化物半導体を用いて構成してもよい。微結晶シリコン、多結晶シ

50

リコン（ポリシリコン）および酸化物半導体は、アモルファスシリコンに比べて移動度 μ が高いため、例えばトランジスタ 22 による信号の高速読み出しが可能になる。

【0018】

この画素 20 では、トランジスタ 22 のゲートが読み出し制御線 L read に接続され、ソースが信号線 L sig に接続され、ドレインが、光電変換素子 21 のカソード（蓄積ノード N）に接続されている。また、光電変換素子 21 のアノードは、グランド（接地）に接続されている。

【0019】

（静電気保護部 18）

静電気保護部 18 は、ESD 現象に起因した外部からの静電気入力に対して、内部の素子（具体的には、画素 20 内のトランジスタ 22 や光電変換素子 21 等）を保護する機能（ESD 保護機能）を有している。具体的には、信号線 L sig 等を介して入力する静電気に対して内部の素子を保護する役割を担っている。なお、ここでは、静電気保護部 18 が撮像領域（撮像部 11）内に配設されている場合の例を示しているが、これには限られない。

【0020】

図 4 は、この静電気保護部 18 の回路構成例を表したものである。静電気保護部 18 は、H 方向に沿って延在する複数の単位回路 180（静電気保護回路）を有している。なお、ここでは便宜上、図中に示した 6 つの信号線を、L sig1 ~ L sig6 として示している。

【0021】

単位回路 180 は、信号線 L sig、グランド線 L gnd（接地線）および電源線（図示せず）からなる複数の配線のうちの、一の信号線 L ig と他の一の配線との間に配設されている。具体的には、一の信号線 L ig と他の一の信号線 L ig との間（隣接する一対の信号線 L sig の間）、一の信号線 L sig と一のグランド線 L gnd との間、または、一の信号線 L sig と一の電源線（図示せず）との間に、単位回路 180 が配設されている。図 4 に示した例では、信号線 L sig1, L sig2 の間、信号線 L sig2, L sig3 の間、信号線 L sig3, L sig4 の間、信号線 L sig4, L sig5 の間、および信号線 L sig5, L sig6 の間に、単位回路 180 が配設されている（本開示における「第 1 保護回路」の一具体例に対応）。また、信号線 L sig6 とグランド線 L gnd との間に、単位回路 180 が配設されている（本開示における「第 2 保護回路」の一具体例に対応）。このように、図 4 に示した静電気保護部 18 では、複数の単位回路 180（上記した「第 1 保護回路」および「第 2 保護回路」）が、隣接する複数の配線（ここでは、複数の信号線 L sig1 ~ L sig6 およびグランド線 L gnd 等）の間で、連続的に（互いに隣り合って）配設されている。なお、上記したグランド線 L gnd や電源線（図示せず）は、例えば撮像部 11 内の端部領域（例えば H 方向に沿った右端部や左端部）に配設されている。

【0022】

単位回路 180 は、1 つのトランジスタ T r 1（第 1 のトランジスタ）と、1 つの容量素子 C 1 と、1 つの抵抗素子 R 1 とを有している。トランジスタ T r 1 は、ここでは N チャネル型（N 型）の FET により構成されている。なお、トランジスタ T r 1 におけるゲート、ソース、ドレインはそれぞれ、図 4 中において「G」、「S」、「D」として示しており、以降の他の図においても同様である。各単位回路 180 にはまた、H 方向に沿って延在する保護制御線 L ct11（第 1 の制御線）が接続されている。

【0023】

この単位回路 180 では、トランジスタ T r 1 のゲートが、抵抗素子 R 1 を介して保護制御線 L ct11 と間接的に接続されている。すなわち、抵抗素子 R 1 の一端が保護制御線 L ct11 に接続され、抵抗素子 R 1 の他端がトランジスタ T r 1 のゲートに接続されている。また、トランジスタ T r 1 におけるソースおよびドレインのうち的一方（ここではドレイン）が、一の信号線 L sig および容量素子 C 1 の一端に接続され、他方（ここではソース）が、前述した他の一の配線（ここでは信号線 L sig またはグランド線 L gnd）に接続されている。容量素子 C 1 の他端は、トランジスタ T r 1 のゲートおよび抵抗素子 R 1 の

10

20

30

40

50

他端に接続されている。

【0024】

ここで、保護制御線 L_{ctl1} の電位 V_{ctl1} は、撮像装置 1 の電源（装置電源）がオン状態（装置動作状態）のときにトランジスタ T_{r1} がオフ状態となるように、設定されている。具体的には、例えば図 5 に示したように、トランジスタ T_{r1} におけるゲート - ソース間電圧 $V_{gs} < 0$ を満たすように、保護制御線 L_{ctl1} の電位 V_{ctl1} が信号線 L_{sig} の電位（信号電圧） V_{sig} よりも低く設定されている。また、例えば図 6 に示したように、信号線 L_{sig} の電位 V_{sig} （トランジスタ T_{r1} のソース電位に対応）が変化（ここでは、 $0V \sim 1V$ の間で変化）した場合でも $V_{gs} < 0$ を満たすように、保護制御線 L_{ctl1} の電位 V_{ctl1} （トランジスタ T_{r1} のゲート電位に対応）が設定されている。これにより、図 5 中の矢印 P_{11} で示したように、トランジスタ T_{r1} における閾値電圧 V_{th} がマイナス側（負側）に多少変動した場合であっても、このトランジスタ T_{r1} におけるリーク電流（オフ状態のときの漏れ電流）を低く抑えることができる。したがって、装置電源がオン状態の際に、そのようなトランジスタ T_{r1} でのリーク電流に起因した各画素 20 からの信号（電荷）の読み出し動作への悪影響（電荷量の低減等）が抑えられるようになっている。つまり、画素 20 がいわゆるパッシブ型の回路構成（画素 20 内にソースフォロワ回路等のアンプが設けられていない構成）であっても、信号線 L_{sig} における電位変動（電荷消失）が低減もしくは回避されるようになっている。

10

【0025】

図 1 に示した行走査部 13 は、例えばシフトレジスタやアドレスデコーダ等によって構成されており、撮像部 11 内の各画素 20 を例えば行単位で駆動する画素駆動部である。このような行単位での駆動は、上記した読み出し制御線 L_{read} を介して、上記した行走査信号を供給することによりなされる。

20

【0026】

A/D変換部 14 は、図 1 に示したように、複数（ここでは 4 つ）の信号線 L_{sig} ごとに 1 つ設けられた複数の列選択部 17 を有しており、信号線 L_{sig} を介して入力した信号電圧に基づいて A/D 変換（アナログ/デジタル変換）を行うものである。また、各列選択部 17 は、例えば、アンプ、容量素子（コンデンサ）、スイッチ、サンプルホールド（S/H）回路、水平選択スイッチおよび A/D コンバータ等（いずれも図示せず）を含んで構成されている。このような構成により A/D 変換部 14 では、デジタル信号からなる出力データ D_{out} （撮像信号）が生成され、外部へ出力されるようになっている。

30

【0027】

列走査部 15 は、例えばシフトレジスタやアドレスデコーダ等を含んで構成されており、上記した列選択部 17 内の各水平選択スイッチ（図示せず）を走査しつつ順番に駆動するものである。この列走査部 15 による選択走査により、信号線 L_{sig} の各々を通して伝送される各画素 20 の信号（上記した出力データ D_{out} ）が順番に出力されるようになっている。

【0028】

システム制御部 16 は、上記した行走査部 13、A/D 変換部 14 および列走査部 15 等の動作を制御するものである。具体的には、システム制御部 16 は、各種のタイミング信号を生成するタイミングジェネレータを有しており、このタイミングジェネレータにおいて生成される各種のタイミング信号を基に、行走査部 13、A/D 変換部 14 および列走査部 15 等の駆動制御を行う。このようにして、システム制御部 16 の制御に基づいて、行走査部 13、A/D 変換部 14 および列走査部 15 がそれぞれ撮像部 11 内の複数の画素 20 に対する撮像駆動（順次走査）を行うことにより、撮像部 11 から出力データ D_{out} が取得されるようになっている。

40

【0029】

[撮像装置 1 の作用・効果]

(1 . 基本動作)

この撮像装置 1 では、図 2 に示したように撮像光 L_{in} が撮像部 11 へ入射すると、光電

50

変換層 1 1 1 (図 3 に示した各画素 2 0 内の光電変換素子 2 1) では、この撮像光 L_{in} が信号電荷に変換 (光電変換) される。この光電変換によって発生した電荷により、蓄積ノード N では蓄積ノード容量に応じた電圧変化が生じる。具体的には、蓄積ノード容量を C_s 、発生した電荷を q とすると、蓄積ノード N では (q / C_s) の分だけ電圧が低下する。このような電圧変化に応じて、トランジスタ 2 2 のドレインには入力電圧 V_{in} (光電変換素子 2 1 で発生した信号電荷) が印加される。このトランジスタ 2 2 へ供給される入力電圧 V_{in} は、読み出し制御線 L_{read} から供給される行走査信号に応じてトランジスタ 2 2 がオン状態になると、その電荷が信号線 L_{sig} へ出力される (読み出される) 。

【 0 0 3 0 】

このようにして読み出された信号は、信号線 L_{sig} を介して複数 (ここでは 4 つ) の画素列ごとに、 A/D 変換部 1 4 内の列選択部 1 7 へ入力される。列選択部 1 7 では、まず、各信号線 L_{sig} から入力される信号電荷ごとにチャージアンプ等において $Q - V$ 変換を行い、信号電荷から信号電圧への変換を行う。次いで、変換された信号電圧ごとに A/D 変換を行い、デジタル信号からなる出力データ D_{out} (撮像信号) を生成する。このようにして、各列選択部 1 7 から出力データ D_{out} が順番に出力され、外部へ伝送される。

【 0 0 3 1 】

(2 . 静電気保護部 1 8 の作用)

次に、本実施の形態における特徴部分の 1 つである、静電気保護部 1 8 (単位回路 1 0 8) の作用について、比較例 (比較例 1 , 2) と比較しつつ詳細に説明する。

【 0 0 3 2 】

(2 - 1 . 比較例 1)

図 7 は、比較例 1 に係る静電気保護部の回路構成を表したものである。この比較例 1 の静電気保護部は、 H 方向に沿って延在する複数の単位回路 1 0 8 (静電気保護回路) を有している。

【 0 0 3 3 】

単位回路 1 0 8 は、 N チャネル型 (N 型) の FET からなる 2 つのトランジスタ $Tr101$, $Tr102$ を有している。また、各単位回路 1 0 8 には、 V 方向に沿って延在する信号線 L_{sig} と、 H 方向に沿って延在する電源線 VDD および電源線 VSS (グランド線) とが接続されている。この単位回路 1 0 8 では、トランジスタ $Tr101$ のゲートおよびソースがともに信号線 L_{sig} に接続され、トランジスタ $Tr101$ のドレインが電源線 VDD に接続されている。また、トランジスタ $Tr102$ のゲートおよびソースがともに電源線 VSS に接続され、トランジスタ $Tr102$ のドレインが信号線 L_{sig} に接続されている。このような回路構成により、トランジスタ $Tr101$, $Tr102$ はそれぞれ、図中に破線で示した向きのダイオード (整流素子) として機能するようになっている。すなわち、アノードが電源線 VDD に接続されると共にカソードが信号線 L_{sig} に接続されたダイオードと、アノードが信号線 L_{sig} に接続されると共にカソードが電源線 VSS に接続されたダイオードとが配置されていることに相当する。

【 0 0 3 4 】

このような構成により単位回路 1 0 8 では、信号線 L_{sig} に対して正電荷の静電気が入力すると、その静電気の電荷は、トランジスタ $Tr101$ を介して電源線 VDD へ放出される。また、信号線 L_{sig} に対して負電荷の静電気が入力すると、その静電気の電荷は、トランジスタ $Tr102$ を介して電源線 VSS へ放出される。このようにして比較例 1 では、信号線 L_{sig} を介して入力する静電気に対して内部の素子が保護されるようになっている。

【 0 0 3 5 】

ところが、この比較例 1 の静電気保護部では、トランジスタ $Tr101$, $Tr102$ においてそれぞれ、ソースとゲートとが互いに接続されており、常に $V_{gs} = 0V$ に設定されていることに起因して、以下の問題が生じる。すなわち、例えば図 8 中の矢印 $P101$ で示したように、トランジスタ $Tr101$, $Tr102$ における閾値電圧 V_{th} がマイナス側に多少でも変動すると、トランジスタ $Tr101$, $Tr102$ におけるリーク電流が著し

10

20

30

40

50

く増加してしまう（図 8 中の矢印 P 1 0 2 参照）。このため、そのようなトランジスタ T_{r1101} 、 T_{r102} でのリーク電流に起因して、各画素 2 0 からの信号（電荷）の読み出し動作の際に、信号線 L_{sig} における電位変動（電荷消失）が生じてしまう。このため、特に前述したパッシブ型の画素回路構成の場合、撮像画像において線欠陥等の画質劣化が発生してしまうことになる。

【 0 0 3 6 】

また、この比較例 1 の静電気保護部では、各信号線 L_{sig} と 2 つの電源線 V_{DD} 、 V_{SS} とが交差していることから、以下の問題も生じる。すなわち、これらの配線間に形成される寄生容量 C_p （図 7 中に破線で図示）が大きくなり、消費電力が増加したり、信号線 L_{sig} における電圧波形がなまってしまったりする。

10

【 0 0 3 7 】

（ 2 - 2 . 比較例 2 ）

図 9 は、比較例 2 に係る静電気保護部の回路構成を表したものである。この比較例 2 の静電気保護部は、H 方向に沿って延在する複数の単位回路 2 0 8（静電気保護回路）を有している。各単位回路 2 0 8 には、V 方向に沿って延在する複数の信号線（ここでは、3 つの信号線 $L_{sig201} \sim L_{sig203}$ を図示）と、H 方向に沿って延在する 1 つの保護制御線 L_{ctl1} とが接続されている。また、各単位回路 2 0 8 は、隣接する一对の信号線間（ここでは、信号線 L_{sig201} 、 L_{sig202} 間および信号線 L_{sig202} 、 L_{sig203} 間）に配設されている。

【 0 0 3 8 】

単位回路 2 0 8 は、N チャネル型（N 型）の FET からなる 1 つのトランジスタ T_{r201} を有している。この単位回路 2 0 8 では、トランジスタ T_{r201} のゲートが保護制御線 L_{ctl1} に接続され、ソースが上記一对の信号線のうちの一方の信号線に接続され、ドレインが他方の信号線に接続されている。

20

【 0 0 3 9 】

このような構成により単位回路 2 0 8 では、例えば装置電源がオフ状態（装置停止状態）のときに、一方の信号線に対して負電荷の静電気が入力すると、 $V_{gs} > 0$ となってトランジスタ T_{r201} がオン状態となることから、その静電気の電荷が他方の信号線側へ放出される。これにより比較例 2 では、信号線 L_{sig} を介して入力する負電荷の静電気に対しては、内部の素子が保護されるようになっている。

30

【 0 0 4 0 】

ところが、例えば装置電源がオフ状態のときに、一方の信号線に対して正電荷の静電気が入力した場合には、 $V_{gs} < 0$ のままである（ $V_{gs} > 0$ とはならない）ことから、トランジスタ T_{r201} がオン状態とはならず、その静電気の電荷が他方の信号線側へ放出されない。すなわち、この比較例 2 の静電気保護部では、静電気が負電荷である場合には有効に動作する（内部の素子が有効に保護される）ものの、静電気が正電荷である場合には、有効に動作しない（内部の素子が有効に保護されない）。このように比較例 2 では、装置電源がオフ状態のときに、静電気からの有効な保護がなされない場合もあり得るのである。

【 0 0 4 1 】

また、この比較例 2 の静電気保護部では、本実施の形態の静電気保護部 1 8 とは異なり、単位回路 2 0 8 のいずれもが一对の信号線間に配置されている（単位回路 2 0 8 が電源線やグランド線に接続されていない）ことから、以下の問題も生じ得る。すなわち、信号線を介して入力された静電気の電荷の最終的な放出経路が存在しないため、電界の放出効果（静電気からの保護機能）が不十分となり、場合によっては一部の素子が保護しきれないおそれがある。

40

【 0 0 4 2 】

（ 2 - 3 . 本実施の形態 ）

これに対して本実施の形態では、図 4 に示した構成の複数の単位回路 1 8 0 が静電気保護部 1 8 内に設けられていることにより、各単位回路 1 8 0 では以下詳述する動作がなさ

50

れ、その結果、上記比較例 1, 2 と比べて静電気からの保護がより確実に行われる。

【0043】

(A. 装置電源がオン状態のとき)

まず、装置電源がオン状態のときには、保護制御線 L_{ctl1} の電位 V_{ctl1} が、トランジスタ T_{r1} がオフ状態となるように設定されている。このため、例えば図 10 に示したように、装置電源がオン状態のときには、静電気保護部 18 内の各単位回路 180 では、トランジスタ T_{r1} が常にオフ状態となる。すなわち、装置電源がオン状態のときには、静電気保護部 18 は無効状態（非アクティブ状態）となる。ここで、図 10 および後述する図 11, 図 12 ではそれぞれ、便宜上、各トランジスタ T_{r1} をスイッチとして図示している。

10

【0044】

(B. 装置電源がオフ状態のとき)

一方、装置電源がオフ状態のときには、各信号線 L_{sig} および保護制御線 L_{ctl1} がそれぞれフローティング状態となり、以下の図 11 および図 12 に示したように、静電気保護部 18 が有効状態（アクティブ状態）となる。また、撮像部 11 に対して何も接続されていない場合（例えば、撮像部 11 の製造工程中の場合）においても、同様のことが言える。なお、これらの図 11 および図 12 においては、便宜上、静電気保護部 18 内に図示した 6 つの単位回路 180 を、単位回路 180 - 1 ~ 180 - 6 として示している。

【0045】

(正電荷の静電気が入力した場合)

20

ここで、例えば図 11 (A) に示したように、信号線 L_{sig5} を介して正電荷の静電気が入力すると（図中の矢印 P 21 参照）、単位回路 180 - 5 内のトランジスタ T_{r1} において、ソース - ドレイン間の電圧 $V_{ds} > 0$ となる。また、それに伴い、容量素子 C_1 による容量結合によって、トランジスタ T_{r1} のゲート電位も上昇し（図中の矢印 P 22 参照）、ゲート - ソース間の電圧 $V_{gs} > 0$ となる。したがって、この単位回路 180 - 5 内のトランジスタ T_{r1} が選択的にオン状態となり、信号線 L_{sig5} を介して単位回路 180 - 5 内に入力した静電気の電荷（正電荷）が、トランジスタ T_{r1} のソース側（信号線 L_{sig6} 側）へと放出される（図中の矢印 P 21 参照）。すなわち、隣接する 2 つの信号線 L_{sig5} , L_{sig6} 同士が、電氣的に短絡状態（ショート状態）となる。また、このとき、単位回路 180 - 5 内の抵抗素子 R_1 によって、トランジスタ T_{r1} のゲートと保護制御線 L_{ctl1} との電位差が一定期間保持されることから、トランジスタ T_{r1} が瞬時にオフしてしまう（オフ状態となってしまう）おそれが回避される。なお、このときトランジスタ T_{r1} が瞬時にオフしてしまうと、信号線 L_{sig5} に入力した静電気の電荷を信号線 L_{sig6} へ放出することができなくなってしまう。

30

【0046】

次いで、例えば図 11 (B) に示したように、信号線 L_{sig6} 側に放出された静電気の電荷（正電荷）は、単位回路 180 - 5 と隣接する単位回路 180 - 6 へ入力される（図中の矢印 P 23 参照）。すると、この単位回路 180 - 6 においても、上記と同様にしてトランジスタ T_{r1} が選択的にオン状態となる。すなわち、 $V_{ds} > 0$ になると共に、容量素子 C_1 による容量結合によってゲート電位も上昇し（図中の矢印 P 24 参照）、 $V_{gs} > 0$ となる。したがって、単位回路 180 - 5 側から単位回路 180 - 6 内に入力した静電気の電荷（正電荷）が、トランジスタ T_{r1} のソース側（グラウンド線 L_{gnd} 側）へと放出される（図中の矢印 P 23 参照）。すなわち、隣接する信号線 L_{sig6} およびグラウンド線 L_{gnd} 同士が電氣的に短絡状態となり、静電気の電荷（正電荷）が最終的にグラウンド線 L_{gnd} へと放出される。このようにして、装置電源がオフ状態のときに信号線 L_{sig} を介して正電荷の静電気が入力されると、静電気保護部 18 内の単位回路 180 において、次々に（順次に）トランジスタ T_{r1} がオン状態となり、最終的に電源線（図示せず）またはグラウンド線 L_{gnd} へと放出される。このとき、電荷が次々に分配されていくことから、電位は次第に低下していくことになる。その結果、上記比較例 1, 2 と比べ、静電気からの保護がより確実に行われる。

40

50

【 0 0 4 7 】

(負電荷の静電気が入力した場合)

一方、例えば図 1 2 (A) に示したように、信号線 L sig 5 を介して負電荷の静電気が入力すると (図中の矢印 P 3 1 参照)、上記した正電荷の場合とは逆方向である単位回路 1 8 0 - 4 内のトランジスタ T r 1 において、 $V_{ds} > 0$ かつ $V_{gs} > 0$ となる。したがって、この単位回路 1 8 0 - 4 内のトランジスタ T r 1 が選択的にオン状態となり、信号線 L sig 5 を介して単位回路 1 8 0 - 4 内に入力した静電気の電荷 (負電荷) が、トランジスタ T r 1 のドレイン側 (信号線 L sig 4 側) へと放出される (図中の矢印 P 3 1 参照)。すなわち、隣接する 2 つの信号線 L sig 5 , L sig 4 同士が、電氣的に短絡状態となる。また、このときも単位回路 1 8 0 - 4 内の抵抗素子 R 1 によって、トランジスタ T r 1 のゲートと保護制御線 L ct l 1 との電位差が一定期間保持されることから、トランジスタ T r 1 が瞬時にオフしてしまうおそれが回避される。

10

【 0 0 4 8 】

次いで、例えば図 1 2 (B) に示したように、信号線 L sig 4 側に放出された静電気の電荷 (負電荷) は、単位回路 1 8 0 - 4 と隣接する単位回路 1 8 0 - 3 へ入力される (図中の矢印 P 3 2 参照)。すると、この単位回路 1 8 0 - 3 においても、上記と同様にして $V_{ds} > 0$ かつ $V_{gs} > 0$ となり、トランジスタ T r 1 が選択的にオン状態となる。したがって、単位回路 1 8 0 - 4 側から単位回路 1 8 0 - 3 内に入力した静電気の電荷 (負電荷) が、トランジスタ T r 1 のドレイン側 (信号線 L sig 3 側) へと放出される (図中の矢印 P 3 2 参照)。すなわち、隣接する信号線 L sig 4 , L sig 3 同士が電氣的に短絡状態となる。なお、以降も同様の動作が連続的に行われることにより、静電気の電荷 (負電荷) が、最終的に電源線 (図示せず) またはグランド線 L gnd へと放出される。このようにして、装置電源がオフ状態のときに信号線 L sig を介して負電荷の静電気が入力されると、静電気保護部 1 8 内の単位回路 1 8 0 において、次々に (順次に) トランジスタ T r 1 がオン状態となり、最終的に電源線 (図示せず) またはグランド線 L gnd へと放出される。このときも電荷が次々に分配されていくことから、電位は次第に低下していくことになる。その結果、この場合も上記比較例 1 , 2 と比べ、静電気からの保護がより確実に行われる。

20

【 0 0 4 9 】

以上のように本実施の形態では、信号線 L sig、グランド線 L gnd (接地線) および電源線 (図示せず) からなる複数の配線のうちの一の信号線 L ig と他の一の配線との間に、単位回路 1 8 0 を有する静電気保護部 1 8 を設けるようにしたので、これらの配線のうちの一方の配線に対して正電荷または負電荷の静電気が入力された場合のいずれにおいても、他方の配線側にその静電気の電荷を放出することができる。よって、静電気からの保護をより確実に行うことが可能となり (静電耐圧を向上させることができ)、静電気による素子の特性変化を低減したり歩留まりを向上させることが可能となる。また、この静電気保護部 1 8 では、上記したように、静電気自身の電荷を利用してその静電気の電荷を放出させるようにしていることから、特殊なデバイスを別途設けることなく、静電耐圧を向上させることが可能となる。

30

【 0 0 5 0 】

また、装置電源がオン状態のときには、トランジスタ T r 1 の閾値電圧 V_{th} 等がばらついてリーク電流が小さくなるように制御されているため、各画素 2 0 からの信号 (電荷) の読み出し動作の際に、信号線 L sig における電位変動 (電荷消失) を抑えることができる。よって、画素 2 0 が前述したパッシブ型の回路構成であっても、撮像画像における線欠陥等の画質劣化の発生を低減することが可能となる。

40

【 0 0 5 1 】

更に、単位回路 1 8 0 内に抵抗素子 R 1 を設けるようにしたので、トランジスタ T r 1 のゲートと保護制御線 L ct l 1 との電位差を一定期間保持することができ、トランジスタ T r 1 が瞬時にオフしてしまうのを回避し、静電気保護部 1 8 をより確実に動作させることが可能となる。

50

【 0 0 5 2 】

加えて、複数の単位回路 1 8 0 が、隣接する複数の配線（ここでは、複数の信号線 L s i g 1 ~ L s i g 6 およびグランド線 L g n d 等）の間に連続的に配設されているようにしたので、静電気の電荷を最終的に電源線（図示せず）またはグランド線 L g n d へと放出することができ、静電気からの保護を更に確実にを行うことが可能となる。

【 0 0 5 3 】

< 変形例 >

続いて、上記実施の形態の変形例（変形例 1 ~ 6）について説明する。なお、実施の形態における構成要素と同一のものには同一の符号を付し、適宜説明を省略する。

【 0 0 5 4 】

10

[変形例 1]

図 1 3 は、変形例 1 に係る静電気保護部（静電気保護部 1 8 A）の回路構成を表したものである。本変形例の静電気保護部 1 8 A は、H 方向に沿って延在する複数の単位回路 1 8 0 A（静電気保護回路）を有している。

【 0 0 5 5 】

本変形例の単位回路 1 8 0 A は、上記実施の形態の単位回路 1 8 0 において、N チャネル型（N 型）の F E T からなるトランジスタ T r 1 の代わりに、P チャネル型（P 型）の F E T からなるトランジスタ T r 1 を用いるようにしたものである。

【 0 0 5 6 】

また、本変形例においても、保護制御線 L c t l 1 の電位 V c t l 1 は、装置電源がオン状態のときにトランジスタ T r 1 がオフ状態となるように設定されている。具体的には、例えば図 1 4 に示したように、トランジスタ T r 1 におけるゲート - ソース間電圧 V g s > 0 を満たすように、保護制御線 L c t l 1 の電位 V c t l 1 が信号線 L s i g の電位（信号電圧）V s i g よりも高く設定されている。また、このときも、信号線 L s i g の電位 V s i g が変化した場合でも V g s > 0 を満たすように、保護制御線 L c t l 1 の電位 V c t l 1 が設定されている。これにより、図 1 4 中の矢印 P 4 1 で示したように、トランジスタ T r 1 における閾値電圧 V t h がプラス側（正側）に多少変動した場合であっても、このトランジスタ T r 1 におけるリーク電流（オフ状態のときの漏れ電流）を低く抑えることができる。したがって、本変形例においても上記実施の形態と同様に、装置電源がオン状態の際に、そのようなトランジスタ T r 1 でのリーク電流に起因した各画素 2 0 からの信号（電荷）の読み出し動作への悪影響（電荷量の低減等）が抑えられるようになっている。

20

30

【 0 0 5 7 】

このようにして本変形例においても、上記実施の形態と同様の作用により同様の効果を得ることが可能である。ただし、特にトランジスタ T r 1 が多結晶半導体（多結晶シリコン等）を用いて構成されている場合、P チャネル型よりも N チャネル型のほうが、一般にリーク電流が少ないことから、上記実施の形態のようにトランジスタ T r 1 が N チャネル型であるほうが望ましいと言える。

【 0 0 5 8 】

[変形例 2]

図 1 5 は、変形例 2 に係る静電気保護部（静電気保護部 1 8 B）の回路構成を表したものである。本変形例の静電気保護部 1 8 B は、H 方向に沿って延在する複数の単位回路 1 8 0 B（静電気保護回路）を有している。

40

【 0 0 5 9 】

本変形例の単位回路 1 8 0 B は、上記実施の形態の単位回路 1 8 0 において、抵抗素子 R 1 の代わりにトランジスタ T r 2（第 2 のトランジスタ）を設け、このトランジスタ T r 2 が抵抗素子として機能するようにしたものとなっている。換言すると、この単位回路 1 8 0 B では、抵抗素子がトランジスタ T r 2 により構成されている。また、各単位回路 1 8 0 B には、これまで説明した保護制御線 L c t l 1 に加え、H 方向に沿って延在する保護制御線 L c t l 2（第 2 の制御線）もが接続されている。

【 0 0 6 0 】

50

この単位回路 180B では、トランジスタ T_{r1} のゲートが、トランジスタ T_{r2} のドレインおよびソース（抵抗素子の一端および他端）を介して、保護制御線 L_{ct1} と間接的に接続されている。すなわち、トランジスタ T_{r2} のソースが保護制御線 L_{ct1} に接続され、トランジスタ T_{r2} のドレインがトランジスタ T_{r1} のゲートに接続されている。また、トランジスタ T_{r2} のゲートは、保護制御線 L_{ct2} に接続されている。トランジスタ T_{r1} におけるソースおよびドレインのうち的一方（ここではドレイン）は、一の信号線 L_{sig} および容量素子 C_1 の一端に接続され、他方（ここではソース）が、前述した他の一の配線（ここでは信号線 L_{sig} またはグランド線 L_{gnd} ）に接続されている。容量素子 C_1 の他端は、トランジスタ T_{r1} のゲートおよびトランジスタ T_{r2} のドレインに接続されている。

10

【0061】

また、本変形例では、上記した保護制御線 L_{ct2} の電位は、装置電源がオン状態のときにトランジスタ T_{r2} がオン状態となるように設定されている。具体的には、トランジスタ T_{r2} におけるゲート-ソース間電圧 $V_{gs} > 0$ を満たすように、保護制御線 L_{ct2} の電位が設定されている。このようにして本変形例では、保護制御線 L_{ct2} を用いて、装置電源がオン状態のときにトランジスタ T_{r2} が確実にオン状態となるように設定することが可能となっている。

【0062】

このような構成により本変形例の静電気保護部 18B では、装置電源がオン状態のときには、上記したように各単位回路 180B 内のトランジスタ T_{r2} がオン状態となるため、抵抗素子としての抵抗値が相対的に低くなる。したがって、撮像動作の際に信号電圧 V_{sig} が変化し、容量素子 C_1 による容量結合によってトランジスタ T_{r1} のゲート電位も変動した場合において、リーク電流が増大しないようにゲート電位を戻す作用を大きくすることが可能となる。

20

【0063】

一方、装置電源がオフ状態のときには、保護制御線 L_{ct2} もフローティング状態となることから、上記とは逆に $V_{gs} = 0$ となるため、各単位回路 180B 内のトランジスタ T_{r2} がオフ状態となる。したがって、逆に抵抗素子としての抵抗値が相対的に高くなるため、トランジスタ T_{r1} が瞬時にオフしてしまうのをより確実に回避し、静電気保護部 18B をより確実に動作させることが可能となる。

30

【0064】

なお、本変形例では、トランジスタ T_{r1} 、 T_{r2} がいずれも N チャネル型の FET により構成されている場合について説明したが、例えば、これらのトランジスタ T_{r1} 、 T_{r2} のうちの少なくとも一方を P チャネル型の FET により構成してもよい。

【0065】

[変形例 3]

図 16 は、変形例 3 に係る静電気保護部（静電気保護部 18C）の回路構成を表したものである。本変形例の静電気保護部 18C は、H 方向に沿って延在する複数の単位回路 180C（静電気保護回路）を有している。

【0066】

本変形例の単位回路 180C は、上記実施の形態の単位回路 180 において、抵抗素子 R_1 を設けないようにした（省いた）ものであり、他の構成は同様となっている。これにより、各単位回路 180C では、トランジスタ T_{r1} のゲートが、保護制御線 L_{ct1} と直接接続されている。

40

【0067】

このように、場合によっては、静電気保護部における各単位回路において抵抗素子を設けないようにしてもよい。ただし、前述したように、トランジスタ T_{r1} が瞬時にオフしてしまうのを回避し、静電気保護部をより確実に動作させることが可能となることから、抵抗素子を設けたほうが望ましいと言える。

【0068】

50

なお、本変形例では、トランジスタ $T r 1$ が N チャネル型の $F E T$ により構成されている場合について説明したが、例えば上記変形例 1 と同様に、トランジスタ $T r 1$ を P チャネル型の $F E T$ により構成してもよい。

【 0 0 6 9 】

[変形例 4 ~ 6]

図 1 7 (A) ~ (C) はそれぞれ、変形例 4 ~ 6 に係る撮像部 (撮像部 1 1 A ~ 1 1 C) の概略構成例を模式的に表したものである。

【 0 0 7 0 】

まず、図 1 7 (A) に示した変形例 4 に係る撮像部 1 1 A は、上記実施の形態の撮像部 1 1 における光電変換層 1 1 1 の代わりに、撮像素子 1 1 2 および縮小光学系 1 1 3 を有している。撮像素子 1 1 2 は、撮像光 $L i n$ を検出して出力データ $D o u t$ (撮像信号) を取得する素子である。このような撮像素子 1 1 2 は、例えば、 $C C D$ (Charge-Coupled Devices) や $C M O S$ (Complementary Metal-Oxide Semiconductor) 等のイメージングセンサーを用いて構成することが可能である。縮小光学系 1 1 3 は、撮像素子 1 1 2 の受光面に配設されており、例えばマイクロレンズアレイなどからなる。このような構成により、本変形例の撮像部 1 1 A においても上記実施の形態の撮像部 1 1 と同様に、入射した撮像光 $L i n$ に基づく情報の読み取りを行うことが可能となっている。

【 0 0 7 1 】

一方、図 1 7 (B) に示した変形例 5 に係る撮像部 1 1 B は、上記実施の形態で説明した光電変換層 1 1 1 に加え、波長変換層 1 1 4 を更に有している。具体的には、光電変換層 1 1 1 上 (撮像部 1 1 B の受光側) に、波長変換層 1 1 4 が設けられている。また、図 1 7 (C) に示した変形例 6 に係る撮像部 1 1 C は、上記変形例 4 で説明した撮像素子 1 1 2 および縮小光学系 1 1 3 に加え、波長変換層 1 1 4 を更に有している。具体的には、縮小光学系 1 1 3 上 (撮像部 1 1 C の受光側) に、波長変換層 1 1 4 が設けられている。

【 0 0 7 2 】

波長変換層 1 1 4 は、放射線 $R r a d$ (線 , 線 , 線 , X 線等) を、光電変換層 1 1 1 または撮像素子 1 1 2 の感度域に波長変換するものであり、これにより光電変換層 1 1 1 および撮像素子 1 1 2 では、この放射線 $R r a d$ に基づく情報を読み取ることが可能となっている。この波長変換層 1 1 4 は、例えば X 線などの放射線を可視光に変換する蛍光体 (例えば、シンチレータ) からなる。このような波長変換層 1 1 4 は、例えば光電変換層 1 1 1 または縮小光学系 1 1 3 の上部に、有機平坦化膜、スピノングラス材料等からなる平坦化膜を形成し、その上部に蛍光体膜を $C s I$ 、 $N a I$ 、 $C a F_2$ 等によって形成することにより得られる。

【 0 0 7 3 】

このような構成の撮像部 1 1 B , 1 1 C を備えた変形例 5 , 6 に係る撮像装置では、撮像部 1 1 B , 1 1 C が、入射した放射線 $R r a d$ に応じて電気信号を発生するものとなっており、放射線撮像装置として構成されている。このような放射線撮像装置は、例えば医療機器 (Digital Radiography 等の X 線撮像装置) や、空港等で用いられる携帯物検査用 X 線撮影装置、工業用 X 線撮像装置 (例えば、コンテナ内の危険物等の検査や、靴等の中身の検査を行う装置) などに適用することが可能である。

【 0 0 7 4 】

< 適用例 >

続いて、上記実施の形態および各変形例 (変形例 1 ~ 6) に係る撮像装置の撮像表示システムへの適用例について説明する。

【 0 0 7 5 】

図 1 8 は、適用例に係る撮像表示システム (撮像表示システム 5) の概略構成例を模式的に表したものである。この撮像表示システム 5 は、上記実施の形態等に係る撮像部 1 1 (1 1 A ~ 1 1 C) 等を有する撮像装置 1 と、画像処理部 5 2 と、表示装置 4 とを備えており、この例では放射線を用いた撮像表示システムとして構成されている。

【 0 0 7 6 】

画像処理部 5 2 は、撮像装置 1 から出力される出力データ D out (撮像信号) に対して所定の画像処理を施すことにより、画像データ D 1 を生成するものである。表示装置 4 は、画像処理部 5 2 において生成された画像データ D 1 に基づく画像表示を、所定のモニタ画面 4 0 上で行うものである。

【 0 0 7 7 】

このような構成からなる撮像表示システム 5 では、撮像装置 1 (ここでは放射線撮像装置) が、放射線源 (例えば X 線源) 5 1 から被写体 5 0 に向けて照射された放射線に基づき、被写体 5 0 の画像データ D out を取得し、画像処理部 5 2 へ出力する。画像処理部 5 2 は、入力された画像データ D out に対して上記した所定の画像処理を施し、その画像処理後の画像データ (表示データ) D 1 を表示装置 4 へ出力する。表示装置 4 は、入力された画像データ D 1 に基づいて、モニタ画面 4 0 上に画像情報 (撮像画像) を表示する。

10

【 0 0 7 8 】

このように、本適用例の撮像表示システム 5 では、撮像装置 1 において被写体 5 0 の画像を電気信号として取得可能であるため、取得した電気信号を表示装置 4 へ伝送することで、画像表示を行うことができる。すなわち、従来のような放射線写真フィルムを用いることなく、被写体 5 0 の画像を観察することが可能となり、また、動画撮影および動画表示にも対応することが可能となる。

【 0 0 7 9 】

なお、本適用例では、撮像装置 1 が放射線撮像装置として構成されており、放射線を用いた撮像表示システムとなっている場合を例に挙げて説明したが、本開示の撮像表示システムは、他の方式の撮像装置を用いたものにも適用することが可能である。

20

【 0 0 8 0 】

< その他の変形例 >

以上、実施の形態、変形例および適用例を挙げて本技術を説明したが、本技術はこれらの実施の形態等に限定されず、種々の変形が可能である。

【 0 0 8 1 】

例えば、上記実施の形態等では、静電気保護部内に単位回路 (静電気保護回路) が複数設けられている場合について説明したが、これには限られず、静電気保護部内に単位回路が 1 つだけ設けられているようにしてもよい。

【 0 0 8 2 】

30

また、撮像部における画素の回路構成は、上記実施の形態等で説明したもの (画素 2 0 の回路構成) には限られず、他の回路構成であってもよい。すなわち、例えば、光電変換素子 2 1 のアノードが蓄積ノード N に接続されていると共に、カソードが電源 V D D に接続されているようにしてもよい。また、例えば画素内に、所定のソースフォロワ回路が設けられているようにしてもよい。

【 0 0 8 3 】

更に、上記実施の形態等で説明した撮像部 1 1、行走査部 1 3、A / D 変換部 1 4 (列選択部 1 7)、列走査部 1 5 および静電気保護部 1 8 はそれぞれ、同一基板上に形成されているようにしてもよい。具体的には、例えば低温多結晶シリコン (S i) などの多結晶半導体を用いることにより、これらの回路部分におけるスイッチ等も同一基板上に形成することができ、例えば外部のシステム制御部 1 6 からの制御信号に基づいて同一基板上における駆動動作が可能となる。

40

【 0 0 8 4 】

加えて、上記実施の形態等では、本技術における「信号伝達装置」の一例として、複数の画素 (撮像素素) が信号の入力動作 (撮像動作) を行う撮像装置を挙げて説明したが、これには限られない。すなわち、上記実施の形態等で説明した静電気保護部 (静電気保護回路) は、複数の画素において信号の入力動作 (撮像動作) および出力動作 (表示動作) のうちの少なくとも一方の動作を行う信号伝達装置において適用することが可能である。

【 0 0 8 5 】

具体的には、例えば図 1 9 に示した表示装置 3 (信号伝達装置) では、複数の画素 6 0

50

(表示画素)が信号の出力動作(表示動作)を行うようになっている。この表示装置3は、複数の画素60を有する表示部31と、信号線Lsigに対して映像信号を供給する信号線駆動部32(データドライバ)と、書き込み制御線Lwrite(ゲート線)をV方向に順次走査する行走査部33(ゲートドライバ)と、システム制御部34とを備えている。表示装置3にはまた、上記実施の形態等で説明した静電気保護部18(18A~18C)が設けられている。システム制御部34は、信号線駆動部32および行走査部33の動作を制御するものである。また、各画素60には、表示素子61(例えば液晶素子や有機EL(Electro Luminescence)素子等)と、スイッチング素子としてのトランジスタ62とが設けられ、信号線Lsigおよび書き込み制御線Lwriteが接続されている。このような構成の表示装置3においても、上記実施の形態と同様の作用により同様の効果を得ることが可能である。

10

【0086】

なお、本技術は以下のような構成を取ることも可能である。

(1)

信号の入力動作および出力動作のうちの少なくとも一方の動作を行う複数の画素と、前記画素に接続された1または複数の信号線と、前記信号線を含む複数の配線と、前記複数の配線のうちの1の信号線と他の1の配線との間に配設され、第1トランジスタおよび容量素子を有する1または複数の静電気保護回路と、前記静電気保護回路に接続された第1制御線とを備え、前記静電気保護回路では、前記第1トランジスタのゲートが、前記第1制御線と直接もしくは間接的に接続され、前記第1トランジスタにおけるソースおよびドレインのうちの一方が、前記1の信号線および前記容量素子の一端に接続されると共に、他方が前記他の1の配線に接続され、前記容量素子の他端が、前記第1トランジスタのゲートに接続されている信号伝達装置。

20

(2)

前記静電気保護回路は、抵抗素子を更に有し、前記抵抗素子の一端は、前記第1制御線に接続され、前記抵抗素子の他端は、前記第1トランジスタのゲートおよび前記容量素子の他端に接続されている。

30

上記(1)に記載の信号伝達装置。

(3)

前記抵抗素子が、第2トランジスタにより構成されている

上記(2)に記載の信号伝達装置。

(4)

前記抵抗素子の一端および他端が、前記第2トランジスタのソースまたはドレインであり、

前記第2トランジスタのゲートには、第2制御線が接続されている

40

上記(3)に記載の信号伝達装置。

(5)

装置電源がオン状態のときに前記第2トランジスタがオン状態となるように、前記第2制御線の電位が設定されている

上記(4)に記載の信号伝達装置。

(6)

装置電源がオン状態のときに前記第1トランジスタがオフ状態となるように、前記第1制御線の電位が設定されている

上記(1)ないし(5)のいずれか1項に記載の信号伝達装置。

(7)

50

前記他の一の配線が、前記複数の配線のうちの、他の一の信号線、一の電源線または一の接地線である

上記(1)ないし(6)のいずれか1項に記載の信号伝達装置。

(8)

前記複数の静電気保護回路が、

前記一の信号線と前記他の一の信号線との間に配設された、1または複数の第1保護回路と、

前記一の信号線と、前記一の電源線または前記一の接地線との間に配設された、1または複数の第2保護回路とからなる

上記(7)に記載の信号伝達装置。

10

(9)

前記第1保護回路および前記第2保護回路が、隣接する複数の配線間で連続的に配設されている

上記(8)に記載の信号伝達装置。

(10)

前記複数の画素は、信号の入力動作としての撮像動作を行うものであり、撮像装置として構成されている

上記(1)ないし(9)のいずれか1項に記載の信号伝達装置。

(11)

前記複数の画素は、前記撮像動作として、入射した放射線に応じて電気信号を発生するものであり、放射線撮像装置として構成されている

20

上記(10)に記載の信号伝達装置。

(12)

前記放射線がX線である

上記(11)に記載の信号伝達装置。

(13)

前記複数の画素は、信号の出力動作としての表示動作を行うものであり、表示装置として構成されている

上記(1)ないし(9)のいずれか1項に記載の信号伝達装置。

(14)

30

撮像装置と、この撮像装置により得られた撮像信号に基づく画像表示を行う表示装置とを備え、

前記撮像装置は、

撮像動作を行う複数の画素と、

前記画素に接続された1または複数の信号線と、

前記信号線を含む複数の配線と、

前記複数の配線のうちの一の信号線と他の一の配線との間に配設され、第1トランジスタおよび容量素子を有する1または複数の静電気保護回路と、

前記静電気保護回路に接続された第1制御線と

を備え、

40

前記静電気保護回路では、

前記第1トランジスタのゲートが、前記第1制御線と直接もしくは間接的に接続され、

前記第1トランジスタにおけるソースおよびドレインのうちの一方が、前記一の信号線および前記容量素子の一端に接続されると共に、他方が前記他の一の配線に接続され、

前記容量素子の他端が、前記第1トランジスタのゲートに接続されている

撮像表示システム。

【符号の説明】

【0087】

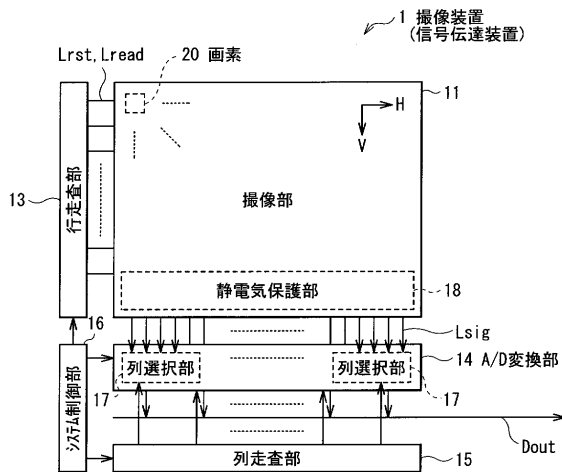
1...撮像装置(信号伝達装置)、11, 11A~11C...撮像部、111...光電変換層、112...撮像素子、113...縮小光学系、114...波長変換層、13...行走査部、14

50

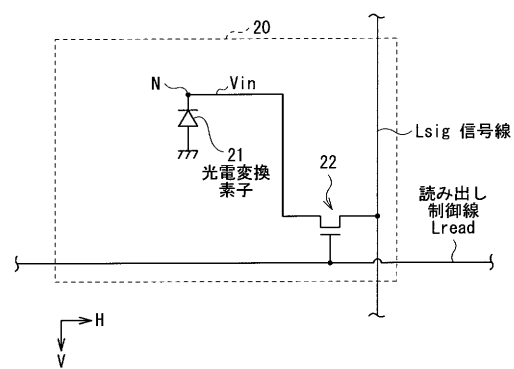
... A / D 変換部、15 ... 列選択部、16 ... システム制御部、17 ... 列選択部、18, 18A ~ 18C ... 静電気保護部、180, 180-1 ~ 180-6, 180A ~ 180C ... 単位回路 (静電気保護回路)、20 ... 画素 (撮像素素)、21 ... 光電変換素子、22 ... トランジスタ、3 ... 表示装置 (信号伝達装置)、31 ... 表示部、32 ... 信号線駆動部、33 ... 行走査部、34 ... システム制御部、4 ... 表示装置、40 ... モニタ画面、5 ... 撮像表示システム、50 ... 被写体、51 ... 放射線源、52 ... 画像処理部、60 ... 画素 (表示画素)、61 ... 表示素子、62 ... トランジスタ、Vin ... 入力電圧、Lread ... 読み出し制御線、Lsig, Lsig1 ~ Lsig6 ... 信号線、Lgnd ... グランド線 (接地線)、Lct11, Lct12 ... 保護制御線、Lwrite ... 書き込み制御線 (ゲート線)、Dout ... 出力データ (撮像信号)、D1 ... 撮像信号、N ... 蓄積ノード、Lin ... 撮像光、Rrad ... 放射線、Tr1, Tr2 ... トランジスタ、C1 ... 容量素子、R1 ... 抵抗素子。

10

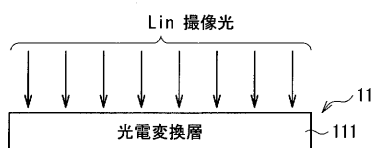
【図1】



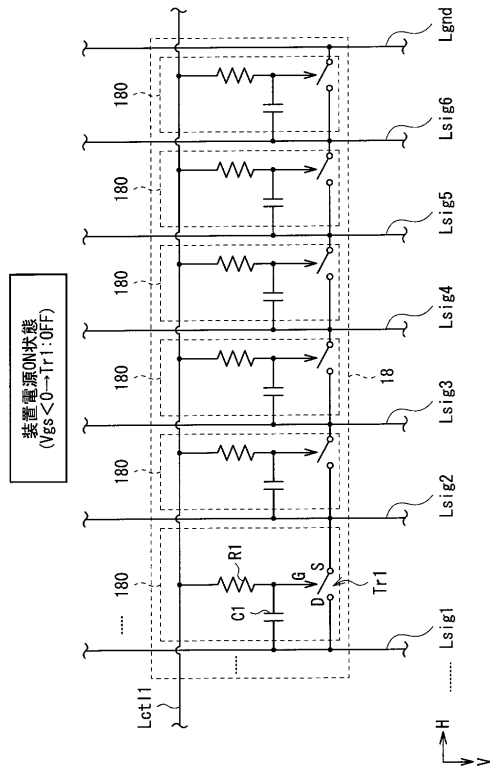
【図3】



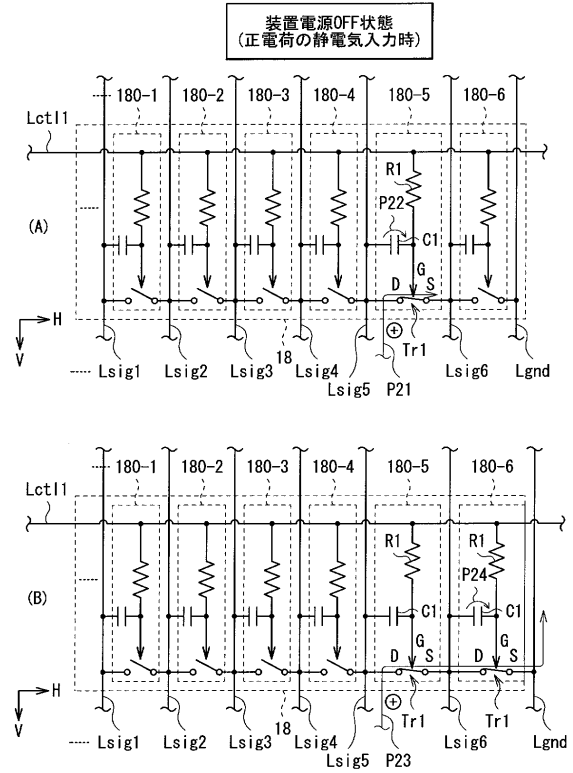
【図2】



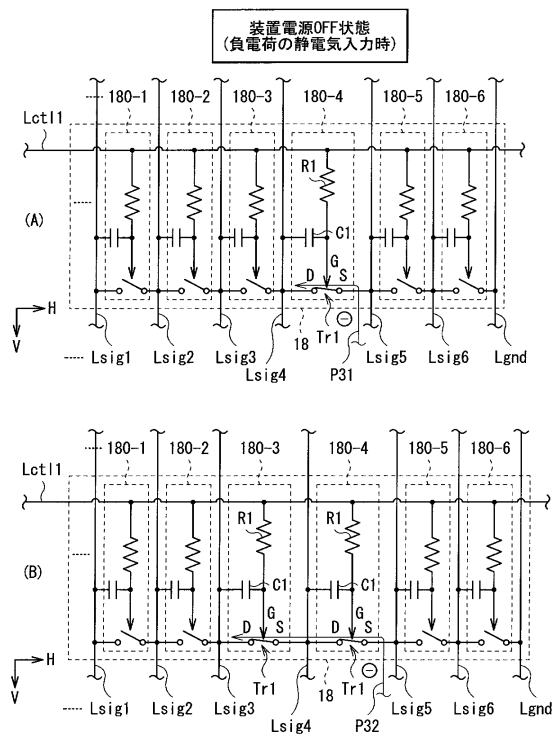
【図10】



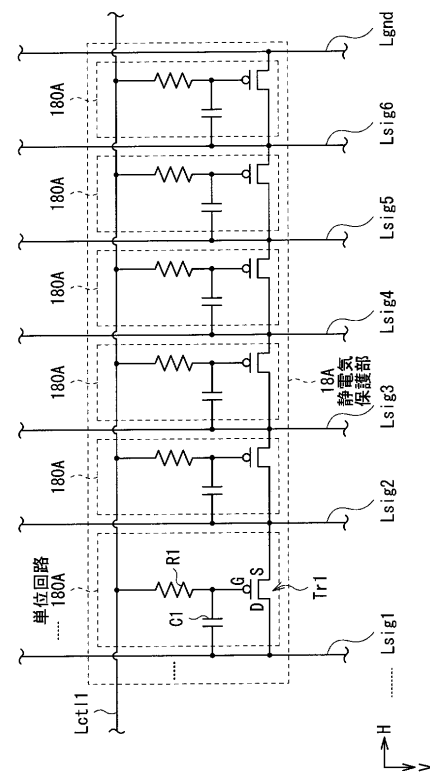
【図11】



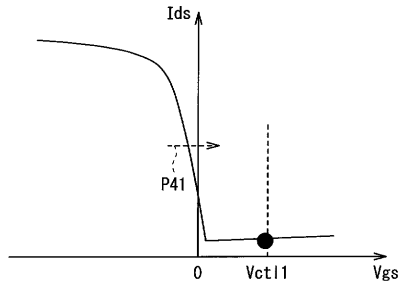
【図12】



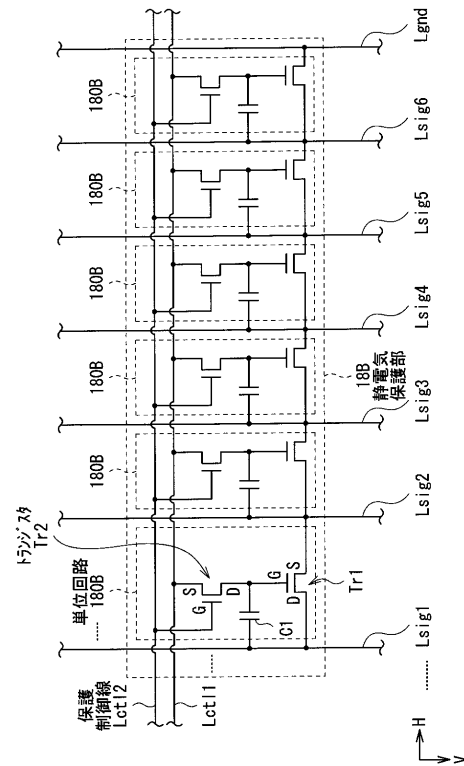
【図13】



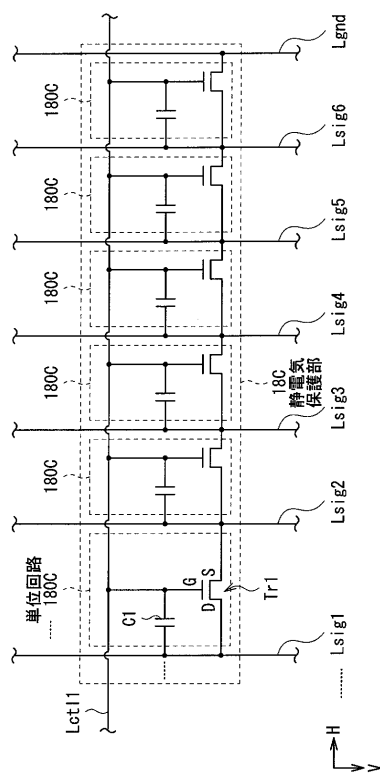
【図 14】



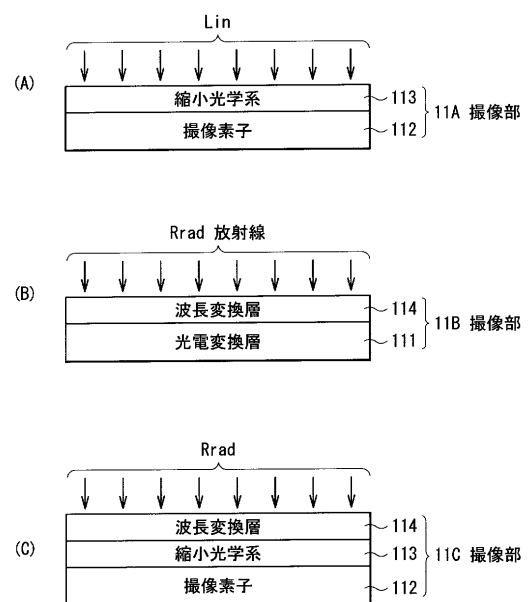
【図 15】



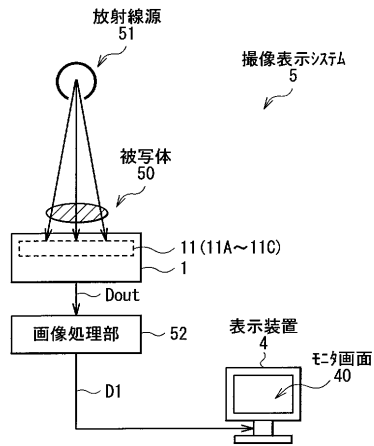
【図 16】



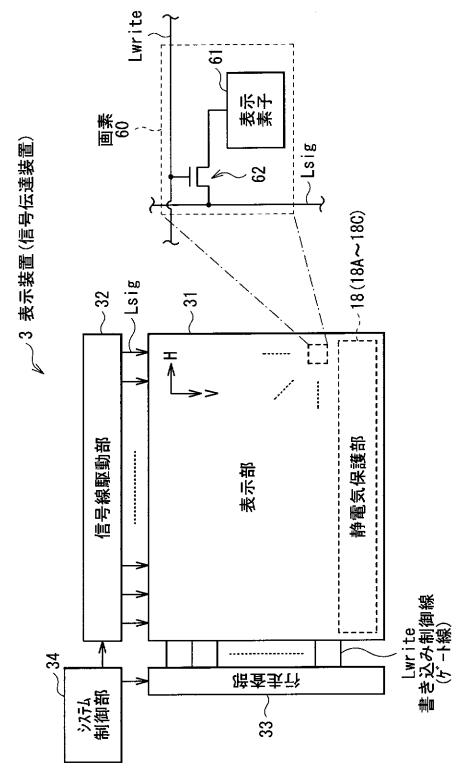
【図 17】



【図 18】



【図 19】



 フロントページの続き

(51)Int.Cl.		F I			
<i>H 0 4 N</i>	<i>5/369</i>	<i>(2011.01)</i>	<i>H 0 4 N</i>	<i>5/335</i>	<i>6 9 0</i>
<i>H 0 4 N</i>	<i>5/32</i>	<i>(2006.01)</i>	<i>H 0 4 N</i>	<i>5/32</i>	

審査官 羽鳥 友哉

(56)参考文献 特開 2 0 0 7 - 2 9 4 9 0 0 (J P , A)
 特開 2 0 0 5 - 0 5 6 8 9 2 (J P , A)
 特開 2 0 0 8 - 2 3 3 4 1 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L	2 7 / 1 4 6
H 0 1 L	2 1 / 8 2 2
H 0 1 L	2 7 / 0 4
H 0 1 L	2 7 / 0 6
H 0 1 L	2 9 / 7 8 6
H 0 4 N	5 / 3 2
H 0 4 N	5 / 3 6 9