(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년11월11일
(11) 등록번호 10-1568559
(24) 등록일자 2015년11월05일

(51) 국제특허분류(Int. Cl.)
H04L 1/18 (2006.01)
(21) 출원번호 10-2013-7005467
(22) 출원일자(국제) 2011년08월02일
심사청구일자 2013년02월28일
(85) 번역문제출일자 2013년02월28일
(65) 공개번호 10-2013-0079491
(43) 공개일자 2013년07월10일
(86) 국제출원번호 PCT/US2011/046291
(87) 국제공개번호 WO 2012/018833
국제공개일자 2012년02월09일
(30) 우선권주장
12/849,160 2010년08월03일 미국(US)
(56) 선행기술조사문헌
JP2004349884 A*
JP2008252503 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
코렐 셀레스티노 에이
미국 95110 캘리포니아주 샌호세 테크놀로지 드라이브 1700 퀄컴 애서러스 인코포레이티드 씨/오
(74) 대리인
특허법인코리아나

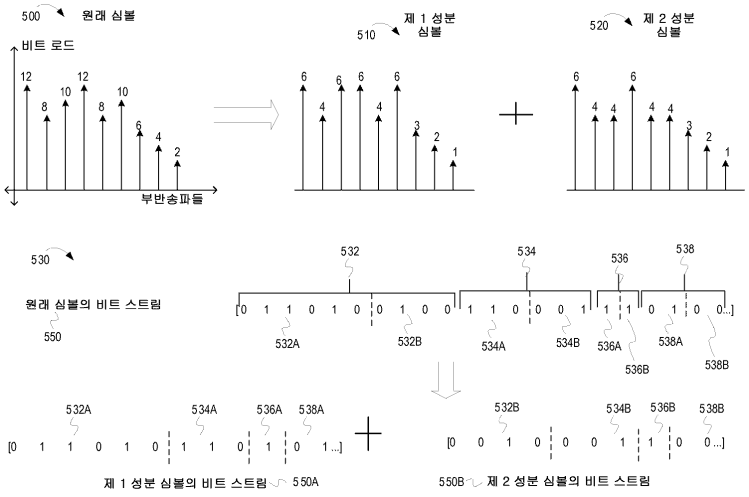
전체 청구항 수 : 총 46 항 심사관 : 성경아

(54) 발명의 명칭 **통신 네트워크들에 대한 동적 비트 할당**

(57) 요 약

유선 및 무선 통신 네트워크들은 스루풋의 손실 및 데이터 손상을 초래하는 버스트 간섭의 영향을 받을 수 있다. 송신 네트워크 디바이스 및 수신 네트워크 디바이스를 포함하는 통신 시스템에서, 송신 네트워크 디바이스는 실패한 패킷 송신의 패킷들을 재송신하기 위한 동적 비트 할당 기법을 구현하도록 구성될 수 있다. 수신 네트워크 디바이스로부터 재송신의 요청을 수신하면, 송신 네트워크 디바이스는 원래 심볼 당 2 개 이상의 성분 심볼들 전체에 걸쳐 원래 심볼들의 비트들을 동적으로 할당할 수 있다. 송신 네트워크 디바이스는 시간 다이버시티를 활용하기 위해 하나 이상의 재송신 패킷들 전체에 걸쳐 2 개 이상의 성분 심볼들을 할당할 수 있다. 송신 네트워크 디바이스는 또한 강건한 재송신 패킷들을 생성하기 위해 변조 및 코딩 스킴들과 다른 송신 파라미터들을 변화시킬 수 있다.

대 표 도



명 세 서

청구범위

청구항 1

제 1 네트워크 디바이스로부터 통신 네트워크의 제 2 네트워크 디바이스로 원래 (original) 패킷을 재송신하는 것을 결정하는 단계;

상기 원래 패킷의 원래 심볼에 대해, 상기 원래 심볼과 연관된 적어도 제 1 성분 심볼 및 제 2 성분 심볼에 걸쳐 상기 원래 심볼의 각각의 부반송파의 비트 로드를 할당하는 단계;

상기 제 1 성분 심볼 및 상기 제 2 성분 심볼을 적어도 제 1 재송신 패킷에 할당하는 단계; 및

상기 제 1 네트워크 디바이스로부터 상기 제 2 네트워크 디바이스로 상기 제 1 재송신 패킷을 송신하는 단계를 포함하는, 방법.

청구항 2

제 1 항에 있어서,

상기 원래 패킷을 재송신하는 것을 결정하는 단계는:

상기 제 1 네트워크 디바이스에서, 상기 제 2 네트워크 디바이스로부터 상기 원래 패킷의 송신이 실패했다는 것을 나타내는 통지를 수신하는 단계,

상기 제 1 네트워크 디바이스에서, 상기 원래 패킷의 확인응답이 확인응답 시간 간격 내에 상기 제 2 네트워크 디바이스로부터 수신되지 않았다는 것을 결정하는 단계, 및

상기 원래 패킷의 상기 송신과 연관된 비트 에러 레이트가 비트 에러 레이트 임계값보다 크다는 비트 에러 레이트 통지를 수신하는 단계로 이루어진 그룹 중 하나에 응답하는, 방법.

청구항 3

제 1 항에 있어서,

상기 제 1 네트워크 디바이스로부터 상기 원래 패킷을 재송신하기 위한 상기 제 2 네트워크 디바이스로부터 재송신 파라미터를 수신하는 단계를 더 포함하는, 방법.

청구항 4

제 1 항에 있어서,

상기 제 1 성분 심볼 및 상기 제 2 성분 심볼에 걸쳐 상기 원래 심볼의 각각의 부반송파의 상기 비트 로드를 할당하는 단계는 :

상기 원래 심볼의 각각의 부반송파의 상기 비트 로드의 서브세트를 상기 제 1 성분 심볼의 대응하는 부반송파의 제 1 성분 비트 로드에 할당하는 단계; 및

상기 원래 심볼의 각각의 부반송파의 상기 비트 로드의 나머지를 제 2 성분 심볼의 대응하는 부반송파의 제 2 성분 비트 로드에 할당하는 단계를 포함하는, 방법.

청구항 5

제 1 항에 있어서,

상기 원래 심볼의 각각의 부반송파에 대해,

상기 원래 심볼의 상기 부반송파와 연관된 상기 비트 로드를 식별하는 단계로서, 상기 비트 로드는 상기 원래 심볼의 상기 부반송파에 매핑되는 비트들의 수를 나타내는, 상기 비트 로드를 식별하는 단계; 및

상기 제 1 성분 심볼의 대응하는 부반송파의 제 1 성분 비트 로드와 상기 제 2 성분 심볼의 대응하는 부반송파

의 제 2 성분 비트 로드 사이에서 동일하게 상기 원래 심볼의 상기 부반송파의 상기 비트 로드를 할당할 것을 결정하는 단계를 더 포함하는, 방법.

청구항 6

제 5 항에 있어서,

상기 원래 심볼의 각각의 부반송파에 대해,

상기 부반송파의 상기 제 1 성분 비트 로드 및 상기 제 2 성분 비트 로드가 상기 제 1 네트워크 디바이스에서 지원되지 않는다는 것을 결정하는 단계로서, 상기 제 1 성분 비트 로드와 상기 제 2 성분 비트 로드 사이에서 동일하게 상기 원래 심볼의 상기 부반송파와 연관된 상기 비트 로드를 할당함으로써 상기 제 1 성분 비트 로드 및 상기 제 2 성분 비트 로드들이 결정되는, 상기 부반송파의 상기 제 1 성분 비트 로드 및 상기 제 2 성분 비트 로드가 상기 제 1 네트워크 디바이스에서 지원되지 않는다는 것을 결정하는 단계;

상기 부반송파의 상기 제 1 성분 비트 로드 및 상기 제 2 성분 비트 로드가 상기 제 1 네트워크 디바이스에서 지원되지 않는다는 것을 결정하는 단계에 응답하여, 상기 제 1 성분 비트 로드를 미리 정의된 값만큼 증분시키고 상기 제 2 성분 비트 로드를 상기 미리 정의된 값만큼 감분시키는 단계;

상기 부반송파의 상기 제 1 성분 비트 로드가 상기 원래 심볼의 상기 부반송파와 연관된 상기 비트 로드와 동일한지 여부 또는 상기 부반송파의 상기 제 2 성분 비트 로드가 0 과 동일한지 여부를 결정하는 단계; 및

상기 부반송파의 상기 제 1 성분 비트 로드가 상기 원래 심볼의 상기 부반송파와 연관된 상기 비트 로드와 동일하다는 것 또는 상기 부반송파의 상기 제 2 성분 비트 로드가 0 과 동일하다는 것을 결정하는 것에 응답하여, 상기 원래 심볼의 상기 부반송파와 연관된 상기 비트 로드를 상기 부반송파의 상기 제 1 성분 비트 로드 및 상기 제 2 성분 비트 로드 모두에 할당할 것을 결정하는 단계를 더 포함하는, 방법.

청구항 7

제 6 항에 있어서,

상기 원래 심볼의 각각의 부반송파에 대해,

상기 부반송파의 상기 제 1 성분 비트 로드가 상기 원래 심볼의 상기 부반송파와 연관된 상기 비트 로드와 동일하지 않다는 것 또는 상기 부반송파의 상기 제 2 성분 비트 로드가 0 과 동일하지 않다는 것을 결정하는 것에 응답하여, 상기 부반송파의 상기 제 1 성분 비트 로드 및 상기 제 2 성분 비트 로드가 상기 제 1 네트워크 디바이스에서 지원되는지 여부를 더욱 결정하는 단계; 및

상기 부반송파의 상기 제 1 성분 비트 로드 및 상기 제 2 성분 비트 로드가 상기 제 1 네트워크 디바이스에서 지원된다는 것을 결정하는 것에 응답하여, 상기 제 1 성분 비트 로드를 상기 제 1 성분 심볼의 상기 부반송파에 할당할 것 및 상기 제 2 성분 비트 로드를 상기 제 2 성분 심볼의 상기 부반송파에 할당할 것을 결정하는 단계를 더 포함하며,

상기 제 1 성분 비트 로드 및 제 2 성분 비트 로드는 동일하지 않은, 방법.

청구항 8

제 1 항에 있어서,

상기 제 1 성분 심볼 및 상기 제 2 성분 심볼을 적어도 제 1 재송신 패킷에 할당하는 단계는 :

상기 원래 패킷의 상기 원래 심볼과 연관된 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼을 상기 제 1 재송신 패킷에 순차적으로 할당하는 단계를 더 포함하는, 방법.

청구항 9

제 1 항에 있어서,

상기 원래 심볼과 연관된 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼을 적어도 제 1 재송신 패킷에 할당하는 단계는 :

상기 제 1 재송신 패킷에서의 할당을 위해 상기 원래 패킷의 미리 결정된 수의 원래 심볼들의 각각과 연관된 제 1 성분 심볼 및 제 2 성분 심볼이 인터레이싱될 것이라는 것을 결정하는 단계로서, 상기 원래 패킷의 원래 심볼들의 상기 미리 결정된 수는 상기 제 1 재송신 패킷의 최대 길이 미만인, 상기 제 1 성분 심볼 및 제 2 성분 심볼이 인터레이싱될 것이라는 것을 결정하는 단계;

상기 미리 결정된 수의 원래 심볼들의 각각과 연관된 상기 제 1 성분 심볼을 상기 제 1 재송신 패킷에 할당하는 단계; 및

상기 제 1 성분 심볼을 할당한 다음에, 상기 미리 결정된 수의 원래 심볼들의 각각과 연관된 상기 제 2 성분 심볼을 상기 제 1 재송신 패킷들에 할당하는 단계를 더 포함하는, 방법.

청구항 10

제 9 항에 있어서,

상기 제 1 재송신 패킷에서 상기 제 1 성분 심볼들 및 상기 제 2 성분 심볼들을 인터레이싱하기 위해 상기 미리 결정된 수의 원래 심볼들의 각각과 연관된 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼을 버퍼링하는 단계를 더 포함하는, 방법.

청구항 11

제 1 항에 있어서,

상기 제 1 성분 심볼 및 상기 제 2 성분 심볼을 적어도 제 1 재송신 패킷에 할당하는 단계는 :

상기 원래 패킷의 상기 원래 심볼과 연관된 상기 제 1 성분 심볼을 상기 제 1 재송신 패킷에 할당하는 단계; 및

상기 원래 패킷의 상기 원래 심볼과 연관된 제 2 성분 심볼을 상기 제 2 재송신 패킷에 할당하는 단계를 더 포함하는, 방법.

청구항 12

제 1 항에 있어서,

상기 제 1 성분 심볼 및 상기 제 2 성분 심볼을 적어도 제 1 재송신 패킷에 할당하는 단계는 :

상기 원래 패킷을 구성하는 하나 이상의 원래 심볼들과 연관된 상기 제 1 성분 심볼들 및 상기 제 2 성분 심볼들의 총 수를 결정하는 단계;

상기 제 1 성분 심볼들 및 상기 제 2 성분 심볼들의 상기 총 수가 상기 제 1 재송신 패킷의 최대 패킷 길이를 초과하지 않는다는 것을 결정하는 단계; 및

상기 원래 패킷의 각각의 원래 심볼과 연관된 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼을 상기 제 1 재송신 패킷에 할당하는 단계를 더 포함하는, 방법.

청구항 13

제 1 항에 있어서,

상기 제 1 네트워크 디바이스에서, 상기 제 2 네트워크 디바이스로의 상기 상기 제 1 재송신 패킷의 송신이 실패했다는 것을 결정하는 단계; 및

상기 제 1 재송신 패킷을 미리 정의된 변조 레이트로 상기 제 2 네트워크 디바이스에 재송신하는 단계를 더 포함하는, 방법.

청구항 14

제 1 항에 있어서,

상기 원래 심볼의 각각의 부반송파의 상기 비트 로드에 적어도 부분적으로 기초하여 평균 비트 로드를 결정하는 단계;

상기 평균 비트 로드에 대응하는 신호 대 잡음 비 마진을 결정하는 단계;

상기 신호 대 잡음 비 마진 및 상기 제 1 네트워크 디바이스와 상기 제 2 네트워크 디바이스 사이의 통신 채널의 잡음 플로어에 적어도 부분적으로 기초하여, 상기 제 1 재송신 패킷을 송신하는 단계를 위한 송신 전력이 감소되어야 한다는 것을 결정하는 단계; 및

상기 제 1 재송신 패킷을 송신하는 단계를 위한 상기 송신 전력이 감소되어야 한다는 것을 결정하는 단계에 응답하여, 상기 송신 전력이 미리 결정된 전력만큼 감소되게 하는 단계를 더 포함하는, 방법.

청구항 15

제 14 항에 있어서,

순방향 에러 정정 (FEC) 레이트가 상기 평균 비트 로드, 상기 평균 비트 로드와 연관된 상기 신호 대 잡음 비 마진, 및 상기 송신 전력으로 구성된 그룹 중 적어도 하나에 기초하여 변화되어야 한다는 것을 결정하는 것에 응답하여 상기 FEC 레이트를 변화시키는 단계를 더 포함하는, 방법.

청구항 16

제 1 항에 있어서,

상기 원래 심볼의 각각의 부반송파의 상기 비트 로드에 적어도 부분적으로 기초하여 평균 비트 로드를 결정하는 단계;

상기 평균 비트 로드에 대응하는 신호 대 잡음 비 마진을 결정하는 단계;

상기 평균 비트 로드, 상기 평균 비트 로드에 대응하는 상기 신호 대 잡음 비 마진, 및 상기 제 1 재송신 패킷을 송신하는 단계를 위한 송신 전력으로 이루어진 그룹 중 적어도 하나에 적어도 부분적으로 기초하여, 상기 제 1 재송신 패킷을 송신하는 단계를 위한 순방향 에러 정정 (FEC) 레이트가 변화되어야 한다는 것을 결정하는 단계; 및

상기 제 1 재송신 패킷을 송신하는 단계를 위한 상기 FEC 레이트가 변화되어야 한다는 것을 결정하는 단계에 응답하여 상기 FEC 레이트가 미리 결정된 팩터만큼 변화되게 하는 단계를 더 포함하는, 방법.

청구항 17

통신 네트워크의 제 2 네트워크 디바이스로부터, 제 1 네트워크 디바이스에서 수신된 제 1 재송신 패킷의 제 1 성분 심볼 및 제 2 성분 심볼을 식별하는 단계로서, 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼은 원래 패킷에서 상기 제 2 네트워크 디바이스에 의해 미리 송신된 원래 심볼과 연관된, 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼을 식별하는 단계;

상기 원래 패킷의 상기 원래 심볼에 대해, 상기 제 2 네트워크 디바이스가 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼에 걸쳐 상기 원래 심볼의 각각의 부반송파의 비트 로드를 할당한 방법을 결정하는 단계; 및

상기 제 1 성분 심볼 및 상기 제 2 성분 심볼에 걸쳐 상기 원래 심볼의 각각의 부반송파의 비트 로드를 할당한 단계에 적어도 부분적으로 기초하여, 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼의 비트들을 할당해제하여 상기 원래 심볼을 생성하는 단계를 포함하는, 방법.

청구항 18

제 17 항에 있어서,

상기 제 1 네트워크 디바이스에서, 상기 제 1 재송신 패킷을 수신하는 단계 이전에 상기 제 2 네트워크 디바이스로부터 적어도 상기 원래 심볼을 포함하는 상기 원래 패킷을 수신하는 단계;

상기 원래 패킷이 상기 제 1 네트워크 디바이스에서 잘못 수신되었다는 것을 결정하는 단계; 및

상기 원래 패킷의 재송신의 요청을 상기 제 2 네트워크 디바이스로 송신하는 단계를 더 포함하는, 방법.

청구항 19

제 18 항에 있어서,

상기 원래 패킷의 재송신의 요청을 송신하는 단계는, 적어도 상기 제 2 네트워크 디바이스가 상기 원래 심볼을 상기 제 1 재송신 패킷에 할당해야 하는 방법을 나타내는 재송신 파라미터를 상기 제 2 네트워크 디바이스로 송신하는 단계를 더 포함하는, 방법.

청구항 20

제 17 항에 있어서,

상기 제 2 네트워크 디바이스가 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼에 걸쳐 각각의 원래 심볼의 각각의 부반송파의 비트 로드를 할당한 방법을 결정하는 단계는 :

상기 원래 패킷의 상기 원래 심볼에 대해,

상기 제 2 네트워크 디바이스가 상기 원래 심볼의 각각의 부반송파의 상기 비트 로드의 서브세트를 상기 제 1 성분 심볼의 대응하는 부반송파의 제 1 성분 비트 로드에 할당하였다는 것 및 상기 제 2 네트워크 디바이스가 상기 원래 심볼의 각각의 부반송파의 상기 비트 로드의 나머지를 상기 제 2 성분 심볼의 대응하는 부반송파의 제 2 성분 비트 로드에 할당하였다는 것을 결정하는 단계를 더 포함하는, 방법.

청구항 21

제 20 항에 있어서,

상기 제 1 성분 심볼 및 상기 제 2 성분 심볼들의 비트들을 할당해제하여 상기 원래 심볼을 생성하는 단계는 :

상기 원래 심볼의 각각의 부반송파에 대해,

상기 원래 심볼과 연관된 상기 제 1 성분 심볼의 상기 부반송파로부터 비트들의 제 1 세트를 식별하는 단계로서, 상기 비트들의 제 1 세트는 상기 부반송파의 상기 제 1 성분 비트 로드에 대응하는, 상기 비트들의 제 1 세트를 식별하는 단계;

상기 원래 심볼과 연관된 상기 제 2 성분 심볼의 상기 부반송파로부터 비트들의 제 2 세트를 식별하는 단계로서, 상기 비트들의 제 2 세트는 상기 부반송파의 상기 제 2 성분 비트 로드에 대응하는, 상기 비트들의 제 2 세트를 식별하는 단계; 및

상기 비트들의 제 1 세트 다음에 상기 비트들의 제 2 세트가 뒤따르도록 상기 원래 심볼과 연관된 원래 비트 스트림을 생성하는 단계를 더 포함하는, 방법.

청구항 22

제 17 항에 있어서,

상기 제 1 재송신 패킷으로부터 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼을 식별하는 단계는 :

상기 제 1 네트워크 디바이스에서, 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼이 상기 제 2 네트워크 디바이스에서 상기 제 1 재송신 패킷에 순차적으로 할당되었다는 것을 결정하는 단계;

상기 제 1 재송신 패킷으로부터 상기 제 1 성분 심볼을 수신하고 버퍼링하는 단계;

상기 제 1 성분 심볼을 수신한 다음에, 상기 제 1 재송신 패킷으로부터 상기 제 2 성분 심볼을 수신하는 단계;

버퍼링된 상기 제 1 성분 심볼 및 수신된 상기 제 2 성분 심볼이 상기 원래 패킷의 상기 원래 심볼과 연관된다는 것을 나타내는 단계; 및

상기 원래 심볼과 연관된 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼의 비트들을 할당해제하여 상기 원래 심볼을 생성하기 위해 버퍼링된 상기 제 1 성분 심볼 및 수신된 상기 제 2 성분 심볼을 제공하는 단계를 더 포함하는, 방법.

청구항 23

제 17 항에 있어서,

상기 제 1 재송신 패킷으로부터 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼을 식별하는 단계는 :

상기 제 2 네트워크 디바이스에서 상기 제 1 재송신 패킷에, 상기 원래 패킷의 미리 결정된 수의 원래 심볼들과 연관된 제 1 성분 심볼들 및 제 2 성분 심볼들이 인터레이싱되었다는 것을 결정하는 단계로서, 상기 원래 패킷의 원래 심볼들의 상기 미리 결정된 수는 상기 제 1 재송신 패킷의 최대 길이 미만인, 상기 제 1 성분 심볼 및 제 2 성분 심볼이 인터레이싱되었다는 것을 결정하는 단계;

상기 제 1 재송신 패킷의 상기 미리 결정된 수의 상기 제 1 성분 심볼들을 수신하고 버퍼링하는 단계로서, 상기 미리 결정된 수의 상기 제 1 성분 심볼들의 각각은 대응하는 상기 미리 결정된 수의 원래 심볼들의 각각과 연관되는, 상기 미리 결정된 수의 상기 제 1 성분 심볼들을 수신하고 버퍼링하는 단계;

상기 미리 결정된 수의 상기 제 1 성분 심볼들을 수신한 다음에, 제 1 원래 심볼과 연관된 상기 제 2 성분 심볼을 수신하는 단계; 및

상기 제 1 원래 심볼과 연관된 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼의 비트들을 할당해제하여 상기 제 1 원래 심볼을 생성하기 위해 상기 제 1 원래 심볼과 연관되는 버퍼링된 상기 제 1 성분 심볼 및 상기 제 1 원래 심볼과 연관되는 수신된 상기 제 2 성분 심볼을 제공하는 단계를 더 포함하는, 방법.

청구항 24

제 17 항에 있어서,

상기 제 1 재송신 패킷으로부터 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼을 식별하는 단계는 :

상기 제 1 재송신 패킷에서, 상기 원래 심볼과 연관된 상기 제 1 성분 심볼을 수신하고 버퍼링하는 단계;

제 2 재송신 패킷에서, 상기 원래 심볼과 연관된 상기 제 2 성분 심볼을 수신하는 단계; 및

상기 원래 심볼과 연관된 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼의 비트들을 할당해제하여 상기 원래 심볼을 생성하기 위해 버퍼링된 상기 제 1 성분 심볼 및 수신된 상기 제 2 성분 심볼을 제공하는 단계를 더 포함하는, 방법.

청구항 25

제 1 네트워크 디바이스로서,

상기 제 1 네트워크 디바이스로부터 통신 네트워크의 제 2 네트워크 디바이스로 원래 패킷을 재송신하는 것을 결정하도록 동작가능한 비트 로드 계산 유닛;

상기 원래 패킷의 원래 심볼에 대해, 적어도 제 1 성분 심볼 및 제 2 성분 심볼에 걸쳐 상기 원래 심볼의 각각의 부반송파의 비트 로드를 할당하도록 동작가능한 심볼 생성 유닛; 및

상기 제 1 성분 심볼 및 상기 제 2 성분 심볼을 적어도 제 1 재송신 패킷에 할당하도록 동작가능한 패킷 생성 유닛을 포함하는, 제 1 네트워크 디바이스.

청구항 26

제 25 항에 있어서,

상기 제 2 네트워크 디바이스로 상기 제 1 재송신 패킷을 송신하도록 동작가능한 송신 유닛을 더 포함하는, 제 1 네트워크 디바이스.

청구항 27

제 25 항에 있어서,

상기 제 1 성분 심볼 및 상기 제 2 성분 심볼에 걸쳐 상기 원래 심볼의 각각의 부반송파의 상기 비트 로드를 할당하도록 동작가능한 상기 심볼 생성 유닛은 :

상기 원래 심볼의 각각의 부반송파의 상기 비트 로드의 서브세트를 상기 제 1 성분 심볼의 대응하는 부반송파의 제 1 성분 비트 로드에 할당하고, 상기 원래 심볼의 각각의 부반송파의 상기 비트 로드의 나머지를 상기 제 2 성분 심볼의 대응하는 부반송파의 제 2 성분 비트 로드에 할당하도록 동작가능한 상기 심볼 생성 유닛

을 포함하는, 제 1 네트워크 디바이스.

청구항 28

제 25 항에 있어서,

적어도 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼에 걸쳐 상기 원래 심볼의 각각의 부반송파의 비트 로드를 할당하는 방법을 결정하도록 동작가능한 상기 비트 로드 계산 유닛은 :

상기 원래 심볼의 각각의 부반송파에 대해,

상기 원래 심볼의 상기 부반송파와 연관된 상기 비트 로드를 식별하는 것으로서, 상기 비트 로드는 상기 원래 심볼의 상기 부반송파에 매핑되는 비트들의 수를 나타내는, 상기 비트 로드를 식별하며; 상기 제 1 성분 심볼의 대응하는 부반송파의 제 1 성분 비트 로드와 상기 제 2 성분 심볼의 대응하는 부반송파의 제 2 성분 비트 로드 사이에서 동일하게 상기 원래 심볼의 상기 부반송파의 상기 비트 로드를 할당할 것을 결정하도록 동작가능한 상기 비트 로드 계산 유닛을 더 포함하는, 제 1 네트워크 디바이스.

청구항 29

제 28 항에 있어서,

상기 비트 로드 계산 유닛은 :

상기 원래 심볼의 각각의 부반송파에 대해,

상기 부반송파의 상기 제 1 성분 비트 로드 및 상기 제 2 성분 비트 로드가 상기 제 1 네트워크 디바이스에서 지원되지 않는다는 것을 결정하고, 상기 제 1 성분 비트 로드 및 상기 제 2 성분 비트 로드는 상기 제 1 성분 비트 로드와 상기 제 2 성분 비트 로드 사이에서 동일하게 상기 원래 심볼의 상기 부반송파와 연관된 상기 비트 로드를 할당함으로써 결정되며;

상기 부반송파의 상기 제 1 성분 비트 로드 및 상기 제 2 성분 비트 로드가 상기 제 1 네트워크 디바이스에서 지원되지 않는다는 것을 결정하는 것에 응답하여, 상기 제 1 성분 비트 로드를 미리 정의된 값만큼 증분시키고 상기 제 2 성분 비트 로드를 상기 미리 정의된 값만큼 감분시키고;

상기 부반송파의 상기 제 1 성분 비트 로드가 상기 원래 심볼의 상기 부반송파와 연관된 상기 비트 로드와 동일한지 여부 또는 상기 부반송파의 상기 제 2 성분 비트 로드가 0 과 동일한지 여부를 결정하며;

상기 부반송파의 상기 제 1 성분 비트 로드가 상기 원래 심볼의 상기 부반송파와 연관된 상기 비트 로드와 동일하다는 것 또는 상기 부반송파의 상기 제 2 성분 비트 로드가 0 과 동일하다는 것을 결정하는 것에 응답하여, 상기 원래 심볼의 상기 부반송파와 연관된 상기 비트 로드를 상기 부반송파의 상기 제 1 성분 비트 로드 및 상기 제 2 성분 비트 로드 모두에 할당할 것을 결정하도록 동작가능한 상기 비트 로드 계산 유닛을 더 포함하는, 제 1 네트워크 디바이스.

청구항 30

제 29 항에 있어서,

상기 비트 로드 계산 유닛은 또한 :

상기 원래 심볼의 각각의 부반송파에 대해,

상기 부반송파의 상기 제 1 성분 비트 로드가 상기 원래 심볼의 상기 부반송파와 연관된 상기 비트 로드와 동일하지 않다는 것 또는 상기 부반송파의 상기 제 2 성분 비트 로드가 0 과 동일하지 않다는 것을 결정하는 것에 응답하여, 상기 부반송파의 상기 제 1 성분 비트 로드 및 상기 제 2 성분 비트 로드가 상기 제 1 네트워크 디바이스에서 지원되는지 여부를 더욱 결정하며;

상기 부반송파의 상기 제 1 성분 비트 로드 및 상기 제 2 성분 비트 로드가 상기 제 1 네트워크 디바이스에서 지원된다는 것을 결정하는 것에 응답하여, 상기 제 1 성분 비트 로드를 상기 제 1 성분 심볼의 상기 부반송파에 할당할 것 및 상기 제 2 성분 비트 로드를 상기 제 2 성분 심볼의 상기 부반송파에 할당할 것을 결정하도록 동작가능하며,

상기 제 1 성분 비트 로드 및 제 2 성분 비트 로드는 동일하지 않은, 제 1 네트워크 디바이스.

청구항 31

제 25 항에 있어서,

상기 제 1 성분 심볼 및 상기 제 2 성분 심볼을 적어도 상기 제 1 재송신 패킷에 할당하도록 동작가능한 상기 패킷 생성 유닛은 :

상기 원래 패킷의 각각의 원래 심볼과 연관된 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼을 상기 제 1 재송신 패킷에 순차적으로 할당하도록 동작가능한 상기 패킷 생성 유닛을 더 포함하는, 제 1 네트워크 디바이스.

청구항 32

제 25 항에 있어서,

상기 제 1 성분 심볼 및 상기 제 2 성분 심볼을 적어도 상기 제 1 재송신 패킷에 할당하도록 동작가능한 상기 패킷 생성 유닛은 :

상기 제 1 재송신 패킷에서의 할당을 위해 상기 원래 패킷의 미리 결정된 수의 원래 심볼들의 각각과 연관된 제 1 성분 심볼 및 제 2 성분 심볼이 인터레이싱될 것이라는 것을 결정하는 것으로서, 상기 원래 패킷의 원래 심볼들의 상기 미리 결정된 수는 상기 제 1 재송신 패킷의 최대 길이 미만인, 상기 제 1 성분 심볼 및 제 2 성분 심볼이 인터레이싱될 것이라는 것을 결정하고;

상기 미리 결정된 수의 원래 심볼들의 각각과 연관된 상기 제 1 성분 심볼을 상기 제 1 재송신 패킷에 할당하며;

상기 제 1 성분 심볼을 할당한 다음에, 상기 미리 결정된 수의 원래 심볼들의 각각과 연관된 상기 제 2 성분 심볼을 상기 제 1 재송신 패킷에 할당하도록 동작가능한 상기 패킷 생성 유닛을 더 포함하는, 제 1 네트워크 디바이스.

청구항 33

제 25 항에 있어서,

상기 제 1 성분 심볼 및 상기 제 2 성분 심볼을 적어도 상기 제 1 재송신 패킷에 할당하도록 동작가능한 상기 패킷 생성 유닛은 :

상기 원래 패킷의 각각의 원래 심볼과 연관된 상기 제 1 성분 심볼을 상기 제 1 재송신 패킷에 할당하며;

상기 원래 패킷의 각각의 원래 심볼과 연관된 상기 제 2 성분 심볼을 제 2 재송신 패킷에 할당하도록 동작가능한 상기 패킷 생성 유닛을 더 포함하는, 제 1 네트워크 디바이스.

청구항 34

제 25 항에 있어서,

상기 비트 로드 계산 유닛은 또한 :

상기 원래 심볼의 각각의 부반송파의 상기 비트 로드에 적어도 부분적으로 기초하여 평균 비트 로드를 결정하고;

상기 평균 비트 로드에 대응하는 신호 대 잡음 비 마진을 결정하고;

상기 신호 대 잡음 비 마진 및 상기 제 1 네트워크 디바이스와 상기 제 2 네트워크 디바이스 사이의 통신 채널의 잡음 플로어에 적어도 부분적으로 기초하여, 상기 제 1 재송신 패킷을 송신하기 위한 송신 전력이 감소되어야 한다는 것을 결정하며;

상기 제 1 재송신 패킷을 송신하기 위한 상기 송신 전력이 감소되어야 한다는 것을 결정하는 것에 응답하여 상기 송신 전력이 미리 결정된 전력만큼 감소되게 하도록 동작가능한, 제 1 네트워크 디바이스.

청구항 35

제 1 네트워크 디바이스로서,

통신 네트워크의 제 2 네트워크 디바이스로부터, 상기 제 1 네트워크 디바이스에서 수신된 제 1 재송신 패킷의 제 1 성분 심볼 및 제 2 성분 심볼을 식별하도록 동작가능하며, 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼은 원래 패킷에서 상기 제 2 네트워크 디바이스에 의해 미리 송신된 원래 심볼과 연관된, 비트 로드 재구성 유닛;

상기 원래 패킷의 상기 원래 심볼에 대해, 상기 제 2 네트워크 디바이스가 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼에 걸쳐 상기 원래 심볼의 각각의 부반송파의 비트 로드를 할당한 방법을 결정하도록 동작가능한 비트 로드 계산 유닛; 및

상기 제 1 성분 심볼 및 상기 제 2 성분 심볼에 걸친 상기 원래 심볼의 각각의 부반송파의 비트 로드의 할당에 적어도 부분적으로 기초하여, 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼의 비트들을 할당해제하여 상기 원래 심볼을 생성하도록 더욱 동작가능한 상기 비트 로드 재구성 유닛을 포함하는, 제 1 네트워크 디바이스.

청구항 36

제 35 항에 있어서,

상기 제 2 네트워크 디바이스가 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼에 걸쳐 상기 원래 심볼의 각각의 부반송파의 비트 로드를 할당한 방법을 결정하도록 동작가능한 상기 비트 로드 계산 유닛은 :

상기 원래 패킷의 상기 원래 심볼에 대해,

상기 제 2 네트워크 디바이스가 상기 원래 심볼의 각각의 부반송파의 상기 비트 로드의 서브세트를 상기 제 1 성분 심볼의 대응하는 부반송파의 제 1 성분 비트 로드에 할당하였다는 것 및 상기 제 2 네트워크 디바이스가 상기 원래 심볼의 각각의 부반송파의 상기 비트 로드의 나머지를 상기 제 2 성분 심볼의 대응하는 부반송파의 제 2 성분 비트 로드에 할당하였다는 것을 결정하도록 동작가능한 상기 비트 로드 계산 유닛을 더 포함하는, 제 1 네트워크 디바이스.

청구항 37

제 35 항에 있어서,

적어도 상기 제 1 재송신 패킷으로부터 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼을 식별하도록 동작가능한 상기 비트 로드 재구성 유닛은 :

상기 원래 패킷의 각각의 원래 심볼과 연관된 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼이 상기 제 2 네트워크 디바이스에서 상기 제 1 재송신 패킷에 순차적으로 할당되었다는 것을 결정하고;

상기 제 1 재송신 패킷으로부터 상기 제 1 성분 심볼을 수신하고 버퍼링하고;

상기 제 1 성분 심볼을 수신한 다음에, 상기 제 1 재송신 패킷으로부터 상기 제 2 성분 심볼을 수신하고;

버퍼링된 상기 제 1 성분 심볼 및 수신된 상기 제 2 성분 심볼이 상기 원래 패킷의 상기 원래 심볼과 연관된다는 것을 나타내며;

상기 원래 심볼과 연관된 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼의 비트들을 할당해제하여 상기 원래 심볼을 생성하기 위해 버퍼링된 상기 제 1 성분 심볼 및 수신된 상기 제 2 성분 심볼을 제공하도록 동작가능한 상기 비트 로드 재구성 유닛을 더 포함하는, 제 1 네트워크 디바이스.

청구항 38

제 35 항에 있어서,

상기 제 1 재송신 패킷으로부터 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼을 식별하도록 동작가능한 상기 비트 로드 재구성 유닛은 :

상기 제 2 네트워크 디바이스에서 상기 제 1 재송신 패킷에, 상기 원래 패킷의 미리 결정된 수의 원래 심볼들과 연관된 제 1 성분 심볼들 및 제 2 성분 심볼들이 인터레이싱되었다는 것을 결정하는 것으로서, 상기

원래 패킷의 원래 심볼들의 상기 미리 결정된 수는 상기 제 1 재송신 패킷의 최대 길이 미만인, 상기 제 1 성분 심볼 및 제 2 성분 심볼이 인터레이싱되었다는 것을 결정하고;

상기 제 1 재송신 패킷의 상기 미리 결정된 수의 상기 제 1 성분 심볼들을 수신하고 버퍼링하는 것으로서, 상기 미리 결정된 수의 상기 제 1 성분 심볼들의 각각은 대응하는 상기 미리 결정된 수의 원래 심볼들의 각각과 연관되고;

상기 미리 결정된 수의 상기 제 1 성분 심볼들을 수신한 다음에, 제 1 원래 심볼과 연관된 상기 제 2 성분 심볼을 수신하며;

상기 제 1 원래 심볼과 연관된 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼의 비트들을 할당해제하여 상기 제 1 원래 심볼을 생성하기 위해 상기 제 1 원래 심볼과 연관되는 버퍼링된 상기 제 1 성분 심볼 및 상기 제 1 원래 심볼과 연관되는 수신된 상기 제 2 성분 심볼을 제공하도록 동작가능한 상기 비트 로드 재구성 유닛을 더 포함하는, 제 1 네트워크 디바이스.

청구항 39

제 35 항에 있어서,

상기 제 1 성분 심볼 및 상기 제 2 성분 심볼을 식별하도록 동작가능한 상기 비트 로드 재구성 유닛은 :

상기 제 1 재송신 패킷에서, 상기 원래 심볼과 연관된 상기 제 1 성분 심볼을 수신하고 버퍼링하고;

상기 제 2 재송신 패킷에서, 상기 원래 심볼과 연관된 상기 제 2 성분 심볼을 수신하며;

상기 원래 심볼과 연관된 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼의 비트들을 할당해제하여 상기 원래 심볼을 생성하기 위해 버퍼링된 상기 제 1 성분 심볼 및 수신된 상기 제 2 성분 심볼을 제공하도록 동작가능한 상기 비트 로드 재구성 유닛을 더 포함하는, 제 1 네트워크 디바이스.

청구항 40

명령들을 저장하고 있는 머신 판독가능 저장 매체로서,

상기 명령들은, 프로세서에 의해 실행될 때, 상기 프로세서로 하여금 :

제 1 네트워크 디바이스로부터 통신 네트워크의 제 2 네트워크 디바이스로 원래 패킷을 재송신하는 것을 결정하는 동작;

상기 원래 패킷의 원래 심볼에 대해, 적어도 제 1 성분 심볼 및 제 2 성분 심볼에 걸쳐 상기 원래 심볼의 각각의 부반송파의 비트 로드를 할당하는 동작;

상기 제 1 성분 심볼 및 상기 제 2 성분 심볼을 적어도 제 1 재송신 패킷에 할당하는 동작; 및

상기 제 1 네트워크 디바이스로부터 상기 제 2 네트워크 디바이스로 상기 제 1 재송신 패킷을 송신하는 동작을 포함하는 동작들을 수행하게 하는, 머신 판독가능 저장 매체.

청구항 41

제 40 항에 있어서,

상기 동작들은 :

상기 원래 심볼의 각각의 부반송파에 대해,

상기 제 1 성분 심볼의 상기 부반송파의 제 1 성분 비트 로드와 상기 제 2 성분 심볼의 상기 부반송파의 제 2 성분 비트 로드 사이에서 동일하게 상기 원래 심볼의 상기 부반송파의 상기 비트 로드를 할당할 것을 결정하는 동작;

상기 부반송파의 상기 제 1 성분 비트 로드 및 상기 제 2 성분 비트 로드가 상기 제 1 네트워크 디바이스에서 지원되지 않는다는 것을 결정하는 동작;

상기 부반송파의 상기 제 1 성분 비트 로드 및 상기 제 2 성분 비트 로드가 상기 제 1 네트워크 디바이스에서 지원되지 않는다는 것을 결정하는 동작에 응답하여, 상기 제 1 성분 비트 로드를 미리 정의된 값만큼 증

분시키고 상기 제 2 성분 비트 로드를 상기 미리 정의된 값만큼 감분시키는 동작;

상기 부반송파의 상기 제 1 성분 비트 로드가 상기 원래 심볼의 상기 부반송파와 연관된 상기 비트 로드와 동일하다는 것 또는 상기 부반송파의 상기 제 2 성분 비트 로드가 0 과 동일하다는 것을 결정하는 동작; 및

상기 원래 심볼의 상기 부반송파와 연관된 상기 비트 로드를 상기 부반송파의 상기 제 1 성분 비트 로드 및 상기 제 2 성분 비트 로드 모두에 할당할 것을 결정하는 동작을 더 포함하는, 머신 판독가능 저장 매체.

청구항 42

제 41 항에 있어서,

상기 동작들은 :

상기 원래 심볼의 각각의 부반송파에 대해,

상기 부반송파의 상기 제 1 성분 비트 로드가 상기 원래 심볼의 상기 부반송파와 연관된 상기 비트 로드와 동일하지 않다는 것 또는 상기 부반송파의 상기 제 2 성분 비트 로드가 0 과 동일하지 않다는 것을 결정하는 것에 응답하여, 상기 부반송파의 상기 제 1 성분 비트 로드 및 상기 제 2 성분 비트 로드가 상기 제 1 네트워크 디바이스에서 지원되는지 여부를 더욱 결정하는 동작; 및

상기 부반송파의 상기 제 1 성분 비트 로드 및 상기 제 2 성분 비트 로드가 상기 제 1 네트워크 디바이스에서 지원된다는 것을 결정하는 것에 응답하여, 상기 제 1 성분 비트 로드를 상기 제 1 성분 심볼의 상기 부반송파에 할당할 것 및 상기 제 2 성분 비트 로드를 상기 제 2 성분 심볼의 상기 부반송파에 할당할 것을 결정하는 동작을 더 포함하며,

상기 제 1 성분 비트 로드 및 제 2 성분 비트 로드는 동일하지 않은, 머신 판독가능 저장 매체.

청구항 43

제 40 항에 있어서,

상기 원래 심볼과 연관된 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼을 적어도 상기 제 1 재송신 패킷에 할당하는 동작은 :

상기 제 1 재송신 패킷에서의 할당을 위해 상기 원래 패킷의 미리 결정된 수의 원래 심볼들의 각각과 연관된 제 1 성분 심볼 및 제 2 성분 심볼이 인터레이싱될 것이라는 것을 결정하는 동작;

상기 미리 결정된 수의 원래 심볼들의 각각과 연관된 상기 제 1 성분 심볼을 상기 제 1 재송신 패킷에 할당하는 동작; 및

상기 제 1 성분 심볼을 할당한 다음에, 상기 제 1 재송신 패킷에 상기 미리 결정된 수의 원래 심볼들의 각각과 연관된 상기 제 2 성분 심볼을 할당하는 동작을 더 포함하는, 머신 판독가능 저장 매체.

청구항 44

명령들을 저장하고 있는 머신 판독가능 저장 매체로서,

상기 명령들은, 프로세서에 의해 실행될 때, 상기 프로세서로 하여금 :

통신 네트워크의 제 2 네트워크 디바이스로부터, 제 1 네트워크 디바이스에서 수신된 제 1 재송신 패킷의 제 1 성분 심볼 및 제 2 성분 심볼을 식별하는 동작으로서, 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼은 원래 패킷에서 상기 제 2 네트워크 디바이스에 의해 미리 송신된 원래 심볼과 연관된, 제 1 성분 심볼 및 제 2 성분 심볼을 식별하는 동작;

상기 원래 패킷의 상기 원래 심볼에 대해, 상기 제 2 네트워크 디바이스가 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼에 걸쳐 상기 원래 심볼의 각각의 부반송파의 비트 로드를 할당한 방법을 결정하는 동작; 및

상기 제 1 성분 심볼 및 상기 제 2 성분 심볼에 걸쳐 상기 원래 심볼의 각각의 부반송파의 상기 비트 로드의 할당에 적어도 부분적으로 기초하여, 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼의 비트들을 할당해제하여 상기 원래 심볼을 생성하는 동작을 포함하는 동작들을 수행하게 하는, 머신 판독가능 저장 매체.

청구항 45

제 44 항에 있어서,

상기 제 1 성분 심볼 및 상기 제 2 성분 심볼의 비트들을 할당해제하여 상기 원래 심볼을 생성하는 동작은 :

상기 원래 심볼의 각각의 부반송파에 대해,

상기 원래 심볼과 연관된 상기 제 1 성분 심볼의 상기 부반송파로부터 비트들의 제 1 세트를 식별하는 동작으로서, 상기 비트들의 제 1 세트는 상기 부반송파의 제 1 성분 비트 로드에 대응하는, 비트들의 제 1 세트를 식별하는 동작;

상기 원래 심볼과 연관된 상기 제 2 성분 심볼의 상기 부반송파로부터 비트들의 제 2 세트를 식별하는 동작으로서, 상기 비트들의 제 2 세트는 상기 부반송파의 제 2 성분 비트 로드에 대응하는, 비트들의 제 2 세트를 식별하는 동작; 및

상기 비트들의 제 1 세트 다음에 상기 비트들의 제 2 세트가 뒤따르도록 상기 원래 심볼과 연관된 원래 비트 스트림을 생성하는 동작을 더 포함하는, 머신 판독가능 저장 매체.

청구항 46

제 44 항에 있어서,

상기 제 1 성분 심볼 및 상기 제 2 성분 심볼을 식별하는 동작은 :

상기 제 2 송신 네트워크 디바이스에서 상기 제 1 재송신 패킷에, 상기 원래 패킷의 미리 결정된 수의 원래 심볼들과 연관된 제 1 성분 심볼들 및 제 2 성분 심볼들이 인터레이싱되었다는 것을 결정하는 동작;

상기 제 1 재송신 패킷의 상기 미리 결정된 수의 상기 제 1 성분 심볼들을 수신하고 버퍼링하는 동작으로서, 상기 미리 결정된 수의 상기 제 1 성분 심볼들의 각각은 대응하는 상기 미리 결정된 수의 원래 심볼들의 각각과 연관되는, 상기 미리 결정된 수의 상기 제 1 성분 심볼들을 수신하고 버퍼링하는 동작;

상기 미리 결정된 수의 상기 제 1 성분 심볼들을 수신한 다음에, 제 1 원래 심볼과 연관된 상기 제 2 성분 심볼을 수신하는 동작; 및

상기 제 1 원래 심볼과 연관된 상기 제 1 성분 심볼 및 상기 제 2 성분 심볼의 비트들을 할당해제하여 상기 제 1 원래 심볼을 생성하기 위해 상기 제 1 원래 심볼과 연관되는 버퍼링된 상기 제 1 성분 심볼 및 상기 제 1 원래 심볼과 연관되는 수신된 상기 제 2 성분 심볼을 제공하는 동작을 더 포함하는, 머신 판독가능 저장 매체.

발명의 설명

기 술 분 야

[0001] 관련 출원들

[0002] 본 출원은 2010년 8월 3일자로 출원된 미국 출원번호 제12/849,160호를 우선권 주장한다.

[0003] 배경

[0004] 본 발명의 주제의 실시형태들은 일반적으로 통신 네트워크들의 분야에 관한 것으로, 더 상세하게는, 버스트 간섭 (burst interference) 에 영향을 받는 통신 네트워크들에 대한 동적 비트 할당에 관한 것이다.

배 경 기 술

[0005] 다양한 유형들의 전자 디바이스들은 데이터 통신을 위해 유선 또는 무선 통신 네트워크들을 사용할 수 있다. 하나의 예에서는, 빌딩들 및 다른 구조들에 전력을 배분하기 위해 통상 사용되었던 전력선들이 또한 빌딩들 및 다른 구조들 내에서 (유선 전력선 통신 네트워크에서의) 전력선 광대역 통신 (broadband over powerline communication) 을 구현하는데 사용될 수 있다. 전력선 통신은 전자 디바이스들 (예컨대, 소비자 가전들, 스마트 가전들 등) 을 함께 네트워킹하고 또한 전자 디바이스들을 인터넷에 접속시키는 수단을 제공한다. 예를 들어, HomePlug® 디바이스들은 전력선 광대역 통신을 위한 IEEE P1901 표준들을 이용하는 유선 광대역 네

트워킹을 위해 사용될 수 있다. 다른 예에서, 무선 근거리 네트워크 (WLAN) 들은 전자 디바이스들이 데이터를 무선으로 교환하고 인터넷에 접속하는 것을 가능하게 할 수 있다. 그러나, 유선 및 무선 양자의 통신 네트워크들은 버스트 간섭의 영향을 받을 수 있는데, 이는 통신 네트워크들을 통해 교환된 데이터 패킷을 손상시킬 수 있다.

발명의 내용

과제의 해결 수단

[0006] 일부 실시형태들에서, 방법은 통신 네트워크의 제 1 네트워크 디바이스에서, 통신 네트워크의 제 2 네트워크 디바이스로의 원래 패킷의 송신이 실패했다는 것을 결정하는 단계로서, 원래 패킷은 하나 이상의 원래 심볼들을 포함하는, 상기 송신이 실패했다는 것을 결정하는 단계; 제 1 네트워크 디바이스에서, 원래 패킷의 각각의 원래 심볼에 대해, 원래 심볼과 연관된 2 개 이상의 성분 심볼들 전체에 걸쳐 원래 심볼의 각각의 부반송파의 비트 로드를 할당하는 방법을 결정하는 단계; 제 1 네트워크 디바이스에서, 원래 패킷의 각각의 원래 심볼에 대해, 원래 심볼과 연관된 2 개 이상의 성분 심볼들 전체에 걸쳐 원래 심볼의 각각의 부반송파의 비트 로드를 할당하는 단계; 제 1 네트워크 디바이스에서, 원래 패킷의 각각의 원래 심볼과 연관된 2 개 이상의 성분 심볼들을 하나 이상의 재송신 패킷들에 할당하는 단계; 및 제 1 네트워크 디바이스로부터 제 2 네트워크 디바이스로 하나 이상의 재송신 패킷들을 송신하는 단계를 포함한다.

[0007] 일부 실시형태들에서, 제 1 네트워크 디바이스에서, 통신 네트워크의 제 2 네트워크 디바이스로의 원래 패킷의 송신이 실패했다는 것을 결정하는 단계는, 제 1 네트워크 디바이스에서, 제 2 네트워크 디바이스로부터 원래 패킷의 송신이 실패했다는 것을 나타내는 통지를 수신하는 단계, 제 1 네트워크 디바이스에서, 원래 패킷의 확인응답이 미리 정의된 확인응답 시간 간격 내에 제 2 네트워크 디바이스로부터 수신되지 않았다는 것을 결정하는 단계, 및 원래 패킷의 송신과 연관된 비트 에러 레이트가 미리 결정된 비트 에러 레이트 임계값보다 크다는 비트 에러 레이트 통지를 수신하는 단계 중 하나를 포함한다.

[0008] 일부 실시형태들에서, 제 1 네트워크 디바이스에서, 통신 네트워크의 제 2 네트워크 디바이스로의 원래 패킷의 송신이 실패했다는 것을 결정하는 단계는, 제 2 네트워크 디바이스로부터 하나 이상의 재송신 파라미터들을 수신하는 단계를 더 포함한다.

[0009] 일부 실시형태들에서, 제 1 네트워크 디바이스에서, 원래 패킷의 각각의 원래 심볼에 대해, 원래 심볼과 연관된 2 개 이상의 성분 심볼들 전체에 걸쳐 원래 심볼의 각각의 부반송파의 비트 로드를 할당하는 방법을 결정하는 단계, 및 제 1 네트워크 디바이스에서, 원래 패킷의 각각의 원래 심볼에 대해, 원래 심볼과 연관된 2 개 이상의 성분 심볼들 전체에 걸쳐 원래 심볼의 각각의 부반송파의 비트 로드를 할당하는 단계는, 원래 패킷의 각각의 원래 심볼에 대해, 원래 심볼과 연관된 2 개의 성분 심볼들의 각각의 대응하는 부반송파의 성분 비트 로드들 전체에 걸쳐 원래 심볼의 각각의 부반송파의 비트 로드를 할당하는 방법을 결정하는 단계; 및 원래 패킷의 각각의 원래 심볼에 대해, 원래 심볼의 각각의 부반송파의 비트 로드의 서브세트를 제 1 성분 심볼의 각각의 대응하는 부반송파의 제 1 성분 비트 로드에 할당하고, 원래 심볼의 각각의 부반송파의 비트 로드의 나머지를 제 2 성분 심볼의 각각의 대응하는 부반송파의 제 2 성분 비트 로드에 할당하는 단계를 포함한다.

[0010] 일부 실시형태들에서, 제 1 네트워크 디바이스에서, 원래 패킷의 각각의 원래 심볼에 대해, 원래 심볼과 연관된 2 개 이상의 성분 심볼들 전체에 걸쳐 원래 심볼의 각각의 부반송파의 비트 로드를 할당하는 방법을 결정하는 단계는, 각각의 원래 심볼의 각각의 부반송파에 대해, 원래 심볼의 부반송파와 연관된 비트 로드를 식별하는 단계로서, 비트 로드는 원래 심볼의 부반송파에 매핑되는 비트들의 수를 나타내는, 상기 비트 로드를 식별하는 단계; 및 제 1 성분 심볼의 대응하는 부반송파의 제 1 성분 비트 로드와 제 2 성분 심볼의 대응하는 부반송파의 제 2 성분 비트 로드 사이에서 동일하게 원래 심볼의 부반송파의 비트 로드를 할당할 것을 결정하는 단계를 더 포함한다.

[0011] 일부 실시형태들에서, 각각의 원래 심볼의 각각의 부반송파에 대해, 제 1 성분 심볼의 대응하는 부반송파의 제 1 성분 비트 로드와 제 2 성분 심볼의 대응하는 부반송파의 제 2 성분 비트 로드 사이에서 동일하게 원래 심볼의 부반송파의 비트 로드를 할당할 것을 결정하는 단계는, 각각의 원래 심볼의 각각의 부반송파에 대해, 제 1 성분 비트 로드와 제 2 성분 비트 로드 사이에서 동일하게 원래 심볼의 부반송파와 연관된 비트 로드를 할당함으로써 결정되는 대응하는 부반송파의 제 1 성분 비트 로드 및 제 2 성분 비트 로드가 제 1 네트워크 디바이스에서 지원되지 않는다는 것을 결정하는 단계; 대응하는 부반송파의 제 1 성분 비트 로드 및 제 2 성분 비트 로드가 제 1 네트워크 디바이스에서 지원되지 않는다는 것을 결정하는 단계에 응답하여, 제 1 성분 심볼의 제 1

성분 비트 로드를 미리 정의된 값만큼 증분시키고 제 2 성분 심볼의 제 2 성분 비트 로드를 미리 정의된 값만큼 감분시키는 단계; 대응하는 부반송파의 제 1 성분 비트 로드가 원래 심볼의 부반송파와 연관된 비트 로드와 동일한지 여부 또는 대응하는 부반송파의 제 2 성분 비트 로드가 0 과 동일한지 여부를 결정하는 단계; 및 대응하는 부반송파의 제 1 성분 비트 로드가 원래 심볼의 부반송파와 연관된 비트 로드와 동일하다는 것 또는 대응하는 부반송파의 제 2 성분 비트 로드가 0 과 동일하다는 것을 결정하는 것에 응답하여, 원래 심볼의 부반송파와 연관된 비트 로드를 대응하는 부반송파의 제 1 성분 비트 로드 및 제 2 성분 비트 로드 모두에 할당할 것을 결정하는 단계를 더 포함한다.

[0012] 일부 실시형태들에서, 이 방법은, 각각의 원래 심볼의 각각의 부반송파에 대해, 대응하는 부반송파의 제 1 성분 비트 로드가 원래 심볼의 부반송파와 연관된 비트 로드와 동일하지 않다는 것 또는 대응하는 부반송파의 제 2 성분 비트 로드가 0 과 동일하지 않다는 것을 결정하는 것에 응답하여, 대응하는 부반송파의 제 1 성분 비트 로드 및 제 2 성분 비트 로드가 제 1 네트워크 디바이스에서 지원되는지 여부를 더욱 결정하는 단계; 및 대응하는 부반송파의 제 1 성분 비트 로드 및 제 2 성분 비트 로드가 제 1 네트워크 디바이스에서 지원된다는 것을 결정하는 것에 응답하여, 제 1 성분 비트 로드를 제 1 성분 심볼의 대응하는 부반송파에 할당할 것 및 제 2 성분 비트 로드를 제 2 성분 심볼의 대응하는 부반송파에 할당할 것을 결정하는 단계를 더 포함하며, 제 1 성분 비트 로드 및 제 2 성분 비트 로드는 동일하지 않다.

[0013] 일부 실시형태들에서, 제 1 네트워크 디바이스에서, 원래 패킷의 각각의 원래 심볼과 연관된 2 개 이상의 성분 심볼들을 하나 이상의 재송신 패킷들에 할당하는 단계는 원래 패킷의 각각의 원래 심볼과 연관된 제 1 성분 심볼 및 제 2 성분 심볼을 하나 이상의 재송신 패킷들에 순차적으로 할당하는 단계를 더 포함한다.

[0014] 일부 실시형태들에서, 제 1 네트워크 디바이스에서, 원래 패킷의 각각의 원래 심볼과 연관된 2 개 이상의 성분 심볼들을 하나 이상의 재송신 패킷들에 할당하는 단계는, 하나 이상의 재송신 패킷들에서의 할당을 위해 원래 패킷의 미리 결정된 수의 원래 심볼들과 연관된 제 1 성분 심볼 및 제 2 성분 심볼이 인터레이싱될 것이라는 것을 결정하는 단계로서, 원래 패킷의 원래 심볼들의 미리 결정된 수는 하나 이상의 재송신 패킷들의 각각의 최대 길이 미만인, 상기 제 1 성분 심볼 및 제 2 성분 심볼이 인터레이싱될 것이라는 것을 결정하는 단계; 미리 결정된 수의 원래 심볼들의 각각과 연관된 제 1 성분 심볼을 하나 이상의 재송신 패킷들에 할당하는 단계; 및 하나 이상의 재송신 패킷들에 미리 결정된 수의 원래 심볼들의 각각과 연관된 제 2 성분 심볼을 할당하는 단계를 더 포함하며, 미리 결정된 수의 원래 심볼들의 각각과 연관된 제 1 성분 심볼은, 제 1 성분 심볼들이 제 2 성분 심볼들과 인터레이싱되도록 하나 이상의 재송신 패킷들에서 미리 결정된 수의 원래 심볼들의 각각과 연관된 제 2 성분 심볼에 선행한다.

[0015] 일부 실시형태들에서, 이 방법은 하나 이상의 재송신 패킷들에서 제 1 성분 심볼들 및 제 2 성분 심볼들을 인터레이싱하기 위해 미리 결정된 수의 원래 심볼들의 각각과 연관된 제 1 성분 심볼 및 제 2 성분 심볼을 버퍼링하는 단계를 더 포함한다.

[0016] 일부 실시형태들에서, 제 1 네트워크 디바이스에서, 원래 패킷의 각각의 원래 심볼과 연관된 2 개 이상의 성분 심볼들을 하나 이상의 재송신 패킷들에 할당하는 단계는, 원래 패킷의 각각의 원래 심볼과 연관된 제 1 성분 심볼을 제 1 재송신 패킷에 할당하는 단계; 및 원래 패킷의 각각의 원래 심볼과 연관된 제 2 성분 심볼을 제 2 재송신 패킷에 할당하는 단계를 더 포함한다.

[0017] 일부 실시형태들에서, 제 1 네트워크 디바이스에서, 원래 패킷의 각각의 원래 심볼과 연관된 2 개 이상의 성분 심볼들을 하나 이상의 재송신 패킷들에 할당하는 단계는, 원래 패킷을 구성하는 원래 심볼들의 수가 원래 패킷에서 송신될 수 있는 원래 심볼들의 최대 수의 절반 미만이라는 것을 결정하는 단계; 및 원래 패킷의 각각의 원래 심볼과 연관된 제 1 성분 심볼 및 제 2 성분 심볼을 하나의 재송신 패킷에 할당하는 단계를 더 포함한다.

[0018] 일부 실시형태들에서, 이 방법은 제 1 네트워크 디바이스에서, 제 2 네트워크 디바이스로의 하나 이상의 재송신 패킷들의 송신이 실패했다는 것을 결정하는 단계; 및 하나 이상의 재송신 패킷들을 미리 정의된 변조 레이트로 제 2 네트워크 디바이스에 재송신하는 단계를 더 포함한다.

[0019] 일부 실시형태들에서, 이 방법은 원래 심볼의 각각의 부반송파의 비트 로드에 기초하여 평균 비트 로드를 결정하는 단계; 평균 비트 로드에 대응하는 신호 대 잡음 비 마진을 결정하는 단계; 평균 비트 로드에 대응하는 신호 대 잡음 비 마진 및 제 1 네트워크 디바이스와 제 2 네트워크 디바이스 사이의 통신 채널의 잡음 플로어에 적어도 부분적으로 기초하여, 제 1 네트워크 디바이스로부터 제 2 네트워크 디바이스로 하나 이상의 재송신 패킷들을 송신하는 단계를 위한 송신 전력이 감소되어야 한다는 것을 결정하는 단계; 및 평균 비트 로드에 대응하

는 신호 대 잡음 비 마진 및 제 1 네트워크 디바이스와 제 2 네트워크 디바이스 사이의 통신 채널의 잡음 플로어 사이의 차이에 적어도 부분적으로 기초하여, 제 2 네트워크 디바이스로 하나 이상의 재송신 패킷들을 송신하는 단계를 위한 송신 전력이 감소되어야 한다는 것을 결정하는 단계에 응답하여 송신 전력이 미리 결정된 전력만큼 감소되게 하는 단계를 더 포함한다.

[0020] 일부 실시형태들에서, 이 방법은 순방향 에러 정정 (FEC) 레이트가 평균 비트 로드, 평균 비트 로드와 연관된 신호 대 잡음 비 마진, 및 송신 전력 중 하나 이상에 기초하여 변화되어야 한다는 것을 결정하는 것에 응답하여 FEC 레이트를 변화시키는 단계를 더 포함한다.

[0021] 일부 실시형태들에서, 이 방법은 원래 심볼의 각각의 부반송파의 비트 로드에 기초하여 평균 비트 로드를 결정하는 단계; 평균 비트 로드에 대응하는 신호 대 잡음 비 마진을 결정하는 단계; 평균 비트 로드, 평균 비트 로드에 대응하는 신호 대 잡음 비 마진, 및 제 1 네트워크 디바이스로부터 제 2 네트워크 디바이스로 하나 이상의 재송신 패킷들을 송신하는 단계를 위한 송신 전력 중 하나 이상에 적어도 부분적으로 기초하여, 제 1 네트워크 디바이스로부터 제 2 네트워크 디바이스로 하나 이상의 재송신 패킷들을 송신하는 단계를 위한 순방향 에러 정정 (FEC) 레이트가 변화되어야 한다는 것을 결정하는 단계; 및 제 1 네트워크 디바이스로부터 제 2 네트워크 디바이스로 하나 이상의 재송신 패킷들을 송신하는 단계를 위한 FEC 레이트가 변화되어야 한다는 것을 결정하는 단계에 응답하여 FEC 레이트가 미리 결정된 팩터만큼 변화되게 하는 단계를 더 포함한다.

[0022] 일부 실시형태들에서, 방법은 통신 네트워크의 제 1 네트워크 디바이스에서, 통신 네트워크의 제 2 네트워크 디바이스로부터 하나 이상의 재송신 패킷들을 수신하는 단계로서, 하나 이상의 재송신 패킷들은 원래 패킷에서 제 2 네트워크 디바이스에 의해 송신된 각각의 원래 심볼과 연관된 2 개 이상의 성분 심볼들을 포함하는, 상기 하나 이상의 재송신 패킷들을 수신하는 단계; 제 1 네트워크 디바이스에서, 하나 이상의 재송신 패킷들로부터 각각의 원래 심볼과 연관된 2 개 이상의 성분 심볼들을 식별하는 단계; 제 1 네트워크 디바이스에서, 제 2 네트워크 디바이스가 하나 이상의 재송신 패킷들로부터 각각의 원래 심볼과 연관된 2 개 이상의 성분 심볼들 전체에 걸쳐 각각의 원래 심볼의 각각의 부반송파의 비트 로드를 할당한 방법을 결정하는 단계; 및 제 2 네트워크 디바이스가 하나 이상의 재송신 패킷들로부터 각각의 원래 심볼과 연관된 2 개 이상의 성분 심볼들 전체에 걸쳐 각각의 원래 심볼의 각각의 부반송파의 비트 로드를 할당한 방법을 결정하는 단계에 기초하여, 각각의 원래 심볼과 연관되는 식별된 2 개 이상의 성분 심볼들의 비트들을 할당해제하여 원래 패킷의 원래 심볼들과 연관된 원래 비트 스트림을 생성하는 단계를 포함한다.

[0023] 일부 실시형태들에서, 이 방법은 제 1 네트워크 디바이스에서, 하나 이상의 재송신 패킷들을 수신하는 단계 이전에 제 2 네트워크 디바이스로부터 하나 이상의 원래 심볼들을 포함하는 원래 패킷을 수신하는 단계; 원래 패킷이 제 1 네트워크 디바이스에서 잘못 수신되었다는 것을 결정하는 단계; 및 원래 패킷의 재송신의 요청을 제 2 네트워크 디바이스에 송신하는 단계를 더 포함한다.

[0024] 일부 실시형태들에서, 원래 패킷의 재송신의 요청을 제 2 네트워크 디바이스에 송신하는 단계는 적어도 제 2 네트워크 디바이스가 원래 패킷의 하나 이상의 원래 심볼들을 하나 이상의 재송신 패킷들에 할당해야 하는 방법을 나타내는 하나 이상의 재송신 파라미터들을 제 2 네트워크 디바이스에 송신하는 단계를 더 포함한다.

[0025] 일부 실시형태들에서, 제 1 네트워크 디바이스에서, 제 2 네트워크 디바이스가 하나 이상의 재송신 패킷들로부터 각각의 원래 심볼과 연관된 2 개 이상의 성분 심볼들 전체에 걸쳐 각각의 원래 심볼의 각각의 부반송파의 비트 로드를 할당한 방법을 결정하는 단계는, 원래 패킷의 각각의 원래 심볼에 대해, 제 2 네트워크 디바이스가 원래 심볼의 각각의 부반송파의 비트 로드의 서브세트를 제 1 성분 심볼의 각각의 대응하는 부반송파의 제 1 성분 비트 로드에 할당했다는 것 및 제 2 네트워크 디바이스가 원래 심볼의 각각의 부반송파의 비트 로드의 나머지를 제 2 성분 심볼의 각각의 대응하는 부반송파의 제 2 성분 비트 로드에 할당했다는 것을 결정하는 단계를 더 포함한다.

[0026] 일부 실시형태들에서, 각각의 원래 심볼과 연관되는 식별된 2 개 이상의 성분 심볼들의 비트들을 할당해제하여 원래 패킷의 원래 심볼들과 연관된 원래 비트 스트림을 생성하는 단계는, 원래 심볼의 각각의 부반송파에 대해, 원래 심볼과 연관된 제 1 성분 심볼의 부반송파로부터 비트들의 제 1 세트를 식별하는 단계로서, 비트들의 제 1 세트는 부반송파의 제 1 성분 비트 로드에 대응하는, 상기 비트들의 제 1 세트를 식별하는 단계; 원래 심볼과 연관된 제 2 성분 심볼의 부반송파로부터 비트들의 제 2 세트를 식별하는 단계로서, 비트들의 제 2 세트는 부반송파의 제 2 성분 비트 로드에 대응하는, 상기 비트들의 제 2 세트를 식별하는 단계; 및 비트들의 제 1 세트 다음에 비트들의 제 2 세트가 뒤따르도록 원래 심볼과 연관된 원래 비트 스트림을 생성하는 단계를 더 포함한다.

[0027] 일부 실시형태들에서, 제 1 네트워크 디바이스에서, 하나 이상의 재송신 패킷들로부터 각각의 원래 심볼과 연관된 2 개 이상의 성분 심볼들을 식별하는 단계는, 제 1 네트워크 디바이스에서, 원래 패킷의 각각의 원래 심볼과 연관된 제 1 성분 심볼 및 제 2 성분 심볼이 제 2 네트워크 디바이스에서 하나 이상의 재송신 패킷들에 순차적으로 할당되었다는 것을 결정하는 단계; 각각의 원래 심볼에 대해, 하나 이상의 재송신 패킷들로부터 제 1 성분 심볼을 수신하고 버퍼링하는 단계; 하나 이상의 재송신 패킷들로부터 제 2 성분 심볼을 수신하는 단계로서, 제 1 성분 심볼은 제 2 성분 심볼에 선행하는, 상기 제 2 성분 심볼을 수신하는 단계; 버퍼링된 제 1 성분 심볼 및 수신된 제 2 성분 심볼이 원래 패킷의 원래 심볼과 연관된다는 것을 나타내는 단계; 및 원래 심볼과 연관된 제 1 성분 심볼 및 제 2 성분 심볼의 비트들을 할당해제하여 원래 심볼과 연관된 원래 비트 스트림을 생성하기 위해 버퍼링된 제 1 성분 심볼 및 수신된 제 2 성분 심볼을 제공하는 단계를 더 포함한다.

[0028] 일부 실시형태들에서, 제 1 네트워크 디바이스에서, 하나 이상의 재송신 패킷들로부터 각각의 원래 심볼과 연관된 2 개 이상의 성분 심볼들을 식별하는 단계는, 제 2 네트워크 디바이스에서 하나 이상의 재송신 패킷들에, 원래 패킷의 미리 결정된 수의 원래 심볼들과 연관된 제 1 성분 심볼 및 제 2 성분 심볼이 인터레이싱되었다는 것을 결정하는 단계로서, 원래 패킷의 원래 심볼들의 미리 결정된 수는 하나 이상의 재송신 패킷들의 각각의 최대 길이 미만인, 상기 제 1 성분 심볼 및 제 2 성분 심볼이 인터레이싱되었다는 것을 결정하는 단계; 하나 이상의 재송신 패킷들의 미리 결정된 수의 성분 심볼들을 수신하고 버퍼링하는 단계로서, 제 1 원래 심볼과 연관된 제 1 성분 심볼은 버퍼링된 미리 결정된 수의 성분 심볼들 중 하나를 구성하는, 상기 미리 결정된 수의 성분 심볼들을 수신하고 버퍼링하는 단계; 미리 결정된 수의 성분 심볼들을 수신하는 단계에 뒤따라 제 1 원래 심볼과 연관된 제 2 성분 심볼을 수신하는 단계; 및 제 1 원래 심볼과 연관된 제 1 성분 심볼 및 제 2 성분 심볼의 비트들을 할당해제하여 제 1 원래 심볼과 연관된 원래 비트 스트림을 생성하기 위해 제 1 원래 심볼과 연관되는 버퍼링된 제 1 성분 심볼 및 제 1 원래 심볼과 연관되는 수신된 제 2 성분 심볼을 제공하는 단계를 더 포함한다.

[0029] 일부 실시형태들에서, 제 1 네트워크 디바이스에서, 하나 이상의 재송신 패킷들로부터 각각의 원래 심볼과 연관된 2 개 이상의 성분 심볼들을 식별하는 단계는, 제 1 재송신 패킷에서, 각각의 원래 심볼과 연관된 제 1 성분 심볼을 수신하고 버퍼링하는 단계로서, 각각의 원래 심볼과 연관되는 버퍼링된 제 1 성분 심볼은 제 1 원래 심볼과 연관된 제 1 성분 심볼을 포함하는, 상기 제 1 성분 심볼을 수신하고 버퍼링하는 단계; 제 2 재송신 패킷에서, 제 1 원래 심볼과 연관된 제 2 성분 심볼을 수신하는 단계; 및 제 1 원래 심볼과 연관된 제 1 성분 심볼 및 제 2 성분 심볼의 비트들을 할당해제하여 제 1 원래 심볼과 연관된 원래 비트 스트림을 생성하기 위해 제 1 원래 심볼과 연관되는 버퍼링된 제 1 성분 심볼 및 제 1 원래 심볼과 연관되는 수신된 제 2 성분 심볼을 제공하는 단계를 더 포함한다.

[0030] 일부 실시형태들에서, 통신 네트워크 디바이스는, 통신 네트워크 디바이스로부터 통신 네트워크의 제 2 통신 네트워크 디바이스로의 원래 패킷의 송신이 실패했다는 것을 결정하는 것으로서, 원래 패킷은 하나 이상의 원래 심볼들을 포함하는, 상기 송신이 실패했다는 것을 결정하며; 원래 패킷의 각각의 원래 심볼에 대해, 원래 심볼과 연관된 2 개 이상의 성분 심볼들 전체에 걸쳐 원래 심볼의 각각의 부반송파의 비트 로드를 할당하는 방법을 결정하도록 동작가능한 비트 로드 계산 유닛을 포함한다. 이 통신 네트워크 디바이스는, 원래 패킷의 각각의 원래 심볼에 대해, 원래 심볼과 연관된 2 개 이상의 성분 심볼들 전체에 걸쳐 원래 심볼의 각각의 부반송파의 비트 로드를 할당하도록 동작가능한 심볼 생성 유닛: 및 원래 패킷의 각각의 원래 심볼과 연관된 2 개 이상의 성분 심볼들을 하나 이상의 재송신 패킷들에 할당하도록 동작가능한 패킷 생성 유닛을 더 포함한다.

[0031] 일부 실시형태들에서, 통신 네트워크 디바이스는 하나 이상의 재송신 패킷들을 제 2 통신 네트워크 디바이스에 송신하도록 동작가능한 송신 유닛을 더 포함한다.

[0032] 일부 실시형태들에서, 원래 패킷의 각각의 원래 심볼에 대해, 원래 심볼과 연관된 2 개 이상의 성분 심볼들 전체에 걸쳐 원래 심볼의 각각의 부반송파의 비트 로드를 할당하는 방법을 결정하도록 동작가능한 비트 로드 계산 유닛, 및 원래 패킷의 각각의 원래 심볼에 대해, 원래 심볼과 연관된 2 개 이상의 성분 심볼들 전체에 걸쳐 원래 심볼의 각각의 부반송파의 비트 로드를 할당하도록 동작가능한 심볼 생성 유닛은, 원래 패킷의 각각의 원래 심볼에 대해, 원래 심볼과 연관된 2 개의 성분 심볼들의 각각의 대응하는 부반송파의 성분 비트 로드들 전체에 걸쳐 원래 심볼의 각각의 부반송파의 비트 로드를 할당하는 방법을 결정하도록 동작가능한 비트 로드 계산 유닛; 및 원래 패킷의 각각의 원래 심볼에 대해, 원래 심볼의 각각의 부반송파의 비트 로드의 서브세트를 제 1 성분 심볼의 각각의 대응하는 부반송파의 제 1 성분 비트 로드에 할당하고, 원래 심볼의 각각의 부반송파의 비트 로드의 나머지를 제 2 성분 심볼의 각각의 대응하는 부반송파의 제 2 성분 비트 로드에 할당하도록 동작가능한 심볼 생성 유닛을 포함한다.

[0033] 일부 실시형태들에서, 원래 패킷의 각각의 원래 심볼에 대해, 원래 심볼과 연관된 2 개 이상의 성분 심볼들 전체에 걸쳐 원래 심볼의 각각의 부반송파의 비트 로드를 할당하는 방법을 결정하도록 동작가능한 비트 로드 계산 유닛은, 각각의 원래 심볼의 각각의 부반송파에 대해, 원래 심볼의 부반송파와 연관된 비트 로드를 식별하는 것으로서, 비트 로드는 원래 심볼의 부반송파에 매핑되는 비트들의 수를 나타내는, 상기 비트 로드를 식별하며; 제 1 성분 심볼의 대응하는 부반송파의 제 1 성분 비트 로드와 제 2 성분 심볼의 대응하는 부반송파의 제 2 성분 비트 로드 사이에서 동일하게 원래 심볼의 부반송파의 비트 로드를 할당할 것을 결정하도록 동작가능한 비트 로드 계산 유닛을 더 포함한다.

[0034] 일부 실시형태들에서, 각각의 원래 심볼의 각각의 부반송파에 대해, 제 1 성분 심볼의 대응하는 부반송파의 제 1 성분 비트 로드와 제 2 성분 심볼의 대응하는 부반송파의 제 2 성분 비트 로드 사이에서 동일하게 원래 심볼의 부반송파의 비트 로드를 할당할 것을 결정하도록 동작가능한 비트 로드 계산 유닛은, 각각의 원래 심볼의 각각의 부반송파에 대해, 제 1 성분 비트 로드와 제 2 성분 비트 로드 사이에서 동일하게 원래 심볼의 부반송파와 연관된 비트 로드를 할당함으로써 결정되는 대응하는 부반송파의 제 1 성분 비트 로드 및 제 2 성분 비트 로드가 통신 네트워크 디바이스에서 지원되지 않는다는 것을 결정하고; 대응하는 부반송파의 제 1 성분 비트 로드 및 제 2 성분 비트 로드가 통신 네트워크 디바이스에서 지원되지 않는다는 것을 비트 로드 계산 유닛이 결정하는 것에 응답하여, 제 1 성분 심볼의 제 1 성분 비트 로드를 미리 정의된 값만큼 증분시키고 제 2 성분 심볼의 제 2 성분 비트 로드를 미리 정의된 값만큼 감분시키고; 대응하는 부반송파의 제 1 성분 비트 로드가 원래 심볼의 부반송파와 연관된 비트 로드와 동일한지 여부 또는 대응하는 부반송파의 제 2 성분 비트 로드가 0 과 동일한지 여부를 결정하며; 대응하는 부반송파의 제 1 성분 비트 로드가 원래 심볼의 부반송파와 연관된 비트 로드와 동일하다는 것 또는 대응하는 부반송파의 제 2 성분 비트 로드가 0 과 동일하다는 것을 비트 로드 계산 유닛이 결정하는 것에 응답하여, 원래 심볼의 부반송파와 연관된 비트 로드를 대응하는 부반송파의 제 1 성분 비트 로드 및 제 2 성분 비트 로드 모두에 할당할 것을 결정하도록 동작가능한 비트 로드 계산 유닛을 더 포함한다.

[0035] 일부 실시형태들에서, 비트 로드 계산 유닛은 또한, 각각의 원래 심볼의 각각의 부반송파에 대해, 대응하는 부반송파의 제 1 성분 비트 로드가 원래 심볼의 부반송파와 연관된 비트 로드와 동일하지 않다는 것 또는 대응하는 부반송파의 제 2 성분 비트 로드가 0 과 동일하지 않다는 것을 비트 로드 계산 유닛이 결정하는 것에 응답하여, 대응하는 부반송파의 제 1 성분 비트 로드 및 제 2 성분 비트 로드가 통신 네트워크 디바이스에서 지원되는지 여부를 더욱 결정하며; 대응하는 부반송파의 제 1 성분 비트 로드 및 제 2 성분 비트 로드가 통신 네트워크 디바이스에서 지원된다는 것을 비트 로드 계산 유닛이 결정하는 것에 응답하여, 제 1 성분 비트 로드를 제 1 성분 심볼의 대응하는 부반송파에 할당할 것 및 제 2 성분 비트 로드를 제 2 성분 심볼의 대응하는 부반송파에 할당할 것을 결정하도록 동작가능하며, 제 1 성분 비트 로드 및 제 2 성분 비트 로드는 동일하지 않다.

[0036] 일부 실시형태들에서, 원래 패킷의 각각의 원래 심볼과 연관된 2 개 이상의 성분 심볼들을 하나 이상의 재송신 패킷들에 할당하도록 동작가능한 패킷 생성 유닛은, 원래 패킷의 각각의 원래 심볼과 연관된 제 1 성분 심볼 및 제 2 성분 심볼을 하나 이상의 재송신 패킷들에 순차적으로 할당하도록 동작가능한 패킷 생성 유닛을 더 포함한다.

[0037] 일부 실시형태들에서, 원래 패킷의 각각의 원래 심볼과 연관된 2 개 이상의 성분 심볼들을 하나 이상의 재송신 패킷들에 할당하도록 동작가능한 패킷 생성 유닛은, 하나 이상의 재송신 패킷들에서의 할당을 위해, 원래 패킷의 미리 결정된 수의 원래 심볼들과 연관된 제 1 성분 심볼 및 제 2 성분 심볼이 인터레이싱될 것이라는 것을 결정하는 것으로서, 원래 패킷의 원래 심볼들의 미리 결정된 수는 하나 이상의 재송신 패킷들의 각각의 최대 길이 미만인, 상기 제 1 성분 심볼 및 제 2 성분 심볼이 인터레이싱될 것이라는 것을 결정하고; 미리 결정된 수의 원래 심볼들의 각각과 연관된 제 1 성분 심볼을 하나 이상의 재송신 패킷들에 할당하며; 하나 이상의 재송신 패킷들에 미리 결정된 수의 원래 심볼들의 각각과 연관된 제 2 성분 심볼을 할당하도록 동작가능한 패킷 생성 유닛을 더 포함하며, 미리 결정된 수의 원래 심볼들의 각각과 연관된 제 1 성분 심볼은, 제 1 성분 심볼들이 제 2 성분 심볼들과 인터레이싱되도록 하나 이상의 재송신 패킷들에서 미리 결정된 수의 원래 심볼들의 각각과 연관된 제 2 성분 심볼에 선행한다.

[0038] 일부 실시형태들에서, 원래 패킷의 각각의 원래 심볼과 연관된 2 개 이상의 성분 심볼들을 하나 이상의 재송신 패킷들에 할당하도록 동작가능한 패킷 생성 유닛은, 원래 패킷의 각각의 원래 심볼과 연관된 제 1 성분 심볼을 제 1 재송신 패킷에 할당하며; 원래 패킷의 각각의 원래 심볼과 연관된 제 2 성분 심볼을 제 2 재송신 패킷에 할당하도록 동작가능한 패킷 생성 유닛을 더 포함한다.

[0039] 일부 실시형태들에서, 비트 로드 계산 유닛은 또한, 원래 심볼의 각각의 부반송파의 비트 로드에 기초하여 평균

비트 로드를 결정하고; 평균 비트 로드에 대응하는 신호 대 잡음 비 마진을 결정하고; 평균 비트 로드에 대응하는 신호 대 잡음 비 마진 및 통신 네트워크 디바이스와 제 2 통신 네트워크 디바이스 사이의 통신 채널의 잡음 플로어에 적어도 부분적으로 기초하여, 제 2 통신 네트워크 디바이스로 하나 이상의 재송신 패킷들을 송신하기 위한 송신 전력이 감소되어야 한다는 것을 결정하며; 평균 비트 로드에 대응하는 신호 대 잡음 비 마진 및 통신 네트워크 디바이스와 제 2 통신 네트워크 디바이스 사이의 통신 채널의 잡음 플로어 사이의 차이에 적어도 부분적으로 기초하여, 제 2 통신 네트워크 디바이스로 하나 이상의 재송신 패킷들을 송신하기 위한 송신 전력이 감소되어야 한다는 것을 비트 로드 계산 유닛이 결정하는 것에 응답하여 송신 전력이 미리 결정된 전력만큼 감소되게 하도록 동작가능하다.

[0040] 일부 실시형태들에서, 통신 네트워크 디바이스는, 통신 네트워크의 제 2 통신 네트워크 디바이스로부터 하나 이상의 재송신 패킷들을 수신하는 것으로서, 하나 이상의 재송신 패킷들은 원래 패킷에서 제 2 통신 네트워크 디바이스에 의해 송신된 각각의 원래 심볼과 연관된 2 개 이상의 성분 심볼들을 포함하는, 상기 하나 이상의 재송신 패킷들을 수신하며; 하나 이상의 재송신 패킷들로부터 각각의 원래 심볼과 연관된 2 개 이상의 성분 심볼들을 식별하도록 동작가능한 비트 로드 재구성 유닛을 포함한다. 이 통신 네트워크 디바이스는, 제 2 통신 네트워크 디바이스가 하나 이상의 재송신 패킷들로부터 각각의 원래 심볼과 연관된 2 개 이상의 성분 심볼들 전체에 걸쳐 각각의 원래 심볼의 각각의 부반송파의 비트 로드를 할당한 방법을 결정하도록 동작가능한 비트 로드 계산 유닛; 및 제 2 통신 네트워크 디바이스가 하나 이상의 재송신 패킷들로부터 각각의 원래 심볼과 연관된 2 개 이상의 성분 심볼들에 길쳐 각각의 원래 심볼의 각각의 부반송파의 비트 로드를 할당한 방법을 비트 로드 계산 유닛이 결정하는 것에 기초하여, 각각의 원래 심볼과 연관되는 식별된 2 개 이상의 성분 심볼들의 비트들을 할당해제하여 원래 패킷의 원래 심볼들과 연관된 원래 비트 스트림을 생성하도록 더욱 동작가능한 비트 로드 재구성 유닛을 더 포함한다.

[0041] 일부 실시형태들에서, 제 2 통신 네트워크 디바이스가 하나 이상의 재송신 패킷들로부터 각각의 원래 심볼과 연관된 2 개 이상의 성분 심볼들 전체에 걸쳐 각각의 원래 심볼의 각각의 부반송파의 비트 로드를 할당한 방법을 결정하도록 동작가능한 비트 로드 계산 유닛은, 원래 패킷의 각각의 원래 심볼에 대해, 제 2 통신 네트워크 디바이스가 원래 심볼의 각각의 부반송파의 비트 로드의 서브세트를 제 1 성분 심볼의 각각의 대응하는 부반송파의 제 1 성분 비트 로드에 할당했다는 것 및 제 2 통신 네트워크 디바이스가 원래 심볼의 각각의 부반송파의 비트 로드의 나머지를 제 2 성분 심볼의 각각의 대응하는 부반송파의 제 2 성분 비트 로드에 할당했다는 것을 결정하도록 동작가능한 비트 로드 계산 유닛을 더 포함한다.

[0042] 일부 실시형태들에서, 하나 이상의 재송신 패킷들로부터 각각의 원래 심볼과 연관된 2 개 이상의 성분 심볼들을 식별하도록 동작가능한 비트 로드 재구성 유닛은, 원래 패킷의 각각의 원래 심볼과 연관된 제 1 성분 심볼 및 제 2 성분 심볼이 제 2 통신 네트워크 디바이스에서 하나 이상의 재송신 패킷들에 순차적으로 할당되었다는 것을 결정하고; 각각의 원래 심볼에 대해, 하나 이상의 재송신 패킷들로부터 제 1 성분 심볼을 수신하고 버퍼링하고; 하나 이상의 재송신 패킷들로부터 제 2 성분 심볼을 수신하는 것으로서, 제 1 성분 심볼은 제 2 성분 심볼에 선행하는, 상기 제 2 성분 심볼을 수신하고; 버퍼링된 제 1 성분 심볼 및 수신된 제 2 성분 심볼이 원래 패킷의 원래 심볼과 연관된다는 것을 나타내며; 원래 심볼과 연관된 제 1 성분 심볼 및 제 2 성분 심볼의 비트들을 할당해제하여 원래 심볼과 연관된 원래 비트 스트림을 생성하기 위해 버퍼링된 제 1 성분 심볼 및 수신된 제 2 성분 심볼을 제공하도록 동작가능한 비트 로드 재구성 유닛을 더 포함한다.

[0043] 일부 실시형태들에서, 하나 이상의 재송신 패킷들로부터 각각의 원래 심볼과 연관된 2 개 이상의 성분 심볼들을 식별하도록 동작가능한 비트 로드 재구성 유닛은, 제 2 통신 네트워크 디바이스에서 하나 이상의 재송신 패킷들에 원래 패킷의 미리 결정된 수의 원래 심볼들과 연관된 제 1 성분 심볼 및 제 2 성분 심볼이 인터레이싱되었다는 것을 결정하는 것으로서, 원래 패킷의 원래 심볼들의 미리 결정된 수는 하나 이상의 재송신 패킷들의 각각의 최대 길이 미만인, 상기 제 1 성분 심볼 및 제 2 성분 심볼이 인터레이싱되었다는 것을 결정하고; 하나 이상의 재송신 패킷들의 미리 결정된 수의 성분 심볼들을 수신하고 버퍼링하는 것으로서, 제 1 원래 심볼과 연관된 제 1 성분 심볼은 버퍼링된 미리 결정된 수의 성분 심볼들 중 하나를 구성하는, 상기 미리 결정된 수의 성분 심볼들을 수신하고 버퍼링하고; 비트 로드 재구성 유닛이 미리 결정된 수의 성분 심볼들을 수신하는 것에 뒤따라 제 1 원래 심볼과 연관된 제 2 성분 심볼을 수신하며; 제 1 원래 심볼과 연관된 제 1 성분 심볼 및 제 2 성분 심볼의 비트들을 할당해제하여 제 1 원래 심볼과 연관된 원래 비트 스트림을 생성하기 위해 제 1 원래 심볼과 연관되는 버퍼링된 제 1 성분 심볼 및 제 1 원래 심볼과 연관되는 수신된 제 2 성분 심볼을 제공하도록 동작가능한 비트 로드 재구성 유닛을 더 포함한다.

[0044] 일부 실시형태들에서, 하나 이상의 재송신 패킷들로부터 각각의 원래 심볼과 연관된 2 개 이상의 성분 심볼들을

식별하도록 동작가능한 비트 로드 재구성 유닛은, 제 1 재송신 패킷에서, 각각의 원래 심볼과 연관된 제 1 성분 심볼을 수신하고 버퍼링하는 것으로서, 각각의 원래 심볼과 연관되는 버퍼링된 제 1 성분 심볼은 제 1 원래 심볼과 연관된 제 1 성분 심볼을 포함하는, 상기 제 1 성분 심볼을 수신하고 버퍼링하고; 제 2 재송신 패킷에서, 제 1 원래 심볼과 연관된 제 2 성분 심볼을 수신하며; 제 1 원래 심볼과 연관된 제 1 성분 심볼 및 제 2 성분 심볼의 비트들을 할당해제하여 제 1 원래 심볼과 연관된 원래 비트 스트림을 생성하기 위해 제 1 원래 심볼과 연관되는 버퍼링된 제 1 성분 심볼 및 제 1 원래 심볼과 연관되는 수신된 제 2 성분 심볼을 제공하도록 동작가능한 비트 로드 재구성 유닛을 더 포함한다.

[0045] 일부 실시형태들에서, 명령들을 저장하고 있는 하나 이상의 머신 판독가능 저장 매체들로서, 명령들은, 하나 이상의 프로세서 유닛들에 의해 실행될 때, 하나 이상의 프로세서 유닛들로 하여금, 제 1 네트워크 디바이스로부터 통신 네트워크의 제 2 네트워크 디바이스로의 원래 패킷의 송신이 실패했다는 것을 결정하는 동작으로서, 원래 패킷은 하나 이상의 원래 심볼들을 포함하는, 상기 송신이 실패했다는 것을 결정하는 동작; 원래 패킷의 각각의 원래 심볼에 대해, 원래 심볼과 연관된 2 개의 성분 심볼들의 각각의 대응하는 부반송파의 성분 비트 로드들 전체에 걸쳐 원래 심볼의 각각의 부반송파의 비트 로드를 할당하는 방법을 결정하는 동작; 원래 패킷의 각각의 원래 심볼에 대해, 원래 심볼의 각각의 부반송파의 비트 로드의 서브세트를 제 1 성분 심볼의 각각의 대응하는 부반송파의 제 1 성분 비트 로드에 할당하고, 원래 심볼의 각각의 부반송파의 비트 로드의 나머지를 제 2 성분 심볼의 각각의 대응하는 부반송파의 제 2 성분 비트 로드에 할당하는 동작; 원래 패킷의 각각의 원래 심볼과 연관된 제 1 성분 심볼 및 제 2 성분 심볼을 하나 이상의 재송신 패킷들에 할당하는 동작; 및 제 1 네트워크 디바이스로부터 제 2 네트워크 디바이스로 하나 이상의 재송신 패킷들을 송신하는 동작을 포함하는 동작들을 수행하게 하는, 하나 이상의 머신 판독가능 저장 매체들이 있다.

[0046] 일부 실시형태들에서, 상기 원래 패킷의 각각의 원래 심볼에 대해, 원래 심볼과 연관된 2 개의 성분 심볼들의 각각의 대응하는 부반송파의 성분 비트 로드들 전체에 걸쳐 원래 심볼의 각각의 부반송파의 비트 로드를 할당하는 방법을 결정하는 동작은, 각각의 원래 심볼의 각각의 부반송파에 대해, 제 1 성분 심볼의 대응하는 부반송파의 제 1 성분 비트 로드와 제 2 성분 심볼의 대응하는 부반송파의 제 2 성분 비트 로드 사이에서 동일하게 원래 심볼의 부반송파의 비트 로드를 할당할 것을 결정하는 동작; 대응하는 부반송파의 제 1 성분 비트 로드 및 제 2 성분 비트 로드가 제 1 네트워크 디바이스에서 지원되지 않는다는 것을 결정하는 동작; 부반송파의 제 1 성분 비트 로드 및 제 2 성분 비트 로드가 제 1 네트워크 디바이스에서 지원되지 않는다는 것을 결정하는 것에 응답하여, 제 1 성분 심볼의 제 1 성분 비트 로드를 미리 정의된 값만큼 증분시키고 제 2 성분 심볼의 제 2 성분 비트 로드를 미리 정의된 값만큼 감분시키는 동작; 대응하는 부반송파의 제 1 성분 비트 로드가 원래 심볼의 부반송파와 연관된 비트 로드와 동일하다는 것 또는 대응하는 부반송파의 제 2 성분 비트 로드가 0 과 동일하다는 것을 결정하는 동작; 및 대응하는 부반송파의 제 1 성분 비트 로드가 원래 심볼의 부반송파와 연관된 비트 로드와 동일하다는 것 또는 대응하는 부반송파의 제 2 성분 비트 로드가 0 과 동일하다는 것을 결정하는 것에 응답하여, 원래 심볼의 부반송파와 연관된 비트 로드를 대응하는 부반송파의 제 1 성분 비트 로드 및 제 2 성분 비트 로드 모두에 할당할 것을 결정하는 동작을 더 포함한다.

[0047] 일부 실시형태들에서, 그 동작들은, 각각의 원래 심볼의 각각의 부반송파에 대해, 대응하는 부반송파의 제 1 성분 비트 로드가 원래 심볼의 부반송파와 연관된 비트 로드와 동일하지 않다는 것 또는 대응하는 부반송파의 제 2 성분 비트 로드가 0 과 동일하지 않다는 것을 결정하는 것에 응답하여, 대응하는 부반송파의 제 1 성분 비트 로드 및 제 2 성분 비트 로드가 제 1 네트워크 디바이스에서 지원되는지 여부를 더욱 결정하는 동작; 및 대응하는 부반송파의 제 1 성분 비트 로드 및 제 2 성분 비트 로드가 제 1 네트워크 디바이스에서 지원된다는 것을 결정하는 것에 응답하여, 제 1 성분 비트 로드를 제 1 성분 심볼의 대응하는 부반송파에 할당할 것 및 제 2 성분 비트 로드를 제 2 성분 심볼의 대응하는 부반송파에 할당할 것을 결정하는 동작을 더 포함하며, 제 1 성분 비트 로드 및 제 2 성분 비트 로드는 동일하지 않다.

[0048] 일부 실시형태들에서, 원래 패킷의 각각의 원래 심볼과 연관된 제 1 성분 심볼 및 제 2 성분 심볼을 하나 이상의 재송신 패킷들에 할당하는 동작은, 하나 이상의 재송신 패킷들에서의 할당을 위해, 원래 패킷의 미리 결정된 수의 원래 심볼들과 연관된 제 1 성분 심볼 및 제 2 성분 심볼이 인터레이싱될 것이라는 것을 결정하는 동작; 미리 결정된 수의 원래 심볼들의 각각과 연관된 제 1 성분 심볼을 하나 이상의 재송신 패킷들에 할당하는 동작; 및 미리 결정된 수의 원래 심볼들의 각각과 연관된 제 2 성분 심볼을 하나 이상의 재송신 패킷들에 할당하는 동작을 더 포함하며, 미리 결정된 수의 원래 심볼들의 각각과 연관된 제 1 성분 심볼은, 제 1 성분 심볼들이 제 2 성분 심볼들과 인터레이싱되도록 하나 이상의 재송신 패킷들에서 미리 결정된 수의 원래 심볼들의 각각과 연관된 제 2 성분 심볼에 선행한다.

[0049] 일부 실시형태들에서, 명령들을 저장하고 있는 하나 이상의 머신 판독가능 저장 매체들로서, 명령들은, 하나 이상의 프로세서 유닛들에 의해 실행될 때, 하나 이상의 프로세서 유닛들로 하여금, 통신 네트워크의 제 1 네트워크 디바이스에서, 통신 네트워크의 제 2 네트워크 디바이스로부터 하나 이상의 재송신 패킷들을 수신하는 동작으로서, 하나 이상의 재송신 패킷들은 원래 패킷에서 제 2 네트워크 디바이스에 의해 송신된 각각의 원래 심볼과 연관된 2 개의 성분 심볼들을 포함하는, 상기 하나 이상의 재송신 패킷들을 수신하는 동작; 하나 이상의 재송신 패킷들로부터 각각의 원래 심볼과 연관된 제 1 성분 심볼 및 제 2 성분 심볼을 식별하는 동작; 원래 패킷의 각각의 원래 심볼에 대해, 제 2 네트워크 디바이스가 원래 심볼의 각각의 부반송파의 비트 로드의 서브세트를 제 1 성분 심볼의 각각의 대응하는 부반송파의 제 1 성분 비트 로드에 할당했다는 것 및 제 2 네트워크 디바이스가 원래 심볼의 각각의 부반송파의 비트 로드의 나머지를 제 2 성분 심볼의 각각의 대응하는 부반송파의 제 2 성분 비트 로드에 할당했다는 것을 결정하는 동작; 및 제 2 네트워크 디바이스가 원래 심볼의 각각의 부반송파의 비트 로드의 서브세트를 제 1 성분 심볼의 각각의 대응하는 부반송파의 제 1 성분 비트 로드에 할당했다는 것 및 제 2 네트워크 디바이스가 원래 심볼의 각각의 부반송파의 비트 로드의 나머지를 제 2 성분 심볼의 각각의 대응하는 부반송파의 제 2 성분 비트 로드에 할당했다는 것을 결정하는 동작에 기초하여 각각의 원래 심볼과 연관된 제 1 성분 심볼 및 제 2 성분 심볼의 비트들을 할당해제하여 원래 패킷의 원래 심볼들과 연관된 원래 비트 스트림을 생성하는 동작을 포함하는 동작들을 수행하게 하는, 하나 이상의 머신 판독가능 저장 매체들이 있다.

[0050] 일부 실시형태들에서, 각각의 원래 심볼과 연관된 제 1 성분 심볼 및 제 2 성분 심볼의 비트들을 할당해제하여 원래 패킷의 원래 심볼들과 연관된 원래 비트 스트림을 생성하는 동작은, 원래 심볼의 각각의 부반송파에 대해, 원래 심볼과 연관된 제 1 성분 심볼의 부반송파로부터 부반송파의 제 1 성분 비트 로드에 대응하는 비트들의 제 1 세트를 식별하는 동작; 원래 심볼과 연관된 제 2 성분 심볼의 부반송파로부터 부반송파의 제 2 성분 비트 로드에 대응하는 비트들의 제 2 세트를 식별하는 동작; 및 비트들의 제 1 세트 다음에 비트들의 제 2 세트가 뒤따르도록 원래 심볼과 연관된 원래 비트 스트림을 생성하는 동작을 더 포함한다.

[0051] 일부 실시형태들에서, 하나 이상의 재송신 패킷들로부터 각각의 원래 심볼과 연관된 제 1 성분 심볼 및 제 2 성분 심볼을 식별하는 동작은, 제 2 네트워크 디바이스에서 하나 이상의 재송신 패킷들에 원래 패킷의 미리 결정된 수의 원래 심볼들과 연관된 제 1 성분 심볼 및 제 2 성분 심볼이 인터레이싱되었다는 것을 결정하는 동작; 하나 이상의 재송신 패킷들의 미리 결정된 수의 성분 심볼들을 수신하고 버퍼링하는 동작으로서, 제 1 원래 심볼과 연관된 제 1 성분 심볼은 버퍼링된 미리 결정된 수의 성분 심볼들 중 하나를 구성하는, 상기 미리 결정된 수의 성분 심볼들을 수신하고 버퍼링하는 동작; 미리 결정된 수의 성분 심볼들을 수신하는 동작을 뒤따라 제 1 원래 심볼과 연관된 제 2 성분 심볼을 수신하는 동작; 및 제 1 원래 심볼과 연관된 제 1 성분 심볼 및 제 2 성분 심볼의 비트들을 할당해제하여 제 1 원래 심볼과 연관된 원래 비트 스트림을 생성하기 위해 제 1 원래 심볼과 연관되는 버퍼링된 제 1 성분 심볼 및 제 1 원래 심볼과 연관되는 수신된 제 2 성분 심볼을 제공하는 동작을 더 포함한다.

도면의 간단한 설명

[0052] 첨부 도면들을 참조함으로써 본 실시형태들은 더 잘 이해될 수도 있고, 다수의 목적들, 특징들 및 이점들은 당업자에게 명백해질 것이다.

도 1 은 동적 비트 할당을 위해 구성된 네트워크 디바이스들을 포함하는 통신 네트워크를 도시하는 일 예의 블록도이다.

도 2 는 동적 비트 할당 기법을 구현하기 위한 일 예의 OFDM 송신기 및 수신기를 도시하는 블록도이다.

도 3 은 재송신 패킷에서의 동적 비트 할당에 대한 예의 동작들을 도시하는 흐름도이다.

도 4 는 부반송파 단위로의 (on a per sub-carrier basis) 동적 비트 로드 할당에 대한 예의 동작들을 도시하는 흐름도이다.

도 5 는 스펙트럼 도메인 및 시간 도메인에서의 비트 로드 스플리팅을 도시하는 일 예의 개념도이다.

도 6 은 동적 비트 할당에 기초하여 재송신 패킷들을 생성하는 예의 동작들을 도시하는 흐름도를 나타낸다.

도 7 은 도 6 의 연속 흐름도이고 동적 비트 할당에 기초하여 재송신 패킷들을 생성하는 예의 동작들을 도시한다.

도 8 은 재송신 패킷들에 대한 성분 심볼들의 할당을 도시하는 일 예의 개념도이다.

도 9 는 재송신 패킷들로부터 원래 비트 스트림을 생성하는 수신 네트워크 디바이스의 예의 동작들을 도시하는 흐름도이다.

도 10 은 미리 결정된 SNR 마진 한계에 기초하여 동적 비트 로드 할당에 대한 예의 동작들을 도시하는 흐름도이다.

도 11 은 도 10 의 연속 흐름도이고 또한 미리 결정된 SNR 마진 한계에 기초하여 동적 비트 로드 할당에 대한 예의 동작들을 도시한다.

도 12 는 SNR 마진에 기초하여 송신 파라미터들을 변화시키기 위한 예의 동작들을 도시하는 흐름도이다.

도 13 은 스펙트럼 도메인에서의 동적 비트 로드 할당을 도시하는 일 예의 개념도이다.

도 14 는 동적 비트 할당에 대한 메커니즘을 포함하는 전자 디바이스의 하나의 실시형태의 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0053] 다음의 설명은 본 발명의 주제의 기법들을 채용하는 예시적인 시스템들, 방법들, 기법들, 명령 시퀀스들, 및 컴퓨터 프로그램 제품들을 포함한다. 그러나, 설명된 실시형태들은 이들 특정 세부사항들 없이 실시될 수도 있다는 것이 이해된다. 예를 들면, 예들이 직교 주파수 분할 다중화 (OFDM) 변조 시스템들에 대한 동적 비트 할당 기법을 언급하지만, 실시형태들은 그렇게 제한되지 않는다. 본원에서 설명된 바와 같은 동적 비트 할당 기법은 또한 단일 반송파 변조 스킴들로 확장될 수 있다. 더욱이, 예들이 전력선 통신 네트워크에서 동적 비트 할당 기법을 구현하는 것을 언급하지만, 다른 실시형태들에서, 동적 비트 할당 기법은 다른 통신 시스템들, 이를 테면 무선 근거리 네트워크 (WLAN) 들에서 구현될 수도 있다. 다른 경우들에서, 주지의 명령 인스턴스들, 프로토콜들, 구조들 및 기법들은 설명을 혼란스럽게 하기 않기 위해 상세히 보여지진 않았다.

[0054] 전력선 광대역 통신은 현존하는 전력선 네트워크들 (예컨대, 가정들 및 빌딩들에서의 전력선들) 을 통해 광대역 통신을 가능하게 하는데 초점을 맞추고 있다. 그러나, 전력 전송을 위해 원래 설계된 전력선 네트워크들은, 시간 가변 및 주파수 가변 잡음 소스들에 영향을 받는다. 예를 들어, 에너지 절약 디바이스들, 조명 디바이스들 등은 전력선 네트워크에 잡음을 초래할 수 있고 전력선 광대역 통신을 위해 송신된 데이터 패킷들을 손상시킬 수 있다. 전력선 네트워크들은 또한 제어형 임피던스들을 가지지 않는다. 다르게 말하면, 통신 네트워크 디바이스들에 의해 보여지는 바와 같은 임피던스는 전력선 네트워크에 접속된 전력선 디바이스들 (예컨대, 스위치들, 모바일 폰 충전기들, 에너지 절약 디바이스들, 조명 디바이스들 등) 의 수 및 유형에 의해 결정된다. 일부 전력선 디바이스들은 또한 전력선 네트워크의 임피던스를 조절하여, 하나의 콘센트 (outlet) 에서 다른 콘센트로 임피던스가 변화하게 하고 전력선 네트워크의 통신 성능을 타협할 수도 있다. 더구나, 공동 주택 (multi-dwelling unit, MDU) 환경 (예컨대, 다수의 아파트 단위주거들 (apartment units) 을 갖는 빌딩) 은, 공통 전력선 통신 매체에 의해 지원되는 다수의 독립적인 이웃하는 전력선 네트워크들 (예컨대, 각각의 아파트 단위주거마다 하나) 을 포함할 수 있다. 이는 전력선 네트워크들 사이에서 랜덤 또는 버스트 간섭이 생기게 할 수 있고 전력선 네트워크들의 각각의 전력선 네트워크의 스루풋을 감소시킬 수 있다. 부가적인 전력선 네트워크들이 전력선 통신 매체 내에 배치되므로, MDU의 전력선 네트워크들 사이에서 충돌들의 확률은 증가하여, 네트워크 성능에 추가로 영향을 미칠 수 있다. MDU의 전력선 네트워크들 사이에서 통신들을 조정하는 것은 매우 비효율적인 프로세스일 수 있고 스루풋의 감소 및 데이터 대역폭의 손실이 생기게 할 수 있다.

[0055] 버스트 간섭에 영향을 받는 유선 또는 무선 통신 네트워크들에서의 네트워크 디바이스들은 동적 비트 할당 기법을 구현하도록 구성될 수 있다. 예를 들어, 전력선 네트워크들을 통해 통신하는 네트워크 디바이스들은 시간 가변성 및 주파수 가변성 채널 및 잡음 이벤트들 하에서 전력선 통신 매체를 효율적으로 사용하기 위해 동적 비트 할당 기법을 구현하도록 구성될 수 있다. 송신 네트워크 디바이스가 송신된 패킷에 대한 확인응답을 수신하지 못하거나 또는 과도한 에러 레이트의 표시를 수신한다면, 송신 네트워크 디바이스는 동적 비트 할당 기법 (도 1 내지 도 5 참조) 에 따라서 간섭에 영향을 받는 원래 심볼들의 비트들을 다수의 성분 심볼들 (예컨대, 원래 심볼 당 2 개의 성분 심볼들) 간에 동적으로 할당할 수 있다. 성분 심볼들의 변조 및 코딩은 성분 심볼들을 변조하는데 이용된 각각의 부반송파에 대한 신호 대 간섭 비 (SIR) 가 개선되고, 따라서 네트워크 성능을 향상시키도록 수정된다. 동적 비트 할당 기법에 따라서, 송신 네트워크 디바이스는 송신 파라미터들 (예컨대, 반송파들의 비트 로드, 송신 전력, 순방향 에러 정정 레이트 등) 을 변화시켜 성분 심볼들을 포함하는 강건한 재송신 패킷들을 생성할 수 있다. 성분 심볼들은 또한 재송신 패킷들에서 시간 다이버시티 (time

diversity) 를 활용하기 위해 시간 확산될 수 있다 (도 6 내지 도 8 참조). 더욱이, 일부 실시형태들에서, 송신 디바이스는 동적 비트 할당 기법에 연계하여 균형잡힌 비트 로딩 기법을 구현할 수 있다 (도 10 및 도 11 그리고 도 13 참조). 송신 네트워크 디바이스는 각각의 성분 심볼의 각각의 부반송파와 연관된 비트 로드들의 균형을 잡아서, 각각의 부반송파에 대한 최소 신호 대 잡음 비를 강제하고 부반송파 당 적어도 최소 수의 비트들의 송신을 가능하게 할 수 있다. 다르게 말하면, 최소 신호 대 잡음 비를 충족하지 않는 (또는 임계 비트 로드 미만인 비트 로드가 할당된) 부반송파들은 제거될 수 있고 제거된 부반송파에 할당된 비트 로드는 재송신 패킷들의 성공적인 송신의 확률을 증가시키기 위해 다른 부반송파들에 재할당될 수 있다. 버스트 간섭에 영향을 받는 송신들의 비트 로드를 동적으로 조절하고 그 비트 로드를 더 낮은 변조 레벨에서 재송신하는 이러한 기법은 신호 대 잡음 비 (SNR) 마진을 증가시키면서 동시에 시간 다이버시티를 활용할 수 있다. 이는 또한 더 큰 신호 대 간섭 마진들이 생기게 하여, 부반송파 당 SNR 마진을 향상시킬 수 있으며, 패킷 재송신의 강건성 (robustness) 을 향상시켜, 성공적인 송신의 확률을 증가시키고 성능 저하를 줄일 수 있다.

[0056] 도 1 은 동적 비트 할당을 위해 구성된 네트워크 디바이스들을 포함하는 통신 네트워크 (100) 를 도시하는 일예의 블록도이다. 통신 네트워크 (100) 는 송신 네트워크 디바이스 (150) 와 수신 네트워크 디바이스 (160) 를 포함한다. 송신 네트워크 디바이스 (150) 는 비트 할당 유닛 (110) 과 송신 유닛 (112) 을 포함한다. 비트 할당 유닛 (110) 은 비트 로드 계산 유닛 (104), 심볼 생성 유닛 (106), 및 패킷 생성 유닛 (108) 을 포함한다. 심볼 생성 유닛 (106) 은 비트 로드 계산 유닛 (104) 에 그리고 패킷 생성 유닛 (108) 에 커플링된다. 수신 네트워크 디바이스 (160) 는 수신 유닛 (116) 과 비트 추출 유닛 (118) 을 포함한다. 비트 추출 유닛 (118) 은 비트 로드 재구성 유닛 (122) 에 커플링된 비트 로드 계산 유닛 (120) 을 포함한다. 비록 도 1 에는 도시되어 있지 않지만, 송신 네트워크 디바이스 (150) 는 또한 다른 네트워크 디바이스들로부터 수신된 패킷들을 수신하고 프로세싱하는 수신 유닛 (116) 및 비트 추출 유닛 (118) 을 포함할 수 있다는 점에 주의한다. 마찬가지로, 수신 네트워크 디바이스 (160) 는 또한 패킷들을 생성하고 다른 네트워크 디바이스들에 송신하는 비트 할당 유닛 (110) 및 송신 유닛 (112) 을 포함할 수 있다.

[0057] 송신 네트워크 디바이스 (150) 는 동적 비트 할당 전에 송신될 데이터 비트들을 프리-프로세싱 (pre-process) 하는 비트 프로세싱 유닛 (예컨대, 도 2 에 도시된 비트 프로세싱 유닛 (201)) 을 포함할 수 있다. 이 비트 프로세싱 유닛은 순방향 에러 정정 (FEC) 레이트를 선택할 수 있고, 채널 추정을 수행하기 위해 초기의 알려진 비트 스트림 (예컨대, 훈련 심볼들) 을 수신 네트워크 디바이스 (160) 에 통신할 수 있다. 하나의 구현예에서, 송신 네트워크 디바이스 (150) 와 수신 네트워크 디바이스 (160) 는 통신 채널을 의사 시불변 (quasi-time-invariant) 인 것으로 간주할 수 있고 그에 따라 미리 정의된 비트 에러 레이트 (BER) 마다 통신 채널의 각각의 부반송파에 대한 최적의 비트 로드를 결정하기 위해 채널 추정을 수행할 수 있다. 부반송파에 대한 최적의 비트 로드는 필요 BER을 초과하는 일 없이 부반송파에 매핑될 수 있는 비트들의 최대 수를 나타낸다. 하나의 구현예에서, 송신될 데이터 비트들은 하나 이상의 원래 OFDM 심볼들을 생성하기 위해 복수의 부반송파들로 변조될 수도 있다. 송신 네트워크 디바이스 (150) 는 하나 이상의 원래 OFDM 심볼들을 포함하는 원래 패킷을 수신 네트워크 디바이스 (160) 에 송신한다. 통신 채널에 대한 버스트 간섭이 송신 네트워크 디바이스 (150) 및 수신 네트워크 디바이스 (160) 사이의 통신에 지장을 줄 만큼 충분히 강하다면, 수신 네트워크 디바이스 (160) 는 원래 패킷을 확인응답하지 않거나 또는 과도한 BER을 레포팅함으로써 송신 네트워크 디바이스 (150) 에 통지한다. 따라서, 송신 네트워크 디바이스 (150) 의 비트 할당 유닛 (110) 은 원래 심볼의 비트들을 2 개의 성분 심볼들 전체에 걸쳐 동적으로 할당할 수 있으며, 이는 아래의 스테이지 A 내지 D 에서, 그리고 도 3 내지 도 13 에서 더 상세히 설명될 것이다.

[0058] 스테이지 A 에서, 비트 로드 계산 유닛 (104) 은 재송신을 위한 2 개의 심볼들 전체에 걸쳐 실패한 송신 패킷의 각각의 원래 심볼의 비트들의 할당을 결정한다. 원래 패킷의 송신이 실패한 후, 비트 로드 계산 유닛 (104) 은 비트 할당 유닛 (110) 이 재송신을 위한 2 개의 성분 심볼들 전체에 걸쳐 각각의 원래 심볼의 비트들을 동적으로 할당하게 하기 위하여, 각각의 원래 심볼의 각각의 부반송파의 원래 비트 로드를 부반송파들의 각각과 연관된 2 개의 성분 비트 로드들로 스플리팅하는 방법을 결정하는 동작들 (도 4 를 참조하여 더 상세히 설명될 것임) 을 수행할 수 있다. 원래 심볼의 각각의 부반송파에 대해, 비트 로드 계산 유닛 (104) 은 부반송파 상에서 변조될 수 있는 (원래 비트 로드의) 비트들의 서브세트를 제 1 성분 심볼의 부분으로서 나타내는 부반송파의 제 1 성분 비트 로드를 결정한다. 원래 심볼의 각각의 부반송파에 대해, 비트 로드 계산 유닛 (104) 은 부반송파 상에서 변조될 수 있는 (원래 비트 로드의) 나머지 비트들을 제 2 성분 심볼의 부분으로서 나타내는 부반송파의 제 2 성분 비트 로드를 결정한다. 각각의 부반송파에 대해, 원래 비트 로드는 원래 심볼에서의 부반송파 상에서 변조된 비트들의 총 수를 나타낸다. 예를 들어, 10 비트들이 실패한 송신 패킷의 원래 심볼의 부분으로서 제 1 부반송파 상에서 변조된다면, 제 1 부반송파의 원래 비트 로드는 10 비트들이다. 비

트 로드 계산 유닛 (104) 은 원래 비트 로드 (즉, 10개 비트들) 가 6 비트들로 된 제 1 성분 비트 로드와 4 비트들로 된 제 2 성분 비트 로드로 스플리팅될 수 있다는 것을 결정할 수 있다. 따라서, 비트 할당 유닛 (110) 은 제 1 부반송파 상에서 변조된 6 비트들을 포함하는 제 1 성분 심볼과 제 1 부반송파 상에서 변조된 4 비트들을 포함하는 제 2 성분 심볼을 생성할 수 있으며, 이는 스테이지 B 에서 설명될 것이다. 덧붙여, 비트 로드 계산 유닛 (104) 은 부반송파들의 각각의 부반송파의 성분 비트 로드들을 결정하는 경우에 다른 송신 파라미터들을 고려할 수 있다. 예를 들어, 도 12 를 참조하여 설명되는 바와 같이, 성분 심볼들을 포함하는 OFDM 파형의 송신 전력 및 FEC 레이트는 성분 심볼들과 연관된 평균 SNR 마진에 의존하여 감소될 수 있다. 다른 예로서, 도 10 및 도 11 을 참조하여 설명되는 바와 같이, 부반송파들 중의 일부는 원래 심볼의 부반송파들의 각각의 부반송파의 원래 비트 로드에 기초하여 강하될 (dropped) 수 있다.

[0059] 스테이지 B 에서, 심볼 생성 유닛 (106) 은 원래 심볼들의 각각과 연관된 2 개의 성분 심볼들을 생성하기 위해 실패한 송신 패킷을 구성하는 원래 심볼들의 비트들을 할당한다. 2 개의 성분 심볼들 전체에 걸쳐 하나의 원래 심볼을 구성하는 비트들을 할당하는 것은 시간 다이버시티를 가능하게 한다. 심볼 생성 유닛 (106) 은, 도 4 및 도 5 에서 설명되는 바와 같이, 원래 심볼의 부반송파 당 비트들을 제 1 및 제 2 성분 심볼들의 대응하는 부반송파로 나눈다. 스테이지 A 의 예를 참조하여, 심볼 생성 유닛 (106) 은 비트 로드 계산 유닛 (104) 으로부터의 표시에 기초하여, 부반송파와 연관된 제 1 및 제 2 성분 비트 로드들이 각각 6 비트 및 4 비트라는 것을 결정할 수 있다. 따라서, 심볼 생성 유닛 (106) 은 (원래 심볼의 부반송파 상에서 이전에 변조된 10 비트들 중의) 6 비트들을 제 1 성분 심볼의 부반송파에 할당할 수 있고, 나머지 4 비트들을 제 2 성분 심볼의 부반송파에 할당할 수 있다.

[0060] 스테이지 C 에서, 패킷 생성 유닛 (108) 은 하나 이상의 재송신 패킷들을 생성하기 위해 (스테이지 B 에서 생성된) 성분 심볼들을 할당한다. 도 6 내지 도 8 을 참조하여 설명되는 바와 같이, 패킷 생성 유닛 (108) 은 시간 다이버시티를 달성하기 위해 하나 이상의 재송신 패킷들 전체에 걸쳐 실패한 송신 패킷의 모든 원래 심볼들과 연관된 성분 심볼들을 할당할 수 있다. 예를 들어, 패킷 생성 유닛 (108) 은 하나의 심볼 전체에 걸쳐 시간 다이버시티를 달성하기 위해 원래 심볼과 연관된 성분 심볼들을 연속적으로 할당할 수 있다. 다른 예로서, 패킷 생성 유닛 (108) 은 N 개 심볼들 전체에 걸쳐 시간 다이버시티를 달성하기 위해 N 개 원래 심볼들과 연관된 성분 심볼들을 할당할 수 있다. 다른 예로서, 패킷 생성 유닛 (108) 은 하나의 패킷 전체에 걸쳐 시간 다이버시티를 달성하기 위해 원래 심볼과 연관된 하나의 성분 심볼을 하나의 재송신 패킷에 할당할 수 있고 원래 심볼과 연관된 다른 성분 심볼을 다른 재송신 패킷에 할당할 수 있다.

[0061] 그 다음 패킷 생성 유닛 (108) 은 하나 이상의 재송신 패킷들을 송신 유닛 (112) 에 제공한다. 도 2 는 동적 비트 할당 기법을 구현하기 위한 일 예의 OFDM 송신기 및 수신기를 도시하는 블록도이다. 도 2 에 도시한 바와 같이, 송신 네트워크 디바이스 (150) 는 비트 프로세싱 유닛 (201), 비트 할당 유닛 (110), 및 송신 유닛 (112) 을 포함한다. 하나의 실시형태에서, 송신 유닛 (112) 은 직렬-병렬 컨버전 (S/P) 유닛 (202), 역고속 푸리에 변환 (IFFT) 유닛 (204), 병렬-직렬 컨버전 (P/S) 유닛 (206), 보호 구간 (guard interval, GI) 및 윈도잉 단위 (W) 가산 유닛 (208), 디지털-아날로그 컨버터 (DAC) (210), 하나 이상의 송신 필터들 (212), 및 송신 증폭기 (214) 를 포함한다.

[0062] 송신 네트워크 디바이스 (150) 는 통신 매체 (216) (예컨대, 전력선 네트워크, WLAN 등) 를 통해 수신 네트워크 디바이스 (160) 와 통신한다. 수신 네트워크 디바이스 (160) 는 수신 유닛 (116) 과 비트 추출 유닛 (118) 을 포함한다. 하나의 실시형태에서, 도 2 에 도시된 바와 같은 수신 유닛 (116) 은 하나 이상의 수신 필터들 (218), 수신 증폭기 (220), 아날로그-디지털 컨버터 (ADC) (222), GI+W 추출 유닛 (224), S/P 컨버전 유닛 (226), FFT 유닛 (228), 및 P/S 컨버전 유닛 (230) 을 포함한다. P/S 컨버전 유닛 (230) 의 출력은 비트 추출 유닛 (118) 에 제공된다. 비록 도 2 에는 도시되어 있지 않지만, 송신 네트워크 디바이스 (150) 는 또한 다른 네트워크 디바이스들로부터 수신된 패킷들을 수신하고 프로세싱하는 수신 네트워크 디바이스 (160) 의 구성요소들을 포함할 수 있다는 점에 주의한다. 마찬가지로, 수신 네트워크 디바이스 (160) 는 또한 패킷들을 생성하고 다른 네트워크 디바이스들에 송신하는 송신 네트워크 디바이스 (150) 의 구성요소들을 포함할 수 있다.

[0063] 비트 프로세싱 유닛 (201) 은 수신 네트워크 디바이스 (160) 에 송신될 데이터 비트들을 수신한다. 비트 프로세싱 유닛 (201) 은 데이터 비트들을 스크램블하며, 데이터 비트들을 FEC 인코딩하고, 데이터 비트들을 인터리빙할 수 있다. 도 1 을 참조하여 설명한 바와 같이, 비트 할당 유닛 (110) 은, 원래 패킷이 수신 네트워크 디바이스 (160) 에 송신되어야 한다는 것을 결정하는 것에 응답하여, 원래 패킷을 구성하는 원래 심볼들의 각각의 원래 심볼의 비트들을 원래 심볼 당 2 개의 성분 심볼들에 매핑할 수 있다. 일부 구현예들에서, 비

트 할당 유닛 (110) 은 원래 패킷이 송신되는 경우 디스에이블될 수도 있다. 비트 할당 유닛 (110) 은 하나 이상의 재송신 패킷들이 생성되고 송신되어야 한다고 결정되는 경우에만 인에이블될 수도 있다. 비트 할당 유닛 (110) 의 출력에서의 직렬 심볼 스트림은 S/P 컨버전 유닛 (202) 에 의해 병렬 포맷으로 컨버팅되고 또한 IFFT 유닛 (204) 에 의해 프로세싱된다. IFFT 유닛 (204) 은 주파수 도메인 신호를 시간 도메인 신호로 컨버팅한다. P/S 컨버전 유닛 (206) 은 IFFT 병렬 복소 출력을 직렬 포맷으로 컨버팅하여 OFDM 파형의 디지털 샘플들을 생성한다. GI+W 가산 유닛 (208) 은 대역 외 스펙트럼 에너지를 감소시키기 위해 보호 구간을 OFDM 파형의 디지털 샘플들에 부가하고 OFDM 파형에 대한 윈도잉을 수행한다. DAC (210) 는 디지털 샘플들을 아날로그 샘플들로 컨버팅하고 송신 필터들 (212) 은 아날로그 샘플들을 필터링하여 출력 OFDM 파형을 평활화하고 송신 네트워크 디바이스 (150) 에서 임의의 이미지들을 제거한다. 송신 증폭기 (214) 는 최대 신호 전력 전송을 위해 신호 이득 및 적절한 커플링 임피던스를 통신 매체 (216) 에 제공한다.

[0064] 수신 유닛 (116) 은 송신 네트워크 디바이스 (150) 에 의해 송신된 OFDM 파형을 수신한다. 수신 필터 (218) (예컨대, 대역 통과 필터) 는 OFDM 파형을 필터링하고 수신 증폭기 (220) 는 수신된 OFDM 파형의 신호 레벨을 ADC (222) 의 필요 진폭 범위 내로 설정하기 위해 이득을 조정한다. ADC (222) 는 수신된 아날로그 신호를 디지털 데이터 샘플들로 컨버팅한다. GI+W 추출 유닛 (224) 은 디지털 데이터 샘플들에 대한 윈도잉을 수행하며, 데이터 심볼들을 포함하는 윈도 (예컨대, 주파수들의 대역) 를 추출하고 보호 구간을 제거한다. S/P 컨버전 유닛 (226) 은 직렬 디지털 데이터 샘플들을 병렬 포맷으로 컨버팅한다. S/P 컨버전 유닛 (226) 의 출력은 FFT 유닛 (228) 에 제공된다. FFT 유닛 (228) 은 시간 도메인 디지털 수신된 신호를 주파수 도메인 신호로 컨버팅한다. FFT 유닛 (228) 의 병렬 출력은 P/S 컨버전 유닛 (230) 에 제공되고, P/S 컨버전 유닛 (230) 은 FFT 유닛 (228) 의 병렬 복소 (complex) 심볼 출력을 직렬 심볼 스트림으로 컨버팅한다. P/S 컨버전 유닛 (230) 의 출력은 비트 추출 유닛 (118) 에 제공된다. 도 1 의 스테이지 D 를 참조하여 설명되는 바와 같이, 비트 추출 유닛 (118) 은 비트 할당해제 (bit de-allocation) 및 재구성을 위한 동작들을 실행하여 재송신 패킷들에서의 성분 심볼들로부터 원래 비트 스트림을 복원한다. 덧붙여, 비트 추출 유닛 (118) 은 또한 심볼 대 비트 매핑, 디인터리빙, 디코딩, 및 디스크램블링을 수행하여 원래 비트 스트림을 복원할 수 있다. 동적 비트 할당이 원래 비트 스트림을 복원하기 위하여 송신 네트워크 디바이스 (150) 에서 구현된 경우에만 비트 추출 유닛 (118) 의 하나 이상의 구성요소들 (예컨대, 비트 재정렬 유닛 (122) 및 비트 로드 계산 유닛 (120)) 은 인에이블될 수도 있다는 점에 주의한다.

[0065] 다시 도 1 을 참조하면, 스테이지 D 에서, 수신 네트워크 디바이스 (160) 의 비트 로드 재구성 유닛 (122) 은 실패한 송신 패킷의 원래 비트 스트림을 하나 이상의 재송신 패킷들로부터 재생성한다. 하나의 구현예에서, 비트 추출 유닛 (118) 은 재송신 파라미터들을 비트 할당 유닛 (110) 에 통신할 수 있다. 재송신 파라미터들은 원래 패킷의 비트들이 원래 심볼 당 2 개의 성분 심볼들 전체에 걸쳐 할당되는 방법, 성분 심볼들이 시간 다이버시티를 위해 하나 이상의 재송신 패킷들에 할당되는 방법 등을 나타낼 수 있다. 비트 할당 유닛 (110) 은 재송신 파라미터들에 적어도 부분적으로 기초하여 성분 심볼들 및 재송신 패킷들을 생성할 수 있다.

비트 로드 계산 유닛 (120) 은 원래 비트 스트림이 송신 네트워크 디바이스 (150) 에서 성분 심볼들을 형성하기 위해 할당될 방법을 결정할 수 있다 (도 4 에서 설명될 것임). 또한, 비트 추출 유닛 (118) 은 비트 할당 유닛 (110) 에 통신되는 재송신 파라미터들을 계속 추적할 수 있다. 예를 들어, 재송신 패킷들에서의 성분 심볼들을 수신 시, 비트 추출 유닛 (118) 은 성분 심볼들이 재송신 파라미터들에 따라서 재송신 패킷들에 순차적으로 할당되었다는 것을 결정할 수 있다. 따라서, 비트 로드 재구성 유닛 (122) 은 원래 심볼의 비트들을 포함하는 성분 심볼들을 식별할 수 있다. 다음으로, 각각의 부반송파에 대해, 비트 로드 계산 유닛 (120) 의 출력에 기초하여, 비트 로드 재구성 유닛 (122) 은 K 비트들로 된 원래 부반송파 비트 로드가 성분 부반송파 비트 로드들인 B 및 P (즉, $K = B + P$) 로 나뉜다는 것을 결정할 수도 있다. 따라서, 각각의 부반송파에 대해, 비트 로드 재구성 유닛 (122) 은 제 1 성분 심볼로부터 부반송파의 B 개 비트들을 추출하고 제 2 원래 심볼로부터 부반송파의 P 비트들을 추출하여 원래 비트 스트림을 생성할 수 있다. 이는 도 9 를 참조하여 더 설명될 것이다.

[0066] 일부 구현예들에서, 비트 할당 유닛 (110) 의 하나 이상의 구성요소들은 송신 유닛 (112) 의 부분으로서 구현될 수도 있다는 점에 주의한다. 예를 들어, 심볼 생성 유닛 (106) 은 원래 심볼 당 2 개의 성분 심볼들을 형성하기 위해 원래 심볼들의 비트들을 할당할 수도 있다. 성분 심볼들을 포함하는 비트 스트림은 도 2 를 참조하여 설명되는 바와 같이 적절한 부반송파들로의 매핑을 위해 그리고 재송신 패킷들을 생성하는 추가 프로세싱을 위해 송신 유닛 (112) 에 제공될 수도 있다. 더욱이, 비록 도 1 이 2 개의 성분 심볼들 전체에 걸쳐 각각의 원래 심볼의 비트들을 할당하는 동작들을 설명하고 있지만, 다른 실시형태들에서, 각각의 원래 심볼의 비

트들은 임의의 적합한 수의 성분 심볼들 전체에 걸쳐 할당될 수 있다는 점에 주의한다.

[0067] 도 3 은 재송신 패킷에서 동적 비트 할당을 위한 예의 동작들을 도시하는 흐름도 ("플로우") (300) 이다. 플로우 300 은 블록 302 에서 시작한다.

[0068] 블록 302 에서, 원래 패킷은 수신 네트워크 디바이스에 송신된다. 예를 들어, 도 1 을 참조하면, 송신 네트워크 디바이스 (150) 는 원래 패킷을 수신 네트워크 디바이스 (160) 에 송신한다. 원래 패킷은 송신 네트워크 디바이스 (150) 에 의해 수신 네트워크 디바이스 (160) 에 송신되는 복수의 원래 심볼들을 포함하는 패킷일 수도 있다. 하나의 구현예에서, 원래 심볼들은 미리 결정된 수의 비트들이 미리 결정된 수의 부반송파들의 각각 상에서 변조되는 OFDM 심볼들일 수도 있다. 다른 구현예에서, 원래 심볼들은 적합한 단일 반송파 변조 기법을 이용하여 단일 반송파 상에 비트들을 매핑함으로써 생성될 수도 있다. 또한, 일부 구현예들에서, 송신 네트워크 디바이스 (150) 와 수신 네트워크 디바이스 (160) 는 전력선 통신 디바이스들일 수도 있고 전력선 네트워크를 통해 서로 통신할 수도 있다. 다른 구현예들에서, 송신 네트워크 디바이스 (150) 와 수신 네트워크 디바이스 (160) 는 다른 유선 (예컨대, 이더넷) 또는 무선 (예컨대, 무선 근거리 네트워크 (WLAN)) 통신 네트워크들을 통해 통신할 수도 있다. 플로우는 블록 304 에서 계속된다.

[0069] 블록 304 에서, 송신된 원래 패킷에 대한 확인응답이 수신되는지 여부가 결정된다. 예를 들어, 송신 네트워크 디바이스 (150) 는 블록 302 에서 송신된 원래 패킷에 응답하여 확인응답 (ACK) 패킷이 수신 네트워크 디바이스 (160) 로부터 수신되었는지 여부를 결정한다. 송신 네트워크 디바이스 (150) 는 ACK 패킷을 수신하기 위해 미리 결정된 시간 간격 (예컨대, ACK 윈도우) 을 대기할 수도 있다. 송신 네트워크 디바이스 (150) 가 ACK 윈도우 내에서 ACK 패킷을 수신하지 못한다면, 송신 네트워크 디바이스 (150) 는 패킷 송신이 실패했다고 추정할 수 있고 원래 패킷을 재송신하기 위해 본원에서 설명된 동작들을 수행할 수 있다. 일부 구현예들에서, 송신 네트워크 디바이스 (150) 는 수신 네트워크 디바이스 (160) 로부터 부정적 (negative) 확인응답 (NACK) 패킷을 수신할 수도 있다. NACK 패킷은 원래 패킷의 재송신을 요구하도록 기능할 수 있다. 일부 구현예들에서, 송신 네트워크 디바이스 (150) 는 또한 송신 네트워크 디바이스 (150) 와 수신 네트워크 디바이스 (160) 사이의 통신 링크의 비트 에러 레이트 (BER) 가 임계 BER 보다 크다는 표시를 수신할 수도 있다. 일부 구현예들에서, 수신 네트워크 디바이스 (160) 는 마지막 수신된 패킷의 상태를 송신 네트워크 디바이스 (150) 에 알리기 위해 누적적 (cumulative) 또는 선택적 확인응답 (SACK) 패킷들을 이용할 수 있다. 확인응답이 수신되지 않았다고 결정되면, 플로우는 블록 306 에서 계속된다. 그렇지 않으면, 플로우는 종료된다.

[0070] 블록 306 에서, 재송신 파라미터들이 결정된다. 예를 들어, 송신 네트워크 디바이스 (150) 의 비트 할당 유닛 (110) 은 재송신 파라미터들을 결정한다. 일부 구현예들에서, 비트 할당 유닛 (110) 은 수신 네트워크 디바이스 (160) (예컨대, 수신 네트워크 디바이스 (160) 의 비트 추출 유닛 (118)) 로부터 재송신 파라미터들의 표시를 수신할 수 있다. 예를 들어, 비트 추출 유닛 (118) 은 N 개 원래 심볼들과 연관된 성분 심볼들이 하나 이상의 재송신 패킷들을 형성하기 위해 (시간 다이버시티를 위해) 인터레이싱되어야 함을 비트 할당 유닛 (110) 에 나타낼 수 있다. 다른 구현예들에서, 비트 할당 유닛 (110) 은 비트 추출 유닛 (118) 으로부터 재송신 파라미터들의 표시를 수신하지 못할 수도 있다. 대신에, 비트 할당 유닛 (110) 은 송신 네트워크 디바이스 (150) 및 수신 네트워크 디바이스 (160) 에 의해 이전에 합의된 디폴트 재송신 파라미터들의 세트를 결정할 수 있다. 재송신 파라미터들은 성분 심볼들의 부반송파 당 비트 로드를 나타낼 수 있고 성분 심볼들이 하나 이상의 재송신 패킷들을 생성하기 위해 할당되는 방법을 나타낼 수 있다. 비트 할당 유닛 (110) 의 비트 로드 계산 유닛 (104) 은, 도 4 및 도 5 를 참조하여 설명되는 바와 같이, 각각의 부반송파의 원래 비트 로드가 2 개의 성분 심볼들 전체에 걸쳐 나뉘는 방법을 결정할 수 있다. 일부 구현예들에서, 재송신 파라미터들은 또한 도 10 내지 도 13 을 참조하여 설명되는 바와 같이, 임계 SNR 마진, 부반송파 당 임계 비트 로드, 송신 전력 조정 및 FEC 조정을 위한 임계값들, 부반송파가 강하되면 (dropped) 비트들을 재할당하는 방법을 나타낼 수 있다. 플로우는 블록 308 에서 계속된다.

[0071] 블록 308 에서, 실패한 송신 패킷을 구성하는 비트들의 동적 할당은 하나 이상의 재송신 패킷들을 생성하기 위해 재송신 파라미터들에 따라서 수행된다. 예를 들어, 심볼 생성 유닛 (106) 은 도 4 및 도 5 를 참조하여 설명되는 바와 같이 원래 심볼 당 2 개의 성분 심볼들을 생성하기 위해 원래 심볼들의 비트들을 동적으로 할당한다. 도 10 내지 도 13에서 설명되는 바와 같이, 심볼 생성 유닛 (106) 은 또한 재송신 파라미터들, 이를테면 임계 SNR 마진, 부반송파 당 임계 비트 로드 등을 고려하여, 실패한 송신 패킷을 구성하는 비트들을 동적으로 재할당하여 성분 심볼들을 생성할 수 있다. 패킷 생성 유닛 (108) 은 재송신 파라미터들에 따라서 성분 심볼들을 할당하여, 하나 이상의 재송신 패킷들을 생성할 수 있다. 플로우는 블록 310 에서 계속된다.

[0072] 블록 310 에서, 하나 이상의 재송신 패킷들이 송신된다. 예를 들어, 송신 유닛 (112) 은 (예컨대, 도 2의 OFDM 시스템에서 도시된 바와 같이) 추가 프로세싱한 다음 하나 이상의 재송신 패킷들을 수신 네트워크 디바이스 (160) 에 송신한다. 플로우는 블록 312 에서 계속된다.

[0073] 블록 312 에서, 하나 이상의 재송신 패킷들에 대한 확인응답이 수신되었는지 여부가 결정된다. 예를 들어, 블록 304 를 참조하여 위에서 설명한 바와 같이, 송신 네트워크 디바이스 (150) 는 블록 310 에서 송신된 하나 이상의 재송신 패킷들에 응답하여 확인응답이 수신되었는지 여부를 결정한다. 확인응답이 수신되지 않았다고 결정되면, 플로우는 블록 314 에서 계속된다. 그렇지 않으면, 플로우는 종료된다.

[0074] 블록 314 에서, 패킷은 가장 강건한 통신 레이트로 재송신된다. 하나의 구현예에서, 재송신 패킷들에 대한 확인응답이 수신되지 않았다고 결정하는 것에 응답하여, 비트 할당 유닛 (110) 은 (블록 302 에서 이전에 송신된) 원래 패킷이 가장 강건한 통신 레이트로 재송신되게 할 수 있다. 다른 구현예에서, (블록 310 에서 이전에 송신된) 하나 이상의 재송신 패킷들은 가장 강건한 통신 레이트로 재송신될 수도 있다. 재송신 파라미터들 (예컨대, 수신 네트워크 디바이스 (160) 또는 디폴트 재송신 파라미터들로부터 수신됨) 은 원래 패킷 또는 하나 이상의 재송신 패킷들이 강건한 통신 레이트로 재송신될지 여부를 나타낼 수 있다. 강건한 통신 레이트는 미리 정의된 변조 레이트일 수 있고, 송신 네트워크 디바이스 (150) 및 수신 네트워크 디바이스 (160) 에 의해 지원되는 최저 변조 레이트 (예컨대, 낮은 데이터 송신 레이트, 높은 FEC 레이트, 높은 송신 전력 등) 일 수도 있다. 예를 들어, 강건한 통신 레이트로서 선택된 미리 정의된 변조 레이트는 최저 변조 레이트를 이용하는 것에 더하여 통신 채널 전체에 걸쳐 송신될 데이터의 사본들을 이용할 수도 있다. 블록 314 로부터, 플로우는 종료된다.

[0075] 도 4는 부반송파 단위로 동적 비트 로드 할당을 위한 예의 동작들을 도시하는 흐름도 (400) 이다. 플로우 400 은 블록 402 에서 시작한다.

[0076] 블록 402 에서, 패킷의 송신이 실패했다고 결정된다. 예를 들어, 도 1 의 송신 네트워크 디바이스 (150) 는 패킷의 송신이 실패했다고 결정한다. 송신 네트워크 디바이스 (150) 는 수신 네트워크 디바이스 (160) 로부터 NACK 패킷 또는 SACK 패킷을 수신하는 것에 응답하여, BER이 미리 결정된 BER 임계값을 초과한다는 표시를 수신하는 것에 응답하여, 미리 결정된 시간 간격 내에서 ACK 패킷을 수신하지 못하였다는 것에 응답하여, 등등에 응답하여, 패킷의 송신이 실패했다고 결정할 수 있다. 플로우는 블록 404 에서 계속된다.

[0077] 블록 404 에서, 루프는 패킷의 원래 심볼의 비트들의 서브세트를 송신하는데 이용된 각각의 부반송파에 대해 시작한다. 예를 들어, 도 1 의 비트 로드 계산 유닛 (104) 은 실패한 송신 패킷을 구성하는 원래 심볼의 비트들의 서브세트를 송신하는데 이용된 각각의 부반송파에 대해 블록 406 내지 블록 416 을 참조하여 설명되는 동작들을 수행한다. 블록406 내지 블록 416 을 참조하여 설명되는 동작들은 실패한 송신 패킷이 하나를 초과하는 심볼을 포함하는 경우에 각각의 심볼에 대해 반복될 수 있다는 점에 주의한다. OFDM 심볼의 각각의 부반송파가 (예컨대, 채널 추정 동안 결정된) 다른 비트 로드와 연관되기 때문에, 블록 406 내지 블록 416 을 참조하여 설명되는 동작들은 원래 심볼의 각각의 부반송파에 대해 수행된다. 채널 추정 프로세스 동안, 송신 네트워크 디바이스 (150) 와 수신 네트워크 디바이스 (160) 는 부반송파에 대한 간섭 및 잡음, 송신기 및 수신기 구성요소들 (예컨대, 전력 증폭기) 의 역학관계 (dynamics), 및/또는 다른 네트워크 특정 고려사항들 (예컨대, 전력선 네트워크에 접속된 전력선 디바이스들의 영향) 에 기초하여 OFDM 파형의 부반송파 당 비트 로드를 협상하고 결정한다. 일부 구현예들에서, 송신 네트워크 디바이스 (150) 와 수신 네트워크 디바이스 (160) 는 데이터를 교환하기 전에 채널 추정을 수행하고 부반송파 당 비트 로드를 결정할 수도 있다. 다른 구현예에서, 송신 네트워크 디바이스 (150) 와 수신 네트워크 디바이스 (160) 는 통신 채널을 주기적으로 감지할 수도 있고, 미리 정의된 시간 간격마다 (또는 통신 채널에서의 변화를 검출 시) 채널 추정을 수행하고 부반송파 당 비트 로드를 결정할 수도 있다. 플로우는 블록 406 에서 계속된다.

[0078] 블록 406 에서, 원래 심볼의 각각의 부반송파에 대해, 부반송파의 원래 비트 로드는 부반송파와 연관된 제 1 성분 비트 로드 및 제 2 성분 비트 로드로 스플리팅된다. 예를 들어, 송신 네트워크 디바이스 (150) 의 비트 로드 계산 유닛 (104) 은 부반송파의 원래 비트 로드 (K) 를 제 1 성분 비트 로드 (B) 및 제 2 성분 비트 로드 (P) 로 스플리팅한다. 부반송파의 원래 비트 로드는 제 1 및 제 2 성분 비트 로드들 사이에서 동일하게 할당된다. 예를 들어, 원래 심볼의 n 번째 부반송파가 K 비트들을 지원했다면, 후속 재송신을 위한 제 1 성분 심볼의 n 번째 부반송파는 처음 $K/2$ 비트들을 포함하는 반면, 제 2 성분 심볼의 n 번째 부반송파는 나머지 $K/2$ 비트들을 포함할 것이다. 원래 비트 로드가 제 1 및 제 2 성분 비트 로드들 사이에서 동일하게 나뉠 수 없다면, 수학식 1 에 의해 나타낸 바와 같이, 제 2 성분 비트 로드에는 $K/2$ ($floor(K/2)$ 로서 표현됨) 비트들에

매핑되는 다음의 가장 가까운 정수가 할당될 수 있고 제 1 성분 비트 로드에는 원래 비트 로드의 나머지가 할당될 수 있다. 예를 들어, 원래 심볼의 n 번째 부반송파가 3 비트를 지원한다면, 후속 재송신을 위한 (제 2 성분 비트 로드인) 제 2 성분 심볼의 n 번째 부반송파는 1 비트 (예컨대, $floor(3/2) = 1$) 를 포함할 것이다. (제 1 성분 비트 로드인) 제 1 성분 심볼의 n 번째 부반송파는 나머지 2 비트를 포함할 것이다. 제 1 및 제 2 성분 비트 로드들은 아래에서 설명될 바와 같이 추가로 분석될 수 있다. 플로우는 블록 408에서 계속된다.

수학식 1

$$K = B + P$$

$$P = floor\left(\frac{K}{2}\right); \text{ 및}$$

[0079]

$$B = K - P$$

[0080] 블록 408 에서, 각각의 부반송파에 대해, 제 1 성분 비트 로드 및 제 2 성분 비트 로드 모두가 지원되는지 여부가 결정된다. 예를 들어, 비트 로드 계산 유닛 (104) 은 블록 406 에서 계산된 제 1 성분 비트 로드 및 제 2 성분 비트 로드가 지원되는지 여부를 결정한다. 통신 채널을 통한 통신을 위해 송신 네트워크 디바이스 (150) 및 수신 네트워크 디바이스 (160) 에 의해 지원되는 비트 로드들은 채널 추정 프로세스 동안 결정될 수도 있고 송신 네트워크 디바이스 (150) 및 수신 네트워크 디바이스 (160) 에 의해 합의될 수도 있다. 예를 들어, 송신 네트워크 디바이스 (150) 와 수신 네트워크 디바이스 (160) 는 소수 (fractional) 비트 로드들 (예컨대, ½ 비트 이하의 비트 로드) 이 지원되지 않아야 한다고 결정할 수도 있다. 다른 예로서는, 홀수의 (odd numbered) 비트 로드들 (예컨대, 5 비트) 이 지원되지 않는다고 결정될 수도 있다. 비트 로드 계산 유닛 (104) 은 지원되는 비트 로드들의 목록을 유지할 수 있고, 지원되는 비트 로드들의 목록에 액세스하여 제 1 성분 비트 로드 및 제 2 성분 비트 로드가 지원되는지 여부를 결정할 수 있다. 예를 들어, 원래 비트 로드는 10 비트일 수도 있고 비트 로드 계산 유닛 (104) 은 5 비트들을 각각 제 1 및 제 2 성분 비트 로드들에 할당할 수도 있다. 비트 로드 계산 유닛 (104) 은 제 1 및 제 2 성분 비트 로드들 (즉, 5 비트들) 이 지원되지 않는다고 결정할 수도 있다. 다른 예로서, 원래 비트 로드는 12 비트일 수도 있고 비트 로드 계산 유닛 (104) 은 6 비트들을 각각 제 1 및 제 2 성분 비트 로드들에 할당할 수도 있다. 비트 로드 계산 유닛 (104) 은 제 1 및 제 2 비트 로드들 (즉, 6 비트들) 이 지원된다고 결정할 수도 있다. 비트 로드 계산 유닛 (104) 이 제 1 성분 비트 로드 및 제 2 성분 비트 로드 모두가 지원된다고 결정하면, 플로우는 블록 416에서 계속된다. 그렇지 않으면, 플로우는 블록 410 에서 계속된다.

[0081] 블록 410 에서, 제 1 성분 비트 로드는 1만큼 증분되고 제 2 성분 비트 로드는 1만큼 감분된다. 예를 들어, 비트 로드 계산 유닛 (104) 은 지원되는 성분 비트 로드들을 식별하기 위한 노력으로 제 1 성분 비트 로드를 1만큼 증분시키고 (즉, $B = B + 1$) 제 2 성분 비트 로드를 1만큼 감분시킨다 (즉, $P = P - 1$). 예를 들어, 10 비트들의 원래 비트 로드에 대해, 제 1 및 제 2 성분 비트 로드들 전체에 걸쳐 동일하게 비트들을 할당하는 것은 5 비트들이 제 1 및 제 2 성분 비트 로드들에 할당되는 결과가 생기게 한다. 비트 로드 계산 유닛 (104) 은 홀수 비트 로드들 (예컨대, 5 비트들) 이 지원되지 않는다고 결정할 수도 있다. 그에 따라, 비트 로드 할당 유닛 (104) 은 10 비트 원래 비트 로드 중의 6개 비트들을 제 1 성분 비트 로드에 그리고 나머지 4 비트들을 제 2 성분 비트 로드에 할당할 수도 있다. 플로우는 블록 412 에서 계속된다.

[0082] 블록 412 에서, 제 1 성분 비트 로드가 부반송파와 연관된 원래 비트 로드와 동일한지 여부 또는 제 2 성분 비트 로드가 0 과 동일한지 여부가 결정된다. 예를 들어, 비트 로드 계산 유닛 (104) 은 제 1 성분 비트 로드가 부반송파와 연관된 원래 비트 로드와 동일한지 (즉, $B = K$) 여부 또는 제 2 성분 비트 로드가 0 인지 (즉, $P = 0$) 여부를 결정한다. 충족된 블록 412 의 조건은 원래 심볼의 모든 비트들이 하나의 성분 심볼에 할당될 것이라는 것과 원래 심볼의 어떠한 비트들도 다른 성분 심볼에 할당되지 않을 것이라는 것을 나타낸다. 충족된 블록 412 의 조건은 또한 지원되는 (원래 비트 로드 이외의) 비트 로드들이 없다는 것을 나타낸다. 제 1 성분 비트 로드가 부반송파와 연관된 원래 비트 로드와 동일하다는 것 또는 제 2 성분 비트 로드가 0 과 동일하다는 것이 결정되면, 플로우는 블록 414 에서 계속된다. 그렇지 않으면, 플로우는 블록 408 로 되돌아가

서, 블록 410 에서 계산된 제 1 및 제 2 성분 비트 로드들이 지원되는지 여부가 결정된다.

[0083] 블록 414 에서, 제 1 및 제 2 성분 비트 로드들은 부반송파와 연관된 원래 비트 로드와 동일시된다. 플로우 400 은 제 1 성분 비트 로드가 부반송파와 연관된 원래 비트 로드와 동일하다는 것 또는 제 2 성분 비트 로드가 0 과 동일하다는 것이 결정되면 블록 412 에서 블록 414 로 이동한다. 예를 들어, 비트 로드 계산 유닛 (104) 은 제 1 및 제 2 성분 비트 로드들을 부반송파와 연관된 원래 비트 로드와 동일시한다 (즉, $B = K$ 및 $P = K$). 다르게 말하면, 부반송파와 연관된 제 1 및 제 2 성분 비트 로드들이 지원되지 않는다면, 원래 비트 로드는 제 1 및 제 2 성분 비트 로드들 모두에 할당될 수도 있다. 예를 들어, 원래 심볼의 제 1 부반송파와 연관된 원래 비트 로드는 3 비트들일 수도 있다. 위에서 설명된 비트 할당 동작들에 기초하여, 비트 로드 계산 유닛 (104) 은 제 1 부반송파와 연관된 제 1 및 제 2 성분 비트 로드들을 2 비트 및 1 비트라고 각각 결정할 수도 있다. 그 다음 비트 로드 계산 유닛 (104) 은 3 비트 이상인 비트 로드들만이 지원된다고 결정할 수도 있고, 그러므로 제 1 부반송파와 연관된 제 1 및 제 2 성분 비트 로드들이 지원되지 않는다고 결정할 수도 있다. 결과적으로, 비트 로드 계산 유닛 (104) 은 원래 비트 로드의 모든 3 비트들을 제 1 성분 비트 로드에 그리고 또 제 2 성분 비트 로드에 할당할 수 있다. 따라서, 제 1 성분 심볼은 제 1 부반송파 상에서 변조된 원래 비트 로드의 모든 3 비트들을 포함할 것이다. 마찬가지로, 제 2 성분 심볼은 제 1 부반송파 상에서 변조된 원래 비트 로드의 모든 3 비트들을 포함할 것이다. 이는 시간 다이버시티만은 (도 6 내지 도 8에서 설명될 바와 같이) 활용될 수도 있지만 SNR 마진은 조정되지 않을 수도 있는 직접적인 (straight) 심볼 사본이 생기게 한다. 예를 들어, 원래 심볼은 부반송파에 매핑되는 3 비트들을 포함할 수도 있다. 성분 비트 로드들 (예컨대, 2 비트, 1 비트) 은 지원되지 않는다고 결정될 수도 있다. 따라서, 원래 심볼의 모든 3 비트들은 제 1 성분 심볼 및 제 2 성분 심볼에서 부반송파에 매핑될 수도 있다. 플로우는 블록 416 에서 계속된다.

[0084] 블록 416 에서, 각각의 부반송파에 대해, 제 1 및 제 2 성분 비트 로드들은 부반송파에 대한 2 개의 성분 심볼들 전체에 걸쳐 원래 심볼의 비트들을 할당하는 방법을 나타내기 위해 레코딩된다. 예를 들어, 비트 로드 계산 유닛 (104) 은 블록 408 에서 지원될 것으로 결정되는, 또는 블록 414 에서 계산되는 제 1 및 제 2 성분 비트 로드들을 레코딩한다. 하나의 예에서, 비트 로드 계산 유닛 (104) 은 제 1 및 제 2 성분 심볼들이 부반송파들의 각각에 대해 계산된 후에 제 1 및 제 2 성분 심볼들의 표시를 심볼 생성 유닛 (106) 에 제공하여 비트 할당 프로세스를 시작할 수 있다. 플로우는 블록 418 에서 계속된다.

[0085] 블록 418 에서, 분석될 원래 심볼의 부가적인 부반송파들이 존재하는지 여부가 결정된다. 예를 들어, 비트 로드 계산 유닛 (104) 은 원래 심볼이 분석될 부가적인 부반송파들을 포함하는지 여부를 결정한다. 제 1 및 제 2 성분 비트 로드들이 각각의 부반송파에 대해 결정된 후, 성분 심볼들과 연관된 톤 맵들 (tone maps) 이 결정될 수 있다. 톤 맵은 부반송파들의 각각에 대한 비트 로드들의 표현이다. 심볼 생성 유닛 (106) 은 성분 심볼들과 연관된 톤 맵들에 따라서 성분 심볼들을 생성할 수 있다. 분석될 부가적인 부반송파들이 존재한다고 결정되면, 플로우는 블록 404 로 되돌아가서 다음 부반송파가 식별되고 블록 406 내지 416 을 참조하여 설명되는 동작들이 원래 심볼의 다음 부반송파에 대해 실행된다. 그렇지 않으면, 플로우는 블록 420 에서 계속된다.

[0086] 블록 420 에서, 하나 이상의 재송신 패킷들이 생성된다. 비트 할당 유닛 (104) 이 각각의 부반송파와 연관된 원래 비트 로드에 대해 제 1 및 제 2 성분 비트 로드들을 결정한 후, 도 1 의 심볼 생성 유닛 (106) 은 원래의 하나 이상의 심볼들의 비트들을 원래 심볼 당 2 개의 성분 심볼들에 할당할 수 있다. 그 다음 패킷 생성 유닛 (108) 은 도 6 내지 도 8 에서 설명되는 바와 같이 성분 심볼들을 하나 이상의 재송신 패킷에 할당할 수 있다. 블록 420 에서, 플로우는 종료된다.

[0087] 도 5 는 스펙트럼 도메인에서의 비트 로드 스플리팅을 도시하는 일 예의 개념도이다. 도 5 는 부반송파 당 비트 로딩을 나타내는 원래 OFDM 심볼의 톤 (또는 부반송파) 맵 (500) 을 도시한다. 동적 비트 할당 프로세스 동안, 원래 OFDM 심볼의 톤 맵 (500) 은 제 1 성분 심볼 및 제 2 성분 심볼과 각각 연관된 2 개의 성분 톤 맵들 (510 및 520) 로 스플리팅된다. 톤 맵들 (500, 510, 및 520) 은 원래 OFDM 심볼의 n 번째 부반송파 상에서 로딩하는 K-비트가 2 개의 성분 OFDM 심볼들의 n 번째 부반송파에, 각각의 성분 OFDM 심볼이 대략 $K/2$의 비트 로드를 가지도록 확산 (spread) 되는 방법을 예시한다. 예를 들어, 비트 로드 계산 유닛 (104) 은, 위에서 도 4 를 참조하여 설명된 동작들에 기초하여, 6 비트들이 제 1 성분 심볼 (510) 의 제 1 부반송파에 매핑되고 나머지 6 비트들이 제 2 성분 심볼 (520) 의 제 1 부반송파에 매핑되도록 원래 OFDM 심볼의 제 1 부반송파 상의 12 비트들이 할당되어야 한다고 결정한다. 다른 예로서, 비트 로드 계산 유닛 (104) 은 6 비트들이 제 1 성분 심볼 (510) 의 제 2 부반송파에 매핑되고 나머지 4 비트들이 제 2 성분 심볼 (520) 의 제 2 부반송파에

매핑되도록 원래 OFDM 심볼 (500) 의 제 2 부반송파 상의 10 비트들이 할당되어야 한다고 결정한다. 도 5 에서 도시된 바와 같은 이러한 비트 할당은 반송파 단위로 (on a per-carrier basis) SNR 마진을 향상시킬 수 있다. 예를 들어, 2 개의 성분 심볼들 전체에 걸쳐 12-비트 비트 로드를 나누는 것 (성분 심볼 당 6 비트들) 은 FEC 레이트 및 BER에 기초하여 부반송파에 대한 SNR 마진에서의 18dB 증가라는 결과를 생기게 할 수 있다.

[0088] 도 5 는 또한 시간 도메인 (530) 에서의 비트 로드 스플리팅을 도시한다. 도 5 에서 도시된 바와 같이, 동적 비트 할당 프로세스 동안, 원래 심볼의 비트 스트림 (550) 은 제 1 성분 심볼의 비트 스트림 (550A) 및 제 2 성분 심볼의 비트 스트림 (550B) 으로 나뉜다. 원래 심볼의 비트 스트림 (550) 은 제 1 부반송파에 매핑되는 10 비트들의 세트 (532), 제 2 부반송파에 매핑되는 6 비트들의 세트 (534), 제 3 부반송파에 매핑되는 2 비트들의 세트 (536), 및 제 4 부반송파에 매핑되는 4 비트들의 세트 (538) 를 포함한다. 비트 로드 계산 유닛 (104) 에 의해 결정된 동적 비트 할당 (도 4 에서 설명됨) 에 따라서, 도 1 의 심볼 생성 유닛 (106) 은 제 1 부반송파에 매핑되는 10 비트들의 세트 (532) 를 6 비트들 및 4 비트들을 각각 포함하는 비트들의 2 개의 성분 세트들 (532A 및 532B) 로 나눈다. 심볼 생성 유닛 (106) 은 제 2 부반송파에 매핑되는 6 비트들의 세트 (534) 를 3 비트들을 각각 포함하는 비트들의 2 개의 성분 세트들 (534A 및 534B) 로 나눈다. 심볼 생성 유닛 (106) 은 제 3 부반송파에 매핑되는 2 비트들의 세트 (536) 를 하나의 비트를 각각 포함하는 비트들의 2 개의 성분 세트들 (536A 및 536B) 로 나눈다. 심볼 생성 유닛 (106) 은 제 4 부반송파에 매핑되는 4 비트들의 세트 (538) 를 2 비트들을 각각 포함하는 비트들의 2 개의 성분 세트들 (538A 및 538B) 로 나눈다. 동적 비트 할당 후, 제 1 성분 심볼의 비트 스트림 (550A) 은 제 1 부반송파에 매핑되는 6 비트들의 세트 (532A), 제 2 부반송파에 매핑되는 3 비트들의 세트 (534A), 제 3 부반송파에 매핑되는 1 비트 (536A), 및 제 4 부반송파에 매핑되는 2 비트들의 세트 (538A) 를 포함한다. 마찬가지로, 제 2 성분 심볼의 비트 스트림 (550B) 은 제 1 부반송파에 매핑되는 4 비트들의 세트 (532B), 제 2 부반송파에 매핑되는 3 비트들의 세트 (534B), 제 3 부반송파에 매핑되는 1 비트 (536B), 및 제 4 부반송파에 매핑되는 2 비트들의 세트 (538B) 를 포함한다. 원래 비트 스트림 (550) 이 제 1 성분 비트 스트림 (550A) 및 제 2 성분 비트 스트림 (550B) 에 할당된 후, 하나 이상의 재송신 패킷들은 흐름도인 도 6 및 도 7 과 개념도인 도 8 을 참조하여 아래에서 설명되는 바와 같이 생성된다.

[0089] 도 6 과 도 7 은 동적 비트 할당에 기초하여 재송신 패킷들을 생성하는 예의 동작들을 도시하는 흐름도 (600) 를 도시한다. 플로우 600은 도 6의 블록 602에서 시작한다.

[0090] 블록 602 에서, 루프는 실패한 패킷 송신을 구성하는 각각의 원래 심볼에 대해 시작한다. 예를 들어, 도 1 의 심볼 생성 유닛 (106) 은 각각의 원래 심볼에 대해 2 개의 성분 심볼들을 생성하기 위해 블록 604 의 동작들을 수행한다. 도 1의 패킷 생성 유닛 (108) 은 블록 606 내지 블록 622 를 참조하여 설명되는 동작들을 수행하여 하나 이상의 재송신 패킷들에 성분 심볼들을 할당한다. 플로우는 블록 604 에서 계속된다.

[0091] 블록 604 에서, 원래 심볼들의 각각의 원래 심볼의 비트들이 원래 심볼과 연관된 제 1 성분 심볼 및 제 2 성분 심볼을 형성하기 위해 할당된다. 예를 들어, 심볼 생성 유닛 (106) 은 원래 심볼들의 각각의 원래 심볼의 비트들을 제 1 성분 심볼 및 제 2 성분 심볼을 형성하기 위해 할당한다. 도 4 및 도 5 를 참조하여 설명한 바와 같이, 심볼 생성 유닛 (106) 은 원래 심볼들의 각각의 원래 심볼의 부반송파들의 각각과 연관된 성분 비트 로드들에 적어도 부분적으로 기초하여, 제 1 및 제 2 성분 심볼들을 형성하기 위해 원래 심볼들의 각각의 원래 심볼의 비트들을 할당한다. 도 8 에 의해 예시된 바와 같이, 원래 패킷 (800) 은 원래 심볼 (802) (심볼 1), 원래 심볼 (803) (심볼 2), 원래 심볼 (804) (심볼 *M-1*), 및 원래 심볼 (805) (심볼 *M*) 을 포함한다. 원래 패킷 (800) 의 송신이 실패했다는 것을 결정 시, 심볼 생성 유닛 (106) 은, 비트 로드 계산 유닛 (104) 과 연계하여, 도 4 및 도 5 에서 예시되었던 바와 같이, 원래 심볼들의 각각의 원래 심볼과 연관된 2 개의 성분 심볼들을 생성하기 위해 원래 심볼들의 각각의 원래 심볼의 비트들을 할당할 수 있다. 도 8 에서, 원래 심볼 (802) 은 성분 심볼 862 및 성분 심볼 864 (심볼 1A 및 심볼 1B 로서 각각 도시됨) 로 스플리팅된다. 원래 심볼 (803) 은 성분 심볼 866 및 성분 심볼 868 (심볼 2A 및 심볼 2B 로서 각각 도시됨) 로 스플리팅된다. 원래 심볼 (804) 은 성분 심볼 872 및 성분 심볼 874 (심볼 *(M-1)A* 및 심볼 *(M-1)B* 로서 각각 도시됨) 로 스플리팅되고 원래 심볼 (805) 은 성분 심볼 876 및 성분 심볼 878 (심볼 *MA* 및 심볼 *MB* 로서 각각 도시됨) 로 스플리팅된다. 심볼 생성 유닛 (106) 이 원래 심볼과 연관된 성분 심볼들을 생성한 후, 패킷 생성 유닛 (108) 은 성분 심볼들을 시간 다이버시티를 위한 하나 이상의 재송신 패킷들에 할당할 수 있다. 플로우는 블록 606 에서 계속된다.

[0092] 블록 606 에서, 성분 심볼들이 순차적으로 할당될 것인지 여부가 결정된다. 예를 들어, 패킷 생성 유닛

(108) 은 원래 심볼들의 각각과 연관된 제 1 및 제 2 성분 심볼들이 재송신 패킷 내에서 순차적으로 할당될 것인지의 여부를 결정할 수 있다. 성분 심볼들의 순차적 할당은 최소 시간 다이버시티를 생기게 한다. 그러나, 순차적 할당은 또한 송신 네트워크 디바이스 (150) 에서 그리고 수신 네트워크 디바이스 (160) 에서 최소 버퍼링을 요구하는데, 원래 심볼들의 각각의 원래 심볼의 비트들이 심볼 단위로 나뉘고 재조합되기 때문이다.

성분 심볼들이 순차적으로 할당될 것이라고 결정되면, 플로우는 블록 608 에서 계속된다. 그렇지 않으면, 플로우는 블록 610 에서 계속된다.

[0093] 블록 608 에서, 제 1 성분 심볼과 제 2 성분 심볼은 재송신 패킷 내에서 순차적으로 할당된다. 예를 들어, 패킷 생성 유닛 (108) 은 재송신 패킷 내에서 제 1 성분 심볼 및 제 2 성분 심볼을 순차적으로 할당할 수 있다.

재송신 패킷 내에서의 제 1 및 제 2 성분 심볼들의 순차적 할당은 도 8 에 의해 추가 예시된다. 패킷 (820A) 과 패킷 (820B) 은 성분 심볼 862 내지 성분 심볼 878 로부터 형성된 재송신 패킷들을 표현한다. 재송신 패킷 (820A) 에서 도시된 바와 같이, 원래 심볼 (802) 의 제 1 성분 심볼 (862) 및 제 2 성분 심볼 (864) 은 연속해서 송신된다. 다음으로, 제 2 원래 심볼 (803) 이 프로세싱되고 원래 심볼 (803) 의 제 1 성분 심볼 (866) 및 제 2 성분 심볼 (868) 이 송신된다. 이 프로세스는 모든 원래 심볼들에 대해 반복된다. 비록 도 8 은 성분 심볼들이 2 개의 재송신 패킷들 (820A 및 820B) 내에서 순차적으로 할당됨을 도시하고 있지만, 실시형태들은 그렇게 제한되지는 않는다는 점에 주의한다. 일부 구현예들에서, 성분 심볼들이 순차적으로 할당되는 경우, 아래에서 설명되는 바와 같이 성분 심볼들은, 원래 심볼들의 모두와 연관된 성분 심볼들의 조합된 사이즈가 미리 정의된 최대 패킷 사이즈를 초과하지 않는다면, 하나의 재송신 패킷으로 송신될 수도 있다.

순차적 심볼들 전체에 걸친 비트 할당은 하나의 심볼 길이의 시간 다이버시티를 달성할 수 있는데, 제 1 성분 심볼의 n 번째 부반송파와 연관된 비트들이 제 2 성분 심볼의 n 번째 부반송파와 연관된 비트들로부터 하나의 심볼 길이만큼 떨어져 있어서이다. 순차적인 심볼들 전체에 걸친 비트 할당은 낮은 시간적 상관을 갖는 집중 (intense) 간섭 스파이크들을 완화하기 위해 구현될 수도 있다. 도 6 을 다시 참조하면, 플로우는 도 7 의 블록 622 에서 계속된다.

[0094] 도 6 의 블록 610 에서, 성분 심볼들이 순차적으로 할당되지 않아야 한다면, N 개의 원래 심볼들과 연관된 성분 심볼들이 인터레이싱되어야 하는지 여부가 결정된다. 예를 들어, 패킷 생성 유닛 (108) 은 N 개의 원래 심볼들과 연관된 성분 심볼들을 인터레이싱할지 여부를 결정할 수 있다. 일부 경우들에서, N 은 재송신 패킷의 최대 길이 이하이다. 따라서, M 이 재송신 패킷의 (심볼들의) 최대 길이를 나타내면, N 개 원래 심볼들의 각각과 연관된 성분 심볼들은 인터리빙될 수 있으며 여기서 $1 \leq N \leq M$ 이다. 다르게 말하면, 아래에서 설명되는 바와 같이, 제 1 원래 심볼의 제 1 및 제 2 성분 심볼들은 제 1 및 제 2 성분 심볼들이 N 개 원래 심볼들과 개별적으로 연관된 N 개의 다른 성분 심볼들만큼 떨어져 있도록 재송신 패킷 내에 할당된다. N 개 원래 심볼들과 연관된 성분 심볼들을 인터레이싱하기 위해, N 개의 심볼들은 M 개의 심볼 길이들의 사이즈를 갖는 재송신 패킷을 생성하기 위해 버퍼링된다. N 개 원래 심볼들과 연관된 성분 심볼들을 인터레이싱하는 것은 도 8 에서 예시된다. 패킷 (840A) 및 패킷 (840B) 은 2 개의 원래 심볼들과 연관된 성분 심볼들을 인터레이싱함으로써 생성된 재송신 패킷들을 나타낸다. 도 6 을 다시 참조하면, N 개 원래 심볼들과 연관된 성분 심볼들이 인터레이싱되어야 한다고 결정된다면, 플로우는 블록 612 에서 계속된다. 그렇지 않으면, 플로우는 도 7 의 블록 616 에서 계속된다.

[0095] 블록 612 에서, N 개 원래 심볼들과 연관된 성분 심볼들이 버퍼링되는지 여부가 결정된다. 예를 들어, 패킷 생성 유닛 (108) 은 N 개 원래 심볼들과 연관된 성분 심볼들이 버퍼링되는지 여부를 결정할 수 있다. N 개 원래 심볼들과 연관된 성분 심볼들을 인터레이싱하기 위해, N 개 원래 심볼들과 연관된 제 1 성분 심볼들이 먼저 송신된 후 N 개 원래 심볼들과 연관된 제 2 성분 심볼들이 그 후 송신된다. 다르게 말하면, 도 8 의 2 개의 심볼 인터레이싱 (즉, 여기서 N = 2) 을 참조하면, 원래 심볼 (802) 과 연관된 제 2 성분 심볼 (864) 은 원래 심볼 (803) 의 제 1 성분 심볼 (866) 이 송신되지 않는 한 송신될 수 없다. 블록 612 의 조건은 N 개 원래 심볼들의 모든 제 1 성분 심볼들이 이용가능한지 여부를 결정한다. N 개 원래 심볼들과 연관된 성분 심볼들이 버퍼링된다고 결정되면, 플로우는 블록 614 에서 계속된다. 그렇지 않으면, 플로우는 도 7 의 블록 622 에서 계속되며, 거기서 다음의 원래 심볼은 그것의 성분 심볼들로 나뉘고 N 개 원래 심볼들과 연관된 모든 성분 심볼들이 이용가능한지 여부가 결정된다.

[0096] 블록 614 에서, N 개 원래 심볼들의 각각과 연관된 제 1 성분 심볼들이 재송신 패킷을 위해 할당되며, 뒤따라서 N 개 원래 심볼들의 각각과 연관된 제 2 성분 심볼들이 할당된다. 예를 들어, 패킷 생성 유닛 (108) 은 재송신 패킷을 위해 N 개 원래 심볼들의 각각과 연관된 제 1 성분 심볼들을 할당하고 뒤따라서 N 개 원래 심볼들의 각각과 연관된 제 2 성분 심볼들을 할당한다. 플로우 600 은 N 개 원래 심볼들과 연관된 모든 성분 심볼

들이 이용가능하고 결정되면, 블록 612 에서 블록 614 로 이동한다. 도 8 을 참조하면, 재송신 패킷 (840A) 에서 도시된 바와 같이, 원래 심볼 (802) 의 제 1 성분 심볼 (862) 이 먼저 송신되고, 원래 심볼 (803) 의 제 1 성분 심볼 (866) 이 뒤따라 송신된다. 2 개의 원래 심볼들 (즉, 여기서 $N = 2$) 전체에 걸친 인터레이싱을 위해, 원래 심볼 (802) 의 제 2 성분 심볼 (864) 이 다음으로 송신되고, 원래 심볼 (803) 의 제 2 성분 심볼 (868) 이 뒤따라 송신된다. N 개 원래 심볼들 전체에 걸쳐서 성분 심볼들을 인터리빙하는 것은 N 의 값에 의존하는 가변적인 시간 다이버시티를 제공할 수 있다. 플로우는 도 7 의 블록 622 에서 계속된다.

[0097] 도 7 의 블록 616 에서, 성분 심볼들이 재송신 패킷 전체에 걸쳐 할당되어야 하는지 여부가 결정된다. 플로우 600 은 N 개 원래 심볼들과 연관된 성분 심볼들이 인터레이싱되지 않아야 한다는 것 및 성분 심볼들이 순차적으로 할당되지 않아야 한다는 것이 결정된다면, 도 6 의 블록 610 에서 도 7 의 블록 616 으로 이동한다. 예를 들어, 패킷 생성 유닛 (108) 은 원래 심볼의 성분 심볼들을 재송신 패킷 전체에 걸쳐 할당할 것인지 여부를 결정한다. 원래 심볼의 제 1 및 제 2 성분 심볼들을 2 개의 상이한 패킷들 전체에 걸쳐 할당하는 것은 심볼들을 인터레이싱하는 것 및 심볼들을 순차적으로 할당하는 것 모두 보다 큰 시간 다이버시티를 달성한다. 그러나, 재송신 패킷 전체에 걸쳐 성분 심볼들을 할당하는 것은 M 개 원래 심볼들과 연관된 성분 심볼들을 버퍼링하기 위해 송신 네트워크 디바이스 (150) 및 수신 네트워크 디바이스 (160) 를 필요로 할 수 있으며, 여기서 M 은 재송신 패킷의 (심볼들에서의) 최대 길이이다. 성분 심볼들이 재송신 패킷 전체에 걸쳐 할당되어야 한다고 결정되면, 플로우는 블록 618 에서 계속된다. 그렇지 않으면, 플로우는 블록 620 에서 계속된다.

[0098] 블록 618 에서, 원래 심볼들의 각각의 원래 심볼의 제 1 성분 심볼은 제 1 재송신 패킷에 할당되고 원래 심볼들의 각각의 원래 심볼의 제 2 성분 심볼은 제 2 재송신 패킷에 할당된다. 예를 들어, 패킷 생성 유닛 (108) 은 원래 심볼들의 각각의 원래 심볼의 제 1 성분 심볼을 제 1 재송신 패킷에 할당하고 원래 심볼들의 각각의 원래 심볼의 제 2 성분 심볼을 제 2 재송신 패킷에 할당한다. 도 8 은 성분 심볼들을 상이한 재송신 패킷들에 할당하는 것을 추가 예시한다. 패킷 (850A) 및 패킷 (850B) 은 원래 심볼의 성분 심볼들을 상이한 재송신 패킷들에 할당함으로써 생성된 재송신 패킷들을 나타낸다. 도 8 에 도시된 바와 같이, 재송신 패킷 (850A) 은 원래 심볼들 (802, 803, 804, 및 805) 의 제 1 성분 심볼들 (862, 866, 872, 및 876) 을 각각 포함한다. 재송신 패킷 (850B) 은 원래 심볼들 (802, 803, 804, 및 805) 의 제 2 성분 심볼들 (864, 868, 874, 및 878) 을 각각 포함한다. 성분 심볼들을 2 개의 재송신 패킷들 전체에 걸쳐 할당하는 것은 하나의 패킷 길이의 시간 다이버시티를 생기게 할 수 있다. 2 개의 재송신 패킷들 전체에 걸친 비트 할당은 강하게 시간 상관된 간섭에 대해 시간 다이버시티를 최대화하기 위해 구현될 수도 있다. 플로우는 블록 622 에서 계속된다.

[0099] 블록 620 에서, 원래 심볼은 재송신 패킷에 할당된다. 예를 들어, 패킷 생성 유닛 (108) 은 원래 심볼을 재송신 패킷에 할당한다. 성분 심볼들이 순차적으로 할당되지 않아야 하고, N 개 원래 심볼들과 연관된 성분 심볼들이 인터레이싱되지 않아야 하며, 성분 심볼들이 분리된 재송신 패킷들에 할당되지 않아야 한다고 결정된다면 플로우 600 은 도 7 의 블록 616 에서 블록 620 으로 이동한다. 하나의 구현예에서, 패킷 생성 유닛 (108) 은 본원에서 설명된 바와 같은 비트 할당을 위한 동작들을 구현하는 일 없이 원래 패킷을 재송신할 수 있다. 플로우는 블록 622 에서 계속된다.

[0100] 블록 622 에서, 할당될 부가적인 원래 심볼들이 존재하는지 여부가 결정된다. 예를 들어, 패킷 생성 유닛 (108) 은 하나 이상의 재송신 패킷들에 할당될 부가적인 심볼들이 존재하는지 여부를 결정한다. 플로우 600 은 원래 심볼과 연관된 성분 심볼들이 하나 이상의 재송신 패킷들 내에 할당된 후에 도 6 의 블록 608 로부터, 도 6 의 블록 614 로부터, 또는 도 7 의 블록 618 로부터 이동한다. 플로우 600 은 또한 원래 심볼들이 하나 이상의 재송신 패킷들 내에 재할당된 후에 도 7의 블록 620 으로부터 블록 622 로 이동한다. 덧붙여, 플로우 600 은 또한 N 개 원래 심볼들에 연관된 성분 심볼들이 버퍼링되지 않는다고 결정된다면 도 6 의 블록 612 로부터 도 7 의 블록 622 로 이동한다. 할당될 부가적인 원래 심볼들이 존재한다고 결정되면, 플로우는 블록 602 로 되돌아가서 다음의 원래 심볼이 식별되고 블록 604 내지 블록 620 을 참조하여 설명되는 동작들의 일부/전부가 다음의 원래 심볼에 대해 수행된다. 할당될 부가적인 원래 심볼들이 존재하지 않는다고 결정되면, 플로우는 블록 624 에서 계속된다.

[0101] 블록 624 에서, 하나 이상의 재송신 패킷들이 생성된다. 예를 들어, 패킷 생성 유닛 (108) 은 하나 이상의 재송신 패킷들을 생성한다. 패킷 생성 유닛 (108) 은 할당된 심볼들을 캡슐화하여 하나 이상의 재송신 패킷들을 형성할 수 있다. 블록 624 에서, 플로우는 종료된다.

[0102] 비록 도 1 내지 도 8 이 비트 할당 유닛 (110) 이 2 개의 성분 심볼들 전체에 걸쳐 원래 심볼의 비트들을 할당하는 것을 설명하고 있지만, 실시형태들은 그렇게 제한되지는 않는다. 일부 구현예들에서, 비트 할당 유닛

(110) 은 임의의 적합한 수의 성분 심볼들 전체에 걸쳐 원래 심볼의 비트들을 할당할 수 있다. 예를 들어, 비트 할당 유닛 (110) 은 세 개의 성분 심볼들 전체에 걸쳐 원래 심볼의 비트들을 할당할 수 있다. 원래 심볼 당 성분 심볼들의 수는 필요 스루풋, 임계 SNR 마진, 임계 비트 로드 등의 지식에 기초하여 결정될 수도 있다. 일부 구현예들에서, 하나를 초과하는 패킷 전체에 걸친 시간 다이버시티는 또한 제 1 성분 심볼을 제 1 재송신 패킷으로 송신하고 제 2 성분 심볼을 제 3 (또는 제 *N*) 재송신 패킷으로 송신함으로써 달성될 수도 있다는 점에 또한 주의한다.

[0103] 비록 도 6 의 블록 612 가 *N* 개 성분 심볼들 전체에 걸쳐 인터레이싱하기 위해 성분 심볼들을 필터링하는 것을 설명하지만, 실시형태들은 그렇게 제한되지 않는다는 점에 주의한다. 일부 구현예들에서, 제 2 성분 심볼들만이 버퍼링될 수도 있고 제 1 성분 심볼들은 그것들이 생성되는 대로 송신을 위해 제공될 수도 있다. 예를 들어, 2 개 원래 심볼들 전체에 걸쳐 성분 심볼들을 인터레이싱하기 위해, 제 1 원래 심볼은 그것의 성분 심볼들로 스플리팅될 수도 있다. 제 1 원래 심볼의 제 1 성분 심볼은 송신을 위해 제공될 수도 있고 제 1 원래 심볼의 제 2 성분 심볼은 버퍼링될 수도 있다. 다음으로, 제 2 원래 심볼은 그것의 성분 심볼들로 스플리팅될 수도 있다. 제 2 원래 심볼의 제 1 성분 심볼은 송신을 위해 제공될 수도 있고 제 2 원래 심볼의 제 2 성분 심볼은 버퍼링될 수도 있다. 이에 뒤따라, 제 1 원래 심볼의 제 2 성분 심볼과 제 2 원래 심볼의 제 2 성분 심볼은 버퍼로부터 취출될 수도 있고 송신을 위해 제공될 수도 있다.

[0104] 비록 도 8 이 2 개의 재송신 패킷들에 할당된 원래 심볼들의 성분 심볼들을 도시하고 있지만 실시형태들은 그렇게 제한되지 않는다는 점에 또한 주의한다. 송신물이 짧고 (예컨대, 통신 채널 코히어런스 시간에 의존하는) 미리 정의된 최대 패킷 길이를 갖는 단일 재송신 패킷의 범위 내에 있다면, 성분 심볼들은 하나의 재송신 패킷으로 송신될 수도 있다. 예를 들어, 도 8 을 참조하여, 성분 심볼 862 내지 성분 심볼 878 이 단일 재송신 패킷으로 순차적으로 할당될 수 있다면, 성분 심볼 862 내지 성분 심볼 878 을 포함하는 단일 재송신 패킷 (820A) 만이 도 8 에 도시된 바와 같은 2 개의 재송신 패킷들 대신에 송신될 수도 있다. 이는 송신 효율을 향상시킬 수 있는데 오버헤드 (예컨대, 패킷 헤더들) 가 단일 재송신 패킷만을 위한 것이고 2 개의 재송신 패킷들을 위한 것이 아니기 때문이다. 다르게 말하면, 순차적 또는 인터레이싱된 심볼 할당은 원래 패킷의 길이가 재송신될 심볼들의 2배를 수용할 만큼 충분히 작지만 여전히 최대 패킷 길이를 초과하지 않는다면, 하나의 재송신 패킷 내에 구현될 수도 있다.

[0105] t_o 이 패킷의 오버헤드 시간 (즉, 비-데이터 심볼들이 송신되는 총 시간) 이고, t_D 가 패킷의 데이터 시간 (즉, 데이터 심볼들이 송신되는 총 시간) 이며, t_{D_MAX} 가 패킷의 최대 데이터 시간이면, 수학식 2 는 총 패킷 송신 시간 (t_p) 을 나타낸다.

수학식 2

[0106] $$t_p = t_o + t_D$$

[0107] $t_p < \frac{t_{D_MAX}}{2}$ 이면, 원래 심볼들의 2배의 수 (즉, 성분 심볼들의 전부) 가 $t_o + t_{D_MAX}$ 의 최대 패킷 시간을 초과하는 일 없이 단일 재송신 패킷으로 송신될 수 있다. 예를 들어, 패킷의 최대 길이가 10 심볼이고 및 세 개의 원래 심볼들이 원래 패킷으로 송신되었다면, 여섯 개 성분 심볼들을 갖는 단일 재송신 패킷이 송신될 수 있다. 그러나, 패킷의 최대 길이가 10 심볼이고 여섯 개의 원래 심볼들이 원래 패킷을 송신되었다면, 12 개의 성분 심볼들이 2 개의 재송신 패킷들 전체에 걸쳐 (예컨대, 재송신 패킷 당 여섯 개의 심볼들, 제 1 재송신 패킷에서 열 개의 심볼들 그리고 제 2 재송신 패킷에서 2 개의 심볼들 등으로) 송신되어야만 한다.

[0108] 도 9 는 재송신 패킷들로부터 원래 비트 스트림을 생성하는 수신 네트워크 디바이스의 예의 동작들을 도시하는 흐름도 (900) 이다. 플로우 900 은 블록 902 에서 시작한다.

[0109] 블록 902 에서, 하나 이상의 재송신 패킷들은 송신 네트워크 디바이스로부터 수신된다. 예를 들어, 도 1의 수신 네트워크 디바이스 (160) 는 송신 네트워크 디바이스 (150) 로부터 하나 이상의 재송신 패킷들을 수신한다. 예를 들어, 수신 네트워크 디바이스 (160) 는 원래 패킷이 잘못 수신되었다는 것을 나타내는 NACK 를 송신 네트워크 디바이스에 송신하는 것에 응답하여 하나 이상의 재송신 패킷들을 수신할 수도 있다. 수신 네트워크 디바이스 (160) 는 또한 통신 채널의 BER 이 임계 BER 을 넘는다는 표시를 송신하는 것에 응답

하여 하나 이상의 재송신 패킷들을 수신할 수도 있다. 플로우는 블록 904 에서 계속된다.

[0110] 블록 904 에서, 하나 이상의 재송신 패킷들이 송신 네트워크 디바이스 (150) 에 의해 송신되었던 재송신 파라미터들이 결정된다. 예를 들어, 도 1 의 비트 로드 재구성 유닛 (122) 은 하나 이상의 재송신 패킷들이 송신 네트워크 디바이스 (150) 에 의해 송신되었던 재송신 파라미터들을 결정한다. 일부 구현예들에서, 원래 패킷의 송신이 실패했음을 나타내는 것 외에도, 수신 네트워크 디바이스 (160) 의 비트 추출 유닛 (118) 는 또한 재송신 파라미터들을 송신 네트워크 디바이스 (150) 의 비트 할당 유닛 (110) 에 통신할 수 있다. 예를 들어, 재송신 파라미터들은 심볼들이 시간 다이버시티를 위한 하나 이상의 재송신 패킷들에 할당되어야 하는 방법, 성분 심볼들의 각각의 부반송파를 위한 임계 비트 로드 등을 나타낼 수 있다. 일부 구현예들에서, 비트 추출 유닛 (118) 은 재송신 파라미터들을 비트 할당 유닛 (110) 에 명시적으로 송신할 수 없을지도 모른다. 대신에, 비트 추출 유닛 (118) 및 비트 할당 유닛 (110) 모두는 디폴트 재송신 파라미터들의 세트에 기초하여 비트 할당 및 비트 추출을 각각 수행할 수도 있다. 비트 추출 유닛 (118) 은 수신된 하나 이상의 재송신 패킷들을 재송신 파라미터들에 따라 프로세싱한다. 플로우는 블록 906 에서 계속된다.

[0111] 블록 906 에서, 각각의 성분 심볼의 각각의 부반송파에 대한 성분 비트 로드들이 결정된다. 예를 들어, 수신 네트워크 디바이스 (160) 의 비트 로드 계산 유닛 (120) 은 재송신 패킷들의 각각의 성분 심볼의 각각의 부반송파와 연관된 성분 비트 로드들을 결정할 수 있다. 채널 추정 프로세스 동안 합의된 원래 톤 맵 (예컨대, 원래 심볼의 각각의 부반송파에 할당된 원래 비트 로드) 의 지식에 기초하여, 비트 로드 계산 유닛 (120) 은 성분 심볼들에 대응하는 톤 맵들을 구성할 수 있다. 비트 로드 계산 유닛 (120) 은 도 4 를 참조하여 설명되는 동작들을 수행하여 비트 할당 유닛 (110) 이 성분 심볼들을 생성하기 위해 비트들을 할당했던 방법을 결정할 수 있다. 비트 로드 재구성 유닛 (122) 은 블록 908 내지 블록 910 을 참조하여 설명되는 바와 같이 비트 로드 계산 유닛 (120) 의 출력 (즉, 성분 심볼들에 대응하는 결정된 톤 맵들) 에, 그리고 다른 재송신 파라미터들에 적어도 부분적으로 기초하여, 하나 이상의 재송신 패킷들의 비트들을 할당해제하여, 원래 비트 스트림을 복원할 수 있다. 플로우는 블록 908 에서 계속된다.

[0112] 블록 908 에서, 원래 심볼과 연관된 성분 심볼들은 하나 이상의 재송신 패킷들로부터 식별된다. 예를 들어, 비트 로드 재구성 유닛 (122) 은 하나 이상의 재송신 패킷들로부터 원래 심볼과 연관된 성분 심볼들을 식별할 수 있다. 재송신 파라미터들에 의존하여, 하나 이상의 수신된 성분 심볼들은 비트 로드 재구성 유닛 (122) 이 특정된 원래 심볼과 연관된 성분 심볼들을 식별할 수 있기 전에 버퍼링될 수도 있다. 예를 들어, 비트 할당이 순차적 심볼들 전체에 걸쳐 구현되었다면, 비트 추출 유닛 (118) 은 원래 심볼의 제 1 성분 심볼을 수신하고, 프로세싱하며, 버퍼링할 수 있다. 비트 추출 유닛 (118) 은 원래 심볼의 제 2 성분 심볼을 수신하고, 프로세싱하며, 버퍼링된 제 1 성분 심볼과 조합하여 원래 심볼을 생성할 수 있다. 다른 예로서, N 개 원래 심볼들과 연관된 성분 심볼들이 인터레이싱되었다면, 수신 네트워크 디바이스 (160) 는 제 1 N 개 성분 심볼들을 수신하고, 프로세싱하며, 버퍼링할 수 있다. $(N+1)$ 번째 심볼은 제 1 원래 심볼의 제 2 성분 심볼이다.

비트 로드 재구성 유닛 (122) 은 $(N+1)$ 번째 심볼을 원래 심볼의 버퍼링된 제 1 성분 심볼과 조합하고 제 1 원래 심볼과 연관된 원래 비트 스트림을 재생성할 수 있다. 일반적으로, 비트 로드 재구성 유닛 (122) 은 $(N+i)$ 번째 수신된 심볼을 버퍼링된 i 번째 수신된 심볼과 조합하여 원래 비트 스트림을 재생성할 수 있다. 다른 예로서, 원래 심볼의 성분 심볼들이 상이한 재송신 패킷들에 할당되었다면, 수신 네트워크 디바이스 (160) 는 제 1 재송신 패킷에서의 심볼들 (즉, 원래 심볼들의 제 1 성분 심볼들) 모두를 수신하고, 프로세싱하며, 버퍼링할 수 있다. 제 2 재송신 패킷의 제 1 심볼은 제 1 원래 심볼의 제 2 성분 심볼이다. 비트 로드 재구성 유닛 (122) 은 제 2 재송신 패킷의 제 1 심볼을 제 1 재송신 패킷의 버퍼링된 제 1 심볼과 조합하고 제 1 원래 심볼과 연관된 원래 비트 스트림을 재생성할 수 있다. 일반적으로, M 이 재송신 패킷의 길이를 나타내면, 비트 로드 재구성 유닛 (122) 은 $(M+i)$ 번째 수신된 심볼을 버퍼링된 i 번째 수신된 심볼과 조합하여 원래 비트 스트림을 재생성할 수 있다. 플로우는 블록 910 에서 계속된다.

[0113] 블록 910 에서, 식별된 성분 심볼들의 비트들은 원래 비트 스트림을 재생성하기 위해 재정렬된다. 예를 들어, 비트 로드 재구성 유닛 (122) 은 각각의 원래 심볼의 각각의 부반송파와 연관된 성분 비트 로드들의 지식에 적어도 부분적으로 기초하여 그리고 재송신 파라미터들에 기초하여 원래 비트 스트림을 재생성한다. 예를 들어, 수신 네트워크 디바이스 (160) 에 의해 송신 네트워크 디바이스 (150) 에 통신되는 재송신 파라미터들에 기초하여, 비트 추출 유닛 (118) 은 비트 할당 유닛 (110) 이 원래 심볼들의 비트들을 성분 심볼들에 그리고 재송신 패킷들에 할당할 방법의 사전 지식 (prior knowledge) 을 가진다. 예를 들어, NACK 패킷의 부분으로서, 수신 네트워크 디바이스 (160) 는 원래 심볼들의 비트들이 도 4의 동작들에 따라 성분 심볼들에 할당되어야 한다는 것과 성분 심볼들이 재송신 패킷에서 순차적으로 할당되어야 한다는 것을 나타낼 수도 있다.

재송신 패킷의 수신 시, 비트 추출 유닛 (118) 은 송신 네트워크 디바이스 (150) 에 이전에 나타내진 재송신 파라미터들에 기초하여, 원래 비트 스트림을 재구성할 수 있다. 원래 비트 스트림이 재생성된 후, 비트 추출 유닛 (122) 은 추가의 프로세싱 (예컨대, 디인터리빙 등) 을 위해 원래 비트 스트림을 제공할 수 있다. 블록 910 으로부터, 플로우는 종료된다.

[0114] 위에서 설명된 바와 같이, 원래 비트 로드가 지원되는 성분 비트 로드들로 스플리팅될 수 없다면 (예컨대, 소수 비트 로딩이 지원되지 않으면 1 비트의 원래 비트 로드가 ½ 비트 이하의 성분 비트 로드들로 스플리팅되지 않을 수도 있다), 부반송파의 원래 비트 로드는 (동일한 부반송파에 대해) 양자의 성분 심볼들 전체에 걸쳐 복제될 수도 있다. 부반송파의 원래 비트 로드를 (도 4 의 블록 414 에서 설명된 바와 같이) 복제하는 것은 비트 로드 재구성 유닛 (122) 에, 어느 비트들이 복제되었는지를 결정하도록, 비트들이 정확히 수신되었는지 여부를 결정하도록, 비트들의 어느 사본이 정확한지를 결정하도록, 등등을 행하도록 요구할 수 있다. 도 10 및 도 11 을 참조하여 설명되는 바와 같이, 도 1 내지 도 9 를 참조하여 설명되는 바와 같은 비트 할당을 위한 동작들은 부반송파들에 대해 미리 결정된 SNR 마진 한계를 강제하는 것을 추가로 포함할 수 있다. 도 10 및 도 11에서 설명되는 바와 같이, 미리 결정된 SNR 마진 한계를 충족시키지 못하는 부반송파들은 버려질 수 있고 버려진 부반송파들의 비트 로드는 하나 이상의 다른 부반송파들 전체에 걸쳐 재배분될 수 있다.

[0115] 도 10 및 도 11 은 미리 결정된 SNR 마진 한계에 기초한 비트 로드 할당을 위한 예의 동작들을 도시하는 흐름도 (1000) 를 도시한다. 플로우 1000 은 도 10 의 블록 1002 에서 시작한다.

[0116] 블록 1002 에서, 루프는 원래 심볼의 각각의 부반송파에 대해 시작된다. 예를 들어, 도 1 의 비트 로드 계산 유닛 (104) 은 원래 심볼의 각각의 부반송파에 대해 블록 1004 내지 블록 1008 을 참조하여 설명된 동작들을 실행한다. 플로우는 블록 1004 에서 계속된다.

[0117] 블록 1004 에서, 원래 심볼의 각각의 부반송파에 대해, 부반송파와 연관된 원래 비트 로드가 결정된다. 예를 들어, 비트 로드 계산 유닛은 부반송파와 연관된 원래 비트 로드를 결정한다. 유사하게, 도 1 및 도 4 를 참조하여 위에서 설명된 바와 같이, 부반송파와 연관된 원래 비트 로드는 통신 채널 추정 프로세스 동안 도 1 의 송신 네트워크 디바이스 (150) 및 수신 네트워크 디바이스 (160) 에 의해 합의된 원래 톤 맵으로부터 결정될 수 있다. 플로우는 블록 1006 에서 계속된다.

[0118] 블록 1006 에서, 각각의 부반송파에 대해, 부반송파와 연관된 원래 비트 로드가 임계 비트 로드 미만인지 여부가 결정된다. 예를 들어, 비트 로드 계산 유닛 (104) 은 부반송파와 연관된 원래 비트 로드가 임계 비트 로드 미만인지 여부를 결정할 수 있다. 일부 구현예들에서, 임계 비트 로드는 OFDM 파형을 구성하는 모든 부반송파들 전체에 걸쳐 계산된 평균 비트 로드일 수도 있다. 블록 1006에서의 조건은 비트 로드 계산 유닛 (104) 이 (예컨대, 높은 비트 로드를 지원할 능력이 없으며, 작은 SNR 마진 또는 높은 잡음 플로어를 가지는 등의) 비교적 약한 부반송파들을 식별하는 것을 가능하게 한다. 예를 들어, 임계 비트 로드는 6 비트일 수도 있다. 따라서, 6 이상의 비트들을 지원하는 부반송파들만이 로딩될 수도 있다. 아래에서 설명되는 바와 같이, 비트 로드 계산 유닛 (104) 은 성공적인 패킷 재송신의 가능성을 향상시키기 위해 약한 부반송파들을 제거할 수 있다. 위의 예에서, 비트 로드 계산 유닛 (104) 은 6 미만의 비트의 비트 로드를 갖는 부반송파들을 제거할 수 있다. 비트 추출 유닛 (118) 이 (아래에서 추가 설명되는 바와 같이) 원래 비트 스트림을 적절히 재구성할 수 있도록, 송신 네트워크 디바이스 (150) 와 수신 네트워크 디바이스 (160) 는 임계 비트 로드, SNR 마진 임계값, 및 제거된 부반송파들의 비트들이 재할당되어야 하는 순서에 합의할 수 있다는 점에 주의한다. 부반송파와 연관된 원래 비트 로드가 임계 비트 로드 미만이라고 결정되면, 플로우는 블록 1008 에서 계속된다. 그렇지 않으면, 플로우는 블록 1010 에서 계속된다.

[0119] 블록 1008 에서, 각각의 부반송파에 대해, 부반송파와 연관된 원래 비트 로드가 비트 로드 임계값 미만이라면, 부반송파는 제거된다. 예를 들어, 비트 로드 계산 유닛 (104) 은 0 비트들의 새로운 비트 로드를 부반송파에 할당함으로써 부반송파를 제거할 수 있다. 부반송파와 연관된 원래 비트 로드가 비트 로드 임계값 이상이면, 비트 로드 계산 유닛 (104) 은 원래 비트 로드를 부반송파의 새로운 비트 로드에 할당할 수 있다는 점에 주의한다. 예를 들어, 비트 로드 계산 유닛 (104) 은 제 1 부반송파의 원래 비트 로드가 1 이라고 결정할 수도 있다. 따라서, 비트 로드 계산 유닛 (104) 은 제 1 부반송파의 원래 비트 로드가 임계 비트 로드 (예컨대, 4 비트들) 미만이라고 결정할 수 있고 제 1 부반송파가 제거될 것이라고 나타낼 수 있다. 이는 0 비트들의 새로운 비트 로드를 부반송파에 할당함으로써 나타내진다. 제 1 부반송파에 원래 할당된 비트 로드는 블록 1016 내지 블록 1028 을 참조하여 설명되는 바와 같이 다른 부반송파들에 재할당될 수 있다. 비트 로드 계산 유닛 (104) 은 또한 심볼 생성 유닛 (106) 에 부반송파가 제거될 것임을 통지할 수도 있다. 심볼

생성 유닛 (106) 은, 결국 제거된 부반송파 상에서 비트들의 서브세트를 변조하는 일 없이 OFDM 심볼을 생성할 수 있다. 플로우는 블록 1010 에서 계속된다.

[0120] 블록 1010 에서, 분석될 원래 심볼의 부가적인 부반송파들이 존재하는지 여부가 결정된다. 예를 들어, 비트 로드 계산 유닛 (104) 은 원래 심볼이 분석될 부가적인 부반송파들을 포함하는지 여부를 결정한다. 플로우 1000 은 또한 부반송파의 원래 비트 로드가 임계 비트 로드 이상이라고 결정되면 블록 1006 에서 블록 1010 으로 이동한다. 분석될 부가적인 부반송파들이 존재한다고 결정되면, 플로우는 블록 1002 에서 계속되어서, 원래 심볼과 연관된 다음의 부반송파는 식별되고 다음의 부반송파의 원래 비트 로드가 임계 비트 로드 미만인지 여부가 결정된다. 분석될 부가적인 부반송파들이 존재하지 않는다고 결정되면, 플로우는 블록 1012 에서 계속된다.

[0121] 블록 1012 에서, 원래 심볼의 부반송파들과 연관된 원래 비트 로드들의 합 및 원래 심볼의 부반송파들과 연관된 새로운 비트 로드들의 합 사이의 비트 로드 차이가 결정된다. 예를 들어, 비트 로드 계산 유닛 (104) 은 비트 로드 차이를 결정한다. 비트 로드 차이 (B_d) 는 수학식 3 에 의해 나타낸 바와 같이 계산될 수 있다.

수학식 3

[0122]
$$B_d = \sum_{i=1}^{M} tonemap(i) - \sum_{i=1}^{M} tonemap_{new(i)}$$

[0123] 수학식 3 에서, M 은 부반송파들의 총 수이고, $tonemap(i)$ 는 i 번째 부반송파의 원래 비트 로드를 나타내며, $tonemap_new(i)$ 는 i 번째 부반송파의 새로운 비트 로드를 나타낸다. 각각의 부반송파에 대해, 부반송파의 원래 비트 로드가 임계 비트 로드 미만이었다면 부반송파의 새로운 비트 로드는 부반송파의 원래 비트 로드와 상이하다. 비트 로드 차이는 임계 비트 로드를 충족하지 못한 부반송파들에 원래 매핑되었던 비트들의 수를 나타낸다. 비트 로드 차이는 임계 비트 로드를 충족하지 못한 원래 심볼들의 하나 이상의 다른 부반송파들에 재할당되어야 하는 비트들의 수를 나타낸다. 비트 로드 계산 유닛 (104) 은 도 11 의 블록 1018 내지 블록 1028 을 참조하여 설명되는 바와 같이 다른 부반송파들에 비트 로드 차이가 할당될 방법을 결정할 수 있다. 비트 로드 계산 유닛 (104) 은 또한 제거된 부반송파의 비트 로드가 다른 부반송파들에 할당될 방법을 다른 프로세싱 구성요소들 (예컨대, 심볼 생성 유닛 (106)) 에 통지할 수 있다. 플로우는 블록 1014 에서 계속된다.

[0124] 블록 1014 에서, 부반송파들의 각각과 연관된 새로운 비트 로드들은 부반송파들 중의 개별 것들과 연관된 성분 비트 로드들에 할당된다. 하나의 구현예에서, 비트 로드 계산 유닛 (104) 은 도 4 를 참조하여 설명된 동작들을 실행하여 부반송파들의 각각과 연관된 새로운 비트 로드들을 그것들의 성분 비트 로드들에 할당할 수 있다. 다른 구현예에서, 비트 로드 계산 유닛 (104) 은 규칙들의 미리 정의된 세트 (예컨대, 도 4 의 플로우 400 을 참조하여 사전 계산됨) 에 따라 부반송파들과 연관된 새로운 비트 로드들을 성분 비트 로드들에 할당할 수 있다. 예를 들어, 제 1 부반송파와 연관된 새로운 비트 로드가 10 비트이면, 비트 로드 계산 유닛 (104) 은 6 비트들을 제 1 부반송파와 연관된 제 1 성분 비트 로드에, 그리고 4 비트들을 제 1 부반송파와 연관된 제 2 성분 비트 로드에 할당할 수도 있다. 제 2 부반송파와 연관된 새로운 비트 로드가 6 비트이면, 비트 로드 계산 유닛 (104) 은 4 비트들을 제 2 부반송파와 연관된 제 1 성분 비트 로드에, 그리고 2 비트들을 제 2 부반송파와 연관된 제 2 성분 비트 로드에 할당할 수도 있다. 다른 비트 로드들에 대해, 비트 로드 계산 유닛 (104) 은 동일한 수의 비트들 (예컨대, (새로운 비트 로드)/2) 을 부반송파와 연관된 제 1 및 제 2 성분 비트 로드들에 할당할 수도 있다. 다른 구현예에서, 규칙들의 미리 정의된 세트는 송신 네트워크 디바이스 (150) 및 수신 네트워크 디바이스 (160) 에 의해 지원되고 그것들에 의해 합의된 비트 로드들에 의존하여 변할 수도 있다. 플로우는 블록 1016 에서 계속된다.

[0125] 블록 1016 에서, 성분 비트 로드들에 기초하여, 부가적인 비트들이 할당될 수 있는 부반송파들이 식별된다. 예를 들어, 비트 로드 계산 유닛 (104) 은, 부반송파들의 각각과 연관된 성분 비트 로드들에 기초하여, (블록 1012 에서 결정된) 비트 로드 차이의 일부/전부가 할당될 수 있는 하나 이상의 부반송파들을 식별할 수 있다. 하나의 구현예에서, 제 1 부반송파와 연관된 성분 비트 로드가 임계 비트 로드 이상이라는 결정 시, 제 1 부반송파의 인덱스는 제 1 부반송파가 부가적인 비트 로드를 지원할 수 있음을 나타내기 위해 (예컨대, 벡터 또는 데이터 구조로) 저장될 수도 있다. 일부 구현예들에서, 0 이 아닌 새로운 비트 로드 (블록 1008 에서 결정

됨) 와 연관된 부반송파들은 그것들의 성분 비트 로드들에 기초하여, 상한 비트 로드 임계값을 초과하는 일 없이 또는 부반송파의 SNR 마진이 SNR 마진 임계값을 하회하는 일 없이 부반송파들이 부가적인 비트 로드를 지원할 수 있는지의 여부를 결정하기 위해 추가 분석될 수도 있다. 예를 들어, 10 비트의 제 1 부반송파와 연관된 원래 비트 로드는 6 비트들이 제 1 부반송파의 제 1 성분 비트 로드에 할당되고 4 비트들이 제 1 부반송파의 제 2 성분 비트 로드에 할당되도록 나뉠 수도 있다. 상한 비트 로드 임계값은 6 비트이고 2 개의 부가적인 비트들은 제 1 부반송파의 제 2 성분 비트 로드에 할당될 수 있다는 것이 결정될 수도 있다. 따라서, 비트 로드 계산 유닛 (104) 은 제 1 부반송파의 인덱스 (예컨대, 부반송파 번호, 부반송파 주파수 등), 제 1 부반송파의 성분 비트 로드의 식별자 (예컨대, "2" 는 부가적인 비트들이 제 2 성분 비트 로드에 할당될 수 있음을 나타내기 위해 저장될 수 있다), 및 제 1 부반송파에 할당될 수 있는 부가적인 비트들의 수를 저장할 수도 있다.

일부 구현예들에서, 차이 비트 로드가 할당될 수 있는 부반송파들이 없다면, 차이 비트 로드 (블록 1012 에서 결정됨) 는 다음의 OFDM 심볼에 할당될 수 있다는 점에 주의한다. 플로우는 도 11 의 블록 1018 에서 계속된다.

[0126] 블록 1018 에서, 루프는 부가적인 비트들이 부반송파와 연관된 성분 비트 로드들에 할당될 수 있는 각각의 부반송파에 대해 시작된다. 위에서 설명된 바와 같이, 블록 1016 을 참조하여, 비트 로드 계산 유닛 (104) 은 부가적인 비트들이 부반송파들과 연관된 제 1 및/또는 제 2 성분 비트 로드들에 할당될 수 있는 부반송파들을 계속 추적할 수 있다. 플로우는 블록 1020 에서 계속된다.

[0127] 블록 1020 에서, 비트 로드 차이가 고려 중인 부반송파의 성분 비트 로드에 할당될 비트들의 미리 결정된 수 이상인지 여부가 결정된다. 예를 들어, 비트 로드 계산 유닛 (104) 은 비트 로드 차이가 고려 중인 부반송파의 성분 비트 로드에 할당될 비트들의 미리 결정된 수 이상인지 여부를 결정한다. 하나의 구현예에서, 도 11 에 도시된 바와 같이, 비트 로드 할당 유닛 (104) 은 균일한 수의 비트들 (예컨대, *N* 비트들) 을 부가적인 비트들을 지원할 수 있는 부반송파들의 각각의 부반송파의 성분 비트 로드에 할당할 수도 있다. 다른 구현예에서, 부반송파의 현재 비트 로드 및 상한 비트 로드 임계값 (또는 임계 SNR 마진) 에 의존하여, 차이 비트 로드의 가변하는 수의 비트들은 부가적인 비트들을 지원할 수 있는 부반송파들의 각각의 성분 비트 로드에 할당될 수 있다.

[0128] 일부 구현예들에서, 비트 로드 차이가 비트들의 미리 결정된 수 미만이면, 비트 로드 차이는, 비트 로드 차이의 일부/모든 비트들이 성분 비트 로드들에 할당된 후에도 원래 심볼과 연관된 부반송파들의 성분 비트 로드들이 지원되는 것을 보장하기 위해 (아래에 나타낸 바와 같이) 다음의 원래 심볼의 비트들과 함께 할당될 수도 있다.

예를 들어, 1-비트의 성분 비트 로드를 갖는 제 1 심볼의 부반송파가 (블록 1008 에서) 제거된다면, 비트 로드 차이는 1 비트이다. 1-비트 비트 로드 차이를 제 1 심볼과 연관된 다른 부반송파의 성분 비트 로드에 재할당하는 것은 다른 부반송파의 성분 비트 로드가 지원되지 않을 수도 있는 홀수의 비트들을 가지는 결과를 초래한다. 따라서, 일부 구현예들에서, 비트 로드 차이의 일부/모든 비트들이 성분 비트 로드들에 할당된 후에도 부반송파들의 성분 비트 로드들이 지원되는 (예컨대, 짝수의 비트들이 할당되는) 것을 보장하기 위해 미리 결정된 수의 비트들은 짝수의 비트들 (예컨대, 2 비트들) 일 수도 있다. 비트들의 미리 결정된 수는 송신 네트워크 디바이스 (150) 및 수신 네트워크 디바이스 (160) 에서 지원되는 비트 로드들에 의존하여 비트들의 임의의 적합한 수 일 수 있다는 점에 주의한다. 비트 로드 차이가 *N* 비트들 이상이라고 결정되면, 플로우는 블록 1022 에서 계속된다. 그렇지 않으면, 플로우는 블록 1028 에서 계속된다.

[0129] 블록 1022 에서, 비트 로드 차이의 미리 결정된 수의 비트들이 부가적인 비트 로드를 지원할 수 있는 부반송파의 성분 비트 로드에 할당된다. 예를 들어, 비트 로드 계산 유닛 (104) 은 비트 로드 차이의 미리 결정된 수의 비트들을 부가적인 비트 로드를 지원할 수 있는 부반송파의 성분 비트 로드에 할당할 수 있다. 그러나, 다른 구현예들에서, 블록 1014 에서 부반송파에 할당된 성분 비트 로드에 의존하여, 임의의 적합한 수의 비트들이 할당될 수 있다. 예를 들어, 제 1 부반송파의 제 1 성분 비트 로드가 현재 4 비트들이고 상한 비트 로드 임계값이 6 비트들이면, 비트 로드 계산 유닛 (104) 은 2 개의 부가적인 비트들을 제 1 부반송파의 제 1 성분 비트 로드에 할당할 수 있다. 다른 예로서, 제 1 부반송파의 제 1 성분 비트 로드가 현재 2 비트들이고 상한 비트 로드 임계값이 6 비트이면, 비트 로드 계산 유닛 (104) 은 4 개의 부가적인 비트들을 제 1 부반송파의 제 1 성분 비트 로드에 할당할 수 있다. 다른 구현예들에서, 비트 로드 계산 유닛 (104) 은 부반송파의 제 1 성분 비트 로드의 지식에 기초하여 부가적인 비트들을 부반송파의 제 2 성분 비트 로드에 할당할 수 있다. 예를 들어, 제 1 부반송파와 연관된 10 비트들로 된 원래 비트 로드는 6 비트들이 제 1 부반송파의 제 1 성분 비트 로드에 할당되고 4 비트들이 제 1 부반송파의 제 2 성분 비트 로드에 할당되도록 나뉠 수도 있다. 따라서, 비트 로드 계산 유닛 (104) 은 제 1 부반송파의 제 1 및 제 2 성분 비트 로드들이 동일하도

록 차이 비트 로드의 2 개의 부가적인 비트들을 제 2 성분 비트 로드에 할당할 수 있다. 다른 예로서, 제 2 부반송파와 연관된 6 비트들로 된 원래 비트 로드는 4 비트들이 제 2 부반송파의 제 1 성분 비트 로드에 할당되고 2 비트들이 제 2 부반송파의 제 2 성분 비트 로드에 할당되도록 나뉠 수도 있다. 따라서, 비트 로드 계산 유닛 (104) 은 제 2 부반송파의 제 1 및 제 2 성분 비트 로드들이 동일하도록 차이 비트 로드의 2 개의 부가적인 비트들을 제 2 부반송파의 제 2 성분 비트 로드에 할당할 수 있다. 다른 예로서, 제 3 부반송파와 연관된 8 비트들로 된 원래 비트 로드는 4 비트들이 제 3 부반송파의 제 1 및 제 2 성분 비트 로드들 모두에 할당되도록 나뉠 수도 있다. 따라서, 비트 로드 계산 유닛 (104) 은 제 3 부반송파의 제 1 및 제 2 성분 비트 로드들이 동일하도록, 비트 로드 차이의 2 비트들을 제 3 부반송파의 제 1 및 제 2 성분 비트 로드들 모두에 할당할 수도 있거나, 또는 임의의 부가적인 비트들을 제 3 부반송파의 제 1 및 제 2 성분 비트 로드들에 할당하지 않을 수도 있다. 플로우는 블록 1024 에서 계속된다.

[0130] 블록 1024 에서, 비트 로드 차이가 0 보다 큰지 여부가 결정된다. 예를 들어, 비트 로드 계산 유닛 (104) 은 비트 로드 차이가 0 보다 큰지 여부를 결정한다. 0 과 동일한 차이 비트 로드 (즉, 차이 비트 로드는 0 보다 크지 않음) 는 제거된 부반송파들에 이전에 할당된 모든 비트들이 다른 부반송파들의 성분 비트 로드들에 할당되었음을 나타낸다. 비트 로드 차이가 0 보다 크다고 결정되면, 플로우는 블록 1026 에서 계속된다. 그렇지 않으면, 플로우는 종료된다.

[0131] 블록 1026 에서, 분석될 부가적인 부반송파들이 존재하는지 여부가 결정된다. 분석될 부가적인 부반송파들이 존재한다고 결정되면, 플로우는 블록 1018에서 계속되어서, 부가적인 비트들이 다음의 부반송파의 성분 비트 로드에 할당될 수 있는 다음의 부반송파가 식별된다. 그렇지 않으면, 플로우는 블록 1028 에서 계속된다.

[0132] 블록 1028 에서, 비트 로드 차이는 다음의 원래 심볼에 할당된다. 플로우 1000 은 또한 비트 로드 차이가 부반송파의 성분 비트 로드에 할당될 비트들의 수 미만이라고 결정되면 블록 1020 에서 블록 1028 로 이동한다. 비트 로드 계산 유닛 (104) 은 비트 로드 차이 (또는 제거된 부반송파들로부터 다른 부반송파들의 성분 비트 로드들에 할당될 수 없는 비트들) 가 다음의 심볼의 비트들로 할당될 것임을 나타낼 수 있다. 블록 1028 로부터, 플로우는 종료된다.

[0133] 일부 구현예들에서, 원래 비트 로드가 임계 비트 로드 미만인지 여부를 결정하는 것 (블록 1006) 대신에 (또는 그것에 더하여), 다른 성능 메트릭들은 소정의 부반송파들을 제거할지 여부를 결정하기 위해 분석되고 미리 정의된 성능 메트릭 임계값들과 비교될 수 있다는 점에 주의한다. 예를 들어, 원래 비트 로드에 대응하는 신호 대 잡음 비 (SNR) 마진은 임계 SNR 마진에 대해 비교될 수도 있다. 예를 들어, 비트 로드 계산 유닛 (104) 은 부반송파와 연관된 원래 비트 로드에 대응하는 SNR 마진을 임계 SNR 마진에 대해 비교할 수 있다. 일부 구현예들에서, 임계 SNR 마진은 임계 비트 로드와 연관된 최소 SNR 마진에 기초하여 결정될 수도 있다. 다른 구현예에서, 임계 SNR 마진은 비트 할당 후 필요 최소 SNR 마진 개선에 기초하여 결정될 수도 있다. 예를 들어, 임계 SNR 마진이 7 dB 이면, 7dB 이상의 SNR 마진을 산출하는 부반송파들만이 로딩될 것이다. 임계 SNR 마진을 충족하지 않는 부반송파들은 로딩되지 않을 수도 있고 또는 소수 비트들을 이용하여 로딩될 수도 있다. 그러나, 다른 구현예들에서 다른 성능 메트릭들, 이를 테면 신호 대 간섭 비 (signal to interference ratio; SIR), 반송파 대 간섭 비 (carrier to interference ratio; CIR) 등이 또한 고려될 수 있다는 점에 주의한다.

[0134] 송신 네트워크 디바이스 (150) 와 수신 네트워크 디바이스 (160) 는 임계 SNR 마진, 임계 비트 로드, 제거된 부반송파들의 비트 로드들이 재할당되는 방법 등에 대해 협상하고 합의할 수 있다는 점에 주의한다. 따라서, 송신 네트워크 디바이스 (150) 의 비트 로드 계산 유닛 (104) 이 부반송파들 중 하나를 제거한다면 (예컨대, 부반송파가 임계 SNR 마진을 충족하지 않기 때문임), 수신 네트워크 디바이스 (160) 의 비트 로드 계산 유닛 (120) 은 송신 네트워크 디바이스 (150) 에서 제거되었던 동일한 부반송파를 제거하기 위해 도 10 및 도 11 을 참조하여 설명된 동일한 동작들을 독립적으로 수행할 수 있다. 수신 네트워크 디바이스 (160) 의 비트 로드 계산 유닛 (120) 은 제거된 부반송파의 비트들을 재할당하여 송신 네트워크 디바이스 (150) 에서 생성된 톤 맵과 동일한 톤 맵을 부반송파들에 대해 생성할 수 있으며, 따라서 비트 로드 재구성 유닛 (122) 이 송신 네트워크 디바이스 (150) 의 입력에 제공된 원래 비트 스트림을 정확히 재구성하는 것을 가능하게 할 수 있다. 다르게 말하면, 송신 네트워크 디바이스 (150) 는 패킷들을 재송신하기 위한 비트 할당을 계산하는 반면, 수신 네트워크 디바이스 (160) 는 송신 네트워크 디바이스 (150) 가 송신된 패킷들에서 비트들을 할당할 방법 (및 그러므로 할당해제 동작들을 수행할 방법) 을 독립적으로 결정하기 위해 동일한 비트 할당을 계산한다. 예를 들어, 송신 네트워크 디바이스 (150) 와 수신 네트워크 디바이스 (160) 는 채널 추정 후에 한번 비트 로드를 컴퓨팅할 수도 있고 그 다음 컴퓨팅된 비트 로드를 송신된 패킷에서의 모든 심볼들에 대해 이용할 수도 있다.

일부 구현예들에서, 홀수의 비트들이 재할당될 예정이면, 비트 스터핑 (bit stuffing) 은 비트 로드를 짝수의 비트들로 만들고 톤 맵 로딩 요건들 (예컨대, 임계 SNR 마진 등) 을 충족시키기 위해 구현될 수 있다.

[0135] 마지막으로, 원래 비트 로드는 송신 네트워크 디바이스 (150) 에서의 비트 할당 유닛 (110) 및 수신 네트워크 디바이스 (160) 에서의 비트 추출 유닛 (118) 에 의해 지원되는 비트 로드들에 기초하여 성분 비트 로드들로 나뉜다는 점에 주의한다. 예를 들어, 10 의 비트 로드는 5 비트들이 2 개의 성분 비트 로드들에 각각 할당되도록 나뉠 수 있다. 짝수의 비트 로드들만이 지원되고 홀수의 비트 로드들이 지원되지 않는다면, 10 의 비트 로드는 2 개의 하위 짝수 비트 로드들 - 6 비트들 및 4 비트들로 나뉠 수 있다. 이 개념은 N 개 비트 로드들에 대해 일반화될 수 있어, 비트 로드들인 $L_1 < L_2 < \cdots L_N$ 및 $L_j - L_i \geq 2$이며, 여기서 $j = i + 1$ 이고 $i = 1, 2, \ldots, N\text{-}1$ 이다. 동적 비트 로딩을 위한 동작들이 수학식 4 에서 나타낸 바와 같이 비트 로드를 나눔으로써 실행될 수 있다.

수학식 4

[0136] $$L_i = L_i^{'} + L_i^{''}$$

[0137] 여기서 $L_i^{'} \geq L_i^{''} + 2$ 이다. 비트 로드 $L_i^{'}$ 은 제 1 성분 심볼의 부반송파에 할당되는 제 1 성분 비트 로드이다. 비트 로드 $L_i^{''}$ 은 제 2 성분 심볼의 부반송파에 할당되는 제 2 성분 비트 로드이다. 부반송파와 연관된 2 개의 성분 비트 로드들 전체에 걸쳐 비트 로드들의 균형을 잡기 위해 도 10 및 도 11 을 참조하여 설명된 동작들은 부가적인 비트들을 제 2 성분 심볼에 할당하기 위해 $L_i^{''} + L_k < L_{i_0}$이 되도록 비트 로드 (L_k) 를 결정하는 것을 포함한다.

[0138] 도 13 은 부반송파 당 비트 로딩을 나타내는 원래 OFDM 심볼의 톤 맵 (1300) 을 도시한다. 톤 맵 (1300) 은 부반송파들 (1301, 1302, 1303, 1304, 및 1305) 을 포함하는 다수의 부반송파들을 포함한다. 톤 맵 (1300) 은 10 비트들로 된 원래 비트 로드를 갖는 부반송파들 (1301 및 1302) 을 도시한다. 부반송파 (1303) 는 1 비트의 원래 비트 로드를 갖고, 부반송파 (1304) 는 4 비트들의 원래 비트 로드를 가지며, 부반송파 (1305) 는 2 비트들의 원래 비트 로드를 가진다. 하나의 예에서, 비트 로드 임계값은 6 비트들로 설정될 수도 있다. 그러므로, 이 예에서, 6 미만의 비트들인 원래 비트 로드들을 가지는 부반송파들 (1303, 1304, 및 1305) 은 제거된다. 비트 할당 프로세스 동안, 원래 OFDM 심볼의 톤 맵 (1300) 은 제 1 성분 심볼 및 제 2 성분 심볼과 각각 연관된 2 개의 성분 톤 맵들 (1310 및 1320) 로 스플리팅된다. 톤 맵들 (1300, 1310, 및 1320) 은 제 1 및 제 2 성분 심볼들로부터 부반송파들 (1303, 1304, 및 1305) 을 제거하는 동안, 원래 OFDM 심볼의 n 번째 부반송파 상에서 로딩하는 K-비트가 2 개의 성분 OFDM 심볼들의 n 번째 부반송파로 확산되는 방법을 예시한다. 제거된 부반송파들 (1303, 1304, 및 1305) 은 제 1 성분 심볼 (1310) 및 제 2 성분 심볼 (1320) 에서 "X" 로 마킹된다. 제거되지 않은 부반송파들 (예컨대, 부반송파들 (1301 및 1302)) 상의 원래 비트 로드들은, 도 4 를 참조하여 위에서 설명된 바와 유사하게 2 개의 성분 심볼들 전체에 걸쳐 그것들의 대응하는 부반송파들에 매핑된다. 예를 들어, 원래 OFDM 심볼의 부반송파 (1301) 상의 10 비트들은 6 비트들이 제 1 성분 심볼 (1310) 의 부반송파 (1301) 에 매핑되고 나머지 4 비트들이 제 2 성분 심볼 (1320) 의 부반송파 (1301) 에 매핑되도록 할당된다. 제거된 부반송파들 (1303, 1304, 및 1305) 의 비트 로드는, 이 예에서, 7 비트들인 비트 로드 차이를 구성한다. 비트 로드 차이는 제 2 성분 심볼 (1320) 의 하나 이상의 부반송파들에 할당된다. 도 13 에서, 비트 로드 차이의 7 비트들 중의 2 비트들은 (점선 화살표들로 도시된 바와 같이) 제 2 성분 심볼 (1320) 의 부반송파들 (1301 및 1302) 에 각각 할당된다. 일부 구현예들에서, 나머지 3 비트들은 제 2 성분 심볼 (1320) 의 다른 부반송파들에 할당될 수 있는 반면, 다른 구현예들에서는, 나머지 3 비트들이 후속 심볼의 비트들과 함께 할당될 수 있다.

[0139] 도 1 내지 도 11 을 참조하여 설명된 바와 같은 비트 할당을 위한 동작들은 송신 전력 및 FEC 레이트와 같은 다른 송신 파라미터들을 변화시킴으로써 더 확장될 수 있으며, 이는 아래에서 도 12 를 참조하여 추가 설명될 것이다.

[0140] 도 12 는 SNR 마진에 기초하여 송신 파라미터들을 변화시키기 위한 예의 동작들을 도시하는 흐름도 (1200)

이다. 플로우 1200 은 블록 1202 에서 시작한다.

[0141] 블록 1202 에서, 평균 비트 로드는 원래 심볼과 연관된 복수의 부반송파들 전체에 걸쳐 결정된다. 예를 들어, 도 1 의 비트 할당 유닛의 송신 파라미터들 계산 유닛 (미도시) 은 복수의 부반송파들 전체에 걸쳐 평균 비트 로드를 계산할 수 있다. 평균 비트 로드는 OFDM 심볼의 복수의 부반송파들의 각각과 연관된 비트 로드들의 평균으로서 결정될 수도 있다. 플로우는 블록 1204 에서 계속된다.

[0142] 블록 1204 에서, 평균 비트 로드에 대응하는 평균 신호 대 잡음 비 (SNR) 마진이 결정된다. 예를 들어, 비트 할당 유닛 (110) 은 평균 비트 로드에 대응하는 평균 SNR 마진을 결정할 수 있다. 평균 비트 로드에 대응하는 평균 SNR 마진은 송신 네트워크 디바이스 (150) 및 수신 네트워크 디바이스 (160) 에 의해 수행되는 채널 추정에 기초하여 결정될 수 있다. 예를 들어, 채널 추정에 기초하여, 잡음 플로어가 결정될 수 있다. 따라서, 결정된 잡음 플로어를 극복하기 위해 요구된 평균 SNR 마진이 계산될 수도 있다. 플로우는 블록 1206 에서 계속된다.

[0143] 블록 1206 에서, 평균 SNR 마진에 기초하여, 송신 전력이 감소되어야 하는지 여부가 결정된다. 예를 들어, 비트 할당 유닛 (110) 은, 평균 비트 로드에 대응하는 평균 SNR 마진에 적어도 부분적으로 기초하여 송신 전력이 감소되어야 하는지 여부를 결정할 수 있다. 송신될 심볼과 연관된 평균 SNR 마진이 임계 SNR 마진보다 크다면, 송신 네트워크 디바이스 (150) 및 수신 네트워크 디바이스 (160) 사이에서 더 낮은 송신 전력으로 송신하고 통신 링크의 무결성을 여전히 보존하는 것이 가능할 수도 있다. 송신 전력이 감소되어야 하는지 여부를 결정하기 위해, 비트 할당 유닛 (110) 은 통신 채널의 잡음 플로어를 계산하고, 평균 SNR 마진 및 잡음 플로어 사이의 차이를 결정하며, 계산된 차이가 임계 SNR 마진 미만인지 여부를 결정할 수 있다. 예를 들어, 12 비트들의 평균 비트 로드를 갖는 통신 채널은 33dB의 SNR 요건에 대응할 수도 있다. 버스티 (bursty) 광대역 간섭자 (interferer) 는 5dB 잡음 플로어 상승을 초래할 수도 있다. 동적 비트 할당은 6 비트들의 평균 비트 로드가 15dB 의 SNR 요건에 대응할 수도 있는 부반송파들에 할당되는 결과가 생기게 할 수 있다. 이는 18dB (예컨대, 33dB - 15dB) 의 SNR 마진을 생기게 하며, 이는 5dB 잡음 플로어를 넘는다. 18dB 의 SNR 마진은 수신 네트워크 디바이스 (160) 가 부반송파 주파수들에서 18dB 더 많은 잡음 또는 18dB 더 깊은 페이드 (deeper fade) 까지 허용할 수 있다는 것을 나타낸다. 따라서, 잡음 플로어가 변경되지 않는다고 가정하여 6dB 더 낮은 송신 전력으로 송신하고 여전히 원하는 통신 링크 성능을 달성하는 것이 가능하게 될 것이다. 동적 비트 할당 기법은 임의의 적합한 정적 또는 동적 전력 조정 스킴들에 연계하여 이용될 수 있다는 점에 주의한다. 송신 전력이 감소되어야 한다고 결정된다면, 플로우는 블록 1208 에서 계속된다. 그렇지 않으면, 플로우는 블록 1210 에서 계속된다.

[0144] 블록 1208 에서, 하나 이상의 재송신 패킷들이 송신되게 할 송신 전력은 감소된다. 예를 들어, 비트 할당 유닛 (110) 은 송신 유닛 (112) 이 송신 전력을 감소시키도록 할 수 있다. 일부 구현예들에서, 비트 할당 유닛 (110) 은 도 2의 전력 증폭기 (214) 가 송신 전에 OFDM 신호에 인가되는 이득을 감소시키게 할 수 있다. 일부 구현예들에서, 송신 전력은 미리 결정된 팩터만큼 (예컨대, 3dB 만큼) 감소될 수도 있다. 다른 구현들에서, 송신 전력은 새로운 평균 SNR 마진이 임계 SNR 마진과 동일하도록 감소될 수도 있다. 낮은 전력에서 송신함으로써, 송신 네트워크 디바이스 (150) 는 다른 이웃하는 네트워크 디바이스들 (예컨대, 수신 네트워크 디바이스 (160)) 에 대한 그것의 간섭을 줄일 수 있으며, 따라서 네트워크 성능을 향상시킨다. 낮은 송신 전력에서 송신하는 것은 또한 송신 경로에서 동적 소비 전력을 낮추는 결과를 가져올 수 있다. 플로우는 블록 1210 에서 계속된다.

[0145] 블록 1210 에서, 순방향 에러 정정 (FEC) 레이트가 변화되어야 하는지 여부가 결정된다. 예를 들어, 비트 할당 유닛 (104) 은 FEC 레이트가 변화되어야 하는지 여부를 결정한다. 일부 구현예들에서, 비트 할당 (104) 은 송신 네트워크 디바이스 (150) 및 수신 네트워크 디바이스 (160) 가 다수의 FEC 레이트들을 지원하는지 여부 및 송신 네트워크 디바이스 (150) 및 수신 네트워크 디바이스 (160) 가 FEC 레이트를 변화시키기 위해 메커니즘을 협상하였는지 여부를 먼저 결정할 수 있다. FEC 레이트는 통신 링크의 장애허용력 (resilience) 에 영향을 준다. 따라서, 비트 할당 유닛 (110) 은 통신 링크의 신뢰도에 기초하여 FEC 레이트가 변화되어야 하는지 여부를 결정할 수 있다. 다수의 FEC 레이트들이 지원되면, 비트 로드 계산 유닛 (104) 은 더 낮은 FEC 레이트가 원래 심볼을 2 개의 성분 심볼들에 할당하는 것을 지원할 수 있는지 여부를 결정할 수 있다. 예를 들어, 송신 네트워크 디바이스 (150) 는 세 개의 FEC 레이트들 - 평균 통신 채널을 위한 16/21, 깨끗한 통신 채널을 위한 8/9, 및 열악한 통신 채널을 위한 1/2 을 지원할 수도 있다. FEC 레이트가 16/21 에서 8/9 로 감소된다면, 평균 SNR 마진은 3dB 만큼 감소될 수도 있다. 그러나, 원래 비트 스트림을 8/9 FEC 레이트에서 프로세싱하는 것은 6 개 송신된 심볼들 당 하나의 송신 심볼의 감소에 대응하는 심볼 당 비트들이

16.67% 더 많아지는 결과가 생기게 한다. 이는 결국 송신 지속시간이 더 짧아지는 결과를 가져온다. 다른 예로서, FEC 레이트가 16/21 에서 1/2 로 증가된다면, 평균 SNR 마진은 5dB 만큼 증가할 수도 있다. 그러나, 원래 비트 스트림을 1/2 FEC 레이트에서 프로세싱하는 것은 두 배 많은 심볼들이 송신되는 결과를 가져오며, 이는 송신 지속시간을 증가시킨다. 비트 로드 계산 유닛 (104) 은 새로운 FEC 레이트를 SNR 마진에 기초하여, 통신 링크의 신뢰도, 송신 전력 레벨에 기초하여, 그리고 송신 네트워크 디바이스 (150) 및 수신 네트워크 디바이스 (160) 에 의해 지원되는 FEC 레이트들에 기초하여 결정할 수 있다. FEC 레이트가 변화되어야 한다고 결정되면, 플로우는 블록 1212 에서 계속된다. 그렇지 않으면, 플로우는 종료된다.

[0146] 블록 1212 에서, FEC 레이트는 변화된다. 예를 들어, 비트 할당 유닛 (104) 은 송신 네트워크 디바이스 (150) 의 FEC 인코딩 유닛 (도시되지 않았지만 도 2 의 비트 프로세싱 유닛 (201) 의 부분으로서 구현될 수도 있음) 이 FEC 레이트를 변화시키도록 할 수 있다. 블록 1212 에서, 플로우는 종료된다.

[0147] 도 1 내지 도 13 은 실시형태들을 이해하는 것을 돕기 위해 의도된 예들이고 실시형태들을 제한하거나 또는 청구항들의 범위를 제한하기 위해 이용되지 않아야 한다는 것을 이해해야 한다. 실시형태들은 부가적인 동작들, 더 적은 동작들, 다른 순서의 동작들, 병렬의 동작들, 및 일부 동작들을 다르게 수행할 수도 있다. 예를 들어, 비록 도 1 내지 도 13 이 전력선 통신들을 위해 구현된 동적 비트 할당을 위한 동작들을 설명하지만, 실시형태들은 그렇게 제한되지는 않는다. 본원에서 설명되는 동작들은 강한 광대역 버스트 간섭 또는 장애들에 맞닥뜨리는 무선 OFDM 모뎀들, WLAN 무선 인터페이스들, 디지털 무선 시스템들 등을 포함하지만 이것들로 제한되지는 않는 임의의 OFDM 기반 시스템에 의해 구현될 수도 있으며, 이로 인해 신호 에너지는 넓은 주파수 대역에 대해 그리고 다수의 심볼들에 대해 줄어든다. 더구나, 동적 비트 할당은 또한 다중 대역 다중 반송파 시스템들에 적용될 수 있다. 예를 들어, 파형은 다수의 주파수 대역들 (예컨대, 2.4GHz 및 5GHz 대역) 을 포함할 수도 있다. 각각의 주파수 대역은 상이한 전력 레벨들로 송신될 수도 있으며 주파수 대역들의 각각에서의 다른 신호 에너지들 때문에 결과적으로 각각의 주파수 대역에 대해 최대 비트 로드 능력이 달라지게 된다. 본원에서 설명된 바와 같은 동적 비트 할당을 위한 동작들은 각각의 주파수 대역의 각각의 부반송파에 대해 원하는 SNR 마진 이득들을 획득하기 위해 각각의 주파수 대역에 대해 독립적으로 실행될 수 있다.

[0148] 비록 도 1 및 도 2 가 FEC 인코딩 및 인터리빙이 다수의 성분 심볼들 전체에 걸친 비트 할당 전에 수행됨을 설명하고 있지만, 실시형태들은 그렇게 제한되지는 않는다. 일부 구현예들에서, 다수의 성분 심볼들 전체에 걸친 비트 할당은 FEC 인코딩 및 인터리빙 전에 수행될 수도 있다. 다르게 말하면, 비트 할당 유닛 (110) 은 원래 비트 스트림을 2 개의 성분 비트 스트림들로 스플리팅하고 2 개의 성분 비트 스트림들을 비트 프로세싱 유닛 (201) 에 의한 후속 프로세싱을 위해 제공할 수 있다. 비트 프로세싱 유닛 (201) 은 2 개의 성분 비트 스트림들을 FEC 인코딩, 인터리빙 등을 할 수 있다. 송신 네트워크 디바이스 (150) 와 수신 네트워크 디바이스 (160) 는 수신 네트워크 디바이스 (160) 에서의 적절한 재구성을 가능하게 하기 위해 동작들의 시퀀스 (예컨대, FEC 및 인터리빙이 비트 할당 전에 또는 뒤따라서 수행되어야 하는지 여부) 에 합의할 수 있다는 점에 주의한다.

[0149] 도 1 내지 도 13 을 참조하여 설명된 동작들은 또한 이웃 네트워크 완화 스킴에 채용될 수 있으며 이로 인해 각각의 네트워크의 통신 레이트들은 절반이 될 수 있고 따라서 부반송파 당 개선된 SNR 마진 때문에 통신 매체 (예컨대, 전력선 통신 매체) 에서 더 큰 수의 이웃 네트워크들 (예컨대, 전력선 네트워크들) 에 대한 지원을 증가시킨다. 예를 들어, 공동 주택 (MDU) 환경은 다수의 독립적인 이웃하는 전력선 네트워크들 또는 이웃 네트워크들을 포함할 수 있다. 마지막으로, 일부 구현예들에서, 필요 SNR 마진은 설정될 수도 있고 동적 비트 할당은 필요 SNR 마진을 충족하기 위해 수행될 수도 있다는 점에 또한 주의한다. 필요 SNR 마진은 도 10 및 도 11 을 참조하여 위에서 설명된 바와 같은 평균 요구된 SNR에 기초하여 결정될 수 있다.

[0150] 다른 실시형태들에서 다른 기법들이 비트 로드 밸런싱 (balancing) 을 위해 구현될 수 있다는 점에 또한 주의한다. 일부 실시형태들에서, 비트 로드 밸런싱을 위해, 비트 로드 계산 유닛 (104) 은 비트들의 스트림으로서 각각의 부반송파에 이전에 매핑된 비트들을 고려할 수 있고 비트들을 성분 심볼들의 각각의 부반송파에 그리고 그 비트들이 원래 할당되었던 부반송파에 무관하게 재할당할 수 있다. 다르게 말하면, 어느 부반송파들이 제거될 것인지를 결정한 후, 각각의 부반송파에 이전에 매핑된 비트들은 비트들의 스트림으로서 고려될 수 있고, 이들 비트들은 성분 심볼들의 각각에 대해 제거되지 않을 부반송파들에 재할당될 수 있다.

[0151] 마지막으로, 비록 도 12 가 FEC 를 변화시키기 전에 송신 전력을 변화시키는 동작들을 도시하지만, 실시형태들은 그렇게 제한되지 않는다는 점에 주의한다. 다른 구현예들에서, FEC 레이트는 송신 전력을 변화시키는 것에 독립적으로 변화될 수도 있다. 더욱이, 다른 구현예들에서, FEC 레이트는 송신 전력을 변화시키기 전에

변화될 수도 있고 송신 전력이 변화되는 팩터는 새로운 FEC 레이트에 의존할 수도 있다.

[0152] 실시형태들은 본원에서는 모두가 일반적으로 "회로", "모듈" 또는 "시스템"이라고 지칭될 수도 있는 완전히 하드웨어 실시형태, 완전히 소프트웨어 실시형태 (펌웨어, 상주 소프트웨어, 마이크로-코드 등을 포함) 또는 소프트웨어 및 하드웨어 양태들을 조합하는 실시형태의 형태를 취할 수도 있다. 더욱이, 본 발명의 주제의 실시형태들은 매체에 수록된 컴퓨터 사용가능 프로그램 코드를 갖는 표현식 (expression) 의 임의의 유형의 매체에 수록된 컴퓨터 프로그램 제품의 형태를 취할 수도 있다. 설명된 실시형태들은 모든 상상할 수 있는 변형이 본원에서 열거되지 않았으므로 현재 설명되든지 또는 아니든지 간에, 실시형태들에 따른 프로세스를 수행하기 위해 컴퓨터 시스템 (또는 다른 전자 디바이스(들)) 을 프로그램하는데 이용될 수도 있는 명령들을 저장하고 있는 머신 판독가능 매체를 포함할 수도 있는 컴퓨터 프로그램 제품, 또는 소프트웨어로서 제공될 수도 있다. 머신 판독가능 매체는 머신 (예컨대, 컴퓨터) 에 의해 판독가능한 형태 (예컨대, 소프트웨어, 프로세싱 애플리케이션) 로 정보를 저장하거나 송신하는 임의의 메커니즘을 구비한다. 머신 판독가능 매체는 비일시적 머신 판독가능 저장 매체, 또는 일시적 머신 판독가능 신호 매체일 수도 있다. 머신 판독가능 저장 매체는, 예를 들어, 자기 저장 매체 (예컨대, 플로피 디스켓); 광 저장 매체 (예컨대, CD-ROM); 자기-광 저장 매체; 판독 전용 메모리 (ROM); 랜덤 액세스 메모리 (RAM); 소거가능 프로그램가능 메모리 (예컨대, EPROM 및 EEPROM); 플래시 메모리; 또는 전자 명령들을 저장하기에 적합한 다른 유형들의 유형의 매체를 포함할 수도 있지만 그것들로 제한되지 않는다. 머신 판독가능 신호 매체는 컴퓨터 판독가능 프로그램 코드가 그 속에 포함된 전파되는 데이터 신호, 예를 들어, 전기적, 광학적, 음향학적, 또는 다른 형태의 전파되는 신호 (예컨대, 반송파들, 적외선 신호들, 디지털 신호들 등) 을 포함할 수도 있다. 머신 판독가능 매체에 수록된 프로그램 코드는 와이어라인, 무선, 광섬유 케이블, RF, 또는 다른 통신 매체를 포함하지만 그것들로 제한되지는 않는 임의의 적합한 매체를 이용하여 송신될 수도 있다.

[0153] 실시형태들의 동작들을 수행하기 위한 컴퓨터 프로그램 코드는 Java, Smalltalk, C++ 등과 같은 객체 지향 프로그래밍 언어와 기존의 절차적 프로그래밍 언어들, 이를테면 "C" 프로그래밍 언어 또는 유사한 프로그래밍 언어들을 포함한 하나 이상의 프로그래밍 언어들의 임의의 조합으로 쓰여질 수도 있다. 프로그램 코드는 사용자의 컴퓨터 상에서 완전히, 사용자의 컴퓨터 상에서 부분적으로, 독립실행형 (stand-alone) 소프트웨어 패키지로서, 사용자의 컴퓨터 상에서 부분적으로 그리고 원격 컴퓨터 상에서 부분적으로, 또는 원격 컴퓨터 또는 서버 상에서 완전히 실행될 수도 있다. 후자의 시나리오에서, 원격 컴퓨터는 사용자의 컴퓨터에, 로컬 영역 네트워크 (LAN), 개인 영역 네트워크 (PAN), 또는 광역 네트워크 (WAN) 를 포함한 임의의 유형의 네트워크를 통해 접속될 수도 있거나, 또는 이 접속은 외부 컴퓨터에 대해 (예를 들어, 인터넷 서비스 제공자를 이용하는 인터넷을 통해) 이루어질 수도 있다.

[0154] 도 14 는 동적 비트 할당을 위한 메커니즘을 포함하는 전자 디바이스 (1400) 의 하나의 실시형태의 블록도이다. 일부 구현예들에서, 전자 디바이스 (1400) 는 개인용 컴퓨터 (PC), 랩톱, 넷북, 모바일 폰, 개인 휴대 정보 단말기 (PDA), 스마트 가전, 또는 유선 네트워크 (예컨대, 전력선 네트워크 또는 이더넷 네트워크) 또는 무선 통신 네트워크 (예컨대, WLAN) 를 통해 통신하도록 구성된 다른 전자 시스템들일 수도 있다. 전자 디바이스 (1400) 는 (아마도 다수의 프로세서들, 다수의 코어들, 다수의 노드들을 포함하며, 그리고/또는 멀티 스레드를 구현하는 등의) 프로세서 디바이스 (1402) 를 구비한다. 전자 디바이스 (1400) 는 메모리 유닛 (1406) 을 구비한다. 메모리 유닛 (1406) 은 시스템 메모리 (예컨대, 캐시, SRAM, DRAM, 제로 커패시터 RAM, 트윈 (Twin) 트랜지스터 RAM, eDRAM, EDO RAM, DDR RAM, EEPROM, NRAM, RRAM, SONOS, PRAM 등 중 하나 이상) 또는 머신-판독가능 매체들의 위에서 이미 설명된 가능한 실현물들 중 임의의 하나 이상일 수도 있다. 전자 디바이스 (1400) 는 또한 버스 (1410) (예컨대, PCI, ISA, PCI-Express, HyperTransport®, InfiniBand®, NuBus, AHB, AXI 등) 와, 적어도 하나의 유선 네트워크 인터페이스 (예컨대, 전력선 통신 인터페이스) 또는 무선 네트워크 인터페이스 (예컨대, WLAN 인터페이스, Bluetooth® 인터페이스, 와이맥스 인터페이스, ZigBee® 인터페이스, 무선 USB 인터페이스 등) 를 포함하는 네트워크 인터페이스들 (1404) 을 포함한다.

[0155] 전자 디바이스 (1400) 는 또한 통신 유닛 (1408) 을 구비한다. 통신 유닛 (1408) 은 유선 통신 디바이스 (예컨대, 전력선 디바이스 또는 이더넷 디바이스), 또는 무선 통신 디바이스들 (예컨대, WLAN 디바이스) 을 포함할 수도 있다. 통신 유닛 (1408) 은 송신 디바이스 (1420) 및 수신 디바이스 (1422) 를 포함한다. 송신 디바이스 (1420) 는 비트 할당 유닛 (1424) 을 포함한다. 수신 디바이스 (1422) 는 비트 추출 유닛 (1426) 을 포함한다. 송신 디바이스 (1420) 는 도 1 내지 도 13 에 따라 설명된 바와 같이 2 개 이상의 성분 심볼들 전체에 걸쳐 그리고 하나 이상의 재송신 패킷들 전체에 걸쳐, 실패한 송신 패킷의 원래 심볼들의 비

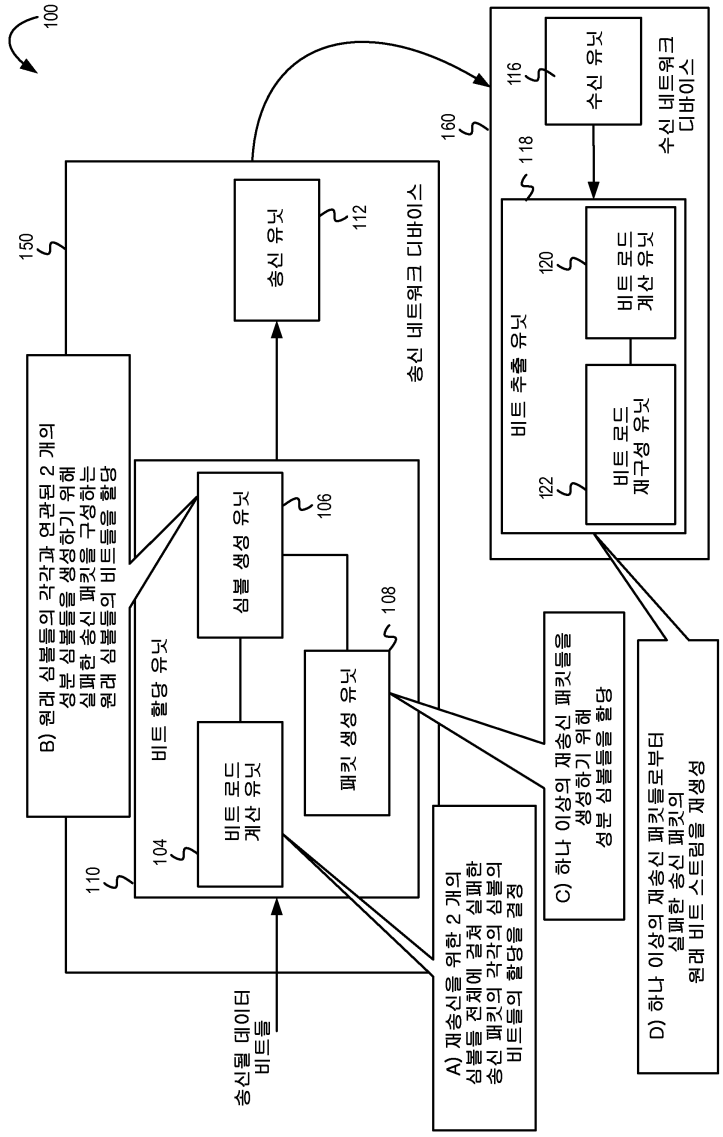
트들을 (균형잡힌 비트 할당 프로세스를 구현하여 또는 구현하는 일 없이) 동적으로 할당하는 동작들을 수행한다. 수신 디바이스 (1422) 는 또한 원래 비트 스트림을 재생성하기 위해 하나 이상의 재송신 패킷들의 비트들을 재정렬하는 도 1 내지 도 13 을 참조하여 설명된 리버스 동작들을 수행한다. 일부 실시형태들에서, 통신 유닛 (1408) 은 동일한 집적회로 (예컨대, 시스템 온 칩) 에 또는 전자 디바이스 (1400) 내의 동일한 회로 보드에 2 개 이상의 유선 또는 무선 통신 디바이스들을 구비할 수도 있다. 예를 들어, 통신 유닛 (1408) 은 전력선 디바이스, WLAN 디바이스, 및/또는 블루투스 디바이스를 구비할 수 있다.

[0156] 실시형태들이 갖가지 구현예들 및 개발들을 참조하여 설명되었지만, 이들 실시형태들은 예시적인 것이고 본 발명의 주제의 범위는 그것들로 제한되지 않는다는 것이 이해될 것이다. 일반적으로, 본원에서 설명된 바와 같은 버스트 간섭의 영향을 받는 네트워크들에 대한 동적 비트 할당을 위한 기법들은 임의의 하드웨어 시스템 또는 하드웨어 시스템들에 일치하는 설비들로 구현될 수도 있다. 많은 개조들, 변형들, 부가들, 및 개량들이 가능하다.

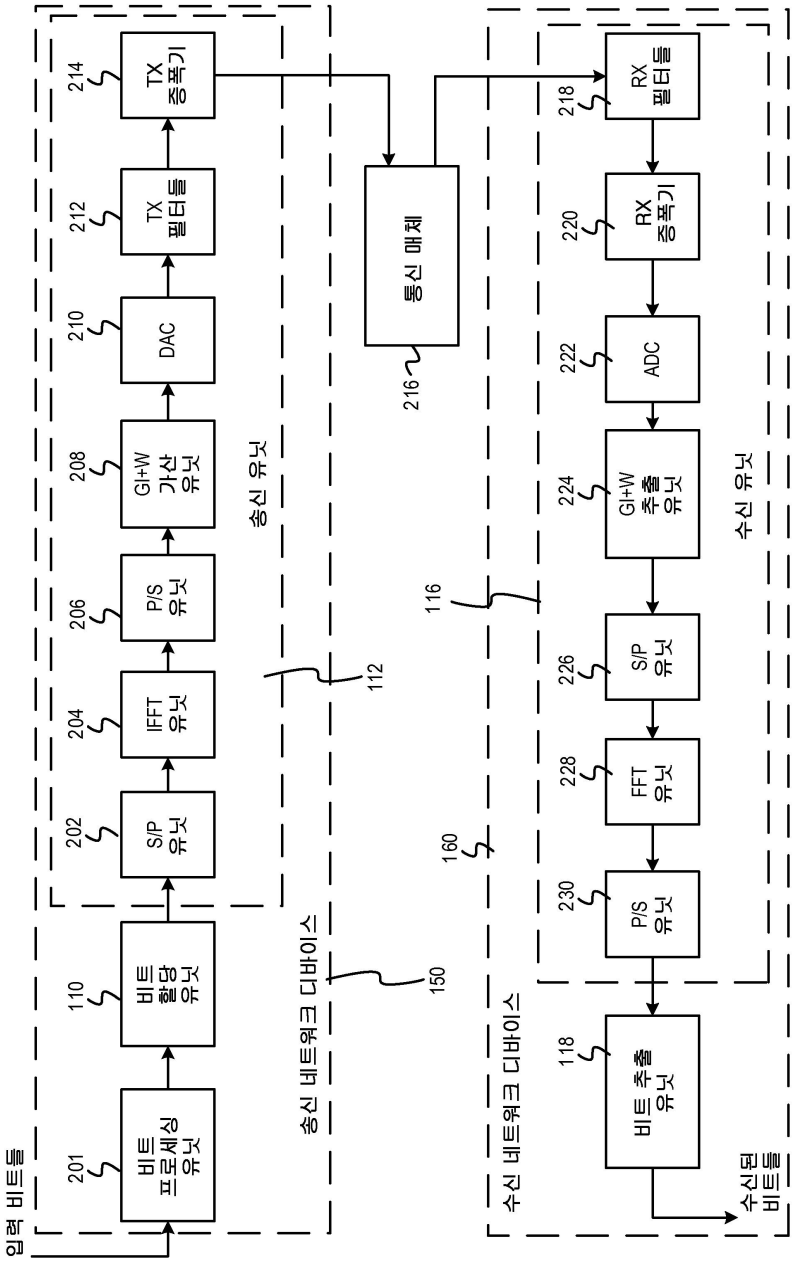
[0157] 복수의 사례들이 단일 사례로서 본원에서 설명된 구성요소들, 동작들, 또는 구조들을 위해 제공될 수도 있다. 끝으로, 갖가지 구성요소들, 동작들, 및 데이터 스토리지 사이의 경계들은 다소 독단적이고, 특정한 동작들은 특정 예시적인 구성들의 측면에서 예시된다. 기능성의 다른 할당들이 생각되어질 수 있고 본 발명의 주제의 범위 내에 속할 수도 있다. 일반적으로, 예시적인 구성들에서의 개별 구성요소들로서 제시된 구조들 및 기능성은 조합된 구조 또는 구성요소로서 구현될 수도 있다. 마찬가지로, 단일 구성요소로서 제시된 구조들 및 기능성은 별개의 구성요소들로서 구현될 수도 있다. 이들 및 다른 개조들, 변형들, 부가들, 및 개량들은 본 발명의 주제의 범위 내에 속할 수도 있다.

도면

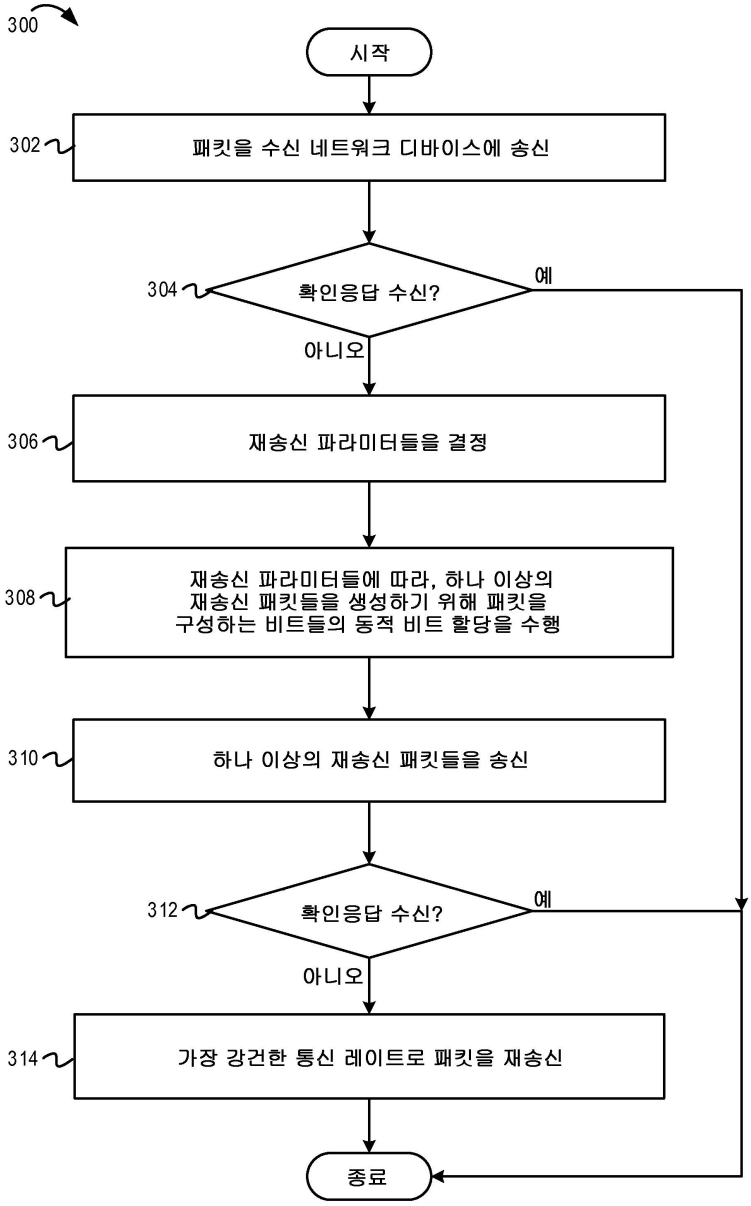
도면1


100
150
송신 네트워크 디바이스
송신 유닛
112
비트 할당 유닛
104
비트 로드 계산 유닛
심볼 생성 유닛
106
패킷 생성 유닛
108
110
160
수신 네트워크 디바이스
수신 유닛
116
118
비트 추출 유닛
120
비트 로드 계산 유닛
122
비트 로드 재구성 유닛
송신될 데이터 비트들
A) 재송신을 위한 2 개의 심볼들 전체에 걸쳐 실패한 송신 패킷의 각각의 심볼의 비트들의 할당을 결정
B) 원래 심볼들의 각각과 연관된 2 개의 성분 심볼들을 생성하기 위해 실패한 송신 패킷을 구성하는 원래 심볼들의 비트들을 할당
C) 하나 이상의 재송신 패킷들을 생성하기 위해 성분 심볼들을 할당
D) 하나 이상의 재송신 패킷들로부터 실패한 송신 패킷의 원래 비트 스트림을 재생성

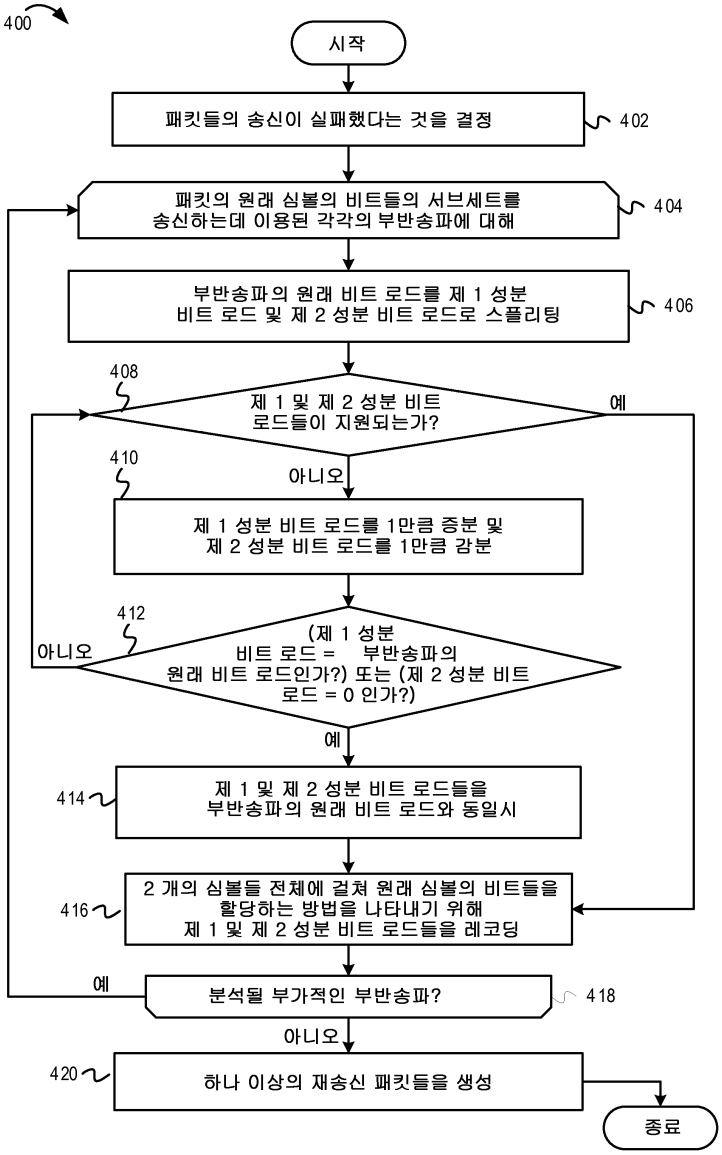
도면2


입력 비트들
201
비트 프로세싱 유닛
110
비트 할당 유닛
송신 네트워크 디바이스
150
202
S/P 유닛
204
IFFT 유닛
206
P/S 유닛
208
GI+W 가산 유닛
송신 유닛
112
210
DAC
212
TX 필터들
214
TX 증폭기
216
통신 매체
116
160
수신 네트워크 디바이스
218
RX 필터들
220
RX 증폭기
222
ADC
224
GI+W 추출 유닛
수신 유닛
226
S/P 유닛
228
FFT 유닛
230
P/S 유닛
118
비트 추출 유닛
수신된 비트들

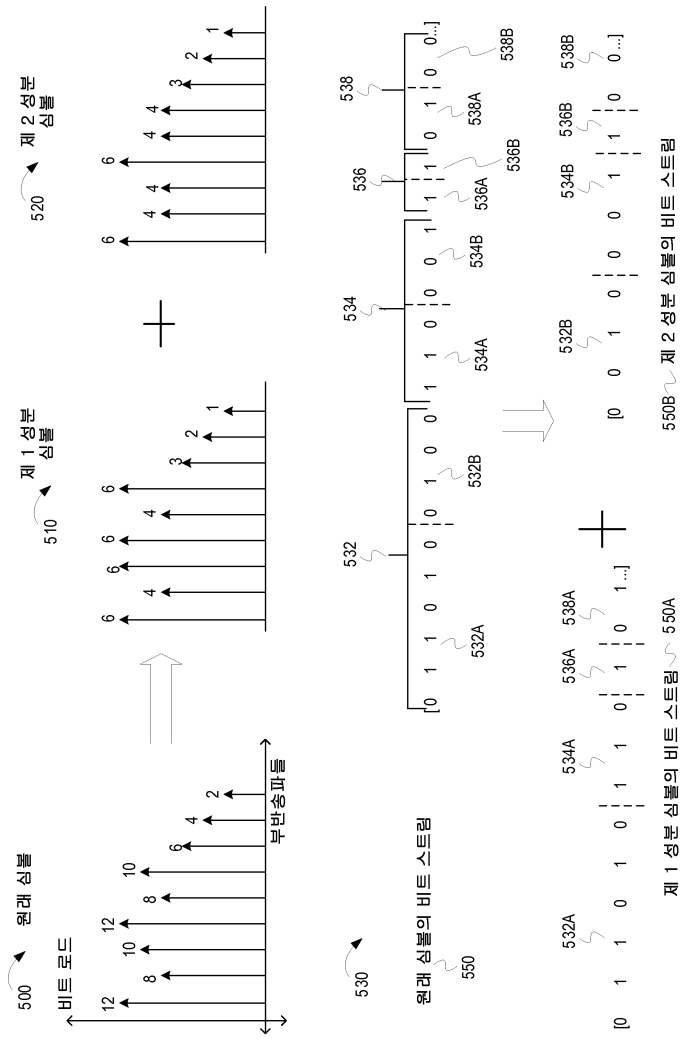
도면3


300
시작
302
패킷을 수신 네트워크 디바이스에 송신
304
확인응답 수신?
예
아니오
306
재송신 파라미터들을 결정
308
재송신 파라미터들에 따라, 하나 이상의 재송신 패킷들을 생성하기 위해 패킷을 구성하는 비트들의 동적 비트 할당을 수행
310
하나 이상의 재송신 패킷들을 송신
312
확인응답 수신?
예
아니오
314
가장 강건한 통신 레이트로 패킷을 재송신
종료

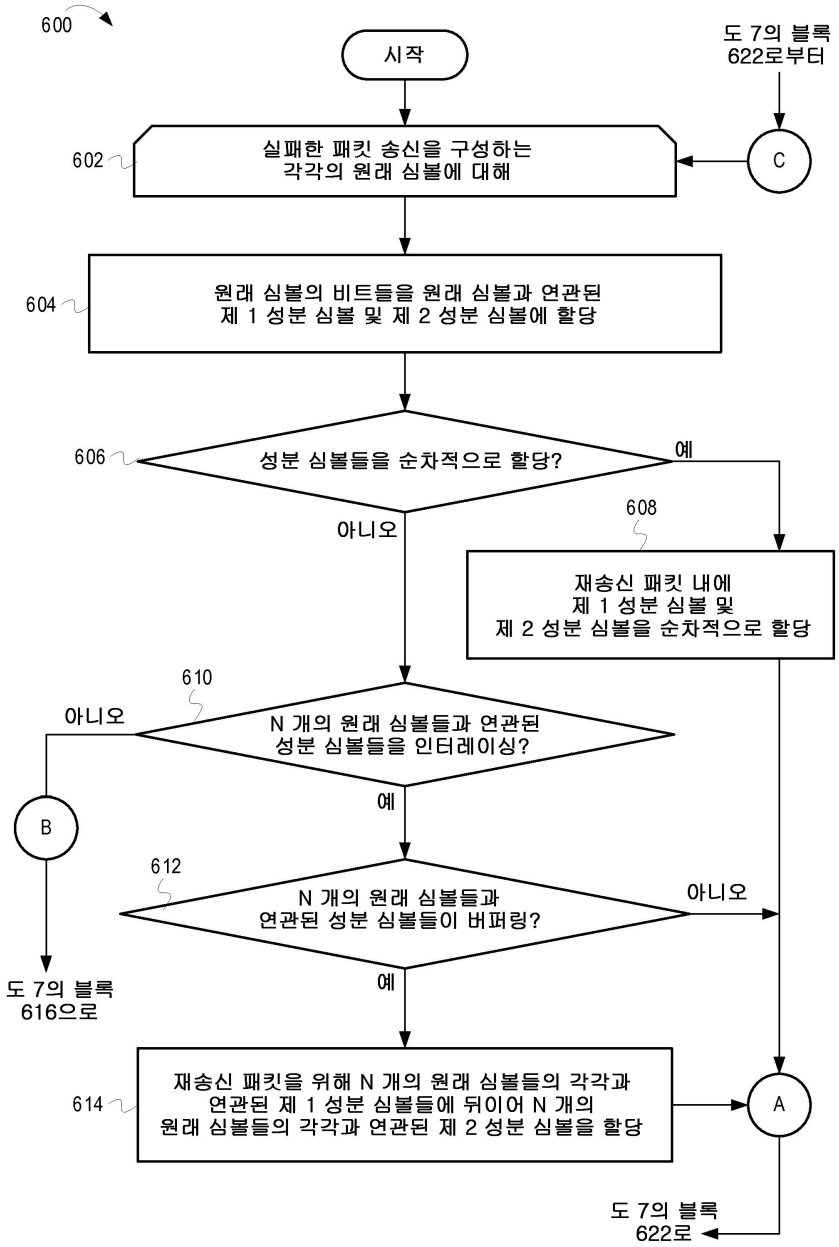
도면4


400
시작
패킷들의 송신이 실패했다는 것을 결정
402
패킷의 원래 심볼의 비트들의 서브세트를 송신하는데 이용된 각각의 부반송파에 대해
404
부반송파의 원래 비트 로드를 제 1 성분 비트 로드 및 제 2 성분 비트 로드로 스플리팅
406
408
제 1 및 제 2 성분 비트 로드들이 지원되는가?
예
아니오
410
제 1 성분 비트 로드를 1만큼 증분 및 제 2 성분 비트 로드를 1만큼 감분
412
아니오
(제 1 성분 비트 로드 = 부반송파의 원래 비트 로드인가?) 또는 (제 2 성분 비트 로드 = 0 인가?)
예
414
제 1 및 제 2 성분 비트 로드들을 부반송파의 원래 비트 로드와 동일시
416
2 개의 심볼들 전체에 걸쳐 원래 심볼의 비트들을 할당하는 방법을 나타내기 위해 제 1 및 제 2 성분 비트 로드들을 레코딩
예
분석될 부가적인 부반송파?
418
아니오
420
하나 이상의 재송신 패킷들을 생성
종료

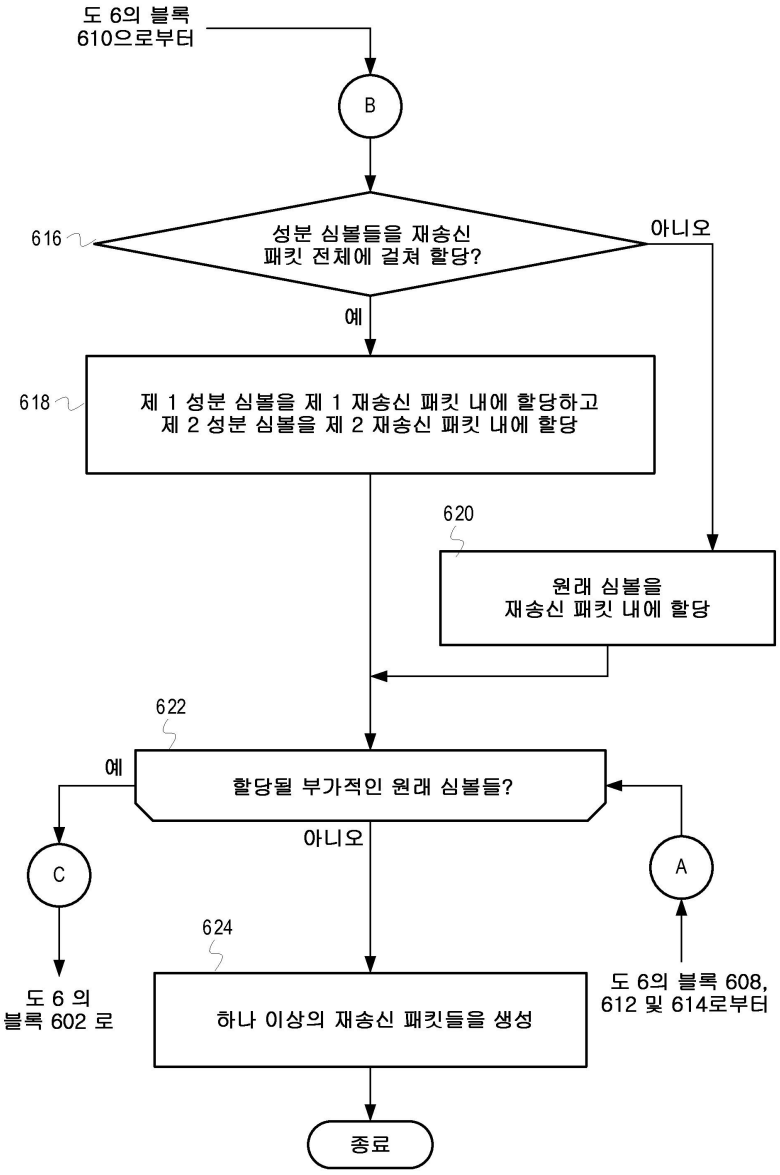
도면5


500
원래 심볼
비트 로드
부반송파들
510
제 1 성분
심볼
520
제 2 성분
심볼
530
원래 심볼의 비트 스트림
550
532
532A
532B
534
534A
534B
536
536A
536B
538
538A
538B
550A
제 1 성분 심볼의 비트 스트림
550B
제 2 성분 심볼의 비트 스트림

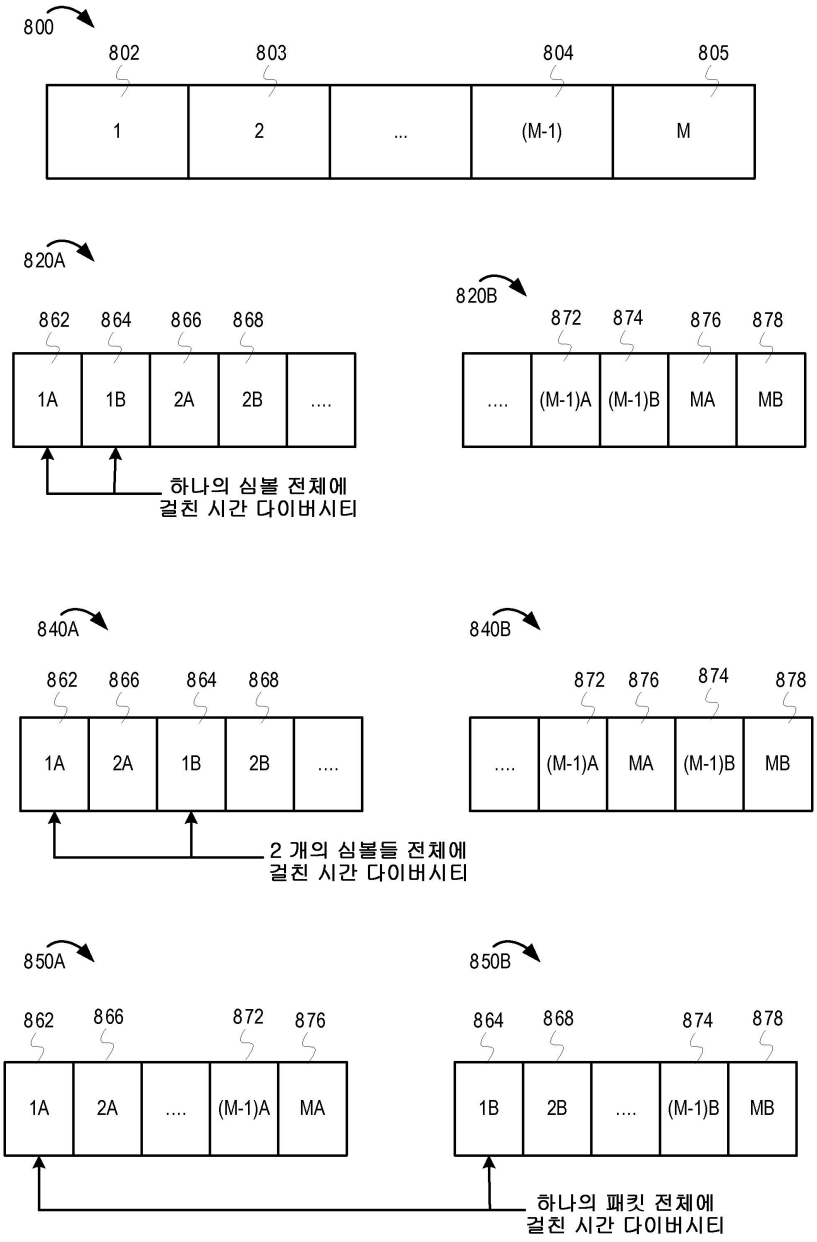
도면6


600
시작
도 7의 블록
622로부터
C
602
실패한 패킷 송신을 구성하는
각각의 원래 심볼에 대해
604
원래 심볼의 비트들을 원래 심볼과 연관된
제 1 성분 심볼 및 제 2 성분 심볼에 할당
606
성분 심볼들을 순차적으로 할당?
예
아니오
608
재송신 패킷 내에
제 1 성분 심볼 및
제 2 성분 심볼을 순차적으로 할당
610
아니오
N 개의 원래 심볼들과 연관된
성분 심볼들을 인터레이싱?
예
B
612
N 개의 원래 심볼들과
연관된 성분 심볼들이 버퍼링?
아니오
예
도 7의 블록
616으로
614
재송신 패킷을 위해 N 개의 원래 심볼들의 각각과
연관된 제 1 성분 심볼들에 뒤이어 N 개의
원래 심볼들의 각각과 연관된 제 2 성분 심볼을 할당
A
도 7의 블록
622로

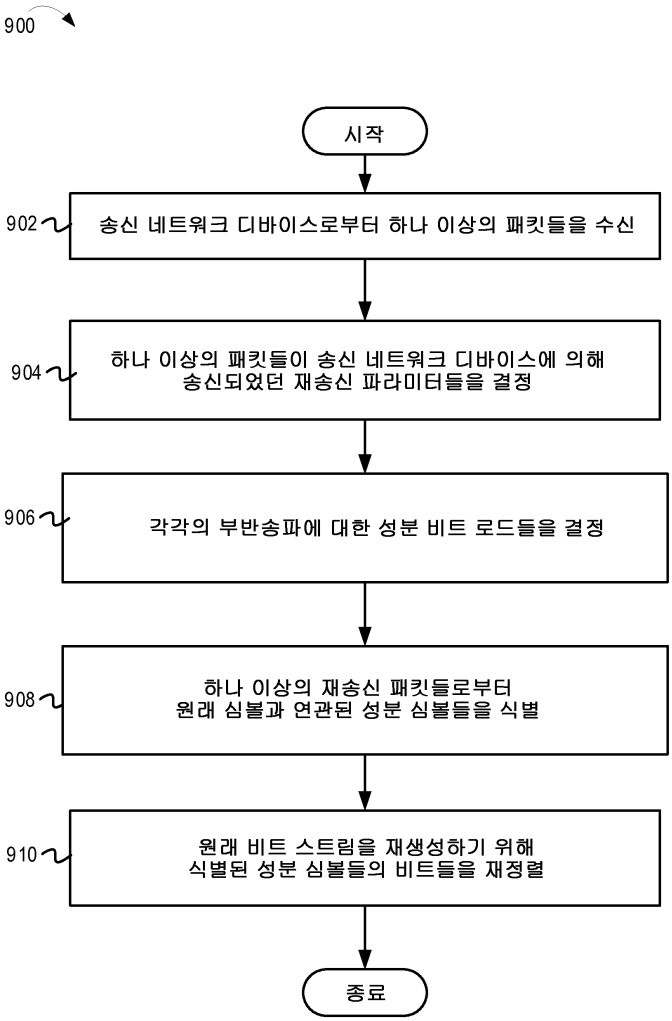
도면7


도 6의 블록
610으로부터
B
616
성분 심볼들을 재송신
패킷 전체에 걸쳐 할당?
아니오
예
618
제 1 성분 심볼을 제 1 재송신 패킷 내에 할당하고
제 2 성분 심볼을 제 2 재송신 패킷 내에 할당
620
원래 심볼을
재송신 패킷 내에 할당
622
예
할당될 부가적인 원래 심볼들?
아니오
C
A
624
도 6 의
블록 602 로
하나 이상의 재송신 패킷들을 생성
도 6의 블록 608,
612 및 614로부터
종료

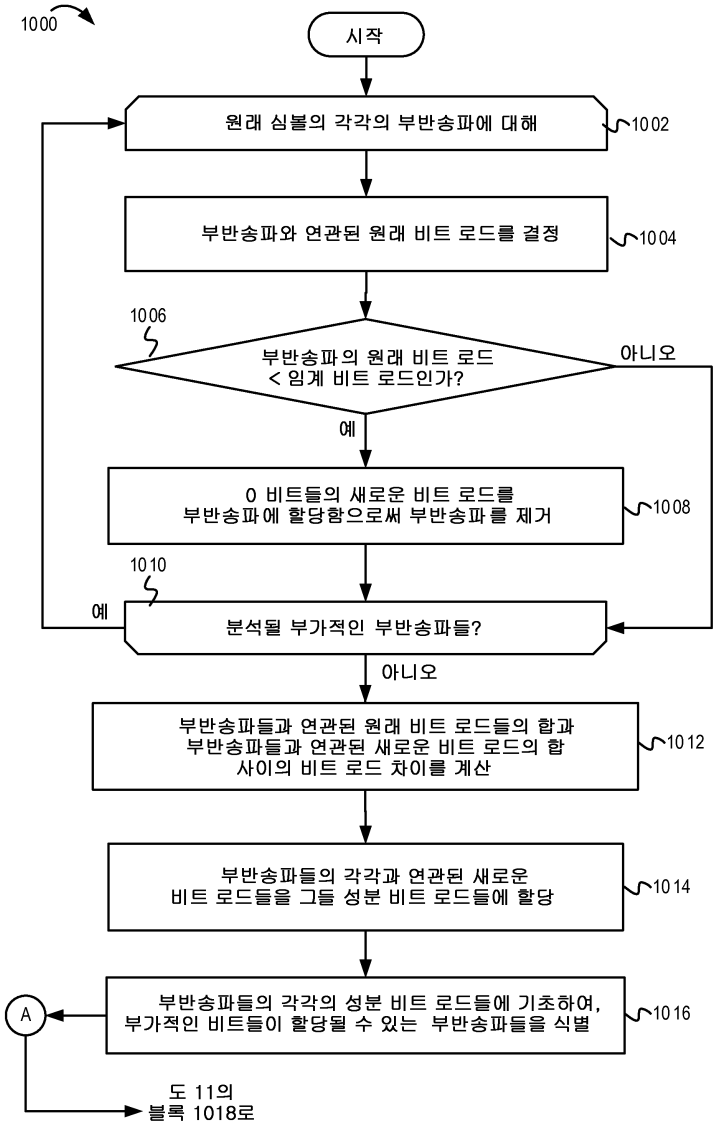
도면8


800
802
803
804
805
1
2
...
(M-1)
M
820A
862
864
866
868
1A
1B
2A
2B
....
하나의 심볼 전체에
걸친 시간 다이버시티
820B
872
874
876
878
....
(M-1)A
(M-1)B
MA
MB
840A
862
866
864
868
1A
2A
1B
2B
....
2 개의 심볼들 전체에
걸친 시간 다이버시티
840B
872
876
874
878
....
(M-1)A
MA
(M-1)B
MB
850A
862
866
872
876
1A
2A
....
(M-1)A
MA
850B
864
868
874
878
1B
2B
....
(M-1)B
MB
하나의 패킷 전체에
걸친 시간 다이버시티

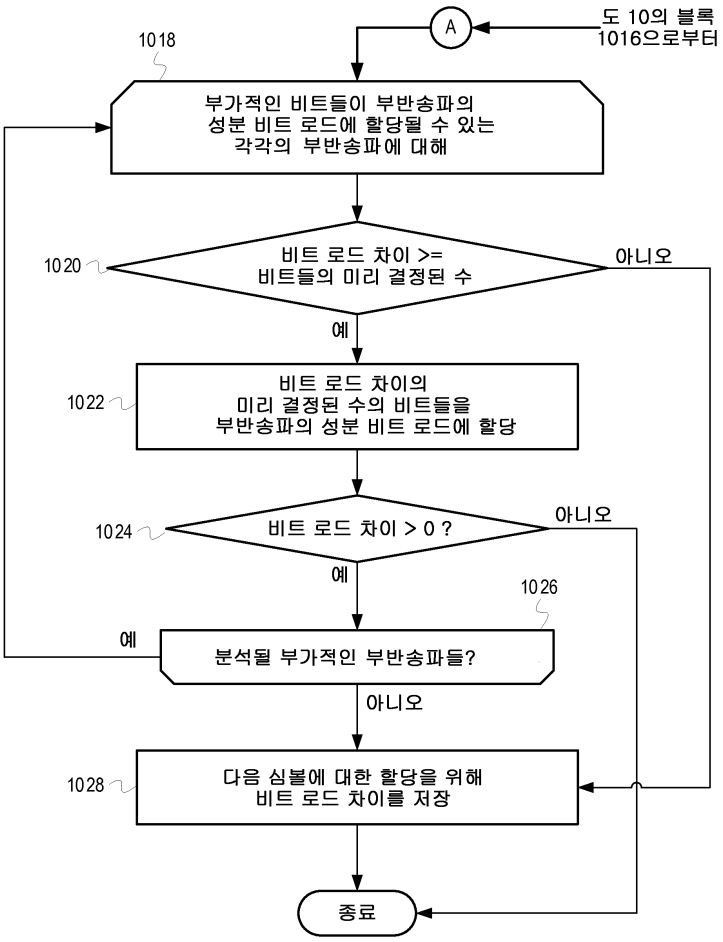
도면9


900
시작
902
송신 네트워크 디바이스로부터 하나 이상의 패킷들을 수신
904
하나 이상의 패킷들이 송신 네트워크 디바이스에 의해 송신되었던 재송신 파라미터들을 결정
906
각각의 부반송파에 대한 성분 비트 로드들을 결정
908
하나 이상의 재송신 패킷들로부터 원래 심볼과 연관된 성분 심볼들을 식별
910
원래 비트 스트림을 재생성하기 위해 식별된 성분 심볼들의 비트들을 재정렬
종료

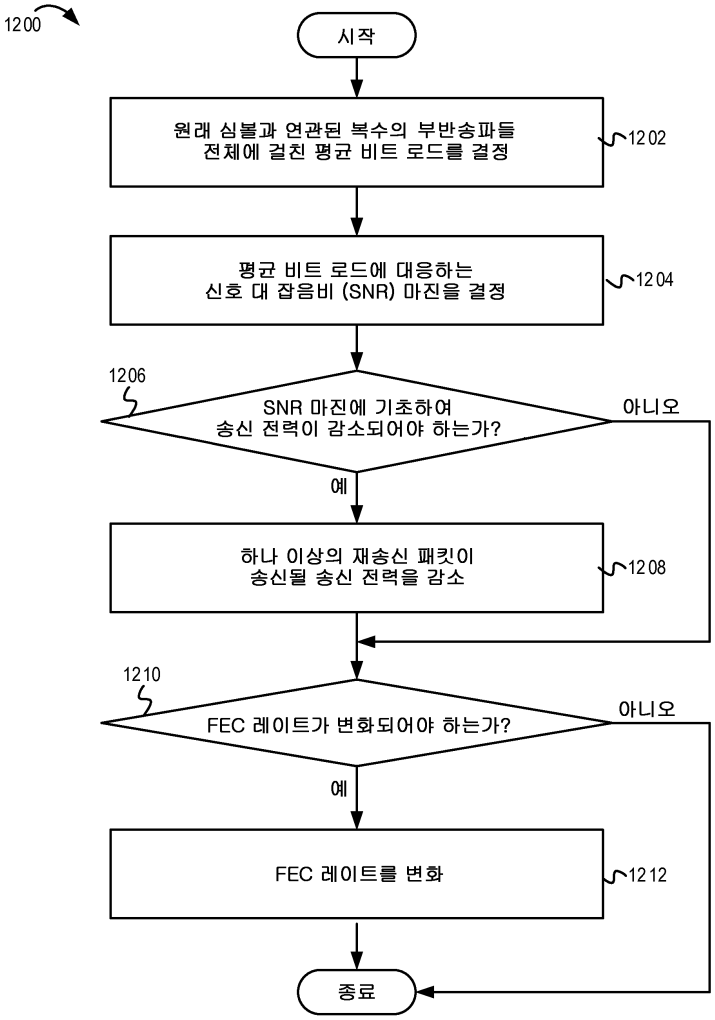
도면10


1000
시작
원래 심볼의 각각의 부반송파에 대해
1002
부반송파와 연관된 원래 비트 로드를 결정
1004
1006
부반송파의 원래 비트 로드
< 임계 비트 로드인가?
아니오
예
0 비트들의 새로운 비트 로드를
부반송파에 할당함으로써 부반송파를 제거
1008
1010
예
분석될 부가적인 부반송파들?
아니오
부반송파들과 연관된 원래 비트 로드들의 합과
부반송파들과 연관된 새로운 비트 로드의 합
사이의 비트 로드 차이를 계산
1012
부반송파들의 각각과 연관된 새로운
비트 로드들을 그들 성분 비트 로드들에 할당
1014
A
부반송파들의 각각의 성분 비트 로드들에 기초하여,
부가적인 비트들이 할당될 수 있는 부반송파들을 식별
1016
도 11의
블록 1018로

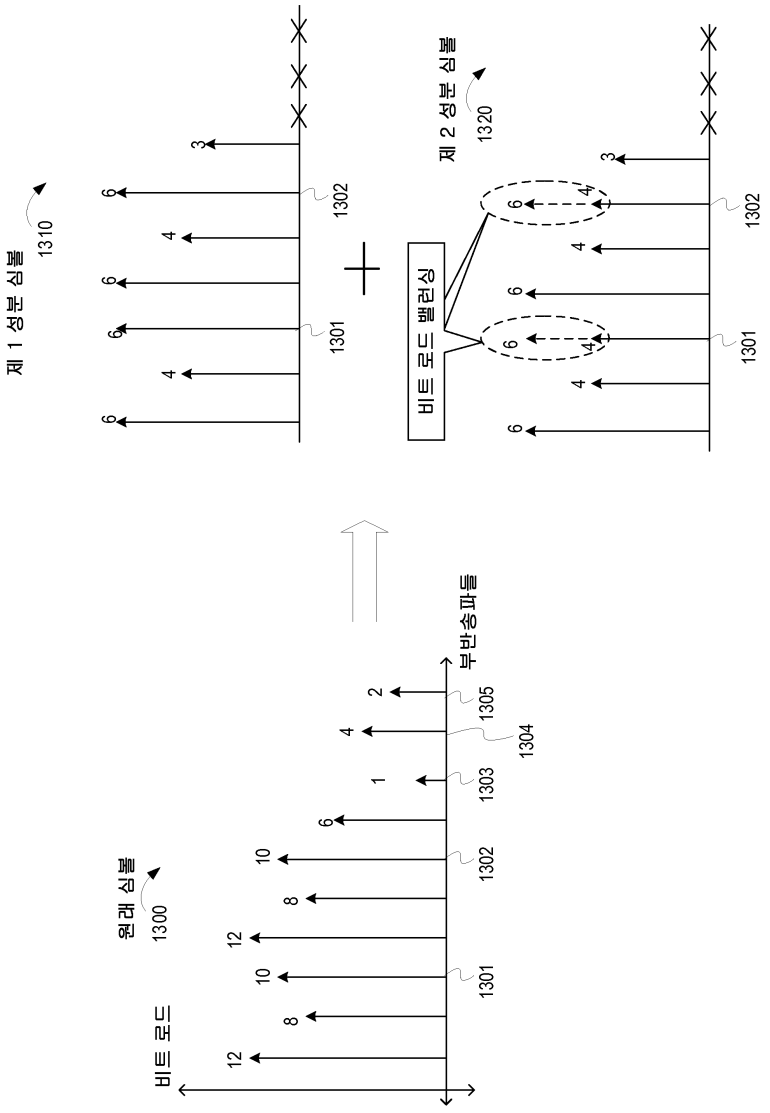
도면11


A
도 10의 블록
1016으로부터
1018
부가적인 비트들이 부반송파의
성분 비트 로드에 할당될 수 있는
각각의 부반송파에 대해
1020
비트 로드 차이 >=
비트들의 미리 결정된 수
아니오
예
1022
비트 로드 차이의
미리 결정된 수의 비트들을
부반송파의 성분 비트 로드에 할당
1024
비트 로드 차이 > 0 ?
아니오
예
1026
예
분석될 부가적인 부반송파들?
아니오
1028
다음 심볼에 대한 할당을 위해
비트 로드 차이를 저장
종료

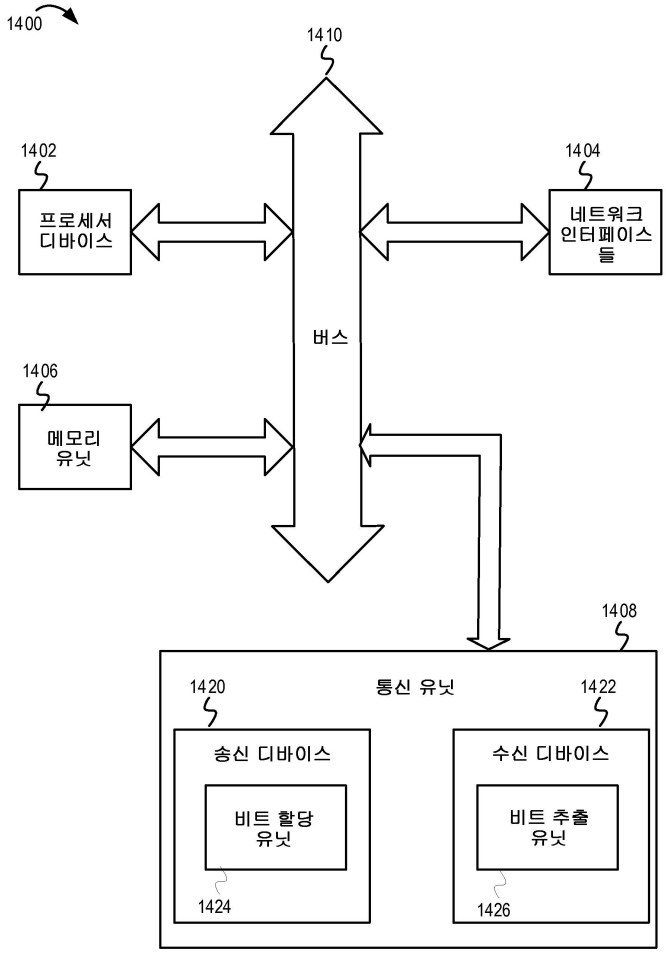
도면12


1200
시작
원래 심볼과 연관된 복수의 부반송파들 전체에 걸친 평균 비트 로드를 결정
1202
평균 비트 로드에 대응하는 신호 대 잡음비 (SNR) 마진을 결정
1204
1206
SNR 마진에 기초하여 송신 전력이 감소되어야 하는가?
아니오
예
하나 이상의 재송신 패킷이 송신될 송신 전력을 감소
1208
1210
FEC 레이트가 변화되어야 하는가?
아니오
예
FEC 레이트를 변화
1212
종료

도면13


제 1 성분 심볼
1310
1302
1301
비트 로드 밸런싱
제 2 성분 심볼
1320
원래 심볼
1300
비트 로드
부반송파들
1305
1304
1303
1302
1301

도면14


1400
1410
1402
프로세서 디바이스
1404
네트워크 인터페이스들
버스
1406
메모리 유닛
1408
1420
통신 유닛
1422
송신 디바이스
수신 디바이스
비트 할당 유닛
비트 추출 유닛
1424
1426