I693696

(19)中華民國智慧財產局

(12)發明說明書公告本　**(11)證書號數：TW I693696 B**

(45)公告日： 中華民國 109 (2020) 年 05 月 11 日

(21)申請案號：107101090　(22)申請日： 中華民國 99 (2010) 年 07 月 12 日

(51)Int. Cl.：　*H01L27/088 (2006.01)*　*H01L27/12 (2006.01)*

H01L21/8234(2006.01)　*H01L21/84 (2006.01)*

(30)優先權：2009/07/18　日本　2009-169599

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)
日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；坂田淳一郎 SAKATA, JUNICHIRO (JP)；三宅博之 MIYAKE, HIROYUKI (JP)；桑原秀明 KUWABARA, HIDEAKI (JP)；高橋辰也 TAKAHASHI, TATSUYA (JP)

(74)代理人：林志剛

(56)參考文獻：

US　20070072439A1

審查人員：黃本立

申請專利範圍項數：3 項　圖式數：40　共 194 頁

(54)名稱

電子裝置

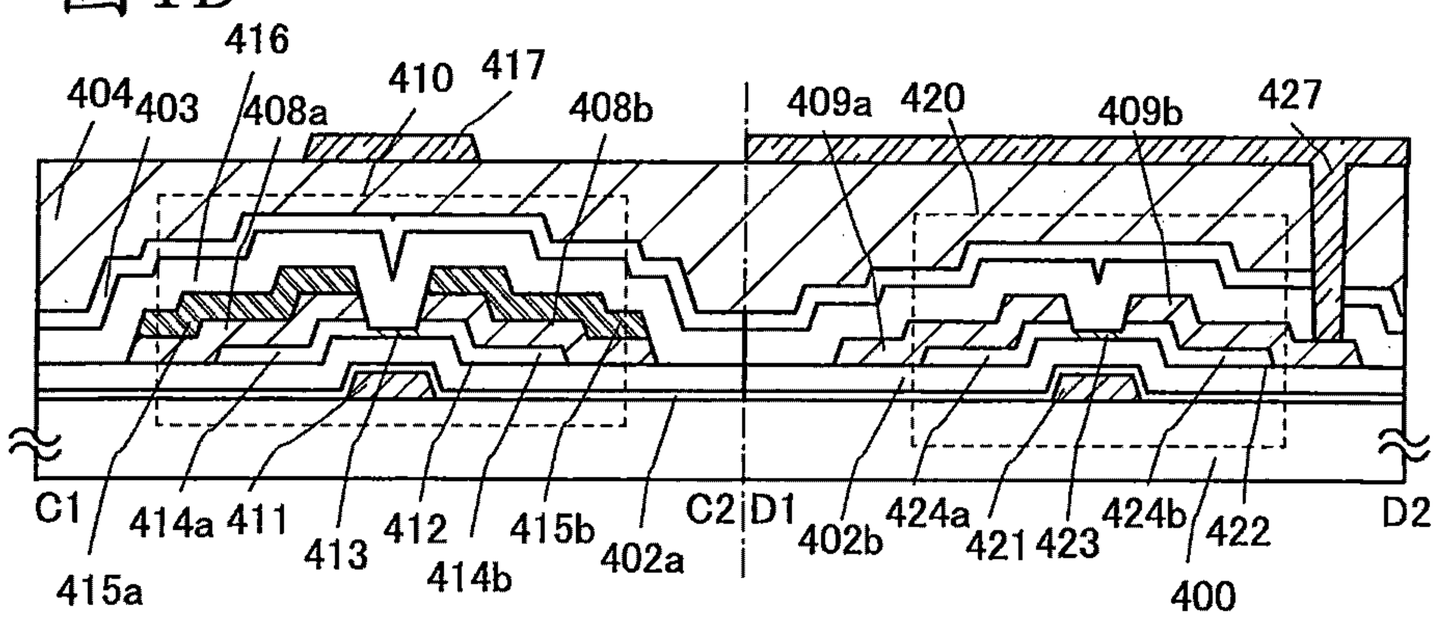
(57)摘要

增進半導體裝置的孔徑比。驅動電路及像素係設於一個基板之上，並且，驅動電路中的第一薄膜電晶體和像素中的第二薄膜電晶體均包含閘極電極層、在閘極電極層之上的閘極絕緣層、在閘極絕緣層之上的氧化物半導體層、在氧化物半導體層之上的源極和汲極電極層、以及在閘極絕緣層、氧化物半導體層、及源極和汲極電極層之上與部份氧化物半導體層相接觸的氧化物絕緣層。第二薄膜電晶體的閘極電極層、閘極絕緣層、氧化物半導體層、源極和汲極電極層、以及氧化物絕緣層均具有透光特性。

An aperture ratio of a semiconductor device is improved. A driver circuit and a pixel are provided over one substrate, and a first thin film transistor in the driver circuit and a second thin film transistor in the pixel each include a gate electrode layer, a gate insulating layer over the gate electrode layer, an oxide semiconductor layer over the gate insulating layer, source and drain electrode layers over the oxide semiconductor layer, and an oxide insulating layer in contact with part of the oxide semiconductor layer over the gate insulating layer, the oxide semiconductor layer, and the source and drain electrode layers. The gate electrode layer, the gate insulating layer, the oxide semiconductor layer, the source and drain electrode layers, and the oxide insulating layer of the second thin film transistor each have a light-transmitting property.

指定代表圖：

圖1B



符號簡單說明：

400・・・基板

402a・・・閘極絕緣層

402b・・・閘極絕緣層

403・・・保護絕緣層

404・・・平坦化絕緣層

408a・・・低電阻汲極區

408b・・・低電阻汲極區

409a・・・源極電極層

409b・・・汲極電極層

410・・・薄膜電晶體

411・・・閘極電極層

412・・・氧化物半導體層

413・・・通道形成區

414a・・・高電阻汲極區

414b・・・高電阻汲極區

415a・・・源極電極層

415b・・・汲極電極層

416・・・氧化物絕緣層

417・・・導電層

420・・・薄膜電晶體

421・・・閘極電極層

422・・・氧化物半導體層

423・・・通道形成區

424a・・・高電阻汲極區

424b・・・高電阻汲極區

427・・・像素電極層

I693696

發明摘要

【發明名稱】(中文/英文)

電子裝置

Electronic device

【中文】

增進半導體裝置的孔徑比。驅動電路及像素係設於一個基板之上，並且，驅動電路中的第一薄膜電晶體和像素中的第二薄膜電晶體均包含閘極電極層、在閘極電極層之上的閘極絕緣層、在閘極絕緣層之上的氧化物半導體層、在氧化物半導體層之上的源極和汲極電極層、以及在閘極絕緣層、氧化物半導體層、及源極和汲極電極層之上與部份氧化物半導體層相接觸的氧化物絕緣層。第二薄膜電晶體的閘極電極層、閘極絕緣層、氧化物半導體層、源極和汲極電極層、以及氧化物絕緣層均具有透光特性。

【英文】

An aperture ratio of a semiconductor device is improved. A driver circuit and a pixel are provided over one substrate, and a first thin film transistor in the driver circuit and a second thin film transistor in the pixel each include a gate electrode layer, a gate insulating layer over the gate electrode layer, an oxide semiconductor layer over the gate insulating layer, source and drain electrode layers over the oxide semiconductor layer, and an oxide insulating layer in contact with part of the oxide semiconductor layer over the gate insulating layer, the oxide semiconductor layer, and the source and drain electrode layers. The gate electrode layer, the gate insulating layer, the oxide semiconductor layer, the source and drain electrode layers, and the oxide insulating layer of the second thin film transistor each have a light-transmitting property.

【代表圖】

【本案指定代表圖】：第(1B)圖。

【本代表圖之符號簡單說明】：

400：基板　　402a：閘極絕緣層

402b：閘極絕緣層　　403：保護絕緣層

404：平坦化絕緣層　　408a：低電阻汲極區

408b：低電阻汲極區　　409a：源極電極層

409b：汲極電極層　　410：薄膜電晶體

411：閘極電極層　　412：氧化物半導體層

413：通道形成區　　414a：高電阻汲極區

414b：高電阻汲極區　　415a：源極電極層

415b：汲極電極層　　416：氧化物絕緣層

417：導電層　　420：薄膜電晶體

421：閘極電極層　　422：氧化物半導體層

423：通道形成區　　424a：高電阻汲極區

424b：高電阻汲極區　　427：像素電極層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

電子裝置

Electronic device

【技術領域】

本發明係有關於包含氧化物半導體的半導體裝置及其製造方法。

注意，在本說明書中，半導體裝置意指可以藉由使用半導體特性而作用的所有裝置，並且，例如顯示裝置之電光裝置、半導體電路、及電子裝置都是半導體裝置。

【先前技術】

在半導體裝置中使用透光金屬氧化物。舉例而言，使用例如銦錫氧化物（ITO）之導電金屬氧化物（此後稱爲氧化物導體）作爲例如液晶顯示裝置之顯示裝置中所需的透明電極材料。

此外，透光金屬氧化物作爲具有半導體特性的材料也引起注意。舉例而言，期望使用以 In-Ga-Zn-O 爲基礎的氧化物作爲例如液晶顯示裝置之顯示裝置中所需的半導電材料。特別是，它們被期望用於薄膜電晶體（也稱爲TFT）的通道層（也稱爲通道形成層）。

愈來愈期待具有半導體特性的金屬氧化物（於下稱爲

氧化物半導體）作爲取代或超越顯示裝置等中所使用的非晶矽之材料。

此外，氧化物導體及氧化物半導體具有透光特性。因此，藉由使用這些材料而形成 TFT，可以形成透光 TFT（舉例而言，請參見參考文獻 1）。

再者，包含氧化物半導體的 TFT 具有高的場效遷移率。因此，使用這些 TFT，可以形成顯示裝置中的驅動電路、等等（舉例而言，請參見參考文獻 2）。

[參考文獻]

參考文獻 1：T. Nozawa,"Transparent Circuitry", Nikkei Electronics, No. 959, August 27, 2007, pp. 39-52

參考文獻 2：T. Osada et al.,"Development of Driver-Integrated Panel using Amorphous In-Ga-Zn-Oxide TFT", Proc. SID'O9, Digest, 2009, pp.184-187

【發明內容】

本發明的一個實施例之目的在於降低半導體裝置的製造成本。

本發明的一個實施例之另一目的在於增進半導體裝置的孔徑比。

本發明的一個實施例之又另一目的在於增加半導體裝置的顯示部份的解析度。

本發明的一個實施例之又另一目的在於提供可以高速操作的半導體裝置。

本發明的一個實施例爲半導體裝置，其在一個基板之上包含驅動電路部份及顯示部份（也稱爲像素部份）。驅動電路部份包含薄膜電晶體及驅動電路佈線。使用金屬，以形成驅動電路薄膜電晶體的源極電極（也稱爲源極電極層）以及汲極電極（也稱爲汲極電極層）。使用氧化物半導體，以形成驅動電路薄膜電晶體的通道層。使用金屬以形成驅動電路佈線。顯示部份包含像素薄膜電晶體及顯示部份佈線。使用氧化物導體，以形成像素薄膜電晶體的源極電極層和汲極電極層。使用氧化物半導體，以形成像素薄膜電晶體的半導體層。使用氧化物導體，以形成顯示部份佈線。

使用具有底部閘極結構的逆交錯薄膜電晶體作爲像素薄膜電晶體與驅動電路薄膜電晶體中的每一個薄膜電晶體。像素薄膜電晶體及驅動電路薄膜電晶體均爲通道蝕刻型薄膜電晶體，其中，氧化物半導體層被設置成和曝露於源極電極層和汲極電極層之間的半導體層相接觸。

注意，參考文獻 1 中並未揭示出 TFT 的具體製程，其係包含於半導體裝置中的不同元件（例如，電容器）的具體結構、等等。此外，也未揭示出驅動電路及透光 TFT 係形成於一個基板之上。

在本發明的一個實施例之半導體裝置中，包含驅動電路 TFT 的驅動電路以及包含像素 TFT 之像素係形成於一個基板之上。因此，可以降低半導體裝置的製造成本。

在本發明的一個實施例之半導體裝置中，像素包含像

素 TFT 及像素佈線。使用氧化物導體，以形成像素 TFT 的源極電極和汲極電極。使用氧化物半導體，以形成像素 TFT 的半導體層。使用氧化物導體，以形成像素佈線。亦即，在半導體裝置中，形成 TFT 及像素佈線的區域可以被使用作爲開口部份。因此，可以增進半導體裝置的孔徑比。

在本發明的一個實施例之半導體裝置中，像素包含像素 TFT 及像素佈線。使用氧化物導體，以形成像素 TFT 的源極電極和汲極電極。使用氧化物半導體，以形成像素 TFT 的半導體層。使用氧化物導體，以形成像素佈線。亦即，在半導體裝置中，能夠決定像素的大小而不受像素 TFT 的尺寸限制。因此，能夠增加半導體裝置的顯示部份的解析度。

在本發明的一個實施例之半導體裝置中，驅動電路 TFT 包含驅動電路 TFT 以及驅動電路像素。使用金屬，以形成驅動電路 TFT 的源極電極和汲極電極。使用氧化物半導體，以形成驅動電路 TFT 的通道層。使用金屬，以形成驅動電路佈線。亦即，在半導體裝置中，驅動電路包含具有高場效遷移率的 TFT 以及具有低電阻的佈線。因此，半導體裝置可以高速地操作。

關於本說明書中使用的氧化物半導體層，舉例而言，可以使用由 $InMO_3(ZnO)_m$（$m > 0$）表示的氧化物半導體。注意，M 代表選自 Ga、Fe、Ni、Mn、及 Co 的其中之一或更多個金屬元素。舉例而言，M 可爲 Ga、或是 Ga

及 Ga 以外的上述金屬元素，舉例而言，M 可爲 Ga 及 Ni 或 Ga 及 Fe。此外，在氧化物半導體中，在某些情況中，除了含有作爲 M 的金屬元素之外，尙含有例如 Fe 或 Ni 等過渡金屬元素、或是過渡金屬元素的氧化物作爲雜質元素。在本說明書中，其組成配方係以 $InMO_3(ZnO)_m$（m>0）（含有至少 Ga 作爲 M）來予以表示的氧化物半導體之中，含有 Ga 作爲 M 的氧化物半導體被稱爲以 In-Ga-Zn-O 爲基礎的氧化物半導體，並且，以 In-Ga-Zn-O 爲基礎的氧化物半導體也稱爲以 In-Ga-Zn-O 爲基礎的非單晶膜。

關於用於氧化物半導體層的金屬氧化物，除了上述之外，還可以使用下述氧化物半導體中的任一者：以 In-Sn-Zn-O 爲基礎的金屬氧化物、以 In-Al-Zn-O 爲基礎的金屬氧化物、以 Sn-Ga-Zn-O 爲基礎的金屬氧化物、以 Al-Ga-Zn-O 爲基礎的金屬氧化物、以 Sn-Al-Zn-O 爲基礎的金屬氧化物、以 In-Zn-O 爲基礎的金屬氧化物、以 Sn-Zn-O 爲基礎的金屬氧化物、以 Al-Zn-O 爲基礎的金屬氧化物、以 In-O 爲基礎的金屬氧化物、以 Sn-O 爲基礎的金屬氧化物、及以 Zn-O 爲基礎的金屬氧化物。氧化矽可以被包含於使用上述金屬氧化物所形成的氧化物半導體層中。

氧化物半導體較佳含有 In，更佳含有 In 及 Ga。在取得 i-型（本質）氧化物半導體層時，脫水或脫氫是有效的。

、 在半導體裝置的製程中，在例如氮或稀有氣體（例

如，氬或氦）之惰性氣體氛圍下、或在減壓下執行熱處理的情況中，氧化物半導體層從熱處理改變成氧缺乏的氧化物半導體層，以使於成爲低電阻氧化物半導體層，亦即，n 型（例如，n^-型）氧化物半導體層。然後，藉由形成與氧化物半導體層相接觸的氧化物絕緣層，將氧化物半導體層製成處於氧過量狀態。因此，氧化物半導體層變成高電阻氧化物半導體層，亦即，i 型氧化物半導體層。因而，能夠製造包含高度可靠的具有有利電特徵之薄膜電晶體的半導體裝置。

在半導體裝置之製程中，爲了脫水或脫氫，在大於或等於 350℃下，較佳大於或等於 400℃且小於基板的應變點，在例如氮或稀有氣體（例如，氬或氦）之惰性氣體氛圍下，或在減壓下，執行熱處理，以便降低包含於氧化物半導體層中的例如濕氣之雜質。

即使對受到脫水或脫氫的氧化物半導體層執行高達 450℃之熱脫附顯微法（TDS）時，仍然未偵測到在約 300℃之水的二峰值或是水的至少一峰值。因此，即使對包含受到過脫水或脫氫的氧化物半導體層之薄膜電晶體執行高達 450℃之 TDS 時，仍然未偵測到在約 300℃之至少水的峰值。

此外，重要的是藉由在半導體裝置的製程中執行冷卻而不曝露於空氣，不會將水或氫再度混於氧化物半導體層中。經由脫水或脫氫，氧化物半導體層變成低電阻氧化物半導體層，亦即，n 型（例如 n-型）氧化物半導體層。然

後，氧化物半導體層改成高電阻氧化物半導體層，亦即，i 型氧化物半導體層。當使用此氧化物半導體層來形成薄膜電晶體時，薄膜電晶體的臨界電壓可爲正的，使得可以實現所謂的常關切換元件。在半導體裝置中，較佳的是薄膜電晶體的通道形成爲具有儘可能接近 0V 之正的臨界電壓。注意，假使薄膜電晶體的臨界電壓是負的時，薄膜電晶體傾向於常開；換言之，即使閘極電壓爲 0V 時，電流趨向於在源極電極與汲極電極之間流動。舉例而言，在主動矩陣型顯示裝置中，包含於電路中的薄膜電晶體的電特徵是重要的且會影響顯示裝置的性能。在薄膜電晶體的電特徵之中，臨界電壓（V_{th}）是特別重要的。舉例而言，當臨界電壓高或是負的時，即使薄膜電晶體中的場效遷移率高時，則仍然難以控制作爲電路之薄膜電晶體。在薄膜電晶體具有高臨界電壓及大的臨界電壓絕對值之情形中，當 TFT 是在低電壓下受驅動且可爲負載時，薄膜電晶體無法執行用作爲 TFT 的切換功能。舉例而言，在 n 通道薄膜電晶體的情況中，較佳的是正電壓被施加至閘極電極之後形成通道且汲極電流流通。除非驅動電壓升高，否則不會形成通道的電晶體以及即使施加負電壓時仍然形成通道及汲極電流流通之電晶體不適用於電路中使用的薄膜電晶體。

此外，溫度從加熱溫度 T 下降的氣體氛圍可以不同於溫度升高至加熱溫度 T 的氣體氛圍。舉例而言，藉由使用執行脫氫或脫水的加熱爐，以高純度氧氣或高純度 N_2O

氣體來填充加熱爐，即不曝露於空氣中，以執行冷卻。

在藉由用於脫水或脫氫之熱處理而降低含於膜中的濕氣之後，在未含濕氣（具有小於或等於-40℃，較佳小於或等於-60℃的露點）之氛圍中，緩慢冷卻（或冷卻）的氧化物半導體膜，使用此經過緩慢冷卻（或冷卻）的氧化物半導體膜，可以增進薄膜電晶體的電特徵，並且，實現可以量產的高性能薄膜電晶體。

在本說明書中，在例如氮或稀有氣體（例如，氬或氦）之惰性氣體氛圍下，或是在減壓下的熱處理被稱爲脫水或脫氫之熱處理。在本說明書中，爲了方便起見，脫氫或脫水不僅意指消除 H_2，也意指消除 H、OH、等等。

在半導體裝置的製程中，在例如氮或稀有氣體（例如，氬或氦）之惰性氣體氛圍下，或在減壓下執行熱處理的情況中，氧化物半導體層從熱處理改變成氧缺乏的氧化物半導體層，以便成爲低電阻氧化物半導體層，亦即，n型（例如，n^-型）氧化物半導體層。然後，藉由形成與汲極電極層相重疊的區域作爲高電阻汲極區（也稱爲 HRD 區），高電阻汲極區爲氧缺乏的區域。

具體而言，高電阻汲極區的載子濃度大於或等於 $1x10^{17}/cm^3$ 且至少高於通道形成區的載子濃度（小於 $1x10^{17}/cm^3$）。注意，本說明書中的載子濃度是在室溫下以霍爾效應所測量取得的載子濃度。

此外，在使用金屬材料所形成的汲極電極層與氧化物半導體層之間，可以形成低電阻汲極區（也稱爲 LRN

區）。具體而言，低電阻汲極區的載子濃度高於高電阻汲極區的載子濃度，例如，在 $1x10^{20}/cm^3$ 至 $1x10^{21}/cm^3$（含）的範圍中。

然後，藉由使至少部份氧化物半導體層在氧過量狀態下受到脫水或脫氫，而形成通道形成區，以取得高電阻氧化物半導體層，亦即 i-型氧化物半導體層。注意，關於使氧化物半導體層在氧過量狀態下受到脫水或脫氫之方法，可爲藉由例如濺射法以形成與受到脫氫或脫水之氧化物半導體相接觸的氧化物絕緣層之方法。此外，在形成氧化物絕緣層之後，可以執行熱處理（例如，在含氧的氛圍中的熱處理），在惰性氣體氛圍中加熱之後在氧氛圍中的冷卻處理或在超乾空氣（具有小於或等於-40℃，較佳小於或等於-60℃之露點）中的冷卻處理、等等。

以下述方式形成通道形成區：使用例如 Ti 等金屬材料，在受到過脫水或脫氫之氧化物半導體層形成與其接觸的源極電極層和汲極電極層，並且，選擇性地使未與源極電極層和汲極電極層相重疊的氧化物半導體層的曝露區處於氧過量狀態。在使氧化物半導體層選擇性地處於氧過量狀態之情況中，形成與源極電極層相重疊的高電阻汲極區以及與汲極電極層相重疊的高電阻汲極區，並且，在高電阻汲極區之間形成通道形成區。亦即，通道形成區以自行對準的方式而被形成於源極電極層與汲極電極層之間。

根據本發明的一個實施例，能夠製造包含具有有利的電特徵之高度可靠的薄膜電晶體之半導體裝置。

注意，藉由在與汲極電極層（或源極電極層）相重疊的氧化物半導體層中形成高電阻汲極區，可以增進驅動電路的可靠度。具體而言，藉由形成高電阻汲極區，電晶體具有一結構，其中，導電率從汲極電極層至高電阻汲極區與通道形成區逐漸地變化。因此，在電晶體被操作而汲極電極層係連接至用以供應高電源電位 VDD 的佈線之情況中，即使在閘極電極層與汲極電極層之間施加高電場時，高電阻汲極區用作爲緩衝器並且未局部地施加高電場，使得可以增進電晶體的耐受電壓。

此外，藉由形成高電阻汲極區，可以降低驅動電路中的漏電流量。具體而言，藉由形成高電阻汲極區，在汲極電極層與源極電極層之間流動的電晶體之漏電流依序地流經汲極電極層、汲極電極層側上的高電阻汲極區、通道形成區、源極電極層側上的高電阻汲極區、以及源極電極層。在此情況中，在通道形成區中，從汲極電極層側上的高電阻汲極區流至通道形成區的漏電流可被集中於電晶體關閉時具有高電阻之通道形成區與閘極絕緣層之間的介面附近上。因此，可以降低背通道部份（與閘極電極層分開之通道形成區的部份表面）中的漏電流量。

此外，當與源極電極層相重疊的高電阻汲極區以及與汲極電極層相重疊的高電阻汲極區與部份閘極電極層相重疊，而以閘極絕緣層介於其間，但是，可以視閘極電極層的寬度而更有效地降低汲極電極層的端部份之附近中電場的強度。

本發明的一個實施例爲半導體裝置，其在一個基板上包含具有第一薄膜電晶體的驅動電路以及具有第二薄膜電晶體的像素。第一薄膜電晶體及第二薄膜電晶體均包含閘極電極層、在閘極電極層之上的閘極絕緣層、在閘極絕緣層之上的氧化物半導體層、在氧化物半導體層之上的源極電極層和汲極電極層、以及氧化物絕緣層，所述氧化物絕緣層與閘極絕緣層之上的部份氧化物半導體層、氧化物半導體層、源極電極層和汲極電極層相接觸。第二薄膜電晶體的閘極電極層、閘極絕緣層、氧化物半導體層、源極電極層、汲極電極層以及氧化物絕緣層中的每一層均具有透光特性。使用不同於第二薄膜電晶體的源極電極層和汲極電極層之材料，以形成第一薄膜電晶體的源極電極層和汲極電極層，並且，第一薄膜電晶體的源極電極層和汲極電極層具有的電阻比第二薄膜電晶體的源極電極層和汲極電極層的電阻還低。

根據本發明的另一實施例，在半導體裝置中，使用含有選自由 Al、Cr、Cu、Ta、Ti、Mo、及 W 所組成的群組的元素作爲其主要成份之材料，或是包含複數個均含有這些元素中的至少之一的合金之膜的堆疊層，以形成第一薄膜電晶體的源極電極層和汲極電極層。

根據本發明的又另一實施例，在半導體裝置中，使用氧化銦、氧化銦及氧化錫的合金、氧化銦及氧化鋅的合金、或氧化鋅，可以形成第二薄膜電晶體的源極電極層和汲極電極層。

根據本發明的又另一實施例，半導體裝置又包含設於基板之上的電容器部份。電容器部份包含電容器佈線及與電容器佈線相重疊的電容器電極，並且，電容器佈線及電容器電極均具有透光特性。

根據本發明的又另一實施例，半導體裝置又包含與第一薄膜電晶體的氧化物絕緣層之上的閘極電極層重疊之導電層。

根據本發明的又另一實施例，半導體裝置又包含在氧化物半導體層與第一薄膜電晶體的源極和汲極電極層中的每一層之間的低電阻汲極區，並且，使用與第二薄膜電晶體的源極和汲極電極層之材料相同的材料，以形成低電阻汲極區。

根據本發明的又另一實施例，在半導體裝置中，與源極或汲極電極層相重疊的第一薄膜電晶體之氧化物半導體層的區域比第一薄膜電晶體的通道形成區具有更低的電阻。

本發明的又另一實施例是半導體裝置的製造方法，所述半導體裝置在一個基板之上包含具有第一薄膜電晶體的驅動電路以及具有第二薄膜電晶體的像素。方法包含下述步驟：在基板之上形成透光導電膜，以及經由第一微影製程，選擇性地蝕刻透光導電膜，其中，形成用作爲第一薄膜電晶體的閘極電極層之第一閘極電極層以及用作爲第二薄膜電晶體的閘極電極層之第二閘極電極層；在第一閘極電極層及第二閘極電極層之上形成閘極絕緣層；在閘極絕

緣層之上形成氧化物半導體膜，以及，經由第二微影製程，選擇性地蝕刻氧化物半導體膜，其中，形成島狀氧化物半導體層之第一氧化物半導體層以及第二氧化物半導體層；將第一氧化物半導體層及第二氧化物半導體層脫水或脫氫；在被脫水或脫氫的第一及第二氧化物半導體層之上依序地形成氧化物導電膜及導電膜，以及，經由第三微影製程及第四微影製程，選擇性地蝕刻氧化物導電膜及導電膜，其中，在第一氧化物半導體層之上形成成對的低電阻汲極區，在成對的低電阻汲極區之上形成成對的導電層以形成分別用作爲第一薄膜電晶體的源極電極層和汲極電極層之第一源極電極層以及第一汲極電極層，以及，在第二氧化物半導體層之上形成分別用作爲第二薄膜電晶體的源極電極層和汲極電極層之第二源極電極層以及第二汲極電極層；以及，在閘極絕緣層、第一氧化物半導體層、第二氧化物半導體層、第一源極電極層、第一汲極電極層、第二源極電極層、及第二汲極電極層之上形成與部份第一氧化物半導體層和部份第二氧化物半導體層相接觸之氧化物絕緣層。

本發明的又另一實施例是半導體裝置的製造方法，所述半導體裝置在一個基板之上包含具有第一薄膜電晶體的驅動電路以及具有第二薄膜電晶體的像素。該方法包含下述步驟：在基板之上形成透光導電膜，以及經由第一微影製程，選擇性地蝕刻透光導電膜，其中，形成用作爲第一薄膜電晶體的閘極電極層之第一閘極電極層以及用作爲第

二薄膜電晶體的閘極電極層之第二閘極電極層；在第一閘極電極層及第二閘極電極層之上形成閘極絕緣層；在閘極絕緣層之上形成氧化物半導體膜；將氧化物半導體膜脫水或脫氫；在被脫水或脫氫的氧化物半導體膜之上依序地形成氧化物導電膜及導電膜，以及，經由第二微影製程及第三微影製程，選擇性地蝕刻氧化物半導體膜、氧化物導電膜、及導電膜，其中，在第一氧化物半導體層之上形成成對的低電阻汲極區，在成對的低電阻汲極區之上形成成對的導電層以形成分別用作爲第一薄膜電晶體的源極電極層和汲極電極層之第一源極電極層及第一汲極電極層，以及，在第二氧化物半導體層之上形成分別用作爲第二薄膜電晶體的源極電極層和汲極電極層之第二源極電極層及第二汲極電極層；以及，在閘極絕緣層、第一氧化物半導體層、第二氧化物半導體層、第一源極電極層、第一汲極電極層、第二源極電極層、及第二汲極電極層之上形成與部份第一氧化物半導體層和部份第二氧化物半導體層相接觸之氧化物絕緣層。

根據本發明的又另一實施例，在半導體裝置的製造方法中，使用多色調掩罩以執行第三微影製程。

注意，在說明書中爲了方便而使用例如「第一」及「第二」等序號，其並非代表步驟的次序以及層的堆疊次序。此外，在本說明書中的序號並非代表具體說明本發明之特定名稱。

此外，關於包含驅動電路的顯示裝置，除了液晶顯示

裝置之外，尚有包含發光元件的發光顯示裝置以及也稱爲電子紙之包含電泳顯示元件的顯示裝置。

在包含發光元件的發光顯示裝置中，多個薄膜電晶體包含於像素部份中。像素部份包含薄膜電晶體的閘極電極係連接至不同電晶體的源極佈線（也稱爲源極佈線層）或汲極佈線（也稱爲汲極佈線層）之區域。此外，包含發光元件的發光顯示裝置的驅動電路包含薄膜電晶體的閘極電極係連接至薄膜電晶體的源極佈線或汲極佈線之區域。

能夠製造具有穩定的電特徵之薄膜電晶體。因此，可以提供包含具有有利的電特徵及高可靠度的薄膜電晶體之半導體裝置。

【圖式簡單說明】

圖 1A1 至 1C 顯示半導體裝置。

圖 2A 至 2E 顯示半導體裝置的製造方法。

圖 3A 至 3C 顯示半導體裝置的製造方法。

圖 4A 至 4C 顯示半導體裝置的製造方法。

圖 5A 至 5D 顯示半導體裝置的製造方法。

圖 6A1 至 6C 顯示半導體裝置。

圖 7A 及 7B 均顯示半導體裝置。

圖 8A 及 8B 顯示半導體裝置。

圖 9A 及 9B 顯示半導體裝置。

圖 10A1 至 10B 顯示半導體裝置。

圖 11A 及 11B 顯示半導體裝置。

圖 12 顯示半導體裝置的像素等效電路。

圖 13A 至 13C 均顯示半導體裝置。

圖 14A 及 14B 是方塊圖，均顯示半導體裝置。

圖 15A 及 15B 分別爲訊號線驅動電路的電路圖及時序圖。

圖 16A 至 16C 是電路圖，均顯示移位暫存器的配置。

圖 17A 及 17B 分別爲移位暫存器的時序圖及電路圖。

圖 18 顯示半導體裝置。

圖 19 顯示半導體裝置。

圖 20 是外觀視圖，顯示電子書讀取器的實例。

圖 21A 是電視裝置的實施例之外觀視圖，圖 21B 是數位相框的實例之外觀視圖。

圖 22A 及 22B 是外觀視圖，均顯示遊戲機的實施例之外觀視圖。

圖 23A 是外觀視圖，顯示可攜式電腦的實例，圖 23B 是外觀視圖，顯示行動電話的實例。

圖 24 顯示半導體裝置。

圖 25 顯示半導體裝置。

圖 26 顯示半導體裝置。

圖 27 是半導體裝置的電路圖。

圖 28 顯示半導體裝置。

圖 29 顯示半導體裝置。

圖 30 顯示半導體裝置。

圖 31 是半導體裝置的電路圖。

圖 32 顯示半導體裝置。

圖 33 顯示半導體裝置。

圖 34 顯示半導體裝置。

圖 35 顯示半導體裝置。

圖 36 顯示半導體裝置。

圖 37 顯示半導體裝置。

圖 38A 至 38E 顯示半導體裝置的製造方法。

圖 39A 至 39C 顯示半導體裝置的製造方法。

圖 40A 至 40C 顯示半導體裝置的製造方法。

【實施方式】

於下，將參考附圖，詳述本發明的實施例。但是，本發明不限於下述說明，並且，習於此技藝者將清楚可知其模式及細節的不同改變，除非這些改變悖離本發明的精神及範圍。因此，本發明不應被解釋成侷限於下述實施例的說明。在下述結構中，在不同的圖式中，相同的部份或具有類似功能的部份將以相同代號表示，且將不重複其說明。

注意，這些實施例的內容可以彼此結合或彼此取代。

（實施例 1）

將參考圖 1A1 至 1C、圖 2A 至 2E、及圖 3A 至 3C，

以說明半導體裝置及半導體裝置的製造方法。圖 1B 及 1C 顯示形成於一個基板之上的二薄膜電晶體之剖面結構的實例。圖 1A1 至 1C 中所示的薄膜電晶體 410 及薄膜電晶體 420 均爲通道蝕刻型底部閘極電晶體。

圖 1A1 是配置於驅動電路中的薄膜電晶體 410 的平面視圖，圖 1A2 是配置於像素中的薄膜電晶體 420 的平面視圖，圖 1B 是剖面視圖，顯示沿著圖 1A1 中的 C1-C2 線之剖面結構及沿著圖 1A2 中的 D1-D2 線之剖面結構，圖 1C 是剖面視圖，顯示沿著圖 1A1 中的 C3-C4 線之剖面結構及沿著圖 1A2 中的 D3-D4 線之剖面結構。

配置於驅動電路中的薄膜電晶體 410 是通道蝕刻型薄膜電晶體，並且包含位於具有絕緣表面的基板 400 之上的閘極電極層 411；第一閘極絕緣層 402a；第二閘極絕緣層 402b；氧化物半導體層 412，包含至少通道形成區 413、高電阻汲極區 414a、及第二高電阻汲極區 414b；低電阻汲極區 408a；低電阻汲極區 408b；源極電極層 415a；以及，汲極電極層 415b。此外，設置覆蓋薄膜電晶體 410 及與通道形成區 413 相接觸之氧化物絕緣層 416。

注意，高電阻汲極區是電阻值低於通道形成區的電阻值之區域，並且，低電阻汲極區是電阻值低於高電阻汲極區的電阻值之區域。

高電阻汲極區 414a 以自行對準方式而被形成爲接觸低電阻汲極區 408a 的底部表面。高電阻汲極區 414b 以自行對準方式而被形成爲接觸低電阻汲極區 408b 的底部表

面。通道形成區 413 是與氧化物絕緣層 416 相接觸，具有小的厚度，以及是電阻比高電阻汲極區 414a 及高電阻汲極區 414b 之電阻還高的區域（i 型區）。

爲了降低薄膜電晶體 410 的電阻，金屬材料較佳用於源極電極層 415a 和汲極電極層 415b。

當在本實施例的半導體裝置中於一個基板之上形成像素部份及驅動電路時，在驅動電路中，正電壓或負電壓施加於包含於例如反相器電路、反及（NAND）電路、反或（NOR）電路、或鎖存電路中的薄膜電晶體的源極電極與汲極電極之間、以及包含於例如感測放大器、固定電壓產生電路、或 VCO 之類比電路中的薄膜電晶體的源極電極與汲極電極之間。結果，需要高耐受電壓的高電阻汲極區 414b 的寬度可以被設計成大於高電阻汲極區 414a 的寬度。此外，可以增加與閘極電極層 411 相重疊之高電阻汲極區 414b 與高電阻汲極區 414a 中的每一者的區域之寬度。

使用單閘極薄膜電晶體，說明配置於驅動電路中的薄膜電晶體 410；當需要時，可以形成包含多個通道形成區的多閘極薄膜電晶體。

此外，由於設置低電阻汲極區 408a 和 408b，所以，以熱的觀點而言，薄膜電晶體 410 也可以比具有肖特基（Schottky）接面的薄膜電晶體更穩定地操作。藉由刻意地設置如上所述之載子濃度比氧化物半導體層的載子濃度還高的低電阻汲極區，取得歐姆接觸。

此外，導電層 417 配置於通道形成區 413 的上方以便與通道形成區 413 相重疊。導電層 417 係電連接至閘極電極層 411，以使導電層 417 及閘極電極層 411 具有相同的電位，因此可以從設於閘極電極層 411 與導電層 417 之間的氧化物半導體層 412 之上及之下，施加閘極電壓。或者，當閘極電極層 411 及導電層 417 被製成具有不同電位時，舉例而言，它們的其中之一具有固定電位、GND 電位、或 0V，則可以控制例如臨界電壓之 TFT 的電特徵。換言之，閘極電極層 411 及導電層 417 的其中之一用作爲第一閘極電極層，而閘極電極層 411 及導電層 417 中另一者用作爲第二閘極電極層，因而可以使用薄膜電晶體 410 作爲具有四個端子的薄膜電晶體。

此外，保護絕緣層 403 及平坦化絕緣層 404 係堆疊於導電層 417 與氧化物絕緣層 416 之間。

保護絕緣層 403 較佳與第一閘極絕緣層 402a 或用作爲設於保護絕緣層 403 之下的基底之絕緣膜相接觸，並且，阻擋例如濕氣、氫離子、及 OH^- 之雜質從基板 400 的側表面進入。特別有效的是使用氮化矽膜作爲第一閘極絕緣層 402a 或作爲與保護絕緣層 403 相接觸之基底的絕緣膜。

配置於像素中的薄膜電晶體 420 是通道蝕刻型薄膜電晶體，以及包含位於具有絕緣表面的基板 400 之上的閘極電極層 421；第一閘極絕緣層 402a；第二閘極絕緣層 402b；氧化物半導體層 422，包含至少通道形成區 423、

高電阻汲極區 424a、及高電阻汲極區 424b；源極電極層 409a；以及，汲極電極層 409b。此外，設置覆蓋薄膜電晶體 420 及與氧化物半導體層 422 的上表面和側表面相接觸之氧化物絕緣層 416。

注意，在本實施例的半導體裝置中執行 AC 驅動以防止液晶劣化。經由 AC 驅動，施加至像素電極層的訊號電位之極性會以每一個預定週期而反相成爲正的或負的。在連接至像素電極層的 TFT 中，電極對用作爲源極電極層和汲極電極層。在本說明書中，爲了方便起見，像素中的薄膜電晶體之電極對的其中之一被稱爲源極電極層，而這些電極中的另一電極被稱爲汲極電極層；但是，實際上，在 AC 驅動的情形中，這些電極的其中之一交替地用作爲源極電極層和汲極電極層。此外，爲了降低漏電流的量，配置於像素中的薄膜電晶體 420 中的閘極電極層 421 的寬度可以被製成小於配置在驅動電路中的薄膜電晶體 410 中的閘極電極層 411 的寬度。此外，爲了降低漏電流量，配置於像素中的薄膜電晶體 420 中的閘極電極層 421 可以被設計成並未與源極電極層 409a 或汲極電極層 409b 相重疊。

高電阻汲極區 424a 以自行對準方式而被形成爲與源極電極層 409a 的底部表面相接觸。高電阻汲極區 424b 以自行對準方式而被形成爲與汲極電極層 409b 的底部表面相接觸。通道形成區 423 是與氧化物絕緣層 416 相接觸，具有小的厚度，以及是電阻比高電阻汲極區 424a 及高電

阻汲極區 424b 之電阻還高的區域（i 型區）。

在沈積用以形成氧化物半導體層 412 和 422 之氧化物半導體膜之後，執行用以降低例如濕氣之雜質的熱處理（脫水或脫氫熱處理）。在脫水或脫氫熱處理及緩慢冷卻之後，舉例而言，藉由形成與形成的氧化物半導體層 412 和 422 相接觸之氧化物絕緣膜，以降低氧化物半導體層 412 和 422 中的載子濃度，導致薄膜電晶體 410 和 420 的電特徵及可靠度增進。

氧化物半導體層 412 係形成於部份源極電極層 415a 和汲極電極層 415b 之下並與其相重疊。此外，氧化物半導體層 412 與閘極電極層 411 相重疊，而以第一閘極絕緣層 402a 和第二閘極絕緣層 402b 介於其間。此外，氧化物半導體層 422 係形成於部份源極電極層 409a 和汲極電極層 409b 之下並與其相重疊。此外，氧化物半導體層 422 與閘極電極層 421 相重疊，而以第一閘極絕緣層 402a 和第二閘極絕緣層 402b 介於其間。

透光導電膜係使用於薄膜電晶體 420 的源極電極層 409a 和汲極電極層 409b，以實現具有高孔徑比的顯示裝置。

此外，透光導電膜也被使用於薄膜電晶體 420 中的閘極電極層 421。

在配置有薄膜電晶體 420 的像素中，使可見光透射的導電膜使用於像素電極層 427 或不同的電極層（例如電容器電極層）或不同的佈線層（例如電容器佈線層），實現

具有高孔徑比的顯示裝置。無需多言，較佳的是以使可見光透射的膜使用於第一閘極絕緣層 402a、第二閘極絕緣層 402b、以及氧化物絕緣層 416。

在本說明書中，使可見光透射的導電膜意指具有 75%至 100%的可見光透射率之膜；當膜具有導電率時，其也被稱爲透明導電膜。此外，對於可見光半透明的導電膜可以被使用於閘極電極層、源極電極層、汲極電極層、像素電極層、或不同的電極層或不同的佈線層。對可見光半透明意指可見光透射率是 50%至 75%。

於下，將參考圖 2A 至 2E 及圖 3A，說明在相同基板之上製造薄膜電晶體 410 和 420 的製程。

首先，在具有絕緣表面的基板 400 之上形成透光導電膜。然後，經由第一微影製程，在導電膜之上形成光阻掩罩，並且，使用光阻掩罩以執行選擇性蝕刻，因而形成閘極電極層 411 和 421。此外，也經由第一微影製程，以同於閘極電極層 411 和 421 的材料，在像素部份中形成電容器佈線（也稱爲電容器佈線層）。此外，當在驅動電路與在像素部份中需要電容器時，也在驅動電路中形成電容器佈線。注意，可以用噴墨法來形成光阻掩罩。當以噴墨法來形成光阻掩罩時，並不使用光罩，其導致製造成本的降低。

雖然對於可以作爲具有絕緣表面的基板 400 並無特別限定，但是，基板需要具有足夠高的抗熱性以至少耐受稍後執行的熱處理。關於具有絕緣表面的基板 400，可以使

用硼矽酸鋇玻璃、硼矽酸鋁玻璃等玻璃基板。

當稍後執行的熱處理的溫度高時，具有大於或等於730℃的應變點之基板較佳用作爲可應用至基板 400 的玻璃基板。因爲玻璃基板，舉例而言，使用例如矽酸鋁玻璃、硼矽酸鋁玻璃、或硼矽酸鋇玻璃等玻璃材料。注意，當玻璃含有的氧化鋇（BaO）的量大於硼酸時，可以取得具有抗熱性的更實用玻璃。因此，較佳使用含有的 BaO 的量大於 B_2O_3 的量之玻璃基板。

注意，由例如陶瓷基板、石英基板、或藍寶石基板之絕緣體所形成的基板可以被使用作爲基板 400 以取代玻璃基板。或者，可以使用結晶玻璃等作爲基板 400。

作爲基底膜的絕緣膜可以被設於基板 400 與閘極電極層 411 和 421 之間。基底膜具有防止雜質元素從基板 400 擴散出之功能，並且可由氮化矽膜、氧化矽膜、氮氧化矽膜、及氧氮化矽膜的其中之一或更多的單一膜或堆疊膜，形成基底膜。

做爲用於閘極電極層 411 和 421 之材料，舉例而言，可以使用下述金屬氧化物中的任意金屬氧化物之使可見光透射的導電材料：以 In-Sn-Zn-O 爲基礎的金屬氧化物、以 In-Al-Zn-O 爲基礎的金屬氧化物、以 Sn-Ga-Zn-O 爲基礎的金屬氧化物、以 Al-Ga-Zn-O 爲基礎的金屬氧化物、以 Sn-Al-Zn-O 爲基礎的金屬氧化物、以 In-Zn-O 爲基礎的金屬氧化物、以 Sn-Zn-O 爲基礎的金屬氧化物、以 Al-Zn-O 爲基礎的金屬氧化物、以 In-O 爲基礎的金屬氧化

物、以 Sn-O 爲基礎的金屬氧化物、及以 Zn-O 爲基礎的金屬氧化物。氧化矽可以被包含於使用上述金屬氧化物形成的氧化物半導體層中。閘極電極層 411 及 421 的厚度係設定在 50 nm 至 300 nm（含）的範圍內。以濺射法、真空蒸鍍法（例如，電子束蒸鍍法）、電弧放電離子電鍍法、或噴鍍法來沈積用於閘極電極層 411 和 421 的金屬氧化物。當使用濺射法時，較佳的是使用含有 2 wt%至 10 wt%（含）的 SiO_2 之靶材以執行沈積，並且，在形成的透光導電膜中含有抑制結晶化的 SiO_X（$x > 0$），以在稍後步驟中的脫水或脫氫之熱處理時防止結晶化。

然後，去除光阻掩罩，並且，在閘極電極層 411 和 421 之上形成閘極絕緣層。

以電漿 CVD 法、濺射法或類似方法，使用氧化矽層、氮化矽層、氮氧化矽層、及氧氮化矽層的其中之一或更多的單一膜或堆疊膜，形成閘極絕緣層。舉例而言，當形成氧氮化矽層時，可以使用 SiH_4、氧、及氮作爲沈積氣體，而以電漿 CVD 法來形成氧氮化矽層。

在本實施例中，閘極絕緣層是厚度 50 nm 至 200 nm（含）的第一閘極絕緣層 402a 及厚度 50 nm 至 300 nm（含）的第二閘極絕緣層 402b。關於第一閘極絕緣層 402a，使用 100 nm 厚的氮化矽膜或氮氧化矽膜。關於第二閘極絕緣層 402b，使用 100 nm 厚的氧化矽膜。

在第二閘極絕緣層 402b 之上形成厚度 2 nm 至 200 nm（含）的氧化物半導體膜 430（請參見圖 2A）。氧化

物半導體膜 430 較佳具有小於或等於 50 nm 的厚度，使得於即使在形成氧化物半導體膜 430 之後執行脫水或脫氫的熱處理時稍後形成的氧化物半導體層仍然處於非晶狀態。當形成氧化物半導體膜之後執行熱處理時，氧化物半導體膜 430 的小厚度可以防止稍後形成的氧化物半導體層結晶化。

注意，在藉由濺射法形成氧化物半導體膜之前，藉由逆向濺射，較佳地去除附著於第二閘極絕緣層 402 的表面上的灰塵，在逆向濺射中，導入氬氣以產生電漿。逆向濺射爲一方法，在氬氛圍下，施加電壓至基板側，使用 RF 電源，以使圍繞基板產生電漿以修整表面。注意，可以使用氮、氦、等等來取代氬氛圍。

關於氧化物半導體膜 430，使用以 In-Ga-Zn-O 爲基礎的非單晶膜、以 In-Sn-Zn-O 爲基礎的氧化物半導體膜、以 In-Al-Zn-O 爲基礎的氧化物半導體膜、以 Sn-Ga-Zn-O 爲基礎的氧化物半導體膜、以 Al-Ga-Zn-O 爲基礎的氧化物半導體膜、以 Sn-Al-Zn-O 爲基礎的氧化物半導體膜、以 In-Zn-O 爲基礎的氧化物半導體膜、以 Sn-Zn-O 爲基礎的氧化物半導體膜、以 Al-Zn-O 爲基礎的氧化物半導體膜、以 In-O 爲基礎的氧化物半導體膜、以 Sn-O 爲基礎的氧化物半導體膜、或以 Zn-O 爲基礎的氧化物半導體膜。在本實施例中，藉由使用以 In-Ga-Zn-O 爲基礎的氧化物半導體靶材，以濺射法來形成氧化物半導體膜 430。或者，在稀有氣體（典型上爲氬）氛圍中、氧氛圍中、或包

含稀有氣體（典型上爲氬）及氧的氛圍中，以濺射法來形成氧化物半導體膜 430。當使用濺射法時，較佳使用含有 2 wt%至 10 wt%（含）的 SiO_2 之靶材以執行氧化物半導體膜 430 的沈積，並且，在氧化物光導電膜 430 中含有抑制結晶化的 SiO_X（$x > 0$），以在稍後步驟中的脫水或脫氫之熱處理時防止稍後形成的氧化物半導體層結晶化。

然後，經由第二微影製程，在氧化物半導體膜 430 之上形成光阻掩罩，並且使用光阻掩罩以執行選擇性蝕刻，因而將氧化物半導體膜 430 處理成島狀氧化物半導體層。此外，以噴墨法，形成用以形成島狀氧化物半導體層之光阻掩罩。當以噴墨法來形成光阻掩罩（resist mask）時，並未使用光罩（photomask），因而降低製造成本。

接著，去除光阻掩罩，並且使氧化物半導體層受到脫水或脫氫。用於脫水或脫氫的第一熱處理之溫度大於或等於 350℃且小於基板的應變點，較佳大於或等於 400℃。在此，有氧化物半導體層形成於其上的基板 400 被置於電熱爐中，電熱爐是一種熱處理設備，在氮氛圍中，對氧化物半導體層執行熱處理，並且，執行冷卻但未曝露於空氣，而且，防止水或氫再混入於氧化物半導體層中；因此，取得氧化物半導體層 431 和 432（請參見圖 2B）。在本實施例中，從氧化物半導體層受到脫水或脫氫之熱處理溫度 T 至低至足以防止水再度進入的溫度，使用相同的加熱爐；具體而言，在氮氛圍中執行緩慢冷卻直到溫度從熱處理溫度 T 下降 100℃或更多。此外，不侷限於氮氛圍，

在稀有氣體氛圍（例如，氦、氖、或氬）中或在降壓下，可以執行脫水或脫氫。

注意，在第一熱處理中，較佳的是，水、氫、等等並未包含於氮或例如氦、氖、或氬等稀有氣體中。或者，導入於用於熱處理的設備中之氮或例如氦、氖、或氬等稀有氣體之純度較佳大於或等於 6N（99.9999%），更佳大於或等於 7N（99.99999%）或更高（亦即，雜質濃度較佳小於或等於 1 ppm，更佳小於或等於 0.1ppm）。

在某些情況中，氧化物半導體層視第一熱處理的條件或氧化物半導體層的材料而被結晶化成微晶層或多晶層。

此外，也對被處理成島狀氧化物半導體層之前的氧化物半導體膜執行第一熱處理。在此情況中，在第一熱處理之後，將基板取出熱處理設備，並且，經由微影製程以形成光阻掩罩。然後，使用光阻掩罩以執行選擇性蝕刻，因而處理氧化物半導體膜。

此外，在形成氧化物半導體膜之前，在惰性氣體氛圍（氮或例如氦、氖、或氬之稀有氣體）、氧氛圍、或減壓下，執行熱處理（大於或等於 400℃且小於基板的應變點），藉以去除包含於閘極絕緣層中的例如氫及水之雜質。

然後，在氧化物半導體層 431 和 432 之上形成氧化物導電膜，並且，在氧化物導電膜之上形成金屬導電膜。之後，經由第三微影製程，形成光阻掩罩 433a 和 433b，並且，執行選擇性蝕刻，因而形成氧化物導電層 406 和 407

以及導電層 434 和 435（請參見圖 2C）。

關於氧化物導電膜的材料，舉例而言，可以使用下述金屬氧化物中的任意金屬氧化物之使可見光透射的導電材料：以 In-Sn-Zn-O 爲基礎的金屬氧化物、以 In-Al-Zn-O 爲基礎的金屬氧化物、以 Sn-Ga-Zn-O 爲基礎的金屬氧化物、以 Al-Ga-Zn-O 爲基礎的金屬氧化物、以 Sn-Al-Zn-O 爲基礎的金屬氧化物、以 In-Zn-O 爲基礎的金屬氧化物、以 Sn-Zn-O 爲基礎的金屬氧化物、以 Al-Zn-O 爲基礎的金屬氧化物、以 In-O 爲基礎的金屬氧化物、以 Sn-O 爲基礎的金屬氧化物、或以 Zn-O 爲基礎的金屬氧化物。氧化物導電膜的厚度係適當地選擇在 50 nm 至 300 nm（含）的範圍內。關於氧化物導電膜的沈積法，使用濺射法、真空蒸鍍法（例如，電子束蒸鍍法）、電弧放電離子電鍍法、或噴鍍法。當使用濺射法時，較佳使用含有 2 wt%至 10 wt%（含）的 SiO_2 之靶材以執行沈積，並且，在透光導電膜中含有抑制結晶化的 SiO_X（$x > 0$），以便在稍後步驟之熱處理時防止氧化物導電層 406 和 407 的結晶化。

用於金屬導電膜的材料之實例爲選自 Al、Cr、Cu、Ta、Ti、Mo、及 W 的元素；含有這些元素中的任何元素作爲成份的合金；以及含有這些元素組合的合金。

關於金屬導電膜，可爲包含鈦膜、設於鈦膜之上的鋁膜、及設於鋁膜之上的鈦膜之三層堆疊膜、或是包含鉬膜、設於鉬膜之上的鋁膜、及設於鋁膜之上的鉬膜之三層堆疊膜。無須多言，也可以使用二層堆疊膜、或四或更多

層的堆疊膜作爲金屬導電膜。

以噴墨法來形成用以形成氧化物導電層 406 和 407 及導電層 434 和 435 之光阻掩罩 433a 和 433b。當以噴墨法來形成光阻掩罩 433a 和 433b 時，並未使用光罩，其導致成本降低。

接著，去除光阻掩罩 433a 和 433b，並且，經由第四微影製程，以形成光阻掩罩 436a 和 436b。然後，執行選擇性蝕刻，因而形成低電阻汲極區 408a、低電阻汲極區 408b、源極電極層 415a、汲極電極層 415b、源極電極層 409a、汲極電極層 409b、導電層 425a、及導電層 425b（請參見圖 2D）。注意，關於氧化物半導體層 431 和 432，其僅有部份被去除蝕去除，因此，氧化物半導體層 431 和 432 均具有溝槽（凹部）。以噴墨法來形成光阻掩罩 436a 和 436b，用以形成溝槽（凹部）於氧化物半導體層 431 和 432 中。以噴墨法來形成光阻掩罩 436a 和 436b 時，並未使用光罩，其導致成本降低。

注意，在此蝕刻製程中，適當地設定蝕刻條件以使下層中的氧化物半導體層 431 和 432 可以維持。舉例而言，可以控制蝕刻時間。

此外，用以形成氧化物導電層 431 和 432 的材料及用以形成氧化物導電層 406 和 407 的材料均較佳地相對於其它材料具有高蝕刻選擇比例。舉例而言，可以使用含有 Sn 的金屬氧化物材料（例如，$SnZnO_x$（$x>0$）、$SnGaZnO_x$、等等）作爲用於氧化物半導體層 431 和 432

的材料，並且，使用 ITO 等等作爲用於氧化物導電層 406 和 407 的材料。

然後，去除光阻掩罩 436a 和 436b，並且經由第五微影製程，以形成光阻掩罩 438。然後，執行選擇性蝕刻，藉此，去除導電層 425a 和 425b（請參見圖 2E）。

由於經由第五微影製程，選擇性地蝕刻與源極電極層 409a 相重疊的導電層 425a 以及與汲極電極層 409a 相重疊的導電層 425b，所以，適當地調整用於氧化物半導體層 432、源極電極層 409a、及汲極電極層 409b 的材料和蝕刻條件，使得在蝕刻導電層 425a 和 425b 時，它們不會被去除。

用作爲保護絕緣膜的氧化物絕緣層 416 係形成爲接觸氧化物半導體層 431 和 432 中的溝槽（凹部）。

氧化物絕緣層 416 具有至少 1 nm 的厚度且可以由例如濺射法等方法而被適當地形成，藉由此方法，例如水或氫等雜質不會混入於氧化物絕緣層 416 中。在本實施例中，以濺射法形成 300 nm 厚的氧化矽膜作爲氧化物絕緣層 416。在膜形成時的基板溫度可在室溫至 300℃（含）的範圍中，在本實施例中爲 100℃。在稀有氣體（典型上是氬）氛圍、氧氛圍、或含有稀有氣體（典型上是氬）及氧的氛圍下，藉由濺射法以沈積氧化矽膜。此外，使用氧化矽靶材或矽靶材作爲靶材。舉例而言，以濺射法，在含有氧及氮的氛圍中，使用矽靶材以形成氧化矽膜。使用無機絕緣膜，形成與部份氧化物半導體層 431 和 432 相接觸

的氧化物絕緣層 416，無機絕緣膜未含有例如濕氣、氫離子、及 OH^-之雜質並且阻擋這些雜質從外部進入，典型上爲氧化矽膜、氮氧化矽膜、氧化鋁膜、氧氮化鋁膜、等等。

然後，在惰性氣體氛圍或氧氣氛圍中，執行第二熱處理（較佳爲 200℃至 400℃（含），舉例而言，250℃至 350℃（含））。舉例而言，在氮氣氛圍中，在 200℃下，執行第二熱處理一小時。根據第二熱處理，當氧化物半導體層 431 和 432 中的溝槽接觸氧化物絕緣層 416 時施加熱。

經由上述製程，降低氧化物半導體層 431 和 432 的電阻，並且，部份氧化物半導體層 431 和 432 係選擇性地處於氧過量狀態。結果，與閘極電極層 411 相重疊的通道形成區 413 變成 i 型，並且，與閘極電極層 421 相重疊的通道形成區變成 i 型。此外，高電阻汲極區 414a 以自行對準方式而被形成於與源極電極層 415a 相重疊的部份之氧化物半導體層 431 中，高電阻汲極區 414b 以自行對準方式而被形成於與汲極電極層 415b 相重疊的部份之氧化物半導體層 431 中，高電阻汲極區 424a 以自行對準方式而被形成於與源極電極層 409a 相重疊的部份之氧化物半導體層 432 中，並且，高電阻汲極區 424b 以自行對準方式而被形成於與汲極電極層 409b 相重疊的部份之氧化物半導體層 432 中（請參見圖 3A）。

注意，高電阻汲極區 414b（或高電阻汲極區 414a）

係形成於與汲極電極層 415b（或源極電極層 415a）相重疊的氧化物半導體層 431 中，以使得可以增加驅動電力的可靠度。具體而言，藉由形成高電阻汲極區 414b，在電晶體中從汲極電極層 415b 至高電阻汲極區 414b 和通道形成區，導電率逐漸改變。因此，當電晶體操作時，汲極電極層 451b 係連接至供應高電源電位 VDD 的佈線，即使當高電場被施加於閘極電極層 411 與汲極電極層 415b 之間時，高電阻汲極區 414b 用作爲緩衝器且高電場不會局部地施加，以使得電晶體具有增加的耐受電壓。

當高電阻汲極區 414b（或高電阻汲極區 414a）係形成於與汲極電極層 415b（或源極電極層 415a）相重疊的氧化物半導體層 431 中時，可以降低驅動電路中電晶體中的漏電流量。

注意，高電阻汲極區 424b（或高電阻汲極區 424a）係形成於與汲極電極層 409b（或源極電極層 409a）相重疊的氧化物半導體層 432 中，使得可以增加像素的可靠度。具體而言，藉由形成高電阻汲極區 424b，在電晶體中從汲極電極層 409b 至高電阻汲極區 424b 和通道形成區，導電率逐漸改變。因此，當電晶體操作時，汲極電極層 409b 係連接至供應高電源電位 VDD 的佈線，即使當高電場被施加於閘極電極層 421 與汲極電極層 409b 之間時，高電阻汲極區 424b 用作爲緩衝器且高電場不會局部地施加，以使得電晶體具有增加的耐受電壓。

當高電阻汲極區 424b（或高電阻汲極區 424a）係形

成於與汲極電極層 409b（或源極電極層 409a）相重疊的氧化物半導體層 432 中時，可以降低像素中電晶體中的漏電流量。

然後，保護絕緣層 403 係形成於氧化物絕緣層 416 之上。在本實施例中，藉由 RF 濺射法以形成氮化矽膜，而形成保護絕緣層 403。由於 RF 濺射法具有高生產力，所以，較佳被使用作爲保護絕緣層 403 的沈積法。舉例而言，使用未含有濕氣、氫離子、及 OH^- 以及阻擋這些雜質自外部進入的無機絕緣膜，以形成保護絕緣層 403。舉例而言，使用氮化矽膜、氮化鋁膜、氮氧化矽膜、氧氮化鋁膜、等等，以形成保護絕緣層 403。無須多言，保護絕緣層 403 是透光絕緣膜。

保護絕緣層 403 較佳與第一閘極絕緣層 402a 或是與設於保護絕緣層 403 下方作爲基底的絕緣膜相接觸，並且，阻擋例如濕氣、氫離子、及 OH^- 之雜質自基板的側表面的附近進入。特別有效的是使用氮化矽膜作爲第一閘極絕緣層 402a 或是作爲與保護絕緣層 403 相接觸之基底的絕緣膜。換言之，設置成圍繞氧化物半導體層 412 和 422 中的每一層的底部表面、頂部表面、及側表面的氮化矽膜可以增加顯示裝置的可靠度。

接著，在保護絕緣層 403 之上形成平坦化絕緣層 404。由例如聚醯亞胺、丙烯酸樹膠、苯環丁烯、聚醯胺、或環氧樹脂之具有抗熱性的有機材料形成平坦化絕緣層 404。除了這些有機材料之外，也能夠以低介電常數材

料（低 k 材料）、矽烷爲基礎的樹脂、PSG（磷矽酸鹽玻璃）、BPSG（硼磷矽酸鹽玻璃）、等等使用於平坦化絕緣層 404。注意，藉由堆疊這些材料所形成的多個絕緣膜，以形成平坦化絕緣層 404。

注意，以矽烷爲基礎的樹脂相當於使用以矽烷爲基礎的材料作爲啓始材料所形成的包含 Si-O-Si 鍵之樹脂。以矽烷爲基礎的樹脂可以包含有機基（舉例而言，烷基或芳基）或氟基作爲替代物。此外，有機基可以包含氟基。

對於絕緣層 404 之形成方法並無特別限定。可以視材料而使用下述方法來形成平坦化絕緣膜 404：濺射法、SOG 法、旋轉塗敷法、浸漬法、噴灑塗著法、滴放法（例如，噴墨法、網版印刷法、偏離印刷法）、或是例如刮刀、輥塗著器、簾幕塗著器、或刀式塗著器等工具。

然後，執行第六微影處理，以便形成光阻掩罩並且藉由蝕刻平坦化絕緣層 404、保護絕緣層 403、和氧化物絕緣層 416 而形成到達汲極電極層 409b 之接觸孔 441（請參見圖 3B）。此外，藉由該蝕刻，也形成抵達閘極電極層 411 和 412 的接觸孔。或者，以噴墨法，形成光阻掩罩以用於形成抵達汲極電極層 409b 的接觸孔 441。當以噴墨法形成光阻掩罩時並未使用光罩，其多致製造成本降低。

接著，去除光阻掩罩，然後形成透光導電膜。藉由濺射法、真空蒸鍍法、等等，以氧化銦（In_2O_3）膜、氧化銦及氧化錫（$In_2O_3-SnO_2$，簡寫成 ITO）的合金、等

等，以形成透光導電膜。或者，可以使用含氮之以 Al-Zn-O 爲基礎的非單晶膜（亦即，以 Al-Zn-O-N 爲基礎的非單晶膜）、含氮之以 Zn-O 爲基礎的非單晶膜、或含氮之以 Sn-Zn-O 爲基礎的非單晶膜，以作爲透光導電膜。注意，以 Al-Zn-O-N 爲基礎的非單晶膜中鋅的百分比（at.%）小於或等於 47 at.%且高於非單晶膜中的鋁的百分比；以 Al-Zn-O-N 爲基礎的非單晶膜中鋁的百分比高於以 Al-Zn-O-N 爲基礎的非單晶膜中氮的百分比。以氫氯酸爲基礎的溶液來蝕刻此材料的膜。但是，由於特別是在蝕刻 ITO 膜時容易產生餘留物，所以，可以使用氧化銦及氧化鋅的合金（In_2O_3-ZnO）以增進蝕刻處理能力。

注意，透光導電膜中的成份百分比單位是原子百分比（at.%），並且，藉由使用電子探針 X 光微分析儀（EPMA）之分析，以評估透光導電膜中的成份的百分比。

接著，執行第七微影製程，以便形成光阻掩罩並且藉由蝕刻來去除透光導電膜的不必要部份，而且，去除光阻掩罩，以便成像素電極層 427 和導電層 417（請參見圖 3C）。

經由上述製程，藉由使用七個掩罩，在相同基板上，分別於驅動電路及像素部份中，分開地形成薄膜電晶體 410 和薄膜電晶體 420。驅動電路中的薄膜電晶體 410 是通道蝕刻型薄膜電晶體，其包含具有高電阻汲極區 414a、高電阻汲極區 414b、以及通道形成區 413 之氧化

物半導體層 412。同時，像素部份中的薄膜電晶體 420 是通道蝕刻型薄膜電晶體，其包含具有高電阻汲極區 424a、高電阻汲極區 424b、以及通道形成區 423 之氧化物半導體層 422。在薄膜電晶體 410 和 420 中，即使當施加高電場時，高電阻汲極區 414a、414b、424a 及 424b 均用作爲緩衝器，因而高電場不會被局部地施加，並且可以增進電晶體的耐受電壓。

儲存電容器係由電容器佈線及電容器電極（也稱爲電容器電極層）108 以及作爲介電質的第一及第二閘極絕緣層 402a 和 402b 所構成，儲存電容器也被形成於有薄膜電晶體 410 和 420 形成於其上的基板之上。薄膜電晶體 420 及儲存電容器係成配置矩陣，而對應於個別像素，以使形成像素部份，並且，包含薄膜電晶體 410 之驅動電路圍繞像素部份配置，因而取得用以製造主動矩陣顯示裝置之複數個基板的其中之一。在本說明書中，爲方便起見，將此基板稱爲主動矩陣基板。

像素電極層 427 經由形成於平坦化絕緣層 404、保護絕緣層 403、及氧化物絕緣層 416 中的接觸孔而被電連接至電容器電極層。注意，電容器電極層可以由與源極電極層 409a 和汲極電極層 409b 相同的材料及相同的步驟所形成。

導電層 417 係設置成與氧化物半導體層 412 中的通道形成區 413 相重疊，因而可以降低檢查薄膜電晶體的可靠度之偏壓溫度應力測試（稱爲 BT 測試）前後薄膜電晶體

410 的臨界電壓之變化量。導電層 417 的電位可以與閘極電極層 411 的電位相同或不同。導電層 417 也可以用作爲閘極電極層。此外，導電層 417 的電位可以處於 GND 狀態或 0V 狀態，或者，導電層 417 可以處於浮動狀態。

注意，以噴墨法形成光阻掩罩，用以形成像素電極層 427 和導電層 417。當以噴墨法形成光阻掩罩時，並未使用光罩，其導致成本降低。

（實施例 2）

在本實施例中，將參考圖 4A 至 4C，說明第一熱處理與實施例 1 中的第一熱處理不同之實施例。由於部份步驟除外，圖 4A 至 4C 與圖 2A 至 2E 以及圖 3A 至 3C 相同，所以，相同的代號用於相同的部份且相同部份的詳細說明不再重複。

圖 4A 至 4C 是剖面視圖，顯示製造二薄膜電晶體的製程。

首先，根據實施例 1，在具有絕緣表面的基板 400 之上形成閘極電極層 411 和 421。

然後，在閘極電極層 411 和 421 之上，堆疊第一閘極絕緣層 402a 和第二閘極絕緣層 402b 作爲閘極絕緣層。

然後，在第二閘極絕緣層 402b 之上形成 2 nm 至 200 nm（含）厚的氧化物半導體膜 430（請參見圖 4A）。注意，直到此點都與實施例 1 相同，且圖 4A 相當於圖 2A。

接著，在惰性氣體氛圍或在降壓下，將氧化物半導體

膜脫水或脫氫。脫水或脫氫的第一熱處理的溫度係設定爲大於或等於 350℃且小於基板的應變點，較佳爲大於或等於 400℃。在本實施例中，將氧化物半導體膜 430 形成於其上的基板 400 置於一種熱處理設備之電熱爐中，在氮氛圍中，對氧化物半導體膜 430 執行熱處理。之後，執行冷卻而不曝露於空氣中，以防止水或氫再度混入於氧化物半導體膜 430 中，因而使氧化物半導體膜 430 處於氧缺乏狀態，以降低電阻，亦即，使氧化物半導體膜 430 成爲 n 型（例如 n^-型）。然後，將氧氣體、高純度 N_2O 氣體、或超乾空氣（具有小於或等於-40℃、較佳爲小於或等於-60℃之露點）導引至相同的加熱爐並執行冷卻。較佳的是，氧氣體或 N_2O 氣體未含水、氫、等等。此外，導入於熱處理設備中之氧氣體或 N_2O 氣體的純度較佳爲大於或等於 6N（99.9999%），更佳爲大於或等於 7N（99.99999%）（亦即，氧氣體或 N_2O 氣體中的雜質濃度較佳爲小於或等於 1 ppm，更佳爲小於或等於 0.1ppm）。

此外，在脫水或脫氫之第一熱處理之後，在氧氣體氛圍、N_2O 氣體氛圍、或超乾空氣（具有小於或等於-40℃，較佳爲小於或等於-60℃的露點）之氛圍中，在 200℃至 400℃（含），較佳爲在 200℃至 300℃（含），以執行熱處理。

經由上述製程，使整個氧化物半導體膜 430 處於氧過量狀態，以使具有更高的電阻，亦即，i 型。以此方式來形成氧化物半導體膜 444（請參見圖 4B）。結果，增加稍

後形成之薄膜電晶體的可靠度。

在本實施例中，顯示形成氧化物半導體膜 430 之後執行脫水或脫氫的實例，但是，本實施例不限於此。如實施例 1 般對從氧化物半導體膜被處理成島狀的氧化物半導體層執行第一熱處理。

在惰性氣體氛圍或在降壓下，將氧化物半導體膜 430 脫水或脫氫，然後，在惰性氣體氛圍中冷卻。之後，經由微影製程，以形成光阻掩罩。使用光阻掩罩，對氧化物半導體膜 444 執行選擇性蝕刻，因而形成島狀半導體層。然後，在氧氣體氛圍、N_2O 氣體氛圍、或超乾空氣（具有小於或等於-40℃，較佳爲小於或等於-60℃的露點）之氛圍中，在 200℃至 400℃（含），較佳爲在 200℃至 300℃（含），執行熱處理。

此外，在形成氧化物半導體膜 430 之前，在惰性氣體氛圍（氮或例如氦、氖、或氬之稀有氣體）、氧氣體氛圍、超乾空氣（具有小於或等於-40℃，較佳爲小於或等於-60℃的露點）之氛圍中、或在降壓下，執行熱處理（大於或等於 400℃且小於基板的應變點），藉以去除含於閘極絕緣層中之例如氫及水等雜質。

接著，經由第二微影製程，在氧化物半導體膜 444 之上形成光阻掩罩，並且，使用光阻掩罩以對氧化物半導體膜 444 執行選擇性蝕刻，因而形成島狀氧化物半導體層 443 和 445。

然後，去除光阻掩罩。此外，如同實施例 1 的圖

2C、2D、及 2E、以及圖 3A、3B、及 3C 中所示般，在週邊驅動電路部份中，僅部份地蝕刻掉氧化物半導體層，因此，氧化物半導體層 443 具有溝槽（凹部）。然後，形成與氧化物半導體層接觸的低電阻汲極區 408a 及 408b、分別與低電阻汲極區 408a 和 408b 相接觸且爲金屬導電層之源極電極層 415a 和汲極電極層 415b、以及與部份氧化物半導體層 443 相接觸的氧化物絕緣層 416。以此方式，形成用於驅動電路的薄膜電晶體 449。同時，在像素部份中，氧化物半導體僅被部份地蝕刻掉，因此，氧化物半導體層 445 具有溝槽（凹部）。然後，形成與氧化物半導體層 445 接觸且爲透光導電層之源極電極層 409a 和汲極電極層 409b、以及與部份氧化物半導體層 445 相接觸的氧化物絕緣層 416。以此方式，形成用於像素的薄膜電晶體 451。

接著，在惰性氣體氛圍或氧氣氛圍中，執行第二熱處理（較佳爲在 200℃至 400℃（含），例如 250℃至 350℃（含））。舉例而言，在 250℃下，在氮氛圍中，執行第二熱處理一小時。

接著，堆疊保護絕緣層 403 及平坦化絕緣層 404 以便覆蓋薄膜電晶體 449 和 451 及與氧化物絕緣層 416 相接觸。此外，在保護絕緣層 403 及平坦化絕緣層 404 中形成接觸孔而抵達汲極電極層 409b。此外，形成及選擇性地蝕刻透光導電膜，藉以形成電連接至薄膜電晶體 451 的導電層 417 和像素電極層 427（請參見圖 4C）。

經由上述製程，藉由使用七個掩罩，在相同基板之上，分別在驅動電路及像素部份中分開地形成薄膜電晶體 449 及薄膜電晶體 451，在薄膜電晶體 449 及薄膜電晶體 451 中的每一個薄膜電晶體中，整個氧化物半導體層是 i 型。用於驅動電路的薄膜電晶體 449 是通道蝕刻型薄膜電晶體，其包含完全 i 型的氧化物半導體層 443，而用於像素的薄膜電晶體 451 是通道蝕刻型薄膜電晶體，其包含完全 i 型的氧化物半導體層 445。

此外，儲存電容器係電容器佈線及電容器電極以及作爲介電質的第一閘極絕緣層 452a 及第二閘極絕緣層 452b 所構成，儲存電容器係形成於有薄膜電晶體 410 和 449 和 451 形成於其上的基板之上。薄膜電晶體 451 及儲存電容器係以矩陣方式配置，而對應於個別像素，以便形成像素部份，並且，包含薄膜電晶體 449 之驅動電路圍繞像素部份配置，因而取得用以製造主動矩陣顯示裝置之複數個基板的其中之一。

導電層 417 係設置成與氧化物半導體層 443 中的通道形成區 413 相重疊，因而可以降低 BT 測試前後薄膜電晶體 449 的臨界電壓之變化量。導電層 417 的電位可以與閘極電極層 411 的電位相同或不同。導電層 417 也可以用作爲閘極電極層。此外，導電層 417 的電位可以處於 GND 狀態或 0V 狀態，或者，導電層 417 可以處於浮動狀態。

（實施例 3）

將參考圖 5A 至 5C，說明與實施例 1 不同之半導體裝置製造方法。與實施例 1 相同或具有類似的功能之部份如同實施例 1 般形成，與實施例 1 相同或類似的部份如同實施例 1 般執行；因此，將不再重複其說明。

圖 5A 至 5D 是剖面視圖，顯示製造二薄膜電晶體的製程。

首先，如同實施例 1 的圖 2A 般，在具有絕緣表面的基板 400 之上形成閘極電極層 411 和閘極電極層 421。然後，在閘極電極層 411 和 421 之上，形成第一閘極絕緣層 402a 和第二閘極絕緣層 402b 作爲閘極絕緣層，並且，在第二閘極絕緣層 402b 之上形成氧化物半導體膜 430（請參見圖 5A）。

接著，經由第二微影製程，在氧化物半導體膜上形成光阻掩罩。使用光阻掩罩以對氧化物半導體膜執行選擇性蝕刻，因而形成島狀半導體層。

然後，如實施例 1 的圖 2B 中一般，去除光阻掩罩及執行第一熱處理，因而將氧化物半導體層脫水或脫氫。脫水或脫氫的熱處理的溫度係大於或等於 350℃ 且小於基板的應變點，較佳爲大於或等於 400℃。在此，將氧化物半導體層形成於其上的基板 400 置於一種熱處理設備之電熱爐中，在氮氛圍中，對氧化物半導體層執行熱處理，執行冷卻而不曝露於空氣中，以防止水或氫再度混入於氧化物半導體層中，藉以取得氧化物半導體層 431 和 432（請參見圖 5B）。

然後，在氧化物半導體層 431 和 432 以及閘極絕緣層 402b 之上形成氧化物導電膜，以及在氧化物導電膜之上形成金屬導電膜。之後，經由第三微影製程，以形成光阻掩罩 445a 和 445b，並且，使用光阻掩罩 445a 和 445b 以執行選擇性蝕刻，藉以形成低電阻汲極區 408a、低電阻汲極區 408b、源極電極層 409a、汲極電極層 409b、源極電極層 415a、汲極電極層 415b、導電層 425a、和導電層 425b（請參見圖 5C）。類似於實施例 1 中的材料可以被使用於氧化物導電膜及金屬導電膜。注意，關於氧化物半導體層，僅有其部份會被蝕刻掉，因此，氧化物半導體層 431 和 432 均具有溝槽（凹部）。

注意，在此蝕刻製程中，適當地設定蝕刻條件以使下層中的氧化物半導體層 431 和 432 可以維持。舉例而言，可以控制蝕刻時間。

此外，用以形成氧化物導電層 431 和 432 的材料以及用以形成低電阻汲極區 408a 和 408b、源極電極層 409a、和汲極電極層 409b 之氧化物導電層 431 和 432 的材料均較佳地相對於其它材料具有高的蝕刻選擇比例。舉例而言，可以使用含有 Sn 的金屬氧化物材料（例如，$SnZnO_x$（$x>0$）、$SnGaZnO_x$、等等）作爲用於氧化物半導體層 431 和 432 的材料，並且，使用 ITO 等等作爲用於低電阻汲極區 408a 和 408b、源極電極層 409a、和汲極電極層 409b 的材料。

然後，去除光阻掩罩 445a 和 445b，並且，經由第四

蝕刻製程形成光阻掩罩 438。然後，使用光阻掩罩 438，以執行選擇性蝕刻，藉以去除導電層 425a 和 425b（請參見圖 5D）。

由於經由第四微影製程而選擇性地去除與源極電極層 409a 和汲極電極層 409b 相重疊的導電層，所以，適當地調整用於氧化物半導體層 432、源極電極層 409a、和汲極電極層 409b 的材料及蝕刻條件，使得在蝕刻導電層時它們不會被去除。

氧化物半導體層 431 和 432 較佳具有小於或等於 50nm 的厚度以保持在非晶狀態。特別是在通道蝕刻型薄膜電晶體中，進一步蝕刻氧化物半導體層，並且，薄區（亦即通道形成區）的厚度小於或等於 30 nm，以及完成的薄膜電晶體中的薄區的厚度係設定爲 5 nm 至 20 nm（含）。

此外，完成的薄膜電晶體的通道寬度較佳爲 0.5μm 至 10μm（含）。

接著，如同實施例 1 的圖 3A 中般，用作爲保護絕緣膜的氧化物絕緣層 416 係形成爲接觸氧化物半導體層 431 和 432 的溝槽（凹部），並且，執行第二熱處理。以此方式，與閘極電極層 411 相接觸的通道形成區 413 變成 i 型，並且，與閘極電極層 421 相接觸的通道形成區 423 也變成 i 型。此外，以自行對準的方式，形成與源極電極層 415a 相重疊的高電阻汲極區 414a 以及與源極電極層 415b 相重疊的高電阻汲極區 414b，並且，以自行對準的方

式，形成與源極電極層 409a 相重疊的高電阻汲極區 424a 以及與汲極電極層 409b 相重疊的高電阻汲極區 424b。

然後，如同實施例 1 的圖 3B 般，在氧化物絕緣層 416 之上形成保護絕緣層 403，並且，在保護絕緣膜 403 之上形成平坦化絕緣層 404。經由第五微影製程，以形成光阻掩罩，並且，使用光阻掩罩，對平坦化絕緣層 404、保護絕緣層 403、及氧化物絕緣層 416 執行蝕刻，因而形成抵達汲極電極層 409b 的接觸孔 441。

接著，如同實施例 1 的圖 3C 般去除光阻掩罩之後，形成透光導電膜。接著，執行第六微影製程，以便形成光阻掩罩，並且藉由使用光阻掩罩來蝕刻掉透光導電膜之不必要的部份，以形成像素電極層 427 和導電層 417。

經由上述步驟，藉由使用第六掩罩，在一個基板之上，分別在驅動電路及像素部份中，分開地形成薄膜電晶體 410 和薄膜電晶體 420。掩罩數目可以比實施例 1 的製程中還少。用於驅動電路的薄膜電晶體 410 是通道蝕刻型薄膜電晶體，其包含具有高電阻汲極區 414a、高電阻汲極區 414b、以及通道形成區 413 之氧化物半導體層 412。同時，用於像素部份的薄膜電晶體 420 是通道蝕刻型薄膜電晶體，其包含具有高電阻汲極區 424a、高電阻汲極區 424b、以及通道形成區 423 之氧化物半導體層 422。在薄膜電晶體 410 和 420 中，即使當施加高電場時，高電阻汲極區 414a、414b、424a 及 424b 均用作爲緩衝器以及高電場不會被局部地施加，使得可以增進電晶體的耐受電壓。

（實施例 5）

將參考圖 6A1 至 6C、圖 38A 至 38E、及圖 39A 至 39C，說明不同於實施例 1 的半導體裝置及半導體裝置的製造方法。圖 6B 及 6C 顯示形成於一個基板之上結構彼此不同的二薄膜電晶體之剖面結構的實例。圖 6A1 至 6C 中所示的薄膜電晶體 460 及薄膜電晶體 470 均爲一種通道蝕刻型底部閘極電晶體。

圖 6A1 是配置於驅動電路中的通道蝕刻型薄膜電晶體 460 的平面視圖，圖 6A2 是配置於像素中的通道蝕刻型薄膜電晶體 470 的平面視圖，圖 6B 是剖面視圖，顯示沿著圖 6A1 中的 G1-G2 線之剖面結構及沿著圖 6A2 中的 H1-H2 線之剖面結構，圖 6C 是剖面視圖，顯示沿著圖 6A1 中的 G3-G4 線之剖面結構及沿著圖 6A2 中的 H3-H4 線之剖面結構。

配置於驅動電路中的薄膜電晶體 460 是通道蝕刻型薄膜電晶體，並且包含位於具有絕緣表面的基板 450 之上的閘極電極層 461；第一閘極絕緣層 452a；第二閘極絕緣層 452b；氧化物半導體層 462，包含至少通道形成區 463、高電阻汲極區 464a、及高電阻汲極區 464b；低電阻汲極區 446a；低電阻汲極區 446b；源極電極層 465a；以及，汲極電極層 465b。此外，設置覆蓋薄膜電晶體 460 及與通道形成區 463 相接觸之氧化物絕緣層 466。

高電阻汲極區 464a 以自行對準方式而被形成爲接觸

低電阻汲極區 446a 的底部表面。高電阻汲極區 464b 以自行對準方式而被形成爲接觸低電阻汲極區 446b 的底部表面。通道形成區 463 是與氧化物絕緣層 466 相接觸，具有小的厚度，並且是電阻比高電阻汲極區 464a 及高電阻汲極區 464b 之電阻還高的區域（i 型區）。

此外，由於設置低電阻汲極區 446a 和 446b，所以，以熱的觀點而言，薄膜電晶體 460 也可以比具有肖特基（Schottky）接面的薄膜電晶體更穩定地操作。藉由刻意地設置如上所述之載子濃度比氧化物半導體層的載子濃度還高的低電阻汲極區，以取得歐姆接觸。

爲了降低薄膜電晶體 460 的電阻，金屬材料較佳地使用於源極電極層 465a 和汲極電極層 465b。

當在本實施例的半導體裝置中於一個基板之上形成像素部份及驅動電路時，在驅動電路中，正電壓或負電壓被施加於包含於例如反相器電路、反及（NAND）電路、反或（NOR）電路、或鎖存電路中的薄膜電晶體的源極電極與汲極電極之間、以及包含於例如感測放大器、固定電壓產生電路、或 VCO 之類比電路中的薄膜電晶體的源極電極與汲極電極之間。結果，需要高耐受電壓的高電阻汲極區 464b 的寬度可以被設計成大於高電阻汲極區 464a 的寬度。此外，可以增加與閘極電極層 461 相重疊之高電阻汲極區 464b 與高電阻汲極區 464a 中的每一者的區域之寬度。

使用單閘極薄膜電晶體，說明配置於驅動電路中的薄

膜電晶體 460；當需要時，可以形成包含多個通道形成區的多閘極薄膜電晶體。

此外，導電層 467 係配置於通道形成區 463 的上方以便與通道形成區 463 相重疊。導電層 467 係電連接至閘極電極層 461，以使導電層 467 及閘極電極層 461 具有相同的電位，因此可以從設於閘極電極層 461 與導電層 467 之間的氧化物半導體層 462 之上及之下，施加閘極電壓。或者，當閘極電極層 461 及導電層 467 被製成具有不同電位時，舉例而言，它們的其中之一具有固定電位、GND 電位、或 0V，則可以控制例如臨界電壓等 TFT 的電特徵。換言之，閘極電極層 461 及導電層 467 的其中之一用作爲第一閘極電極層，而閘極電極層 461 及導電層 467 中另一者用作爲第二閘極電極層，因而可以使用薄膜電晶體 460 作爲具有四端子的薄膜電晶體。

此外，保護絕緣層 453 及平坦化絕緣層 454 係堆疊於導電層 467 與氧化物絕緣層 466 之間。

保護絕緣層 453 較佳與第一閘極絕緣層 452a 或設於保護絕緣層 453 之下作爲基底之絕緣膜相接觸，並且，阻擋例如濕氣、氫離子、及 OH^- 之雜質從基板 450 的側表面進入。特別有效的是使用氮化矽膜作爲第一閘極絕緣層 402a 或作爲與保護絕緣層 453 接觸之基底的絕緣膜。

配置於像素中的薄膜電晶體 470 是通道蝕刻型薄膜電晶體，並且包含位於具有絕緣表面的基板 450 之上的閘極電極層 471；第一閘極絕緣層 452a；第二閘極絕緣層

452b；氧化物半導體層 472，包含至少通道形成區 473、高電阻汲極區 474a、及高電阻汲極區 474b；源極電極層 447a；以及，汲極電極層 447b。此外，設置覆蓋薄膜電晶體 470 及與氧化物半導體層 472 的上表面和側表面相接觸之氧化物絕緣層 466。

注意，在本實施例的半導體裝置中執行 AC 驅動以防止液晶劣化。經由 AC 驅動，施加至像素電極層的訊號電位之極性會以每一預定週期而被反相成爲正的或負的。在連接至像素電極層的 TFT 中，電極對用作爲源極電極層和汲極電極層。在本說明書中，爲了方便起見，像素中的薄膜電晶體之電極對的其中之一稱爲源極電極層，而這些電極中的另一電極稱爲汲極電極層；但是，實際上，在 AC 驅動的情況中，這些電極的其中之一交替地作爲源極電極層和汲極電極層。此外，爲了降低漏電流的量，配置於像素中的薄膜電晶體 470 中的閘極電極層的寬度可以被製成小於配置在驅動電路中的薄膜電晶體 460 中的閘極電極層的寬度。或者，爲了降低漏電流量，配置於像素中的薄膜電晶體 470 中的閘極電極層 471 可以被設計成未與源極電極層 447a 或汲極電極層 447b 重疊。

高電阻汲極區 474a 以自行對準方式而被形成爲與源極電極層 447a 的底部表面相接觸。高電阻汲極區 474b 以自行對準方式而被形成爲與汲極電極層 447b 的底部表面相接觸。通道形成區 473 是與氧化物絕緣層 466 相接觸，具有小的厚度，並且是電阻比高電阻汲極區 474a 及 474b

之電阻還高的區域（i型區）。

在沈積用以形成氧化物半導體層 462 和 472 之氧化物半導體膜之後，執行用以降低例如濕氣之雜質的熱處理（脫水或脫氫熱處理）。在脫水或脫氫熱處理及緩慢冷卻之後，舉例而言，藉由形成與形成的氧化物半導體層相接觸之氧化物絕緣膜，以降低氧化物半導體層 462 和 472 的載子濃度，其導致薄膜電晶體 460 和 470 的電特徵及可靠度增進。

氧化物半導體層 462 係形成於部份源極電極層 465a 和汲極電極層 465b 之下並與其相重疊。此外，氧化物半導體層 462 與閘極電極層 461 相重疊，而以第一閘極絕緣層 452a 和第二閘極絕緣層 452b 介於其間。此外，氧化物半導體層 472 係形成於部份源極電極層 447a 和汲極電極層 447b 之下並與其相重疊。此外，氧化物半導體層 472 與閘極電極層 471 相重疊，而以第一閘極絕緣層 452a 和第二閘極絕緣層 452b 介於其間。

透光導電膜被使用於薄膜電晶體 470 的源極電極層 447a 和汲極電極層 447b，以實現具有高孔徑比的顯示裝置。

此外，透光導電膜也被使用於薄膜電晶體 470 中的閘極電極層 471。

在配置有薄膜電晶體 470 的像素中，使可見光透射的導電膜用於像素電極層 477 或不同的電極層（例如，電容器電極層）或不同的佈線層（例如，電容器佈線層），實

現具有高孔徑比的顯示裝置。無需多言，較佳以使可見光透射的膜用於第一閘極絕緣層 452a、第二閘極絕緣層 452b、以及氧化物絕緣層 466。

於下，將參考圖 38A 至 38E 及圖 39A 至 39C，說明在相同基板之上製造薄膜電晶體 460 和 470 的製程。

首先，在具有絕緣表面的基板 450 之上形成透光導電膜。然後，經由第一微影製程，在導電膜之上形成光阻掩罩，並且，使用光阻掩罩以執行選擇性蝕刻，因而形成閘極電極層 461 和 471。此外，經由第一微影製程，以同於閘極電極層 461 和 471 的材料，在像素部份中形成電容器佈線（也稱爲電容器佈線層）。此外，當在驅動電路與在像素部份中需要電容器時，也在驅動電路中形成電容器佈線。注意，可以用噴墨法，以形成光阻掩罩。當以噴墨法形成光阻掩罩時，不使用光罩，其導致製造成本降低。

雖然對於可以用作爲具有絕緣表面的基板 450 並無特別限定，但是，基板需要具有足夠高的抗熱性以至少耐受稍後執行的熱處理。關於具有絕緣表面的基板 450，可以使用硼矽酸鋇玻璃、硼矽酸鋁玻璃之玻璃基板。

當稍後執行的熱處理的溫度高時，具有大於或等於 730℃ 的應變點之基板較佳用作爲可應用至基板 450 的玻璃基板。關於玻璃基板，舉例而言，使用例如矽酸鋁玻璃、硼矽酸鋁玻璃、或硼矽酸鋇玻璃之玻璃材料。注意，當玻璃含有的氧化鋇（BaO）的量大於硼酸時，可以取得具有抗熱性的更實用玻璃。因此，較佳使用含有的 BaO

的量大於 B_2O_3 的量之玻璃基板。

注意，由例如陶瓷基板、石英基板、或藍寶石基板之絕緣體所形成的基板可以被使用作爲基板 400 以取代玻璃基板。或者，可以使用結晶玻璃等作爲基板 450。

作爲基底膜的絕緣膜可以被設於基板 450 與閘極電極層 461 和 471 之間。基底膜具有防止雜質元素從基板 400 擴散出之功能，並且可由氮化矽膜、氧化矽膜、氮氧化矽膜、及氧氮化矽膜的其中之一或更多的單一膜或堆疊膜，以形成基底膜。

關於用於閘極電極層 461 和 471 之材料，舉例而言，可以使用下述金屬氧化物中的任意金屬氧化物之使可見光透射的導電材料：以 In-Sn-Zn-O 爲基礎的金屬氧化物、以 In-Al-Zn-O 爲基礎的金屬氧化物、以 Sn-Ga-Zn-O 爲基礎的金屬氧化物、以 Al-Ga-Zn-O 爲基礎的金屬氧化物、以 Sn-Al-Zn-O 爲基礎的金屬氧化物、以 In-Zn-O 爲基礎的金屬氧化物、以 Sn-Zn-O 爲基礎的金屬氧化物、以 Al-Zn-O 爲基礎的金屬氧化物、以 In-O 爲基礎的金屬氧化物、以 Sn-O 爲基礎的金屬氧化物、及以 Zn-O 爲基礎的金屬氧化物。閘極電極層 461 及 471 的厚度係設定在 50 nm 至 300 nm（含）的範圍內。以濺射法、真空蒸鍍法（例如，電子束蒸鍍法）、電弧放電離子電鍍法、或噴鍍法，沈積用於閘極電極層 461 和 471 的金屬氧化物。當使用濺射法時，較佳使用含有 2 wt%至 10 wt%（含）的 SiO_2 之靶材以執行沈積，並且，在形成的透光導電膜中含

有抑制結晶化的 SiO_X（x > 0），以便在稍後步驟中的脫水或脫氫之熱處理時防止結晶化。

然後，去除光阻掩罩，並且，在閘極電極層 411 和 421 之上形成閘極絕緣層。

以電漿 CVD 法、濺射法等方法，使用氧化矽層、氮化矽層、氮氧化矽層、及氧氮化矽層的其中之一或更多的單一膜或堆疊膜，以形成閘極絕緣層。舉例而言，當形成氧氮化矽層時，可以使用 SiH_4、氧、及氮作爲沈積氣體，以電漿 CVD 法來形成氧氮化矽層。

在本實施例中，閘極絕緣層是厚度爲 50 nm 至 200 nm（含）的第一閘極絕緣層 452a 及厚度爲 50 nm 至 300 nm（含）的第二閘極絕緣層 452b。關於第一閘極絕緣層 452a，使用 100 nm 厚的氮化矽膜或氮氧化矽膜。關於第二閘極絕緣層 402b，使用 100 nm 厚的氧化矽膜。

在第二閘極絕緣層 452b 之上形成厚度爲 2 nm 至 200 nm（含）的氧化物半導體膜 480（請參見圖 38A）。氧化物半導體膜 480 較佳具有小於或等於 50 nm 的厚度，使得即使在形成氧化物半導體膜 480 之後執行脫水或脫氫的熱處理時稍後形成的氧化物半導體層仍然處於非晶狀態。當形成氧化物半導體膜 480 之後執行熱處理時，氧化物半導體膜 480 的小厚度可以防止稍後形成的氧化物半導體層結晶化。

注意，在藉由濺射法形成氧化物半導體膜 480 之前，藉由逆向濺射，較佳去除附著於第二閘極絕緣層 452 的表

面上的灰塵，在逆向濺射中，導入氬氣以產生電漿。

關於氧化物半導體膜 480，使用以 In-Ga-Zn-O 爲基礎的非單晶膜、以 In-Sn-Zn-O 爲基礎的氧化物半導體膜、以 In-Al-Zn-O 爲基礎的氧化物半導體膜、以 Sn-Ga-Zn-O 爲基礎的氧化物半導體膜、以 Al-Ga-Zn-O 爲基礎的氧化物半導體膜、以 Sn-Al-Zn-O 爲基礎的氧化物半導體膜、以 In-Zn-O 爲基礎的氧化物半導體膜、以 Sn-Zn-O 爲基礎的氧化物半導體膜、以 Al-Zn-O 爲基礎的氧化物半導體膜、以 In-O 爲基礎的氧化物半導體膜、以 Sn-O 爲基礎的氧化物半導體膜、或以 Zn-O 爲基礎的氧化物半導體膜。在本實施例中，藉由使用以 In-Ga-Zn-O 爲基礎的氧化物半導體靶材，以濺射法形成氧化物半導體膜 480。或者，在稀有氣體（典型上爲氬）氛圍中、氧氛圍中、或含有稀有氣體（典型上爲氬）及氧的氛圍中，以濺射法來形成氧化物半導體膜 480。當使用濺射法時，較佳使用含有 2 wt%至 10 wt%（含）的 SiO_2 之靶材以執行氧化物半導體膜 480 的沈積，並且，在氧化物光導電膜 480 中含有抑制結晶化的 SiO_x（$x > 0$），以便在稍後步驟中的脫水或脫氫之熱處理時防止稍後形成的氧化物半導體層結晶化。

接著，氧化物半導體膜 480 受到脫水或脫氫。用於脫水或脫氫的第一熱處理之溫度大於或等於 350℃且小於基板的應變點，較佳爲大於或等於 400℃。在此，有氧化物半導體膜 480 形成於其上的基板 450 被置於一種熱處理設備的電熱爐中，在氮氛圍中，對氧化物半導體膜 480 執行

熱處理，然後，執行冷卻而未曝露於空氣，並且，防止水或氫再混入於氧化物半導體膜 480 中；因此，取得氧化物半導體膜 481（請參見圖 38B）。在本實施例中，從氧化物半導體膜 480 受到脫水或脫氫之熱處理溫度 T 至低至足以防止水再度進入的溫度，使用相同的加熱爐；具體而言，在氮氛圍中執行緩慢冷卻直到溫度從熱處理溫度 T 下降 100℃或更多。此外，不侷限於氮氛圍，在稀有氣體氛圍（例如氦、氖、或氬）中或在降壓下，可以執行脫水或脫氫。

注意，在第一熱處理中，較佳的是，水、氫、等等未含於氮或例如氦、氖、或氬等稀有氣體中。或者，導入於熱處理設備中之氮或例如氦、氖、或氬等稀有氣體之純度較佳爲大於或等於 6N（99.9999%），更佳爲大於或等於 7N（99.99999%）或更高（亦即，雜質濃度較佳爲小於或等於 1 ppm，更佳爲小於或等於 0.1ppm）。

在某些情況中，氧化物半導體層視第一熱處理的條件或氧化物半導體膜 480 的材料而被結晶化成微晶層或多晶層。

此外，也對從氧化物半導體膜被處理成島狀氧化物半導體層執行第一熱處理。

此外，在形成氧化物半導體膜 480 之前，在惰性氣體氛圍（氮或例如氦、氖、或氬等稀有氣體）、氧氛圍、或減壓下，執行熱處理（大於或等於 400℃且小於基板的應變點），藉以去除含於閘極絕緣層中的例如氫及水之雜

質。

然後，在氧化物半導體膜 481 之上依序形成氧化物導電膜及金屬導電膜。

關於氧化物導電膜的材料，舉例而言，可以使用下述金屬氧化物中的任意金屬氧化物之使可見光透射的導電材料：以 In-Sn-Zn-O 爲基礎的金屬氧化物、以 In-Al-Zn-O 爲基礎的金屬氧化物、以 Sn-Ga-Zn-O 爲基礎的金屬氧化物、以 Al-Ga-Zn-O 爲基礎的金屬氧化物、以 Sn-Al-Zn-O 爲基礎的金屬氧化物、以 In-Zn-O 爲基礎的金屬氧化物、以 Sn-Zn-O 爲基礎的金屬氧化物、以 Al-Zn-O 爲基礎的金屬氧化物、以 In-O 爲基礎的金屬氧化物、以 Sn-O 爲基礎的金屬氧化物、或以 Zn-O 爲基礎的金屬氧化物。氧化物導電膜的厚度係適當地選擇在 50 nm 至 300 nm（含）的範圍內。關於氧化物導電膜的沈積法，使用濺射法、真空蒸鍍法（例如，電子束蒸鍍法）、電弧放電離子電鍍法、或噴鍍法。當使用濺射法時，較佳使用含有 2 wt%至 10 wt%（含）的 SiO_2 之靶材以執行沈積，並且，在透光導電膜中含有抑制結晶化的 SiO_x（$x > 0$），以便在稍後步驟之熱處理時防止稍後形成的氧化物導電層 442 和 447 的結晶化。

用於金屬導電膜的材料之實例爲選自 Al、Cr、Cu、Ta、Ti、Mo、及 W 的元素；含有這些元素中的任何元素作爲成份的合金；以及含有這些元素組合的合金。

關於金屬導電膜，較佳使用包含鈦膜、設於鈦膜之上

的鋁膜、及設於鋁膜之上的鈦膜之三層堆疊膜、或是包含鉬膜、設於鉬膜之上的鋁膜、及設於鋁膜之上的鉬膜之三層堆疊膜。當然，也可以使用二層堆疊膜、或四或更多層的堆疊膜作爲金屬導電膜。

在形成氧化物導電膜及金屬導電膜之後，經由第二微影製程，以形成光阻掩罩 482a 和 482b。注意，以噴墨法形成光阻掩罩 482a 及 482b。當以噴墨法形成光阻掩罩 482a 和 482b 時並未使用光罩，其導致製造成本降低。

在本實施例中，光罩掩罩 482a 和 482b 均爲具有凹部或凸部的光阻掩罩。換言之，此光阻掩罩可以稱爲包含具有不同厚度之複數個區（在此，二個區）的光阻掩罩。在光阻掩罩 482a 或 482b 中，厚區稱爲凸部，薄區稱爲凹部。

在光阻掩罩 482a 和 482b 中的每一個光阻掩罩中，在稍後形成的源極和汲極電極層之區域中形成凸部，並且，在要成爲源極電極層與汲極電極層之間的通道形成區之區域中，形成凹部。

使用多色調掩罩，以形成光阻掩罩 482a 和 482b。多色調掩罩是能夠以多等級光強度曝光的光罩，典型上，以三等級光強度執行曝光，以提供曝光區、半曝光區、及未曝光區。藉由使用多色調掩罩的其中之一次曝光及顯影步驟，可以形成具複數個厚度（典型上，二種厚度）的光阻掩罩。因此，藉由使用多色調掩罩，可以降低光罩數目。

藉由使用多色調掩罩之曝光及顯影，可以形成均具有

厚度不同的區域之光阻掩罩 482a 和 482b。注意，不侷限於此，可以不使用多色調掩罩而形成光阻掩罩 482a 和 482b。

接著，藉由使用光阻掩罩 482a 和 482b，選擇性地及同時蝕刻金屬導電膜、氧化物導電膜、及氧化物半導體膜 481，因而形成島狀氧化物半導體層 483 和 485、氧化物導電層 442 和 447、以及導電層 484 和 486（請參見圖 38C）。當使用包含鈦膜、鋁膜、及鈦膜的堆疊導電膜作爲導電膜時，藉由使用氯氣，以乾式蝕刻法執行蝕刻。

接著，藉由縮減（減少尺寸）光阻掩罩 482a 和 482b，以形成光阻掩罩 487a 和 487b。爲了縮減（減少尺寸）光阻掩罩，執行使用氧電漿等等之灰化。當光阻掩罩被縮減（減少尺寸）時，部份導電層 484 和 486 曝露。

接著，使用光阻掩罩 487a 和 487b，執行選擇性蝕刻，因而形成源極電極層 465a、汲極電極層 465b、低電阻汲極區 446a、低電阻汲極區 446b、源極電極層 447a、汲極電極層 447b、導電層 490a、及導電層 490b（請參見圖 38D）。注意，關於氧化物半導體層 483 和 485，此時其僅有部份被蝕刻掉，以取得均具有溝槽（凹部）的氧化物半導體層。

注意，如圖 38D 所示，藉由使用縮減（縮小尺寸）光阻掩罩 482a 和 482b 而取得的光阻掩罩 487a 和 487b 之蝕刻，在氧化物半導體層 483 和 485 的邊緣部份形成薄區。亦即，氧化物半導體層 483 的端部係延伸至低電阻汲極區

408a 和 408b 的端部之外，並且，氧化物半導體層 485 的端部係延伸至源極和汲極電極層 447a 和 447b 的端部之外。注意，氧化物半導體層 483 的邊緣部份具有與要變成爲通道形成區的氧化物半導體層 483 之溝槽（凹部）處的厚度相同的厚度。此外，氧化物半導體層 485 的端部具有與要變成爲通道形成區的氧化物半導體層 485 之溝槽（凹部）處的厚度相同的厚度。

注意，在本蝕刻製程中，適當地設定蝕刻條件以使下層中的氧化物半導體層 483 和 485 可以維持。舉例而言，可以控制蝕刻時間。

此外，用以形成氧化物導電層 483 和 485 的材料及用以形成氧化物導電層 442 和 447 的材料均較佳地相對於其它材料具有高蝕刻選擇比例。舉例而言，可以使用含有 Sn 的金屬氧化物材料（例如，$SnZnO_x$（x>0）、$SnGaZnO_x$、等等）作爲用於氧化物半導體層 483 和 485 的材料，並且，使用 ITO 等等作爲用於氧化物導電層 442 和 447 的材料。

然後，去除光阻掩罩 487a 和 487b，並且經由第三微影製程，以形成光阻掩罩 491。然後，執行選擇性蝕刻，藉以去除導電層 490a 和 490b（請參見圖 38E）。

由於經由第三微影製程，選擇性地去除與源極電極層 447a 和汲極電極層 447b 相重疊的導電層，所以，適當地調整氧化物半導體層 432、源極電極層 447a、以及汲極電極層 447b 的材料以及蝕刻條件，使得在蝕刻導電層時它

們不會被去除。

用作爲保護絕緣膜的氧化物絕緣層 466 係形成爲接觸氧化物半導體層 483 和 485 中的溝槽（凹部）。

氧化物絕緣層 466 具有至少 1 nm 的厚度且可以由例如濺射法之方法而被適當地形成，藉由此方法，例如水或氫之雜質不會混入於氧化物絕緣層 466 中。在本實施例中，以濺射法形成 300 nm 厚的氧化矽膜用作爲氧化物絕緣層 466。在膜形成時的基板溫度可在室溫至 300℃（含）的範圍中，在本實施例中爲 100℃。在稀有氣體（典型上是氬）氛圍、氧氛圍、或含有稀有氣體（典型上是氬）及氧的氛圍下，藉由濺射法，以沈積氧化矽膜。此外，使用氧化矽靶材或矽靶材作爲靶材。舉例而言，以濺射法，在含有氧及氮的氛圍中，使用矽靶材，以形成氧化矽膜。使用無機絕緣膜，以形成與電阻降低的區域中氧化物半導體層接觸的氧化物絕緣層 466，無機絕緣膜未含有例如濕氣、氫離子、及 OH^- 之雜質以及阻擋這些雜質從外部進入，典型上爲氧化矽膜、氮氧化矽膜、氧化鋁膜、氧氮化鋁膜。

接著，執行第二熱處理（較佳爲 200℃至 400℃（含），舉例而言，250℃至 350℃（含））（請參見圖 39A）。舉例而言，在氮氣氛圍中，在 250℃下，執行第二熱處理一小時。根據第二熱處理，當氧化物半導體層 483 和 485 中的溝槽接觸氧化物絕緣層 466 時施加熱。

經由上述製程，將氧化物半導體層轉換成高電阻汲極

區（HRN 區），並且，使部份高電阻汲極區選擇性地處於氧過量狀態。結果，與閘極電極層 461 相重疊的通道形成區 463 變成 i 型，並且，與閘極電極層 471 相重疊的通道形成區 473 變成 i 型。此外，與源極電極層 465a 相重疊之高電阻汲極區 464a、以及與汲極電極層 465b 相重疊之高電阻汲極區 464b 以自行對準方式而被形成，並且，與源極電極層 447a 相重疊之高電阻汲極區 474a 以及與汲極電極層 447b 相重疊之高電阻汲極區 474b 以自行對準方式而被形成。

注意，高電阻汲極區 464b（或高電阻汲極區 464a）係形成於與汲極電極層 465b（或源極電極層 465a）相重疊的氧化物半導體層 431 中，使得可以增加形成的驅動電力的可靠度。具體而言，藉由形成高電阻汲極區 464b，從汲極電極層 465b 至高電阻汲極區 464b 和通道形成區，導電率逐漸改變。因此，當電晶體操作時，汲極電極層 465b 係連接至供應高電源電位 VDD 的佈線，即使當高電場被施加於閘極電極層 461 與汲極電極層 465b 之間時，高電阻汲極區 414b 用作爲緩衝器且高電場不會被局部地施加，使得電晶體具有增加的耐受電壓。

當高電阻汲極區 464b（或高電阻汲極區 464a）係形成於與汲極電極層 465b（或源極電極層 465a）相重疊的氧化物半導體層中時，可以降低形成的驅動電路中之通道形成區 463 中的漏電流量。

注意，高電阻汲極區 474b（或高電阻汲極區 474a）

係形成於與汲極電極層 447b（或源極電極層 447a）相重疊的氧化物半導體層中，使得可以增加形成的像素的可靠度。具體而言，藉由形成高電阻汲極區 474b，從汲極電極層 447b 至高電阻汲極區 474b 和通道形成區，導電率逐漸改變。因此，當電晶體操作時，汲極電極層 447b 係連接至供應高電源電位 VDD 的佈線，即使當高電場被施加於閘極電極層 471 與汲極電極層 447b 之間時，高電阻汲極區 474b 用作爲緩衝器且高電場不會被局部地施加，以使電晶體具有增加的耐受電壓。

當高電阻汲極區 474b（或高電阻汲極區 474a）係形成於與汲極電極層 447b（或源極電極層 447a）相重疊的氧化物半導體層中時，可以降低形成於像素中的漏電流量。

然後，保護絕緣層 453 係形成於氧化物絕緣層 466 之上。在本實施例中，藉由 RF 濺射法以形成氮化矽膜。由於 RF 濺射法具有高生產力，所以，較佳被使用作爲保護絕緣層 453 的沈積法。使用未含有例如濕氣、氫離子、及 OH^- 之雜質以及阻擋這些雜質自外部進入的無機絕緣膜，以形成保護絕緣層 453，並且，使用氮化矽膜、氮化鋁膜、氮氧化矽膜、氧氮化鋁膜、等等。無須多言，保護絕緣層 453 是透光絕緣膜。

保護絕緣層 403 較佳與第一閘極絕緣層 452a 或是與設於保護絕緣層 453 下方作爲基底的絕緣膜相接觸，並且，阻擋例如濕氣、氫離子、及 OH^- 之雜質自基板的側表

面的附近進入。特別有效的是使用氮化矽膜作爲第一閘極絕緣層 452a 或是作爲與保護絕緣層 453 接觸之基底的絕緣膜。換言之，設置成圍繞氧化物半導體層的底部表面、頂部表面、及側表面的氮化矽膜可以增加顯示裝置的可靠度。

接著，在保護絕緣層 453 之上形成平坦化絕緣層 454。由例如聚醯亞胺、丙烯酸、苯環丁烯、聚醯胺、或環氧樹脂之具有抗熱性的有機材料形成平坦化絕緣層 454。除了這些有機材料之外，也能夠以低介電常數材料（低 k 材料）、矽烷爲基礎的樹脂、PSG（磷矽酸鹽玻璃）、BPSG（硼磷矽酸鹽玻璃）、等等用於平坦化絕緣層 404。注意，藉由堆疊這些材料形成的多個絕緣膜，以形成平坦化絕緣層 454。

注意，以矽烷爲基礎的樹脂相當於使用以矽烷爲基礎的材料作爲啓始材料而形成的包含 Si-O-Si 鍵之樹脂。以矽烷爲基礎的樹脂可以包含有機基（舉例而言，烷基或芳基）或氟基作爲替代物。此外，有機基可以包含氟基。

對於絕緣層 454 之形成方法並無特別限定。可以視材料而使用下述方法來形成平坦化絕緣膜 454：濺射法、SOG 法、旋轉塗敷法、浸漬法、噴灑塗著法、滴放法（例如，噴墨法、網版印刷法、偏離印刷法）、或是例如刮刀、輥塗著器、簾幕塗著器、或刀式塗著器等工具。

然後，執行第四微影處理，以便形成光阻掩罩以及藉由蝕刻平坦化絕緣層 454、保護絕緣層 453、和氧化物絕

緣層 466 而形成到達汲極電極層 447b 之接觸孔 494（請參見圖 39B）。此外，藉由該蝕刻，也形成抵達閘極電極層 461 和 471 的接觸孔。或者，以噴墨法，形成光阻掩罩以用於形成抵達汲極電極層 447b 的接觸孔。當以噴墨法形成光阻掩罩時未使用光罩，其導致製造成本降低。

接著，去除光阻掩罩，然後形成透光導膜膜。藉由濺射法、真空蒸鍍法、等等，以氧化銦（In_2O_3）膜、氧化銦及氧化錫（$In_2O_3-SnO_2$，簡寫成 ITO）的合金、等等，形成透光導電膜。可以使用含氮之以 Al-Zn-O 爲基礎的非單晶膜（亦即，以 Al-Zn-O-N 爲基礎的非單晶膜）、含氮之以 Zn-O 爲基礎的非單晶膜、或含氮之以 Sn-Zn-O 爲基礎的非單晶膜，以作爲用於透光導電膜的其它材料。注意，以 Al-Zn-O-N 爲基礎的非單晶膜中鋅的百分比（at.%）小於或等於 47 at.%且高於非單晶膜中的鋁的百分比；非單晶膜中鋁的百分比高於非單晶膜中氮的百分比。以氫氯酸爲基礎的溶液來蝕刻此材料。但是，由於特別是在蝕刻 ITO 時容易產生餘留物，所以，可以使用氧化銦及氧化鋅的合金（In_2O_3-ZnO）以增進蝕刻處理能力。

接著，執行第五微影製程，以便形成光阻掩罩,以及藉由蝕刻來去除不必要的部份以形成像素電極層 477 和導電層 467（請參見圖 39C）。

經由上述步驟，藉由使用五個掩罩，在相同的基板之上，分別於驅動電路及像素部份中，分開地形成薄膜電晶體 460 和薄膜電晶體 470。用於驅動電路的薄膜電晶體

460 是通道蝕刻型薄膜電晶體，其包含具有高電阻汲極區 464a、高電阻汲極區 464b、以及通道形成區 463 之氧化物半導體層 462。用於像素的薄膜電晶體 470 是通道蝕刻型薄膜電晶體，其包含具有高電阻汲極區 474a、高電阻汲極區 474b、以及通道形成區 473 之氧化物半導體層 472。即使當施加高電場時，高電阻汲極區用作爲緩衝器，因而高電場不會被局部地施加，使得薄膜電晶體 460 和 470 具有高的耐受電壓。

此外，儲存電容器係由電容器佈線及電容器電極以及作爲介電質的第一閘極絕緣層 452a 及第二閘極絕緣層 452b 所構成，儲存電容器係形成於相同的基板之上。薄膜電晶體 470 及儲存電容器係以矩陣的方式配置，而對應於個別像素，以便形成像素部份，並且，包含薄膜電晶體 460 之驅動電路圍繞像素部份配置，因而取得用以製造主動矩陣顯示裝置之複數個基板的其中之一。

像素電極層 477 經由形成於平坦化絕緣層 454、保護絕緣層 453、及氧化物絕緣層 466 中的接觸孔而被電連接至電容器電極層。注意，電容器電極層可以由與源極電極層 447a 和汲極電極層 447b 相同的材料及相同的步驟所形成。

導電層 467 係設置成與氧化物半導體層中的通道形成區 463 相重疊，因而可以降低檢查薄膜電晶體的可靠度之偏壓溫度應力測試（稱爲 BT 測試）前後薄膜電晶體 460 的臨界電壓之變化量。導電層 467 的電位可以與閘極電極

層 461 的電位相同或不同。導電層 467 也可以作爲第二閘極電極層。此外，導電層 467 的電位可以處於 GND 狀態或 0V 狀態，或者，導電層 467 可以處於浮動狀態。

注意，以噴墨法形成光阻掩罩，用以形成像素電極層 477 和導電層 467。當以噴墨法形成光阻掩罩時未使用光罩，其導致製造成本降低。

（實施例 5）

在本實施例中，將參考圖 40A 至 40C，說明第一熱處理與實施例 4 中的第一熱處理不同之實施例。由於部份步驟除外，圖 40A 至 40C 與圖 6A1 至 39C 相同，所以，相同的代號用於相同的部份且相同部份的詳細說明不再重複。

圖 40A 至 40C 是剖面視圖，顯示製造二薄膜電晶體的製程。

首先，根據實施例 4，在具有絕緣表面的基板 450 之上形成透光導電膜。然後，經由第一微影製程，在導電膜之上形成光阻掩罩，以及，使用光阻掩罩以執行選擇性蝕刻，因而形成閘極電極層 461 和 471。

然後，在閘極電極層 461 和 471 之上，在第一閘極絕緣層 452a 和第二閘極絕緣層 452b 的堆疊。

然後，在第二閘極絕緣層 452b 之上形成 2 nm 至 200 nm（含）厚的氧化物半導體膜 480（請參見圖 40A）。注意，直到此爲止的步驟都與實施例 4 相同；圖 40A 相當於

圖 38A。

接著，在惰性氣體氛圍或在降壓下，使氧化物半導體膜受到脫水或脫氫。脫水或脫氫的第一熱處理的溫度係設定爲大於或等於 350℃且小於基板的應變點，較佳爲大於或等於 400℃。在此，在將基板置於一種熱處理設備之電熱爐中及在氮氛圍中對氧化物半導體膜執行熱處理之後，執行冷卻而不曝露於空氣中，防止水或氫再度混入於氧化物半導體膜中，因而使氧化物半導體膜變成氧缺乏的氧化物半導體膜而變成低電阻氧化物半導體膜，亦即，n 型（n^-型或 n^+型）氧化物半導體膜。然後，將高純度氧氣體、高純度 N_2O 氣體導至相同的加熱爐並執行冷卻。較佳的是，氧氣體或 N_2O 氣體未含水、氫、等等。此外，導入於熱處理設備中之氧氣體或 N_2O 氣體的純度較佳爲大於或等於 6N（99.9999%），更佳爲於或等於 7N（99.99999%）（亦即，氧氣體或 N_2O 氣體的雜質濃度較佳爲小於或等於 1 ppm，更佳爲小於或等於 0.1ppm）。

此外，在脫水或脫氫之第一熱處理之後，在氧氣體、N_2O 氣體氛圍、或超乾空氣（具有小於或等於-40℃，較佳爲小於或等於-60℃的露點）之氛圍中，在 200℃至 400℃（含），較佳爲在 200℃至 300℃（含），執行熱處理。

經由上述步驟，使整個氧化物半導體膜含有過量的氧；因此，取得具有增加的電阻之氧化物半導體膜 496，亦即，i 型氧化物半導體膜 496（請參見圖 40B）。結

果，增加稍後完成的薄膜電晶體的可靠度。

在本實施例中，顯示形成氧化物半導體膜之後執行脫水或脫氫的實施例，但是，本實施例不限於此。如實施例4般也對從氧化物半導體膜被處理成島狀的氧化物半導體層執行熱處理。

此外，在惰性氣體氛圍或在降壓下，將氧化物半導體膜430脫水或脫氫，並且在惰性氣體氛圍中冷卻。之後，經由微影製程，將氧化物半導體膜處理成島狀半導體層。然後，在氧氣體氛圍、N_2O氣體氛圍、或超乾空氣（具有小於或等於-40℃，較佳爲小於或等於-60℃的露點）之氛圍中，在200℃至400℃（含），較佳爲在200℃至300℃（含），執行熱處理。

此外，在形成氧化物半導體膜之前，在惰性氣體氛圍（氮或例如氦、氖、或氬等稀有氣體）、氧氣體氛圍、超乾空氣（具有小於或等於-40℃，較佳爲小於或等於-60℃的露點）之氛圍中、或在降壓下，執行熱處理（大於或等於400℃且小於基板的應變點），藉以去除包含於閘極絕緣層中之例如氫及水等雜質。

接著，經由第二微影製程，將氧化物半導體膜496處理成島狀氧化物半導體層497和498。

然後，如同實施例4的圖38C、38D、及38E、以及圖39A、39B、及39C中所示般，在週邊驅動電路部份中，僅部份地蝕刻掉氧化物半導體層497，以形成具有溝槽（凹部）的氧化物半導體層，形成與氧化物半導體層

497 相接觸的低電阻汲極區 446a 及 446b，形成分別與低電阻汲極區 446a 和 446b 相接觸且爲金屬導電層之源極電極層 465a 和汲極電極層 465b、以及形成與部份氧化物半導體層 497 相接觸的氧化物絕緣層 466，因而形成用於驅動電路的薄膜電晶體 492。同時，在像素部份中，形成與氧化物半導體層 498 相接觸且爲透光導電層之源極電極層 447a 和汲極電極層 447b、以及與部份氧化物半導體層 498 相接觸的氧化物絕緣層 466，藉以製造用於像素的薄膜電晶體 493。

接著，在惰性氣體氛圍或氧氣氛圍中，執行第二熱處理（較佳爲在 200℃至 400℃（含），例如，250℃至 350℃（含））。舉例而言，在 250℃下，在氮氛圍中，執行第二熱處理一小時。

接著，堆疊保護絕緣層 453 及平坦化絕緣層 454 以便覆蓋薄膜電晶體 492 和 493 且與氧化物絕緣層 466 相接觸。在保護絕緣層 453 及平坦化絕緣層 454 中形成抵達汲極電極層 447b 的接觸孔，並且，在接觸孔中及在平坦化絕緣層 454 之上形成透光導電膜。選擇性地蝕刻透光導電膜，以形成電連接至薄膜電晶體 493 的導電層 467 和像素電極層 477（請參見圖 40C）。

經由上述步驟，藉由使用五個掩罩，在相同的基板之上，分別在驅動電路及像素部份中分開地形成薄膜電晶體 492 及薄膜電晶體 493，在薄膜電晶體 492 及薄膜電晶體 493 中的每一個薄膜電晶體中，整個氧化物半導體層是 i

型。用於驅動電路的薄膜電晶體 492 是通道蝕刻型薄膜電晶體，其包含完全 i 型的氧化物半導體層 497。用於像素的薄膜電晶體 493 是通道蝕刻型薄膜電晶體，其包含完全 i 型的氧化物半導體層 498。

此外，儲存電容器係由電容器佈線及電容器電極以及作爲介電質的第一閘極絕緣層 452a 及第二閘極絕緣層 452b 所構成，儲存電容器係形成於基板之上。薄膜電晶體 493 及儲存電容器係以矩陣的方式配置，以對應於個別像素，以便形成像素部份，並且，包含薄膜電晶體 492 之驅動電路圍繞像素部份配置，因而取得用以製造主動矩陣顯示裝置之複數個基板的其中之一。

導電層 467 係設置成與氧化物半導體層 497 中的通道形成區 413 相重疊，因而可以降低用以檢查薄膜電晶體的可靠度之偏壓溫度應力（稱爲 BT 測試）前後薄膜電晶體 449 的臨界電壓之變化量。導電層 467 的電位可以與閘極電極層 461 的電位相同或不同。導電層 467 也可以用作爲第二閘極電極層。此外，導電層 467 的電位可以處於 GND 狀態或 0V 狀態，或者，導電層 467 可以處於浮動狀態。

（實施例 6）

本實施例將顯示以實施例 1 中所述的主動矩陣基板來製造主動矩陣液晶顯示裝置之實例。注意，本實施例也可以被應用至實施例 2 至 5 中所述的主動矩陣基板中的任一

個主動矩陣基板。

圖 7A 顯示主動矩陣基板的剖面結構的實例。

在實施例 1 中顯示在一個基板之上配置於驅動電路部份中的薄膜電晶體及配置於像素部份中的薄膜電晶體：除了這些薄膜電晶體之外，在本實施例中，也顯示儲存電容器、閘極佈線、及源極佈線的端子部份。以同於實施例 1 中的製造步驟，形成電容器、閘極佈線、及源極佈線的端子部份且製造它們時不會增加光罩數目及步驟數目。此外，在用作爲像素部份中的顯示區之部份中，所有的閘極佈線、源極佈線、及電容器佈線係由透光導電膜所形成，造成高孔徑比。此外，金屬佈線可以被使用於非顯示區的部份中的源極佈線層，以降低佈線電阻。

在圖 7A 中，薄膜電晶體 210 是配置在驅動電路中的通道蝕刻型薄膜電晶體，以及電連接至像素電極層 227 的薄膜電晶體 220 是配置在像素部份中的通道蝕刻型薄膜電晶體。

在本實施例中，形成於基板 200 之上的薄膜電晶體 220 具有與實施例 1 中的薄膜電晶體 410 相同的結構。

由與薄膜電晶體 220 的閘極電極層相同的材料及相同的步驟形成的電容器佈線層 230 與電容器電極層 231 相重疊，而以第一閘極絕緣層 202a 和第二閘極絕緣層 202b 置於其間用作爲介電質；因此，形成儲存電容器。電容器電極層 231 係由與薄膜電晶體 220 的源極電極層或閘極電極層相同的透光材料及相同的步驟所形成。由於儲存電容器

與薄膜電晶體 220 具有透光特性，所以，增進孔徑比。

儲存電容器的透光特性對於增加孔徑比是重要的。特別是對於 10 吋或更小的小液晶顯示面板，舉例而言，即使當像素尺寸降低而藉由增加閘極佈線的數目來實現更高解析度的顯示影像時，仍然可以取得高孔徑比。此外，藉由以透光膜用於薄膜電晶體 220 及儲存電容器中的元件，即使當一個像素分成多個子像素時，仍然可以取得高孔徑比，以實現廣視角。亦即，即使當配置有高密度薄膜電晶體組時，仍然能夠維持高孔徑比，並且，顯示區可以具有足夠的面積。舉例而言，當一個像素包含二至四個子像素及儲存電容器時，由於儲存電容器與薄膜電晶體具有透光特性，所以，可以增加孔徑比。

注意，儲存電容器係設於像素電極層 227 之下，並且，電容器電極層 231 係電連接至像素電極層 227。

本實施例顯示儲存電容器係由電容器電極 231 及電容器佈線 230 所構成的實例；但是，對於儲存電容器的結構並無特別限制。舉例而言，以像素電極層重疊相鄰像素中的閘極佈線而以平坦化絕緣層、保護絕緣層、第一閘極絕緣層、及第二閘極絕緣層置於其間但未設置電容器佈線層之方式，形成儲存電容器。

根據像素密度，設置多個閘極佈線、源極佈線、及電容器佈線層。在端子部中，配置與閘極佈線相同電位的多個第一端子電極、與源極佈線相同電位的多個第二端子電極、與電容器佈線層相同電位的多個第三端子電極、等

等。對於每一個端子電極的數目並無特別限定，端子的數目可以由實施者來適當地決定。

在端子部份中，與閘極佈線具有相同電位的第一端子電極可以由與像素電極層 227 相同的透光材料形成。第一端子電極經由抵達閘極佈線的接觸孔而被電連接至閘極佈線。藉由使用用以形成電連接薄膜電晶體 220 的汲極電極層及像素電極層 227 的接觸孔之光罩，選擇性地蝕刻平坦化絕緣層 204、保護絕緣層 203、氧化物絕緣層 216、第二閘極絕緣層 202b、及第一閘極絕緣層 202a，以形成抵達閘極佈線的接觸孔。

配置於驅動電路中的薄膜電晶體 210 之閘極電極層可以被電連接至設於氧化物半導體層之上的導電層 217。在該情況中，藉由使用用以形成電連接薄膜電晶體 220 的汲極電極層及像素電極層 227 的接觸孔之光罩，選擇性地蝕刻平坦化絕緣層 204、保護絕緣層 203、氧化物絕緣層 216、第二閘極絕緣層 202b、及第一閘極絕緣層 202a，以形成接觸孔。配置於驅動電路中的薄膜電晶體 210 的閘極電極層及導電層 217 係經由接觸孔而電連接。

與驅動電路中的源極佈線（源極佈線 234a 至源極佈線 234c）具有相同電位的第二端子電極 235 可以由與像素電極層 227 相同的透光材料所形成。第二端子電極 235 經由抵達源極佈線的接觸孔而被電連接至驅動電路中的源極佈線。驅動電路中的源極佈線是金屬佈線、由與薄膜電晶體 210 的源極電極層相同的材料及步驟所形成、以及具

有與薄膜電晶體 210 的源極電極層相同的電位。

與電容器佈線層 230 具有相同電位的第三端子電極可以由與像素電極層 227 相同的透光材料所形成。此外，在與用以形成電連接電容器電極層 231 及像素電極層 227 的接觸孔之步驟相同的步驟中，使用相同的光罩，以形成抵達電容器佈線層的接觸孔。

在製造主動矩陣型液晶顯示裝置的情況中，液晶層係設於主動基板與設有對置電極（也稱爲對置電極層）的對置基板之間，並且，主動矩陣基板與對置基板固定於彼此。電連接至對置基板上的對置電極之共同電極係設於主動矩陣基板之上，並且，電連接至共同電極的第四端子電極係設於端子部份中。第四端子電極用以將共同電極設定於例如 GND 或 0V 之固定電位。第四端電極可以由與像素電極層 227 相同的透光材料所形成。

對於薄膜電晶體 220 的源極電極層與薄膜電晶體 210 的源極電極層彼此電連接之結構並無特別限制；舉例而言，以與像素電極層 227 相同的步驟，形成用以連接薄膜電晶體 220 的源極電極層及薄膜電晶體 210 的源極電極層之連接電極。或者，在非顯示區的部份中，薄膜電晶體 220 的源極電極層與薄膜電晶體 210 的源極電極層可以彼此相接觸而彼此相重疊。

注意，圖 7A 顯示驅動電路中的閘極佈線層 232 的剖面結構。由於本實施例顯示小於或等於 10 吋的小液晶顯示面板之實施例，所以，驅動電路中的閘極佈線層 232 由

與薄膜電晶體 220 的閘極電極層相同的透光材料所形成。

當相同的材料被使用於閘極電極層、源極電極層、汲極電極層、像素電極層、不同的電極層、及不同的佈線層時，可以使用共同的濺射靶材及共同的製造設備，以及可以降低材料成本及用於蝕刻的蝕刻劑（或蝕刻氣體）的成本；因此，可以降低製造成本。

當感光樹脂材料被使用於圖 7A 的結構中的平坦化絕緣層 204 時，可以省略用以形成光阻掩罩的步驟。

圖 7B 顯示剖面結構，其部份不同於圖 7A 中的結構。除了未設置平坦化絕緣層 204 之外，圖 7B 與圖 7A 相同；因此，以相同代號表示相同部份，並且，不重複相同部份的詳細說明。在圖 7B 中，像素電極層 227、導電層 217、及第二端子電極 235 係形成於保護絕緣層 203 上且與保護絕緣層 203 相接觸。

根據圖 7B 中的結構，可以省略用以形成平坦化絕緣層 204 的步驟。

（實施例 7）

本實施例將顯示一實例，其中，由於在液晶顯示面板的尺寸超過 10 吋及達到 60 吋且甚至 120 吋之情況中透光佈線的電阻可能成爲問題，所以，部份閘極佈線係由金屬部份所製成以便降低佈線電阻。

注意，在圖 8A 中，與圖 7A 中相同的部份以相同代號表示且不重複相同部份的詳細說明。本實施例也可以被

應用至實施例 1 至 4 中所述的任何主動矩陣基板。

圖 8A 顯示一實例，其中，驅動電路中的部份閘極佈線係由與透光佈線相接觸的金屬佈線所製成，與薄膜電晶體 210 的閘極電極層相同。注意，由於形成金屬佈線，所以，光罩的數目大於實施例 1 中的光罩數目。

首先，在基板 200 之上形成可以耐受脫水或脫氫的第一熱處理之耐熱導電材料膜（厚度爲 100 nm 至 500 nm（含））。

在本實施例中，形成 370 nm 厚的鎢膜及 50 nm 厚的氮化鉭膜。雖然在此使用氮化鉭膜及鎢膜的堆疊作爲導電膜，但是，並無特別限制，導電膜可以由下述材料所形成：選自 Ta、W、Ti、Mo、Al、及 Cu 中的元素；含有這些元素中的任何元素作爲成份的合金、含有這些元素中的任何元素的組合的合金、或含有這些元素中的任何元素作爲成份的氮化物。耐熱導電材料膜不限於含有上述元素的單層，而是可爲二或更多層的堆疊。

經由第一微影製程來形成金屬佈線，以便形成第一金屬佈線層 236 及第二金屬佈線層 237。較佳以 ICP（感應耦合電漿）蝕刻法使用於鎢膜和氮化鉭膜的蝕刻。藉由 ICP 蝕刻法，適當地調整蝕刻條件（例如，施加至線圈式電極的電力量、施加至基板側電極的電力量、以及基板側電極的溫度），可以將這些膜蝕刻成所需的錐形。第一金屬佈線層 236 及第二金屬佈線層 237 爲錐形；因此，可以降低要形成於其上的透光導電膜形成時的缺陷。

然後，在形成透光導電膜之後，經由第二微影製程，以形成閘極佈線層 238、薄膜電晶體 210 的閘極電極層、及薄膜電晶體 220 的閘極電極層。使用實施例 1 中所述的使可見光透射之任何導電材料，以形成透光導電膜。

注意，舉例而言，假使有閘極佈線層 238 與第一金屬佈線層 236 或第二金屬佈線層 237 相接觸的介面，則能夠視透光導電膜的材料，以稍後的熱處理等來形成氧化物膜，以使接觸電阻增加。結果，第二金屬佈線層 237 較佳係由防止第一金屬佈線層 236 氧化之氮化金屬膜所形成。

接著，以同於實施例 1 中的步驟，形成閘極絕緣層、氧化物半導體層、等等。根據實施例 1，執行後續步驟以完成主動矩陣基板。

本實施例顯示一實例，其中，在形成平坦化絕緣層 204 之後，使用光罩以選擇性地去除端子部份中的平坦化絕緣層。較佳的是，平坦化絕緣層並未被置於端子部份中，使得端子部份可以以有利方式而被連接至 FPC。

在圖 8A 中，第二端子電極 235 係形成於保護絕緣層 203 之上。圖 8A 顯示與部份第二金屬佈線層 237 相重疊的閘極佈線層 238；或者，閘極佈線層 238 可以覆蓋所有第一金屬佈線層 236 和第二金屬佈線層 237。換言之，第一金屬佈線層 236 和第二金屬佈線層 237 可以被稱爲用以降低閘極佈線層 238 的電阻之輔助佈線。

在端子部份中，與閘極佈線具有相同電位之第一端電極係形成於保護絕緣層 203 且電連接至第二金屬佈線層

237。使用金屬佈線，也形成自端子部份引出的佈線。

此外，爲了降低佈線電阻，可以使用金屬佈線（亦即，第一金屬佈線層 236 和第二金屬佈線層 237）作爲輔助佈線，用於未用作爲顯示區的部份中的閘極佈線層和電容器佈線層。

圖 8B 顯示剖面結構，其部份不同於圖 8A 中所示的結構。除了驅動電路中薄膜電晶體中的閘極電極層的材料之外，8B 與圖 8A 相同；因此，以相同的代號表示相同的部份，且不重複相同部份的詳細說明。

圖 8B 顯示一實例，其中，驅動電路中薄膜電晶體中的閘極電極層係由金屬佈線所製成。在驅動電路中，閘極電極層的材料並不侷限於透光材料。

在圖 8B 中，驅動電路中的薄膜電晶體 240 包含閘極電極層，在閘極電極層中，第二金屬佈線層 242 堆疊於第一金屬佈線層 241 之上。注意，第一金屬佈線層 241 係由與第一金屬佈線層 236 相同的步驟中相同的材料所形成。此外，第二金屬佈線層 242 係由與第二金屬佈線層 237 相同的步驟中相同的材料所形成。

在第一金屬佈線層 241 係電連接至導電層 217 的情況中，較佳使用氮化金屬膜作爲第二金屬佈線層 242，用以防止第一金屬佈線層 241 的氧化。

在本實施例中，金屬佈線用於某些佈線以使佈線電阻降低；即使液晶顯示面板的尺寸達到 10 吋及達到 60 吋，甚至更高時，仍然能取得高解析度的顯示影像以及實現高

孔徑比。

（實施例 8）

在本實施例中，將於圖 9A 及 9B 中顯示與實施例 6 不同的儲存電容器的結構之實例。除了儲存電容器的結構不同之外，圖 9A 與圖 7A 相同；因此，相同的部份以相同代號表示且不重複相同部份的詳細說明。圖 9A 顯示像素中儲存電容器及薄膜電晶體 220 的剖面結構。

圖 9A 顯示一實例，其中，儲存電容器係由像素電極層 227 和與像素電極層 227 相重疊之電容器佈線層 231、以及作爲介電質之氧化物絕緣層 216、保護絕緣膜 203、及平坦化絕緣層 204 所構成。由於電容器佈線層 231 係由與像素中的薄膜電晶體 220 的源極電極層相同的步驟中相同的透光材料所形成，所以，電容器佈線層 231 係配置成不會與薄膜電晶體 220 的源極佈線層相重疊。

在圖 9A 所示的儲存電容器中，成對的電極以及介電質具有透光特性，因此，儲存電容器整體具有透光特性。

圖 9B 顯示不同於圖 9A 之儲存電容器的結構實例。除了儲存電容器的結構之外，圖 9B 與圖 7A 相同；因此，相同的部份以相同代號表示且不重複相同部份的詳細說明。

圖 9B 顯示一實例，其中，儲存電容器係由電容器佈線層 230 及氧化物半導體層 251 和與電容器佈線層 230 相重疊的電容器電極層 231 的堆疊、以及作爲介電質之第一

閘極絕緣層 202a 和第二閘極絕緣層 202 所構成。電容器電極層 231 係堆疊於氧化物半導體層 251 之上且與氧化物半導體層 251 相接觸，並且，用作爲儲存電容器的電極。注意，電容器電極層 231 係由與薄膜電晶體 220 的源極電極層或汲極電極層相同的步驟中相同的透光材料所形成。此外，由於電容器佈線層 230 係由與薄膜電晶體 220 的閘極電極層相同的步驟中相同的透光材料所形成，所以，電容器佈線層 230 係配置成不會與薄膜電晶體 220 的閘極佈線層相重疊。

電容器電極層 231 係電連接至像素電極層 227。

也是在圖 9B 中所示的儲存電容器中，成對的電極以及介電質具有透光特性，因此，儲存電容器整體具有透光特性。

圖 9A 及 9B 中所示的儲存電容器均具有透光特性；因此，舉例而言，即使像素的尺寸下降以藉由增加閘極佈線的數目來實現更高解析度的顯示影像時，仍然能夠取得足夠的電容以及實現高孔徑比。

（實施例 9）

在本實施例中，於下將說明半導體裝置的實施例，其中，至少某些驅動電路及要像素部份形成於一個基板之上。

根據實施例 1 至 5 中的任一實施例，以形成配置於像素部份中的薄膜電晶體。由於實施例 1 至 5 中的任一實施

例中所述的薄膜電晶體是 n 通道 TFT，因此，這些驅動電路中，由 n 通道 TFT 形成的某些驅動電路係形成於像素部份中的薄膜電晶體形成於其上的基板之上。

圖 14A 顯示主動矩陣型顯示裝置的方塊圖實例。像素部 5301、第一掃描線驅動電路 5302、第二掃描線驅動電路 5303 及訊號線驅動電路 5304 係設置於顯示裝置中的基板 5300 之上。在像素部 5301 中，設置從訊號線驅動電路 5304 延伸的多個訊號線、以及設置從第一掃描線驅動電路 5302 和第二掃描線驅動電路 5303 延伸的多個掃描線。注意，均包含顯示元件的像素係以矩陣的方式配置於掃描線與訊號線彼此交會的區域中。顯示裝置的基板 5300 經由例如 FPC（可撓印刷電路）等連接部而被連接至時序控制電路 5305（也稱爲控制器或控制 IC）。

在圖 14A 中，第一掃描線驅動電路 5302、第二掃描線驅動電路 5303 及訊號線驅動電路 5304 係形成於基板 5300 之上，而在基板 5300 中形成有像素部份 5301。結果，減少外部設置之驅動電路等的元件數目，使得可以降低成本。此外，在佈線從設於基板 5300 之外部的驅動電路延伸的情況中，連接部份中的連接數目可以降低，因而可以增加可靠度或產量。

注意，舉例而言，時序控制電路 5305 供應第一掃描線驅動電路啓動訊號（GSP1）（啓動訊號也稱爲啓動脈衝）及第一掃描線驅動電路時脈訊號（GCK1）給第一掃描線驅動電路 5302。此外，舉例而言，時序控制電路

5305 供應第二掃描線驅動電路啓動訊號（GSP2）及第二掃描線驅動電路時脈訊號（GCK2）給第二掃描線驅動電路 5303。此外，舉例而言，時序控制電路 5305 供應訊號線驅動電路啓動訊號（SSP）、訊號線驅動電路時脈訊號（SCK）、視頻訊號資料（DATA，也被簡稱爲視頻訊號）、及鎖存資料（LAT）給訊號線驅動電路 5304。每一個時脈訊號可爲多個具有偏移相位的時脈訊號、或是與藉由將時脈訊號反相而取得的訊號（CKB）一起供應。注意，能夠省略第一掃描線驅動電路 5302 及第二掃描線驅動電路 5303 的其中之一。

圖 14B 顯示一結構，其中，第一掃描線驅動電路 5302 及第二掃描線驅動電路 5303 係形成於有像素部份 5301 形成的基板 5300 之上，並且，訊號線驅動電路 5304 係形成於與有像素部份 5301 形成的基板 5300 不同的基板之上。

實施例 1 至 5 中的薄膜電晶體是 n 通道 TFT。圖 15A 及 15B 顯示由 n 通道 TFT 構成的訊號線驅動電路的結構及操作的實例。

訊號線驅動電路包含移位暫存器 5601 及切換電路 5602。切換電路 5602 包含多個切換電路 5602_1 至 5602_N（N 是大於或等於 2 的自然數）。切換電路 5601_1 至 5602_N 中的每一者均包含多個薄膜電晶體 5603_1 至 5603_k（k 是大於或等於 2 的自然數）。於下說明薄膜電晶體 5603_1 至 5603_k 是 n 通道 TFT 的實

例。

使用切換電路 5602_1 爲例說明訊號線驅動電路中的連接關係。薄膜電晶體 5603_1 至 5603_k 的第一端子分別連接至佈線 5604_1 至 5604_k。薄膜電晶體 5603_1 至 5603_k 的第二端子分別連接至訊號線 S1 至 Sk。薄膜電晶體 5603_1 至 5603_k 的閘極連接至佈線 5605_1。

移位暫存器 5601 具有藉由依序地輸出 H 位準訊號（也稱爲 H 訊號或高電源電位位準訊號）至佈線 5605_1 至 5605_N 以依序地選取切換電路 5602_1 至 5602_N 的功能。

切換電路 5602_1 具有控制佈線 5604_1 至 5604_k 與訊號線 S1 至 Sk 之間的導通狀態（第一端子與第二端子之間的導通）之功能，亦即，具有控制佈線 5604_1 至 5604_k 的電位是否被供應至訊號線 S1 至 Sk 的功能。以此方式，切換電路 5602_1 用作爲選擇器。此外，薄膜電晶體 5603_1 至 5603_k 分別具有控制佈線 5604_1 至 5604_k 與訊號線 S1 至 Sk 之間的導通狀態之功能，亦即，分別具有控制佈線 5604_1 至 5604_k 的電位是否分別被供應至訊號線 S1 至 Sk 的功能。以此方式，每一個薄膜電晶體 5603_1 至 5603_k 用作爲開關。

視頻訊號（DATA）輸入至佈線 5604_1 至 5604_k 中的每一條佈線。視頻訊號資料（DATA）常常是對應於影像資料或影像訊號的類比訊號。

接著，將參考圖 15B 中的時序圖，說明圖 15A 中的

訊號線驅動電路的操作。圖 15B 顯示訊號 Sout_1 至 Sout_N 及訊號 Vdata_1 至 Vdata_k 的實例。訊號 Sout_1 至 Sout_N 是來自移位暫存器 5601 的輸出訊號的實例。訊號 Vdata_1 至 Vdata_k 是輸入至佈線 5604_1 至 5604_k 的訊號之實例。注意，訊號線驅動電路的一操作週期相當於顯示裝置中的一個閘極選取週期。舉例而言，一個閘極選取週期係分成週期 T1 至 TN。週期 T1 至 TN 中的每一個週期是用以將視頻訊號資料（DATA）寫至被選取到的列中的像素。

注意，在某些情況中，爲了簡明起見，在本實施例中的圖式等中所示的每一個結構中的訊號波形失真等被放大。因此，本實施例不需要限於圖式等中所示的比例。

在 T1 至 TN 的週期中，移位暫存器 5601 依序地輸出 H 位準訊號給佈線 5605_1 至 5605_N。舉例而言，在週期 T1 中，移位暫存器 5601 輸出高位準訊號至佈線 5605_1。然後，開啓薄膜電晶體 5603_1 至 5603_k，以便使佈線 5604_1 至 5604_k 及訊號線 S1 至 SK 導通。此時，Data（S1）至 Data（Sk）分別輸入至佈線 5604_1 至 5604_k。Data（S1）至 Data（Sk）分別經由薄膜電晶體 5603_1 至 5603_k 而寫入至被選取到的列中的第一至第 k 行中的像素。依此方式，在週期 T1 至 TN 中，視頻訊號資料（DATA）依序地以 k 個行寫入至被選取到的列中的像素中。

如上所述，視頻資料（DATA）以複數行寫入像素

中，因而可以降低視頻訊號資料（DATA）的數目及佈線的數目。結果，可以降低與外部電路連接的數目。此外，當視頻訊號以複數行寫入像素中時可以延長用以寫入的時間；因此，可以防止不充份的視頻訊號寫入。

注意，由實施例 1 至 5 中的任何薄膜電晶體構成的電路可以被使用於移位暫存器 5601 及切換電路 5602。在該情況中，移位暫存器 5601 可以僅由 n 通道電晶體所構成。

此外，將說明部份掃描線驅動電路及部份訊號線驅動電路、或是用於部份掃描線驅動電路或部份訊號線驅動電路之移位暫存器之實例。

在某些情況中，掃描線驅動電路包含移位暫存器、緩衝器、等等。在掃描線驅動電路中，時脈訊號（CLK）及啓動脈衝訊號（SP）被輸入至移位暫存器，以便產生選取訊號。所產生的選取訊號會被緩衝器所緩衝及放大，所造成的訊號被供應給對應的掃描線。在一線之像素中的電晶體的閘極電極係連接至掃描線。由於一線的像素中的電晶體必須被一次全部開啓，所以，使用可以供應大電流的緩衝器。

此外，將參考圖 16A 至 16C 及圖 17A 和 17B，說明部份掃描線驅動電路及部份訊號線驅動電路、或是用於部份掃描線驅動電路或部份訊號線驅動電路之移位暫存器之實例。

移位暫存器包含第一至第 N 脈衝輸出電路 10_1 至

10_N（N是大於或等於3的自然數）（請參見圖16A）。在圖16A中所示的移位暫存器中，第一時脈訊號CK1、第二時脈訊號CK2、第三時脈訊號CK3、及第四時脈訊號CK4分別從第一佈線11、第二佈線12、第三佈線13、及第四佈線被供應至第一至第N脈衝輸出電路10_1至10_N。啓動脈衝SP1（第一啓動脈衝）從第五佈線15輸入至第一脈衝輸出電路10_1。來自先前的級之脈衝輸出電路的訊號被輸入至第二或後續的級之第n脈衝輸出電路10_n。來自接在下一級後的級之第三脈衝輸出電路10_3的訊號被輸入至第一脈衝輸出電路10_1。以類似方式，來自接在下一級後的級之第（n+2）脈衝輸出電路10_（n+2）的訊號（此訊號稱爲後續級訊號OUT（n+2））被輸入至第二或後續的級之第n脈衝輸出電路10_n。因此，每一級的脈衝輸出電路將第一輸出訊號（OUT（1）（SR）至OUT（N）（SR））以輸入至下一級的脈衝輸出電路及／或先前的級之前的級之脈衝輸出電路、以及輸入第二輸出訊號（OUT（1）至OUT（N））以輸入至不同佈線等。注意，由於如圖16A所示般後續級訊號OUT（n+2）未輸入至移位暫存器的最後二級，所以，舉例而言，第二啓動脈衝SP2及第三啓動脈衝SP3可以分別額外地輸入至最後一級之前的級及最後一級。

注意，時脈訊號（CK）的位準係以規律間隔而在H位準與L位準（也稱爲L訊號或低電源電位位準訊號）之間交替。在此，第一時脈訊號（CK1）至第四時脈訊號

（CK4）係均依序地延遲 1/4 週期。在本實施例中，脈衝輸出電路等的驅動由第一至第四時脈訊號（CK1）至（CK4）控制。注意，在某些情況中，視時脈訊號輸入的驅動電路，時脈訊號也被稱爲 GCK 或 SCK；在下述說明中，時脈訊號被稱爲 CK。

此外，第一至第 N 脈衝輸出電路 10_1 至 10_N 均包含第一輸入端子 21、第二輸入端子 22、第三輸入端子 23、第四輸入端子 24、第五輸入端子 25、第一輸出端子 26、及第二輸出端子 27（請參見圖 16B）。第一輸入端子 21、第二輸入端子 22、及第三輸入端子 23 均電連接至第一至第四佈線 11 至 14 中的任一佈線。舉例而言，在圖 16A 中的第一脈衝輸出電路 10_1 中，第一輸入端子 21 電連接至第一佈線 11、第二輸入端子 22 電連接至第二佈線 12、以及第三輸入端子 23 電連接至第三佈線 13。在第二脈衝輸出電路 10_2 中，第一輸入端子 21 電連接至第二佈線 12、第二輸入端子 22 電連接至第三佈線 13、及第三輸入端子 23 電連接至第四佈線 14。

在第一脈衝輸出電路 10_1 中，第一時脈訊號 CK1 輸入至第一輸入端子 21；第二時脈訊號 CK2 輸入至第二輸入端子 22；第三時脈訊號 CK3 輸入至第三輸入端子 23；啓動脈衝輸入至第四輸入端子 24；後續級訊號 OUT（3）輸入至第五輸入端子 25；第一輸出訊號 OUT（1）SR 從第一輸出端子 26 輸出；以及，第二輸出訊號 OUT（1）SR 從第二輸出端子 27 輸出。

在第一至第 N 脈衝輸出電路 10_1 至 10_N 中，除了具有三端子的薄膜電晶體之外，還可以使用上述實施例中所述的具有四端子的薄膜電晶體（TFT）。

當氧化物半導體被使用於薄膜電晶體中的通道形成區時，臨界電壓視製程而有時在正方向上或負方向上移動。基於此理由，以氧化物半導體使用於通道形成層的薄膜電晶體較佳具有可以控制臨界電壓的結構。

接著，將參考圖 16C，說明脈衝輸出電路的具體電路配置之實例。

圖 16C 中所示的脈衝輸出電路包含第一至第十三電晶體 31 至 43。除了上述第一至第五輸入端子 21 至 25、第一輸出端子 26、及第二輸出端子 27 之外，訊號或電源電位從被供予第一高電源電位 VDD 的電源線 51、被供予第二高電源電位 VCC 的電源線 52、及被供予低電源電位 VSS 的電源線 53 供應至第一至第十三電晶體 31 至 43。圖 16C 中的電源線的電源電位的關係如下所述：第一電源電位 VDD 大於或等於第二電源電位 VCC，以及第二電源電位 VCC 高於第三電源電位 VSS。注意，第一至第四時脈訊號（CK1）至（CK4）是位準以規律間隔在 H 位準與 L 位準之間交替的訊號；在 H 位準的時脈訊號之電位是 VDD，在 L 位準的是 VSS。藉由使電源線 51 的電位 VDD 高於電源線 52 的電位 VCC，可以降低施加至電晶體的閘極電極之電位，可以減少電晶體的臨界電壓偏移，以及可以抑制電晶體的劣化，而不會對電晶體的操作有不利影

響。在第一至第十三電晶體 31 至 43 之中，較佳使用具有四端子的薄膜電晶體作爲第一電晶體 31 及第六至第九電晶體 36 至 39。第一電晶體 31 及第六至第九電晶體 36 至 39 需要操作以使電晶體 33 的閘極電極的電位及電晶體 40 的閘極電極的電位藉由閘極電極的控制訊號而切換，並且，由於對輸入至閘極電極的控制訊號之響應快速（開啓狀態電流的上升陡峭），所以可以進一步降低脈衝輸出電路的故障。因此，藉由使用具有四端子的薄膜電晶體，可以控制臨界電壓，並且，可以進一步降低脈衝輸出電路的故障。

注意，薄膜電晶體是具有閘極、汲極、和源極等至少三端子的元件。薄膜電晶體具有半導體區域，在半導體區域中，通道區（也稱爲通道形成區）係形成於與閘極相重疊的區域中。藉由控制閘極的電位，可以控制經由通道區而在汲極與源極之間流動的電流。在此，由於薄膜電晶體的源極和汲極可視薄膜電晶體的結構、操作條件等而改變，所以，難以界定何者爲源極或汲極。因此，在某些情況中，作爲源極或汲極的區域不會稱爲源極或汲極。在該情況中，舉例而言，這些區域可以稱爲第一端子及第二端子。

在圖 16C 中，第一電晶體 31 的第一端子電連接至電源線 51，第一電晶體 31 的第二端子電連接至第九電晶體 39 的第一端子，第一電晶體 31 的閘極電極（第一閘極電極及第二閘極電極）電連接至第四輸入端子 24。第二電

晶體 32 的第一端子電連接至電源線 53，第二電晶體 32 的第二端子電連接至第九電晶體 39 的第一端子，第二電晶體 32 的閘極電極電連接至第四電晶體 34 的閘極電極。第三電晶體 33 的第一端子電連接至第一輸入端子 21，第三電晶體 33 的第二端子電連接至第一輸出端子 26。第四電晶體 34 的第一端子電連接至電源線 53，第四電晶體 34 的第二端子電連接至第一輸出端子 26。第五電晶體 35 的第一端子電連接至電源線 53，第五電晶體 35 的第二端子電連接至第二電晶體 32 的閘極電極及第四電晶體 34 的閘極電極，第五電晶體 35 的閘極電極電連接至第四輸入端子 24。第六電晶體 36 的第一端子電連接至電源線 52，第六電晶體 36 的第二端子電連接至第二電晶體 32 的閘極電極及第四電晶體 34 的閘極電極，第六電晶體 36 的閘極電極（第一閘極電極及第二閘極電極）電連接至第五輸入端子 25。第七電晶體 37 的第一端子電連接至電源線 52，第七電晶體 37 的第二端子電連接至第八電晶體 38 的第二端子，第七電晶體 37 的閘極電極（第一閘極電極和第二閘極電極）電連接至第三輸入端子 23。第八電晶體 38 的第一端子電連接至第二電晶體 32 的閘極電極及第四電晶體 34 的閘極電極，以及，第八電晶體 38 的閘極電極（第一閘極電極和第二閘極電極）電連接至第二輸入端子 22。第九電晶體 39 的第一端子電連接至第一電晶體 31 的第二端子及第二電晶體 32 的第二端子，第九電晶體 39 的第二端子電連接至第三電晶體 33 的閘極電極及第四電晶體 40

的閘極電極，以及第九電晶體 39 的閘極電極（第一閘極電極和第二閘極電極）電連接至電源線 52。第十電晶體 40 的第一端子電連接至第一輸入端子 21，第十電晶體 40 的第二端子電連接至第二輸出端子 27，第十電晶體 40 的閘極電極電連接至第九電晶體 39 的第二端子。第十一電晶體 41 的第一端子電連接至電源線 53，第十一電晶體 41 的第二端子電連接至第二輸出端子 27，第十一電晶體 41 的閘極電極電連接至第二電晶體 32 的閘極電極及第四電晶體 34 的閘極電極。第十二電晶體 42 的第一端子電連接至電源線 53，第十二電晶體 42 的第二端子連接至第二輸出端子 27，第十二電晶體 42 的閘極電極電連接至第七電晶體 37 的閘極電極（第一閘極電極和第二閘極電極）。第十三電晶體 43 的第一端子電連接至電源線 53，第十三電晶體 43 的第二端子連接至第一輸出端子 26，第十三電晶體 43 的閘極電極電連接至第七電晶體 37 的閘極電極（第一閘極電極和第二閘極電極）。

在圖 6C 中，第三電晶體 33 的閘極電極、第十電晶體 40 的閘極電極、及第九電晶體 39 的第二端子連接的部份被稱爲節點 A。此外，第二電晶體 32 的閘極電極、第四電晶體 34 的閘極電極、第五電晶體 35 的第二端子、第六電晶體 36 的第二端子、第八電晶體 38 的第一端子、及第十一電晶體 41 的閘極電極連接的部份被稱爲節點 B。

圖 17A 顯示在圖 16C 中所示的脈衝輸出電路應用至第一脈衝輸出電路 10_1 的情況中輸入至第一至第五輸入

端子 21 至 25 及第一和第二輸出端子 26 和 27 或自其中輸出的訊號。

具體而言，第一時脈訊號 CK1 輸入至第一輸入端子 21；第二時脈訊號 CK2 輸入至第二輸入端子 22；第三時脈訊號 CK3 輸入至第一輸入端子 23；啓始脈衝輸入至第四輸入端子 24；後續的級訊號 OUT（3）輸入至第五輸入端子 25；第一輸出訊號 OUT（1）（SR）從第一輸出端子 26 輸出；以及，第二輸出訊號 OUT（1）從第二輸出端子 27 輸出。

注意，在圖 16C 和圖 17A 中，可以額外地設置藉由將節點 A 置於浮動狀態以執行自舉（bootstrap）操作的電容器。此外，可以額外地設置具有電連接至節點 B 的一個電極之電容器，以固持節點 B 的電位。

圖 17B 顯示包含圖 17A 中所示的多個脈衝輸出電路之移位暫存器的時序圖。注意，當移位暫存器包含於掃描線驅動電路中時，圖 17B 中的週期 61 相當於垂直返馳（retrace）週期，且週期 62 相當於閘極選取週期。

注意，如圖 17A 所示之第二電源電位 VCC 施加至閘極的第九電晶體 39 的配置在自舉操作前後具有下述優點。

若未設置第二電源電位 VCC 施加至閘極的第九電晶體 39，假使節點 A 的電位由自舉操作推升時，作爲第一電晶體 31 的第二端子之源極的電位上升至高於第一電源電位 VDD 的值。然後，第一電晶體 31 的源極切換至第一

端子側，亦即，在電源線 51 側上。結果，在第一電晶體 31 中，施加高偏壓電壓並因而有顯著的應力施加於閘極與源極之間以及閘極與汲極之間，這可能造成電晶體劣化。因此，若設置第二電源電位 VCC 施加至閘極的第九電晶體 39，可以防止第一電晶體 31 的第二端子的電位增加，而節點 A 的電位由自舉操作推升。換言之，第九電晶體 39 的配置可以降低施加於第一電晶體 31 的閘極和源極之間的負偏壓電壓的值。因此，在本實施例中的電路配置可以降低施加於第一電晶體 31 的閘極與源極之間的負偏壓電壓，使得可以抑制導因於應力之第一電晶體 31 的劣化。

注意，第九電晶體 39 可以設於任意處，只要第九電晶體的第一端子及第二端子係分別連接至第一電晶體 31 的第二端子及第三電晶體的閘極即可。注意，在本實施例中包含多個脈衝輸出電路的移位暫存器之情況中，在比掃描線驅動電路具有更多級數目的訊號線驅動電路中，可以省略第九電晶體，因此，可以降低電晶體的數目。

注意，以氧化物半導體用於第一至第十三電晶體 31 至 43 的半導體層，因此，可以降低薄膜電晶體的關閉狀態電流，可以增加場效遷移率及開啓電流，並且，可以降低電晶體體的劣化程度。因此，可以降低電路中的故障。此外，因高電位施加至閘極電極之使用氧化物半導體的電晶體的劣化程度比使用非晶矽的電晶體的劣化程度低。結果，即使當第一電源供應電位 VDD 供應至供應第二電源

電位 VCC 的電源線時，仍可取得類似的操作，並且，可以降低設置於電路之間的電源線的數目；因此，可以降低電路的大小。

注意，即使當連接關被改變以便從第三輸入端子 23 供應至第七電晶體 37 的閘極電極（第一閘極電極及第二閘極電極）之時脈訊號以及從第二輸入端子 22 供應至第八電晶體 38 的閘極電極（第一閘極電極及第二閘極電極）之時脈訊號分別從第二輸入端子 22 及第三輸入端子 23 供應，仍然能夠取得類似的效果。在圖 17A 中所示的移位暫存器中，第七電晶體 37 及第八電晶體 38 的狀態改變，以使第七電晶體 37 及第八電晶體 38 均開啓，然後，第七電晶體 37 關閉及第八電晶體 38 開啓，然後，第七電晶體 37 及第八電晶體 38 關閉；因此，由第七電晶體 37 的閘極電極的電位下降及第八電晶體 38 的閘極電極的電位下降造成二次導因於第二輸入端子 22 及第三輸入端子 23 的電位下降之節點 B 的電位下降。另一方面，在圖 17A 中，當第七電晶體 37 及第八電晶體 38 的狀態在移位暫存器中改變以使第七電晶體 37 及第八電晶體 38 都開啓、然後第七電晶體 37 開啓及第八電晶體 38 關閉、然後第七電晶體 37 及第八電晶體 38 關閉時，則導因於第二輸入端子 22 及第三輸入端子 23 的電位下降之節點 B 的電位下降降爲一次，這是由第八電晶體 38 的閘極電極的電位下降所造成。因此，時脈訊號 CK3 從第三輸入端子 23 供應至第七電晶體 37 的閘極電極以及時脈訊號 CK2 從第二

輸入端子 22 供應至第八電晶體 38 的閘極電極之連接關係是較佳的。亦即，由於可以降低節點 B 的電位改變的次數，因此，可以降低雜訊。

以此方式，在第一輸出端子 26 的電位及第二輸出端子 27 的電位保持在 L 位準期間，H 位準訊號規律地供應至節點 B；因此，可以抑制脈衝輸出電路的故障。

（實施例 10）

製造薄膜電晶體，並且，以薄膜電晶體用於像素部及驅動電路中，以製造具有顯示功能之半導體裝置（也稱爲顯示裝置）。此外，在有像素部形成的基板之上形成包含薄膜電晶體的部份或全部驅動電路，因而可以取得面板上的系統（system-on-panel）。

顯示裝置包含顯示元件。關於顯示元件，可以使用液晶元件（也稱爲液晶顯示元件）或發光元件（也稱爲發光顯示元件）。發光元件在其類別內包含亮度受電流或電壓控制的元件，並且，具體地包含其類別中之無機電致發光（EL）元件、有機 EL 元件、等等。此外，可以使用例如電子墨水等對比會受電效應改變的顯示媒體。

此外，顯示裝置包含面板及模組，顯示元件密封於面板中，包含控制器之 IC 等安裝於面板上。此外，對應於顯示裝置製程中完成顯示元件之前的一個實施例之元件基板係設有供應電流給多個像素中的每一個像素中的顯示元件之機構。具體而言，元件基板可以處於僅形成顯示元件

的像素電極（也稱爲像素電極層）之狀態、在形成要成爲像素電極的導電膜之後及導電膜被蝕刻以形成像素電極之前的狀態、或任何其它狀態。

注意，在本說明書中的顯示裝置意指影像顯示裝置、顯示裝置、或光源（包含發光裝置）。此外，顯示裝置在其類別中包含下述模組：包含例如可撓印刷電路（FPC）、捲帶式自動接合（TAB）帶、或捲帶載體封裝（TCP）等連接器之模組；具有端部設有印刷線路板之TCP或TAB帶的模組；以及，具有以玻璃上晶片（COG）法而被直接安裝於顯示元件上的積體電路（IC）之模組。

將參考圖 10A1、10A2、及 10B，說明半導體裝置的一個實施例之液晶顯示面板的外觀及剖面。圖 10A1 及 10A2 爲面板的平面視圖，其中，薄膜電晶體 4010 和 4011 及液晶元件 4013 藉由密封劑 4005 而被密封於第一基板 4001 與第二基板 4006 之間。圖 10B 是圖 10A1 及 10A2 之 M-N 剖面視圖。

密封劑 4005 係設置成圍繞設於第一基板 4001 之上的像素部 4002 及掃描線驅動電路 4004。第二基板 4006 係設於像素部 4002 及掃描線驅動電路 4004 之上。結果，像素部 4002 及掃描線驅動電路 4004 與液晶層 4008 一起被第一基板 4001、密封劑 4005、及第二基板 4006 所密封。使用單晶半導體膜或多晶半導體膜而形成於分開製備之基板上的訊號線驅動電路 4003 係安裝於一區域中，所述區

域與在第一基板 4001 之上由密封劑 4005 所圍繞的區域不同。

注意，對於分開形成的驅動電路之連接方法並無特別限定，可以使用 COG 方法、打線接合法、TAB 法、等等。圖 10A1 顯示以 COG 法安裝訊號線驅動電路 4003 的實例。圖 10A2 顯示以 TAB 法安裝訊號線驅動電路 4003 的實例。

設於第一基板 4001 之上的像素部 4002 及掃描線驅動電路 4004 均包含多個薄膜電晶體。舉例而言，圖 10B 顯示包含於像素部 4002 中的薄膜電晶體 4010 以及包含於掃描線驅動電路 4004 中的薄膜電晶體 4011。氧化物絕緣層 4041、保護絕緣層 4020、和絕緣層 4021 係依序設於薄膜電晶體 4010 和 4011 之上。

可以使用實施例 1 至 5 中所述的包含氧化物半導體層之任何高度可靠的薄膜電晶體作爲薄膜電晶體 4010 及 4011。實施例 1 至 5 中所述的薄膜電晶體 410、449、460 及 492 中的任一薄膜電晶體可以用作爲用於驅動電路的薄膜電晶體 4011。薄膜電晶體 420、451、470 及 493 中的任一薄膜電晶體可以用作爲用於像素的薄膜電晶體 4010。在本實施例中，薄膜電晶體 4010 和 4011 爲 n 通道薄膜電晶體。

導電層 4040 係設於與用於驅動電路的薄膜電晶體 4011 中的氧化物半導體層的通道形成區重疊之部份絕緣層 4021 之上。導電層 4040 係設在與氧化物半導體層的通

道形成區重疊的位置，因而可以降低 BT 測試前後之薄膜電晶體 4011 的臨界電壓的變化量。導電層 4040 的電位可以與薄膜電晶體 4011 的閘極電極層的電位相同或不同。導電層 4040 也可以用作爲第二閘極電極層。或者，導電層 4040 的電位可爲 GND 或 0V，或者，導電層 4040 可置於浮動狀態。

包含於液晶元件 4013 中的像素電極層 4030 電連接至薄膜電晶體 4010。液晶元件 4013 的對置電極層 4031 係形成於第二基板 4006 之上。像素電極層 4030、對置電極層 4031、及液晶層 4008 彼此重疊的部份對應於液晶元件 4013。注意，像素電極層 4030 及對置電極層 4031 係分別設有作爲配向膜的絕緣層 4032 及絕緣層 4033，並且，液晶層 4008 夾於像素電極層 4030 及對置電極層 4031 之間，而以絕緣層 4032 及 4033 介於其間。

注意，可以使用透光基板作爲第一基板 4001 與第二基板 4006。關於塑膠，可以使用玻璃強化塑膠（FRP）板、聚氟乙烯（PVF）膜、聚酯膜、或丙烯酸膜。

間隔器 4305 是藉由選擇性地蝕刻絕緣膜而取得的柱狀間隔器，其係設置成控制像素電極層 4030 與對置電極層 4031 之間的距離（胞間隙）。或者，可以使用球形間隔器。對置電極層 4031 電連接至形成於薄膜電晶體 4010 形成於其上的基板之上的共同電位線。藉由使用共同連接部，對置電極層 4031 及共同電位線可以經由配置於成對基板之間的導電粒子而彼此電連接。注意，導電粒子係包

含於密封劑 4005 中。

或者，可以使用不需要配向膜之呈現藍相位的液晶。藍相位是當膽茲液晶的溫度增加時正好在膽茲液晶變成各向等性之前產生的液晶相位的其中之一。由於藍相位僅在狹窄的溫度範圍內產生，所以，以含有 5 重量%或更高的掌性劑之液晶成份用於液晶層 4008，以擴展溫度範圍。包含呈現藍相位的液晶及掌性劑的液晶成份具有小於或等於 1 msec 的短響應時間且爲光學上各向等性；因此，不需要對齊處理、以及視角相依性小。

本實施例的液晶顯示裝置可爲透射式液晶顯示裝置或半透射式液晶顯示裝置。

在根據本實施例的液晶顯示裝置的實施例，極化板設置於基板的較外表面上（觀視側上），並且，用於顯示元件的著色層（濾光器）及電極層係依序地設置於基板的較內表面上；或者，極化板可以設置於基板的內表面上。極化板及著色層的疊疊結構不限於本實施例中的結構，且可以根據極化板和著色層的材料及製程條件而適當地設置。

舉例而言，使用類似於實施例 1 中所述的保護絕緣層 403 之材料及方法，以形成保護絕緣層 4020。在本實施例中，以 PCVD 法形成氮化矽膜作爲保護絕緣層 4020。

使用類似於實施例 1 中所述的平坦化絕緣層 404 之材料及方法，以形成絕緣層 4021，並且，以例如聚醯亞胺、丙烯酸、苯環丁烯、聚醯胺、或環氧樹脂等具有抗熱性的有機材料用於絕緣層 4021。除了這些有機材料之

外，也能夠使用低介電常數材料（低 k 材料）、以矽烷爲基礎的樹脂、PSG（磷矽酸鹽玻璃）、BPSG（硼磷矽酸鹽玻璃）、等等以便使用於絕緣層 4021。注意，可以藉由堆疊這些材料形成的多個絕緣膜，以形成絕緣層 4021。

注意，以矽烷爲基礎的樹脂相當於使用以矽烷爲基礎的材料作爲啓始材料而形成的包含 Si-O-Si 鍵之樹脂。以矽烷爲基礎的樹脂可以包含有機基（舉例而言，烷基或芳基）或氟基作爲替代物。此外，有機基可以包含氟基。

對於絕緣層 4021 之形成方法並無特別限定，可以視材料而使用下述方法：濺射法、SOG 法、旋轉塗敷法、浸漬法、噴灑塗著法、滴放法（例如噴墨法、網版印刷法、偏離印刷法、等等）、或例如刮刀、輥塗著器、簾幕塗著器、刀式塗著器等工具。絕緣層 4021 的烘烤步驟也作爲半導體層的退火，因此可以有效率地製造半導體裝置。

使用例如含有氧化鎢的氧化銦、含有氧化鎢的氧化銦鋅、含有氧化鈦的氧化銦、含有氧化鈦的氧化銦錫、氧化銦錫（ITO）、氧化銦鋅、或添加氧化矽之氧化銦錫等透光導電材料，以形成像素電極層 4030 及對置電極層 4031。

或者，含有導電高分子（也稱爲導電聚合物）的導電成份可以被使用於像素電極層 4030 及對置電極層 4031。使用導電成份形成的像素電極較佳具有小於或等於 10000 歐姆／平方的薄片電阻以及在波長 550nm 時大於或等於 70%的透射率。此外，包含於導電成份中的導電高分子的

導電率較佳爲小於或等於 0.1 Ω・cm。

關於導電高分子，可以使用所謂的π電子共軛導電聚合物。其實例可爲聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、這些材料之中的二或更多種的共聚物。

此外，不同的訊號及電位從可撓印刷電路（FPC）4018 供應給分別形成的訊號線驅動電路 4003、掃描線驅動電路 4004、或像素部 4002。

使用與包含於液晶元件 4013 中的像素電極層 4030 相同的導電膜，以形成連接端電極 4015，並使用與薄膜電晶體 4011 中的源極電極層和汲極電極層相同的導電膜，以形成端電極 4016b。

連接端電極 4015 經由各向異性導電膜 4019 而被電連接至包含於 FPC 4018 中的端子。

注意，圖 10A1、10A2、及 10B 顯示訊號線驅動電路 4003 分別被形成及安裝於第一基板 4001 之上的實例；但是，本實施例不限於此結構。掃描線驅動電路可以被分開地形成，然後被安裝，或是，僅有部分訊號線驅動電路或部份掃描線驅動電路分別被形成，然後被安裝。

圖 19 顯示使用根據本說明書中揭示的製造方法製造之 TFT 基板 2600，形成作爲半導體裝置的液晶顯示模組之實例。

圖 19 顯示液晶顯示模組的實例，其中，TFT 基板 2600 與對置基板 2601 係藉由密封劑 262 而彼此固定，包

含 TFT 等的像素部 2603、包含液晶層的顯示元件 2604、及著色層 2605 係設於基板之間，以形成顯示區。著色層 2605 是執行彩色顯示時所需的。在 RGB 系統中，對個別像素，設置對應於紅、綠、藍的個別著色層。極化板 2606 和 2607 及散光板 2613 係設於 TFT 基板 2600 及對置基板 2601 的外面。光源包含冷陰極管 2610 及反射板 2611。電路板 2612 經由可撓線路板 2609 而被連接至 TFT 基板 2600 的佈線電路部 2608，並且，包含例如控制電路或電源電路等外部電路。極化板及液晶層相堆疊，而以延遲板介於其間。

液晶顯示模組可以使用 TN（扭轉向列）模式、IPS（平面中切換）模式、FFS（邊緣場切換）模式、MVA（多域垂直對齊）模式、PVA（圖案化垂直對齊）模式、ASM（軸向對稱對齊微胞）模式、OCB（光學補償雙折射）模式、FLC（鐵電液晶）模式、AFLC（抗鐵電液晶）模式、等等。

經由上述步驟，可以製造作爲半導體裝置之高度可靠的液晶顯示裝置。

（實施例 11）

將說明作爲半導體裝置的一個實施例之電子紙實施例。

半導體裝置.可以被使用於電子紙，在電子紙中，使用電連接至切換元件之元件以驅動電子墨水。電子紙也稱爲

電泳顯示裝置（電泳顯示器），其優點在於具有與一般紙相同等級的可讀性，比其它顯示裝置具有更少的耗電，並且，可以製成薄且輕。

電泳顯示器有不同模式。電泳顯示器含有多個散佈於溶劑或溶質中的微囊，每一微囊均含有正電荷的第一粒子及負電荷的第二粒子。藉由施加電場至微囊，微囊中的粒子以彼此相反的方向移動，並且，僅有聚集於一側上的粒子的顏色被顯示。注意，第一粒子及第二粒子均含有著色劑，且當無電場時不會移動。此外，第一粒子與第二粒子具有不同的顏色（可以是無色）。

依此方式，電泳顯示器利用所謂的電泳效應，藉由電泳效應，具有高介電常數的物質移動至高電場區。電泳顯示器不需使用液晶顯示裝置中所需的極化板及對置基板，且電泳顯示裝置的厚度及重量都降低。

有上述微囊散佈於溶劑中的溶液稱爲電子墨水。此電子墨水可以被印刷於玻璃、塑膠、布、紙、等等的表面上。此外，藉由使用濾光器或包含色料的粒子，能夠取得彩色顯示。

當多個上述微囊適當地配置於主動矩陣基板之上以便被夾於二電極之間時，則完成主動矩陣顯示裝置，並且，藉由施加電場至微囊，可以執行顯示。舉例而言，可以使用以實施例 1 至 5 中任一實施例之薄膜電晶體所取得的主動矩陣基板。

注意，微囊中的第一粒子及第二粒子可由選自導電材

料、絕緣材料、半導電材料、磁性材料、液晶材料、鐵電材料、電致發光材料、電色顯示材料、及磁泳材料的其中之一、或這些材料中的任何材料的複合材料所形成。

圖 18 顯示作爲半導體裝置的實例之主動矩陣電子紙。以類似於實施例 1 中所述的薄膜電晶體之方式來形成薄膜電晶體 581，薄膜電晶體 581 是包含氧化物半導體層之高度可靠的薄膜電晶體。此外，實施例 2 至 5 中所述的任何薄膜電晶體也可以作爲本實例的薄膜電晶體 581。

圖 18 中的電子紙是使用扭轉球顯示系統的實例。扭轉球顯示系統意指一方法，其中，顏色爲黑及白的球形粒子係配置於第一電極層與第二電極層之間，第一電極層與第二電極層是用於顯示元件的電極層，並且，在第一電極層與第二電極層之間產生電位差，以控制球形粒子的取向，以便執行顯示。

形成於基板 580 之上的薄膜電晶體 581 是底部閘極型薄膜電晶體且被與半導體層及絕緣層 584 相接觸之絕緣膜 583 所覆蓋。薄膜電晶體 581 的源極電極層或汲極電極層與形成於絕緣膜 583、絕緣層 584、及絕緣層 585 中的開口處之第一電極層 587 相接觸及電連接。在形於第二基板 596 上的第二電極層 588 與第二電極層 587 之間，設置球形粒子 589。每一個球形粒子 589 包含黑色區 590 及白色區 590b、以及圍繞黑色區 590a 和白色區 590b 而被液體所填充的穴 594。圍繞球形粒子 589 的空間被例如樹脂之填充物 595 所填充。第一電極層 587 相當於像素電極，第

二電極層 588 相當於共同電極。第二電極層 588 電連接至設於薄膜電晶體 581 形成於其上的基板上之共同電位線。藉由使用共同連接部，第二電極層 588 與共同電位線經由設於成對基板之間的導電粒子而彼此電連接。

或者，可以使用電泳元件以取代扭轉球。使用具有約 10μm 至 200μm 的直徑之微囊，其中，透明液體、正電荷的白微粒子、及負電荷的黑微粒子係封裝於微囊中。在設於第一電極層與第二電極層之間的微囊中，當自第一電極層及第二電極層施加電場時，白微粒與黑微粒彼此移至相反側，使得可以顯示白色及黑色。使用此原理的顯示元件是電泳顯示元件，一般被稱爲電子紙。電泳顯示元件具有比液晶顯示元件還高的反射率；因此，不需要輔助光、功率消耗低且在昏暗的地方仍可辨識顯示部。此外，即使當功率未供應給顯示部時，仍然可以保持曾經顯示的影像。結果，即使具有顯示功能的半導體裝置（也簡稱爲顯示裝置或設有顯示裝置之半導體裝置）離開電波源，仍然可以儲存顯示的影像。

經由上述步驟，可以製造高度可靠的電子紙作爲半導體裝置。

（實施例 12）

將說明作爲半導體裝置的發光顯示裝置的實例。在此，說明利用電致發光的發光元件作爲包含於顯示裝置中的顯示元件。利用電致發光的發光元件根據發光材料是否

爲有機化合物或無機化合物而分類。一般而言，前者稱爲有機 EL 元件，後者稱爲無機 EL 元件。

在有機 EL 元件中，藉由施加電壓至發光元件，電子及電洞分別從電極對注入含有發光有機化合物的層，並且，電流流通。載子（電子及電洞）復合，因此，發光有機化合物受激發。發光有機化合物從激態返回至基態，因而發出光。歸因於此機制，此發光元件稱爲電流激發發光元件。

無機 EL 元件根據它們的元件結構而分成散佈型無機 EL 元件及薄膜型無機 EL 元件。散佈型無機 EL 元件包含發光層，其中，發光材料的粒子散佈於結合劑中，並且，其發光機制是利用施體能階與受體能階之施體－受體復合型發光。薄膜型無機 EL 元件具有一結構，在此結構中，發光層係夾於介電層之間，介電層又被夾於電極之間，並且，其發光機制是使用金屬離子之內殼電子躍遷之局部型發光。注意，說明有機 EL 元件用作爲發光元件。

圖 12 顯示應用數位時間灰階驅動的像素結構實施例作爲半導體裝置的實施例。

說明應用數位時間灰階驅動的像素的結構及操作。在此，一個像素包含二 n 通道電晶體，每一個 n 通道電晶體均包含氧化物半導體層作爲通道形成區。

像素 6400 包含切換電晶體 6401、驅動電晶體 6402、發光元件 6404、及電容器 6403。切換電晶體 6401 的閘極連接至掃描線 6406。切換電晶體 6401 的第一電極（源極

電極與汲極電極的其中之一）連接至訊號線 6405。切換電晶體 6401 的第二電極（源極電極與汲極電極中的另一電極）連接至驅動電晶體 6402 的閘極。驅動電晶體 6402 的閘極電極經由電容器 6403 連接至電源線 6407。驅動電晶體 6402 的第一電極連接至電源線 6407。驅動電晶體 6402 的第二電極連接至發光元件 6404 的第一電極（像素電極）。發光元件 6404 的第二電極對應於共同電極 6408。共同電極 6408 電連接至設於相同基板之上的共同電位線。

發光元件 6404 的第二電極（共同電極 6408）係設於低電源電位。注意，根據設定於電源線 6407 的高電源電位，低電源電位係低於設定成用於電源線 6407 的高電源電位。舉例而言，可以使用接地（GND）、或 0V 作爲低電源電位。在高電源電位與低電源電位之間的電位差施加至發光元件 6404，使得電流流經發光元件 6404，因此發光元件 6404 發光。爲了使發光元件 6404 發光，每一個電位被設定成使得高電源電位與低電源電位之間的電位差大於或等於發光元件 6404 的順向臨界電壓。

注意，驅動電晶體 6402 的閘極電容器可以用作爲電容器 6403 的替代，使得可以省略電容器 6403。驅動電晶體 6402 的閘極電容可以被形成於通道區與閘極電極之間。

在使用電壓輸入電壓驅動法的情況中，視頻訊號輸入至驅動電晶體 6402 的閘極，以使驅動電晶體 6402 處於充

份開啓或關閉的二狀態中的任一狀態。亦即，驅動電晶體 6402 在線性區操作。由於驅動電晶體 6402 在線性區操作，所以，比電源線 6407 的電壓還高的電壓施加至驅動電晶體 6402 的閘極電極。注意，高於或等於電源線電壓＋驅動電晶體 6402 的 Vth 之總合的電壓施加至訊號線 6405。

在採用類比灰階驅動以取代數位時間灰階驅動的情況中，藉由改變訊號輸入，可以使用與圖 12 中所示相同的像素結構。

在執行類比灰階驅動的情況中，高於或等於發光元件 6404 的順向電壓與驅動電晶體 6402 的 Vth 之總合電壓被施加至驅動電晶體 6402 的閘極電極。發光元件 6404 的順向電壓表示取得所需亮度之電壓且包含至少順向臨界電壓。輸入使驅動電晶體 6402 在飽合區操作的視頻訊號，使得電流可以被供應給發光元件 6404。爲了使驅動電晶體 6402 在飽合區操作，電源線 6407 的電位係設定爲高於驅動電晶體 6402 的閘極電位。當使用類比視頻訊號時，對應於視頻訊號的電流可以被供應給發光元件 6404，使得可以執行類比灰階驅動。

注意，圖 12 中所示的像素結構不限於上述。舉例而言，開關、電阻器、電容器、電晶體、邏輯電路、等等可以加至圖 12 中所示的像素。

接著，參考圖 13A 至 13C，說明發光元件的結構。在此，以 n 通道驅動 TFT 爲例，說明像素的剖面結構。以

類似於實施例 1 中所述配置於像素中的薄膜電晶體之方式，形成圖 13A、13B、及 13C 中顯示之半導體裝置中使用的作爲驅動 TFT 之 TFT 7001、7011、及 7021，TFT 7001、7011、及 7021 是高度可靠的薄膜電晶體，均包含氧化物半導體層。或者，可以使用實施例 2 至 5 中所述之配置於像素中的薄膜電晶體作爲驅動 TFT 7001、7011、及 7021。

薄膜電晶體及發光元件形成於基板之上。爲了取出發光元件發射的光，陽極與陰極的至少其中之一需要是透明的。發光元件可以具有頂部發光結構，其中，經由與基板相反的表面，取出光；底部發光結構，其中，經由基板側上的表面，取出光；或者，雙發光結構，其中，經由與基板相反的表面及基板側上的表面，取出光。圖 12 中所示的像素結構可以應用至具有這些發光結構中的任何結構之發光元件。

參考圖 13A，說明具有頂部發光結構的發光元件。

圖 13A 是用作爲驅動 TFT 的 TFT 7001 是 n 通道 TFT 及從發光元件 7002 發射的光通過陽極 7005 之情況中像素的剖面視圖。在圖 13A 中，發光元件 7002 的陰極 7003 電連接至作爲驅動 TFT 之 TFT 7001，並且，發光層 7004 及陽極 7005 依此次序而被堆疊於陰極 7003 之上。可以使用不同導電材料來形成陰極 7003，材料只要具有低功函數及能反射光即可。舉例而言，較佳使用 Ca、Al、MgAg、AlLi、等等。使用單層或堆疊的多個層，以形成發光層

7004。當使用多層以形成發光層 7004 時，依序於陰極 7003 之上堆疊電子注入層、電子傳輸層、發光層、電洞傳輸層、及電洞注入層，以形成發光層 7004。注意，並非需要形成所有這些層。使用例如含有氧化鎢的氧化銦膜、含有氧化鎢的氧化銦鋅、含有氧化鈦的氧化銦、含有氧化鈦的氧化銦錫、氧化銦錫（ITO）、氧化銦鋅、或添加氧化矽之氧化銦錫等透光導電材料來形成陽極 7005。

此外，在相鄰像素中的陰極 7008 與陰極 7003 之間設置堤部（bank）7009，以覆蓋陰極 7003 和 7008 的邊緣。使用聚醯亞胺、丙烯酸、聚醯胺、環氧樹脂、等等的有機樹脂膜；無機絕緣膜；或有機聚矽烷，形成堤部 7009。特別較佳的是，使用感光樹脂材料來形成堤部 7009，使得其側表面爲具有連續曲率的傾斜表面。當以感光樹脂材料使用於堤部 7009 時，可以省略形成光阻掩罩的步驟。

發光元件 7002 對應於其中之發光層 7004 被夾於陰極 7003 與陽極 7005 之間的區域。在圖 13A 中所示的像素的情況中，如箭頭所述，光從發光元件 7002 發射至陽極 7005 側。

接著，參考圖 13B，說明具有底部發光結構的發光元件。圖 13B 是在驅動 TFT 7011 是 n 通道電晶體、及光從發光元件 7012 發射至陰極 7013 側之情況中的像素的剖面視圖。在圖 13B 中，發光元件 7012 的陰極 7013 係形成於透光導電膜 7017 之上，透光導電膜 7017 電連接至驅動 TFT 7011，並且，發光層 7014 及陽極 7015 依此次序而被

堆疊於陰極 7013 之上。注意，當陽極 7015 具有透光特性時，形成用於反射或阻擋光的遮光膜 7016 以覆蓋陽極 7015。如同圖 13A 的情況般，多種材料可以被使用於陰極 7013，材料只要是具有低功函數即可。注意，陰極 7013 被形成至具有可使光透射的厚度（較佳地，約 5 nm 至 30 nm）。舉例而言，可以使用 20 nm 厚的鋁膜作爲陰極 7013。如同圖 13A 的情況般，使用單層結構或堆疊的多個層，以形成發光層 7014。如同圖 13A 的情況般，陽極 7015 不需要使光透射，但是，可以由透光導電材料所形成。關於遮光膜 7016，舉例而言，可以使用使光反射的金屬等等；但是，遮光膜 7016 不限於金屬膜。舉例而言，可以使用添加黑色顏料的樹脂等。

此外，堤部 7019 係設於相鄰像素中的導電膜 7018 與導電膜 7017 之間，以覆蓋導電膜 7017 與 7018 的邊緣。使用聚醯亞胺、丙烯酸、聚醯胺、環氧樹脂等有機樹脂膜；無機絕緣膜；或有機聚矽烷，形成堤部 7019。特別較佳的是，使用感光樹脂材料，以形成堤部 7019，使得其側表面爲具有連續曲率的傾斜表面。當以感光樹脂材料使用於堤部 7019 時，可以省略形成光阻掩罩的步驟。

發光元件 7012 對應於其中之發光層 7014 被夾於陰極 7013 與陽極 7015 之間的區域。在圖 13B 中所示的像素的情況中，如箭頭所示，光從發光元件 7012 發射至陰極 7013 側。

接著，參考圖 13C，說明具有雙發光結構的發光元

件。在圖 13C 中，發光元件 7022 的陰極 7023 係形成於透光導電膜 7027 上，透光導電膜 7027 係電連接至驅動 TFT 7021，透光層 7024 及陰極 7025 依此次序而被堆疊於陰極 7023 之上。如同圖 13A 的情況般，可以使用各種材料來形成陰極 7023，材料只要是具有低功函數的導電材料即可。注意，陰極 7023 係形成至具有可以使光透射的厚度。舉例而言，可以使用 20 nm 厚的 Al 膜作爲陰極 7023。如同圖 13A 的情況一般，使用單層或堆疊的多個層，以形成發光層 7024。如同圖 13A 的情況般，使用透光導電材料來形成陽極 7025。

此外，堤部 7029 係設於相鄰像素中的導電膜 7028 與導電膜 7027 之間，以覆蓋導電膜 7027 與 7028 的邊緣。使用聚醯亞胺、丙烯酸、聚醯胺、環氧樹脂等有機樹脂膜；無機絕緣膜；或有機聚矽烷，形成堤部 7029。特別較佳的是，使用感光樹脂材料來形成堤部 7029，以使其側表面爲具有連續曲率的傾斜表面。當以感光樹脂材料使用於堤部 7029 時，可以省略形成光阻掩罩的步驟。

發光元件 7022 對應於其中之陰極 7023、發光層 7024、及陽極 7025 係彼此重疊的區域。在圖 13C 中所示的像素的情況中，如箭頭所述，光從發光元件 7022 發射至陽極 7025 側及陰極 7023 側。

注意，雖然此處將有機 EL 元件說明成發光元件，但是，也可以設置無機 EL 元件作爲發光元件。

注意，說明一實例，其中，控制發光元件的驅動之薄

膜電晶體（驅動 TFT）電連接至發光元件；或者，可以使用用於電流控制的 TFT 係連接於驅動 TFT 與發光元件之間的結構。

注意，半導體裝置的結構不限於圖 13A 至 13C 中所述的結構，可以根據本說明書中揭示的技術，以不同方式來做修改。

接著，參考圖 11A 及 11B，說明半導體裝置的一實例之發光顯示面板（也稱爲發光面板）的外觀及剖面。圖 11A 是面板的平面視圖，其中，形成於第一基板之上的薄膜電晶體及發光元件 4511 被密封劑所密封於第一基板與第二基板之間。圖 11B 是圖 11A 的 H-I 剖面視圖。

密封劑 4505 係設置成包圍設於第一基板 4501 之上的像素部 4502、訊號線驅動電路 4503a 和 4503b、及掃描線驅動電路 4504a 和 4504b。此外，第二基板 4506 係設於像素部 4502、訊號線驅動電路 4503a 和 4503b、以及掃描線驅動電路 4504a 和 4504b 之上。結果，像素部 4502、訊號線驅動電路 4503a 和 4503b、以及掃描線驅動電路 4504a 和 4504b 與填充物 4507 一起被第一基板 4501、密封劑 4505、及第二基板 4506 所密封。以此方式，較佳地，面板由具有高氣密性及低除氣之保護膜（例如層疊膜或紫外線可固化樹脂膜）或覆蓋材料封裝（密封），以使面板不會曝露至外部空氣。

形成於第一基板 4501 之上的像素部 4502、訊號線驅動電路 4503a 和 4503b、以及掃描線驅動電路 4504a 和

4504b 均包含多個薄膜電晶體。包含於像素部 4502 中的薄膜電晶體 4510 及包含於訊號線驅動電路 4503a 中的薄膜電晶體 4509 作爲實例而被顯示於圖 11B 中。

可以使用包含實施例 1 至 5 中所述的氧化物半導體層之高度可靠的薄膜電晶體作爲薄膜電晶體 4509 和 4510。可以使用實施例 1 至 5 中所述的薄膜電晶體 410、460、449、及 492 中之任何薄膜電晶體作爲用於驅動電路的薄膜電晶體。可以使用薄膜電晶體 420、451、470、及 493 中之任何薄膜電晶體作爲用於像素的薄膜電晶體 4510。在本實施例中，薄膜電晶體 4509 和 4510 爲 n 通道薄膜電晶體。

導電層 4540 係設於與用於驅動電路的薄膜電晶體 4509 中氧化物半導體層的通道形成區重疊之部份絕緣層 4544 之上。導電層 4540 係設在與氧化物半導體層的通道形成區重疊的位置處，因而可以降低 BT 測試前後薄膜電晶體 4509 的臨界電壓變化量。導電層 4540 的電位可以與薄膜電晶體 4509 的閘極電極層的電位相同或不同。導電層 4540 也可以用作爲第二閘極電極層。或者，導電層 4540 的電位可爲 GND 或 0V，或者，導電層 4540 可置於浮動狀態。

在薄膜電晶體 4509 中，氧化物絕緣層 4541 形成爲接觸包含通道形成區的半導體層。使用類似於實施例 1 中所述的氧化物絕緣層 416 之材料及方法，以形成氧化物絕緣層 4541。此外，作爲平坦化絕緣膜的絕緣層 4544 覆蓋薄

膜電晶體，以降低薄膜電晶體的不平整。此外，藉由根據實施例 1 的濺射法，形成氧化矽膜作爲氧化物絕緣層 4541。

此外，保護絕緣層 4543 係形成於薄膜電晶體 4509 和 4510 之上。使用類似於實施例 1 中所述的保護絕緣層 403 之材料及方法來形成保護絕緣層 4543。在此，以 PCVD 法形成氮化矽膜作爲保護絕緣層 4543。

形成絕緣層 4544 用作爲平坦化絕緣膜。使用類似於實施例 1 中所述的平坦化絕緣層 404 之材料及方法來形成絕緣層 4544。在此，以丙烯酸使用於絕緣層 4544。

此外，第一電極層 4517 爲包含於發光元件 4511 中的像素電極，其電連接至薄膜電晶體 4510 的源極電極層或汲極電極層。注意，發光元件 4511 的結構不限於本實施例中所示之包含第一電極層 4517、電致發光層 4512、及第二電極層 4513 的堆疊層結構。發光元件 4511 的結構可以視從發光元件 4511 取出光的方向等而適當地改變。

使用有機樹脂膜、無機絕緣膜、或有機聚矽烷，以形成堤部 4520。特別較佳地，使用感光材料來形成堤部 4520，並且，在第一電極層 4517 之上形成開口，以使開口的側壁爲具有連續曲率的傾斜表面。

使用單層或堆疊的多個層，以形成電致發光層 4512。

可在第二電極層 4513 和堤部 4520 之上形成保護膜以防止氧、氫、濕氣、二氧化碳等進入發光元件 4511 中。

關於保護膜，可以形成氮化矽膜、氮氧化矽膜、DLC 膜、等等。

此外，多種訊號及電位係從 FPC 4518a 和 4518b 供應至訊號線驅動電路 4503a 和 4503b、掃描線驅動電路 4504a 和 4504b、或像素部 4502。

由與包含於發光元件 4511 中的第一電極層 4517 相同的導電膜來形成連接端電極 4515。使用與用於薄膜電晶體 4509 的低電阻汲極區的導電膜相同的導電膜，以形成端電極 4516a，並使用與用於薄膜電晶體 4509 的源極電極層和汲極電極層相同的導電膜，以形成端電極 4516b。

連接端電極 4515 經由各向異性導電膜 4519 而電連接至包含於 FPC 4518a 中的端子。

位於從發光元件 4511 取出光的方向上之基板需要具有透光特性。在該情況中，以例如玻璃板、塑膠板、聚酯膜、或丙烯酸膜等透光材料使用於第二基板。

關於填充物 4507，除了例如氮或氬等惰性氣體外，還可以使用紫外光可固化樹脂或熱固性樹脂。舉例而言，可以使用聚氯乙烯（PVC）、丙烯酸、聚醯亞胺、環氧樹脂、矽樹脂、聚乙烯丁醛（PVB）、或乙烯乙酸乙烯酯（EVA）。舉例而言，以氮使用於填充物。

假使需要時，可以在發光元件 4511 的發光表面上適當地設置例如極化板、圓形極化板（包含橢圓形極化板）、延遲板（四分之一波板、或半波板）、或濾光器等光學膜。此外，極化板或圓形極化板可以設有抗反射膜。

舉例而言，可以執行防眩光處理，藉以使反射光由表面的凹部／凸部散射以降低眩光。

在分別製備的基板之上使用單晶半導體膜或多晶半導體膜形成的驅動電路可以安裝作爲訊號線驅動電路 4503a 及 4503b 以及掃描線驅動電路 4504a 和 4504b。或者，僅有訊號線驅動電路或其一部份、或是掃描線驅動電路或其一部份，可以分別地形成及安裝。本實施例不限於圖 11A 及 11B 中所示的結構。

經由上述製程，製造高度可靠的發光顯示裝置（顯示面板）作爲半導體裝置。

（實施例 13）

在本說明書中揭示的半導體裝置可以應用於電子紙。電子紙可以用於所有領域的電子設備，只要它們顯示資料即可。舉例而言，電子紙可以應用於電子書（e-書）讀取器、海報、例如火車等車輛中的廣告、或例如信用卡等不同卡片的顯示。圖 20 顯示電子設備的實例。

圖 20 顯示電子書讀取器 2700 的實例。舉例而言，電子書讀取器 2700 包含機殼 2701 和 2703 等二機殼。機殼 2701 和 2703 藉由鉸鏈 2711 而彼此結合，以使電子書讀取器 2700 可以沿著作爲軸的鉸鏈 2711 而打開及閉合。此結構使電子書讀取器 2700 能夠如同紙書般地操作。

顯示部 2705 及顯示部 2707 係分別併入於機殼 2701 及機殼 2703 中。顯示部 2705 和顯示部 2707 可以顯示一

個影像、或不同的影像。在顯示部 2705 及顯示部 2707 顯示不同的影像的情況中，舉例而言，在右側顯示部上（圖 20 中的顯示部 2705）可以顯示文字，在左側顯示部上（圖 20 中的顯示部 2707）可以顯示圖像。

圖 20 顯示一實例，其中，機殼 2701 係設有操作部等等。舉例而言，機殼 2701 係設有電源開關 2721、操作鍵 2723、揚音器 2725、等等。藉由操作鍵 2723，可以翻頁。注意，鍵盤、指標裝置、等等也可以被設於與機殼的顯示部相同的表面上。此外，在機殼的背面或側面上，設置外部連接端子（耳機端子、USB 端子、可以連接至例如 AC 轉接器或 USB 電線等不同纜線的端子）、記錄媒體插入部、等等。此外，電子書 2700 可以具有電子字典的功能。

電子書 2700 可以被配置成無線地傳送及接收資料。經由無線通訊，可以從電子書伺服器購買及下載所需的書資料等等。

（實施例 14）

本說明書中揭示的半導體裝置可以應用至不同的電子設備（包含遊戲機）。電子設備的實例包含電視機（也稱爲電視或電視接收器）、電腦等的監視器、例如數位相機或數位攝影機等像機、數位相框、蜂巢式電話手機（也稱爲行動電話或行電話裝置）、可攜式遊戲機、可攜式資訊端、音頻再生裝置、例如，彈珠台等大型遊戲機、等等。

圖 21A 顯示電視機 9600 的實例。在電視機 9600 中，顯示部 9603 係併入於機殼 9601 中。顯示部 9603 可以顯示影像。再者，此處，機殼 9601 係由架子 9605 所支撐。

電視機 9600 可以藉由機殼 9601 的操作開關或分開的遙控器 9610 而操作。以遙控器 9610 的操作開關 9609，可以控制頻道及聲音，因而可以控制顯示於顯示部 9603 上的影像。此外，遙控器 9610 可以設有顯示部 9607，用於顯示自遙控器 9610 輸出的資料。

注意，電視機 9600 係設有接收器、數據機、等等。藉由使用接收器，可以接收一般電視廣播。此外，當顯示裝置經由數據機有線地或無線地連接至通訊網路時，可以執行單向（從發送器至接收器）或雙向（在發送器與接收器之間或在接收器之間）資訊通訊。

圖 21B 顯示數位相框 9700 的實例。舉例而言，在數位相框 9700 中，顯示部 9703 係併入於機殼 9701 中。顯示部 9703 可以顯示各種影像，舉例而言，顯示部 9703 可以顯示由數位相機等所拍攝到的影像資料並且用作爲一般相框。

注意，數位相框 9700 係設有操作部、外部連接端子（USB 端子、或可以連接至例如 USB 纜線等不同纜線的端子）、記錄媒體插入部、等等。雖然這些元件可以被設於與顯示部相同的表面上，但是，較佳地，爲了設計美學，將它們設於側表面或背面上。舉例而言，儲存數位相機拍攝的影像資料之記憶體係插入於數位相框的記錄媒體

插入部中以及載入資料，因此，載入的資料之影像可以被顯示於顯示部 9703 上。

數位相框 9700 可以被配置成無線地傳送及接收資料。經由無線通訊，可以載入所需的影像資料而顯示。

圖 22A 是可攜式遊戲機，且由機殼 9881 和機殼 9891 等二機殼所構成，機殼 9881 和機殼 9891 藉由接合部 9893 而連接，以便能夠開啓或折疊可攜式遊戲機。顯示部 9882 及顯示部 9883 係分別併入於機殼 9881 和機殼 9891 中。此外，圖 22A 中所示的可攜式遊戲機係設有揚音器部 9884、記錄媒體插入部 9886、LED 燈 9890、輸入機構（操作鍵 9885、連接端子 9887、感測器 9888（具有測量力量、位移、位置、速度、加速度、角速度、旋轉頻率、距離、光、液體、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射、流速、濕度、梯度、振動、氣味、或紅外線的功能之感測器）、及麥克風 9889）、等等。無需多言，可攜式遊戲機的結構不限於上述，可以使用至少設有本說明書中所揭示的半導體裝置之其它結構。可攜式遊戲機可以適當地包含其它輔助設備。圖 22A 中所示的可攜式遊戲機具有讀出儲存於儲存媒體中的程式或資料以將其顯示於顯示部上之功能以及具有經由無線通訊而與其它可攜式遊戲機共用資訊之功能。注意，圖 22A 中所示的可攜式遊戲機的功能不限於上述功能，可攜式遊戲機可以具有許多功能。

圖 22B 顯示大型遊戲機之投幣機 9900 的實例。在投

幣機 9900 中，顯示部 9903 係併入於機殼 9901 中。此外，投幣機 9900 包含例如啓動桿及停止開關、硬幣槽、揚音器、等操作機構。無需多言，投幣機 9900 的結構不限於上述，可以使用至少設有本說明書中揭示的半導體裝置之其它結構。投幣機 9900 可以適當地包含其它輔助設備。

圖 23A 是立體視圖，顯示可攜式電腦的實例。

在圖 23A 所示的可攜式電腦中，藉由關閉連接頂殼 9301 及底殼 9302 之鉸鏈單元，具有顯示部 9303 的頂殼 9301 及具有鍵盤 9304 的底殼 9302 可以彼此重疊。圖 23A 中所示的可攜式電腦便於攜帶。此外，在使用用於資料輸入的鍵盤之情況中，打開鉸鏈單元以便使用者可以看著顯示部 9303 輸入資料。

除了鍵盤 9304 之外，底殼 9302 還包含指向裝置 9306，藉由指向裝置 9306 可以執行輸入。當顯示部 9303 是觸控輸入面板時，使用者藉由觸控部份顯示部，可以輸入資料。底殼 9302 包含例如 CPU 或硬碟等算術功能部份。此外，底殼 9302 包含外部連接埠 9305，例如符合 USB 的通訊標準之通訊纜線等其它裝置可以被插入外部連接埠 9305。

頂殼 9301 又包含顯示部 9307，並且，藉由將顯示部 9307 滑入頂殼 9301 中而可以將顯示部 9307 容納於其中。藉由顯示部 9307，可以實現大的顯示幕。此外，使用者可以調整被容納的顯示部 9307 的顯示幕的角度。假

使可以被容納的顯示部 9307 是觸控式面板時，藉由觸控可以被容納的部份顯示部 9307，使用者可以輸入資料。

使用例如液晶顯示面板、或使用有機發光元件或無機發光元件的發光顯示面板等影像顯示裝置，形成可以容納於頂殼 9301 中的顯示部 9303 或顯示部 9307。

此外，圖 23A 中所示的可攜式電腦可以設有接收器等，以及可以接收電視廣播以在顯示部上顯示影像。藉由滑動及曝露顯示部 9307 及調整其角度，將連接頂殼 9301 及底殼 9302 的鉸鏈單元關閉，使用者可以藉由顯示部 9307 的整個螢幕來觀看 TV 廣播。在此情況中，鉸鏈單元未打開且未於顯示部 9303 上執行顯示。此外，僅有用於顯示電視廣播的電路之啓動被執行。因此，電力消耗最小，對於電池容量有限的可攜式電腦是有用的。

圖 23B 是立體視圖，顯示如同手錶般可由使用者戴於手腕上之行動電話的實例。

行動電話由下述形成:主體，包含包括至少電話功能之通訊裝置、及電池；帶部 9204，使主體能夠被穿戴於手腕上；調整部 9205，用以調整固定於手腕的帶部；顯示部 9201；揚音器 9207；及麥克風 9208。

此外，主體包含操作開關 9203。操作開關 9203 可以具有個別功能，舉例而言，在開關被按下時作爲啓動網際網路的程式之開關，以及用作爲開啓電源的開關、用以切換顯示的開關、用以指令開始拍攝影像之開關、等等。

以手指或輸入筆觸控顯示部 9201、操作操作鍵

9203、或輸入聲音至麥克風 9208，使用者可以輸入資料至此行動電話。在圖 23B 中，顯示按鍵 9202 係顯示於顯示部 9201 上。以手指等觸控顯示按鍵 9202，使用者可以輸入資料。

此外，主體包含相機部 9206，相機部 9206 包含攝影機構，攝影機構將經由相機鏡頭形成之物體的影像轉換成電子影像訊號。注意，並非一定要設置相機部。

圖 23B 中所示的行動電話係設有電視廣播的接收器等等，且能夠藉由接收電視廣播而在顯示部 9201 上顯示影像。此外，行動電話係設有例如記憶體等記憶裝置，並且，能夠將電視廣播記錄於記憶體中。圖 23B 中所示的行動電話可以具有例如 GPS 等收集位置資訊之功能。

使用例如液晶顯示面板、或是有機發光元件或無機發光元件之發光顯示面板等影像顯示裝置作爲顯示部 9201。圖 23B 中所示的行動電話是小巧且輕的以及電池容量有限。基於上述理由，較佳地使用可以由低耗電驅動的面板作爲用於顯示部 9201 的顯示裝置。

注意，圖 23B 顯示穿戴於腕上的電子設備，但是，本實施例不限於此，只要電子設備是可攜式的即可。

（實施例 15）

在本實施例中，將參考圖 24 至圖 37，說明包含實施例 1 至 5 中任何實施例中所述的薄膜電晶體之顯示裝置的實例作爲半導體裝置的一個模式。在本實施例中，將參考

圖 24 至圖 37，說明使用液晶元件作爲顯示元件之液晶顯示裝置的實例。實例 1 至 5 中任何實施例中所述的薄膜電晶體可以作爲圖 24 至圖 37 中每一個液晶顯示裝置中所使用的 TFT 628 和 629。經由類似於實施例 1 至 5 中任何實施例中所述的製程，製造 TFT 628 和 629，TFT 628 和 629 具有優良的電特徵及高可靠度。TFT 628 和 629 是通道蝕刻型薄膜電晶體，在 TFT 628 和 629 中均使用氧化物半導體層以形成通道形成區。

首先，說明垂直對齊（VA）液晶顯示裝置。VA 液晶顯示裝置具有一種形式，其中，控制液晶顯示面板的液晶分子之對齊。在 VA 液晶顯示裝置中，當無電壓施加時，液晶分子在相對於面板表面的垂直方向上對齊。在本實施例中，特別是，像素分成一些區域（子像素），並且，分子在它們個別的區域中以不同方向對齊。這被稱爲多域或多域設計。於下說明多域設計的液晶顯示裝置。

圖 25 及圖 26 分別顯示像素電極及對置電極。圖 25 是平面視圖，顯示圖 25 中的 E-F 剖面結構。圖 26 是平面視圖，顯示形成對置電極之基板側。於下，將參考這些附圖作說明。

在圖 24 中，設有 TFT 628 的基板 600、連接至 TFT 628 的像素電極層 624、及儲存電容器部 630 與設有對置電極層 640 等的對置基板 601 相重疊，並且，液晶注入於基板 600 與對置基板 601 之間。

對置基板 601 係設有著色膜 636 及對置電極層 640，

以及，凸部 644 係形成於對置電極層 640 上。配向膜 648 係形成於像素電極層 624 上，並且，配向膜 646 係類似地形成於對置電極層 640 及凸部 644 上。液晶層 650 係形成於基板 600 與對置基板 601 之間。

TFT 628、連接至 TFT 628 的像素電極層 624、及儲存電容器部 630 係形成於基板 600 之上。像素電極層 624 係連接至 TFT 628，亦即，經由穿透覆蓋儲存電容器部份 630 之絕緣膜 620、覆蓋絕緣膜 620 的絕緣膜 696、以及覆蓋絕緣膜 696 的絕緣膜 622 之接觸孔 623，連接至佈線 618a 和佈線 618b。實施例 1 至 5 中任何實施例中所述的薄膜電晶體可以適當地作爲 TFT 628。此外，儲存電容器部 630 包含與 TFT 628 的閘極佈線同時形成之第一電容器佈線 604、閘極絕緣膜、及與佈線 616 同時形成的第二電容器佈線 617a 及第二電容器佈線 617b。

像素電極層 624、液晶層 650、及對置電極層 640 彼此重疊，因而形成液晶元件。

舉例而言，使用實施例 1 中所述的材料，形成像素電極層 624。像素電極層 624 設有狹縫 625。狹縫 625 係設置成用來控制液晶的對齊。

以類似於 TFT 628、像素電極層 624、及儲存電容器部 630 的方式，形成圖 25 中所示之 TFT 629、連接至 TFT 629 的像素電極層 626、及儲存電容器部 631。TFT 628 及 629 都連接至佈線 616。本液晶顯示面板的一個像素包含像素電極層 624 和 626。

圖 26 顯示對置基板側的平面結構。使用類似於像素電極層 624 的材料，較佳形成對置電極層 640。控制液晶的對齊之凸部 644 係形成於對置電極層 640 上。注意，在圖 26 中，像素電極層 624 及 626 由虛線表示，並且，對置電極層 640 與像素電極層 624 和 626 彼此重疊。

圖 27 顯示本像素結構的等效電路。TFT 628 和 629 都連接至閘極佈線 602 和佈線 616。在該情況中，當電容器佈線 604 和電容器佈線 605 的電位彼此不同，液晶元件 651 和 652 的操作可以不同。換言之，藉由分別控制電容器佈線 604 和 605 的電位，可以精準地控制液晶的對齊以及增加視角。

當電壓施加至設有狹縫 625 的像素電極層 624 時，在狹縫 625 的附近產生扭曲的電場（歪斜電場）。對置基板 601 側上的凸部 644 及狹縫 625 係交錯地配置，以便有效地產生歪斜電場，以控制液晶的對齊，因此，液晶的對齊方向視位置而變。換言之，藉由多域，增加液晶顯示面板的視角。

接著，將參考圖 28、圖 29、圖 30、及圖 31，說明與上述裝置不同的 VA 液晶顯示裝置。

圖 28 及圖 29 顯示 VA 液晶顯示面板的像素結構。圖 29 是基板 600 的平面視圖。圖 28 顯示圖 29 中的 Y-Z 剖面結構。於下參考此二圖式，作出說明。

在本像素結構中，多個像素電極設於一個像素中，並且，TFT 係連接至每一個像素電極。多個 TFT 係由不同的

閘極訊號來予以驅動。換言之，施加至多域像素中的個別像素電極之訊號彼此獨立地受控。

像素電極層 624 經由通過穿透絕緣膜 620、696、及 622 之接觸孔 623 之佈線 618 而被連接至 TFT 628。像素電極層 626 經由通過穿透絕緣膜 620、696、及 622 之接觸孔 627 之佈線 619 而被連接至 TFT 629。TFT 628 的閘極佈線 602 與 TFT 629 的閘極佈線 603 分開，使得可以供應不同的閘極訊號。另一方面，用作爲資料線的佈線 616 係由 TFT 628 和 629 所共用。實施例 1 至 5 中的任何實施例中所述的薄膜電晶體可以適當地用作爲 TFT 628 及 629。注意，第一閘極絕緣膜 606a 和第二閘極絕緣膜 606b 係形成於閘極佈線 602、閘極佈線 603、及電容器佈線 690 上。

像素電極層 624 的形狀與像素電極層 626 的形狀不同，並且，這些像素電極層被狹縫 625 所分開。像素電極層 626 係形成爲圍繞散佈成 V 形的像素電極層 624 的外部側。使由 TFT 628 施加至像素電極層 624 的電壓不同於由 TFT 629 施加至像素電極層 626 的電壓，因而控制液晶的對齊。圖 31 顯示此像素結構的等效電路。TFT 628 連接至閘極佈線 602，TFT 629 連接至閘極佈線 603。TFT 628 及 629 都連接至閘極佈線 616。當不同的閘極訊號供應至閘極佈線 602 和 603 時，液晶元件 651 和 652 的操作可以不同。換言之，藉由分別控制 TFT 628 和 629 的操作，以精準地控制液晶 651 和 652 的對齊，其導致更寬的視角。

對置基板 601 設有著色膜 636 及對置電極層 640。平坦化膜 637 係形成於著色膜 636 與對置電極層 640 之間，以防止液晶的對齊失序。圖 30 顯示對置基板側的平面結構。對置電極層 640 是由不同的像素所共用，並且，形成狹縫 641。像素電極層 624 和 626 中的狹縫 641 和狹縫 625 係交錯地配置，以便有效地產生歪斜電場，因此，可以控制液晶的對齊。因此，液晶的對齊方向視位置而變，其導致更寬的視角。注意，在圖 30 中，形成於基板 600 之上的像素電極層 624 及 626 係由虛線來予以表示，並且，對置電極層 640 和像素電極層 624 和 626 彼此重疊。

配向膜 648 形成於像素電極層 624 及像素電極層 626 之上，並且，對置電極層 640 係類似地設有配向膜 646。液晶層 650 形成於基板 600 與對置基板 601 之間。像素電極層 624、液晶層 650、及對置電極層 640 彼此重疊以形成第一液晶元件。像素電極層 626、液晶層 650、及對置電極層 640 彼此重疊以形成第二液晶元件。圖 28、圖 29、圖 30、圖 31、及圖 32 中所示的顯示面板的像素結構是多域結構，其中，第一液晶元件及第二液晶元件係設於一個像素中。

接著，說明水平電場模式中的液晶顯示裝置。在水平電場模式中，以相對於胞中的液晶分子之水平方向來施加電場，因而驅動液晶以呈現灰階。根據此方法，視角可以增加至約 180°。於下，說明水平電場模式中的液晶顯示裝置。

在圖 32 中，形成電極層 607、TFT 628、及連接至 TFT 628 的像素電極層 624 之基板 600 與對置基板 601 重疊，並且，液晶注入於基板 600 與對置基板 601 之間。對置基板 601 設有著色膜 636、平坦化膜 637、等等。注意，對置電極未設於對置基板 601 側上。此外，在基板 600 與對置基板 601 之間形成液晶層 650，並且，配向膜 646 和 648 係設於液晶層 650 與基板 600 和對置基板 601 之間。

電極層 607、連接至電極層 607 的電容器佈線 604、及 TFT 628 係形成於基板 600 之上，TFT 628 是實施例 1 至 5 中任何實施例中所述的薄膜電晶體。電容器佈線 604 與 TFT 628 的閘極佈線 602 被同時形成。實施例 1 至 5 中任何實施例中所述的薄膜電晶體可以用作爲 TFT 628。使用類似於實施例 1 至 5 中任何實施例中所述的像素電極層之材料，以形成電極層 607。電極層 607 幾乎以像素形式來分割。注意，閘極絕緣膜 606 係形成於電極層 607 和電容器佈線 604 之上。

TFT 628 的佈線 616 和 618 係形成於閘極絕緣膜 606 上。佈線 616 是視頻訊號傳輸的資料線、在液晶面板中於其中一個方向上延伸、以及作爲 TFT 628 的源極和汲極電極的其中之一。佈線 618 用作爲源極和汲極電極中的另一者並被連接至像素電極層 624。

絕緣膜 620 係形成於佈線 616 和 618 之上，並且，絕緣膜 696 係形成於絕緣膜 620 之上。在絕緣膜 696 之上，

形成像素電極層 624，像素電極層 624 是要經由形成於絕緣膜 620 和 696 中的接觸孔 623 而被連接至佈線 618。使用類似於實施例 1 至 5 中任何實施例中所述的像素電極的材料來形成像素電極層 624。

以此方式，在基板 600 之上形成 TFT 628 及連接至 TFT 628 的像素電極層 624。注意，儲存電容器係由電極層 607 和像素電極層 624 所形成。

圖 33 是平面視圖，顯示像素電極的結構。圖 32 顯示圖 33 中的 O-P 剖面結構。像素電極層 624 係設有狹縫 625。狹縫 625 係設置成用來控制液晶的對齊。在該情況中，電場係產生於電極層 607 與像素電極層 624 之間。形成於電極層 607 與像素電極層 624 之間的閘極絕緣膜 606 的厚度爲 50 nm 至 200 nm，遠小於 2μm 至 10μm 之液晶層厚度。因此，產生實質上與基板 600 平行（在水平方向）的電場。液晶的對齊由此電場控制。藉由在實質上平行於基板的方向上使用電場，將液晶分子水平地旋轉。在該情況中，液晶分子在任何狀態下水平地對齊，因此，對比等等較不受視角影響，其導致更寬的視角。此外，由於電極層 607 及像素電極層 624 都是透光電極，因而可以增進孔徑比。

接著，說明水平電場模式中的液晶顯示裝置的不同實例。

圖 34 及圖 35 顯示 IPS 模式中之液晶顯示裝置的像素結構。圖 35 是平面視圖。圖 34 顯示圖 35 中的 V-W 剖面

結構。於下，將參考此二圖式，作出說明。

在圖 34 中，形成 TFT 628、及連接至 TFT 628 的像素電極層 624 之基板 600 與對置基板 601 重疊，並且，液晶被注入於基板 600 與對置基板 601 之間。對置基板 601 係設有著色膜 636、平坦化膜 637、等等。注意，對置電極並未被設於對置基板 601 側上。在基板 600 與對置基板 601 之間形成液晶層 650，並且，配向膜 646 和 648 係設於液晶層 650 與基板 600 和對置基板 601 之間。

共同電位線 609 及實施例 1 至 5 中任何實施例中所述的 TFT 628 係形成於基板 600 之上。共同電位線 609 與 TFT 628 的閘極佈線 602 被同時形成。實施例 1 至 5 中任何實施例中所述的薄膜電晶體可以用作爲 TFT 628。

TFT 628 的佈線 616 和 618 係形成於閘極絕緣膜 606 之上。佈線 616 是視頻訊號傳輸的資料線、在液晶面板中於其中一個方向上延伸，且用作爲 TFT 628 的源極和汲極電極的其中之一。佈線 618 用作爲源極和汲極電極中的另一者並連接至像素電極層 624。

絕緣膜 620 係形成於佈線 616 和 618 之上，並且，絕緣膜 696 係形成於絕緣膜 620 之上。在絕緣膜 696 之上，形成像素電極層 624，像素電極層 624 是要經由形成於絕緣膜 620 和 696 中的接觸孔 623 而被連接至佈線 618。使用類似於實施例 1 至 5 中任何實施例中所述的像素電極的材料，以形成像素電極層 624。注意，如圖 35 所示，像素電極層 624 係形成爲像素電極層 624 及與共同電位線

609 同時形成的梳狀電極可以產生水平電場。此外，形成像素電極層 624，使得像素電極層 624 梳齒部份及與共同電位線 609 同時形成的梳狀電極的梳齒部份交錯地配置。

藉由產生於施加至像素電極層 624 的電位與共同電位線 609 的電位之間產生的電場，以控制液晶的對齊。藉由在實質上平行於基板的方向上使用電場，將液晶分子水平地旋轉。在該情況中，液晶分子在任何狀態下水平地對齊，因此，對比等等較不受視角影響，其導致更寬的視角。

依此方式，TFT 628 及連接至 TFT 628 的像素電極層 624 係形成於基板 600 之上。儲存電容器係由閘極絕緣膜 606、共同電位線 609、及電容器電極 615 所形成。電容器電極 615 及像素電極層 624 經由接觸孔 633 而彼此連接。

接著，說明 TN 模式中的液晶顯示裝置的模式。

圖 36 和 37 顯示 TN 模式中的液晶顯示裝置的像素結構。圖 37 是平面視圖。圖 36 顯示圖 37 中的 K-L 剖面結構。於下，將參考此二式，作出說明。

像素電極層 624 經由通過形成於絕緣膜 620 和 696 中的接觸孔 623 之佈線 618 而被連接至 TFT 628。用作爲資料線的佈線 616 係連接至 TFT 628。實施例 1 至 5 中任何實施例中所述的 TFT 可以用作爲 TFT 628。

使用類似於實施例 1 至 5 中任何實施例中所述的像素電極，以形成像素電極層 624。電容器佈線 604 與 TFT

628 的閘極佈線 602 同時形成。閘極絕緣膜 606 係形成於閘極佈線 602 及電容器佈線 604 上。使用電容器佈線 604、電容器電極 615、及電容器佈線 604 與電容器電極 615 之間的閘極絕緣膜 606，以形成儲存電容器。電容器電極 615 與像素電極層 624 經由接觸孔 633 而彼此連接。

對置基板 601 係設有著色膜 636 和對置電極層 640。平坦化膜 637 係形成於著色膜 636 與對置電極層 640 之間，以防止液晶對齊失序。液晶層 650 係形成於像素電極層 624 與對置電極層 640 之間，而以配向膜 646 和 648 介於其間。

像素電極層 624、液晶層 650、及對置電極層 640 彼此重疊，因而形成液晶元件。

有著色層 636 可以被形成於基板 600 側上。極化板係附接至基板 600 的表面，此表面是設有薄膜電晶體的表面之反面，另一極化板係附接至對置基板 601 的表面，此表面是設有對置電極層 640 的表面的反面。

經由上述製程，可以製造液晶顯示裝置作爲顯示裝置。本實施例的液晶顯示裝置均具有高孔徑比。

本申請案根據 2009 年 7 月 18 日向日本專利局申請之日本專利申請序號 2009-169599，其整體內容於此一併列入參考。

【符號說明】

10：脈衝輸出電路

11：佈線

12：佈線

13：佈線

14：佈線

15：佈線

21：輸入端子

22：輸入端子

23：輸入端子

24：輸入端子

25：輸入端子

26：輸入端子

27：輸出端子

31：電晶體

32：電晶體

33：電晶體

34：電晶體

35：電晶體

36：電晶體

37：電晶體

38：電晶體

39：電晶體

40：電晶體

41：電晶體

42：電晶體

43：電晶體

51：電源線

52：電源線

53：電源線

61：週期

62：週期

200：基板

202a：閘極絕緣層

202b：閘極絕緣層

203：保護絕緣層

204：平坦化絕緣層

210：薄膜電晶體

216：氧化物絕緣層

217：導電層

220：薄膜電晶體

227：像素電極層

230：電容器佈線

231：電容器電極層

232：閘極佈線層

234a：源極佈線

234b：源極佈線

234c：源極佈線

235：端電極

236：金屬佈線層

237：金屬佈線層

238：閘極佈線層

240：薄膜電晶體

241：金屬佈線層

242：金屬佈線層

250：電容器佈線層

251：氧化物半導體層

400：基板

402a：閘極絕緣層

402b：閘極絕緣層

403：保護絕緣層

404：平坦化絕緣層

406：氧化物導電層

407：氧化物絕緣層

408a：低電阻汲極區

408b：低電阻汲極區

409a：源極電極層

409b：汲極電極層

410：薄膜電晶體

411：閘極電極層

412：氧化物半導體層

413：通道形成區

414a：高電阻汲極區

414b：高電阻汲極區

415a：源極電極層

415b：汲極電極層

416：氧化物絕緣層

417：導電層

420：薄膜電晶體

421：閘極電極層

422：氧化物半導體層

423：通道形成區

424a：高電阻汲極區

424b：高電阻汲極區

425a：導電層

425b：導電層

427：像素電極層

430：氧化物半導體膜

431：氧化物半導體層

432：氧化物半導體層

433a：光阻掩罩

433b：光阻掩罩

434：導電層

435：導電層

436a：光阻掩罩

436b：光阻掩罩

438：光阻掩罩

接觸孔

422：氧化物導電層

433：氧化物導電層

444：氧化物半導體膜

445：氧化物半導體層

445a：光阻掩罩

445b：光阻掩罩

446a：低電阻汲極區

446b：低電阻汲極區

447a：源極電極層

447b：汲極電極層

449：薄膜電晶體

450：基板

451：薄膜電晶體

452a：閘極絕緣層

452b：閘極絕緣層

453：保護絕緣層

454：平坦化絕緣層

460：薄膜電晶體

461：閘極電極層

462：氧化物半導體層

463：通道形成區

464a：高電阻汲極區

464b：高電阻汲極區

465a：源極電極層

465b：汲極電極層

466：氧化物絕緣層

467：導電層

470：薄膜電晶體

471：閘極電極層

472：氧化物半導體層

473：通道形成區

474a：高電阻汲極區

474b：高電阻汲極區

477：像素電極層

480：氧化物半導體膜

481：氧化物半導體膜

482a：光阻掩罩

482b：光阻掩罩

483：氧化物半導體層

484：導電層

485：氧化物半導體層

486：導電層

487a：光阻掩罩

487b：光阻掩罩

490a：導電層

490b：導電層

491：光阻掩罩

492：薄膜電晶體

493：薄膜電晶體

494：接觸孔

496：氧化物半導體膜

497：氧化物半導體層

498：氧化物半導體層

580：基板

581：薄膜電晶體

583：絕緣膜

584：絕緣層

585：絕緣層

587：電極層

588：電極層

589：球形粒子

590a：黑色區

590b：白色區

594：穴

595：填充物

596：基板

600：基板

601：對置基板

602：閘極佈線

603：閘極佈線

604：電容器佈線

605：電容器佈線

606：閘極絕緣膜

606a：閘極絕緣膜

606b：閘極絕緣膜

607：電極層

608：共同電位線

615：電容器電極

616：佈線

617a：第二電容器佈線

617b：第二電容器佈線

618：佈線

618a：佈線

618b：佈線

619：佈線

620：絕緣膜

622：絕緣膜

632：接觸孔

624：像素電極層

625：狹縫

626：像素電極層

627：接觸孔

628：薄膜電晶體

629：薄膜電晶體

630：儲存電容器部

631：儲存電容器部

633：接觸孔

636：著色膜

637：平坦化膜

640：對置電極層

641：狹縫

644：凸部

646：配向膜

648：配向膜

650：液晶層

651：液晶元件

652：液晶元件

690：電容器佈線

696：絕緣膜

2600：TFT基板

2601：對置基板

2602：密封劑

2603：像素部

2604：顯示元件

2605：著色層

2606：極化板

2607：極化板

2608：佈線電路部

2609：可撓佈線板

2610：冷陰極管

2611：反射板

2612：電路板

2613：散射板

2700：電子書讀取器

2701：機殼

2703：機殼

2705：顯示部

2707：顯示部

2711：鉸鏈

2721：電源開關

2723：操作鍵

2725：揚音器

4001：基板

4002：像素部

4003：訊號線驅動電路

4004：掃描線驅動電路

4005：密封劑

4006：基板

4008：液晶層

4010：薄膜電晶體

4011：薄膜電晶體

4013：液晶元件

4015：連接端電極

4016a：端子電極

4016b：端子電極

4018：可撓印刷電路

4019：各向異性導電膜

4020：保護絕緣層

4021：絕緣層

4030：像素電極層

4031：對置電極層

4032：絕緣層

4035：間隔器

4040：導電層

4041：氧化物絕緣層

4501：基板

4502：像素部

4503a：訊號線驅動電路

4504a：掃描線驅動電路

4505：密封劑

4506：基板

4507：填充物

4509：薄膜電晶體

4510：薄膜電晶體

4511：發光元件

4512：電致發光層

4513：電極層

4515：連接端子電極

4516a：端子電極

4516b：端子電極

4517：電極層

4518a：可撓印刷電路

4519：各向異性導電膜

4520：堤部

4540：導電層

4541：氧化物絕緣層

4543：保護絕緣層

4544：絕緣層

5300：基板

5301：像素部

5302：掃描線驅動電路

5303：掃描線驅動電路

5304：訊號線驅動電路

5305：時序控制電路

5601：移位暫存器

5602：切換電路

5603：薄膜電晶體

5604：佈線

5605：佈線

6400：像素

6401：切換電晶體

6402：驅動電晶體

6403：電容器

6404：發光元件

6405：訊號線

6406：掃描線

6407：電源線

6408：共同電極

7001：薄膜電晶體

7002：發光元件

7003：陰極

7004：發光層

7005：陽極

7009：堤部

7011：驅動薄膜電晶體

7012：發光元件

7013：陰極

7014：發光層

7015：陽極

7016：遮光膜

7017：導電膜

7021：驅動薄膜電晶體

7022：發光元件

7023：陰極

7024：發光層

7025：陽極

7027：導電膜

9201：顯示部

9202：顯示按鍵

9203：操作鍵

9205：調整部

9206：相機部

9207：揚音器

9208：麥克風

9301：頂殼

9302：底殼

9303：顯示部

9304：鍵盤

9305：外部連接埠

9306：指向裝置

9307：顯示部

9600：電視機

9601：機殼

9603：顯示部

9605：架子

9607：顯示部

9609：操作鍵

9610：遙控器

9700：數位相框

9701：機殼

9703：顯示部

9881：機殼

9882：顯示部

9883：顯示部

9884：揚音器部

9885：操作鍵

9886：記憶媒體插入部

9887：連接端子

9888：感測器

9889：麥克風

9890：LED 燈

9891：機殼

9893：接合部

9900：投幣機

9901：機殼

9903：顯示部

第 107101090 號 民國 108 年 11 月 28 日修正

申請專利範圍

1.一種顯示裝置，包含：

第一閘極電極層；

第二閘極電極層；以及

在該第一閘極電極層及該第二閘極電極層之間的氧化物半導體層，

其中，該第一閘極電極層與該第二閘極電極層彼此重疊，以及

其中，該第二閘極電極層包含透光導電膜。

2.一種顯示裝置，包含：

第一閘極電極層；

第二閘極電極層；

在該第一閘極電極層及該第二閘極電極層之間的氧化物半導體層；以及

像素電極層，

其中，該第一閘極電極層與該第二閘極電極層彼此重疊，以及

其中，該像素電極層及該第二閘極電極層包含相同材料。

3.一種顯示裝置，包含：

包含第一電晶體的驅動電路；以及

包含第二電晶體的像素，

其中，該第一電晶體及該第二電晶體各包含：

在基板上的第一閘極電極層；

在該第一閘極電極層上的閘極絕緣層；

在該閘極絕緣層上的氧化物半導體層；

在該氧化物半導體層上的源極電極層；

在該氧化物半導體層上的汲極電極層；以及

在該閘極絕緣層、該氧化物半導體層、該源極電極層及該汲極電極層上的氧化物絕緣層，該氧化物絕緣層與在該源極電極層及該汲極電極層之間的該氧化物半導體層的至少部分接觸，

其中，該像素更包含電連接於該第二電晶體的該源極電極層及該汲極電極層的其中之一的像素電極層，

其中，該第一電晶體更包含與在該氧化物半導體層中的通道形成區重疊的第二閘極電極層，

其中，該第一閘極電極層與該第二閘極電極層彼此重疊，以及

其中，該像素電極層及該第二閘極電極層包含相同材料。

圖式

圖1A1

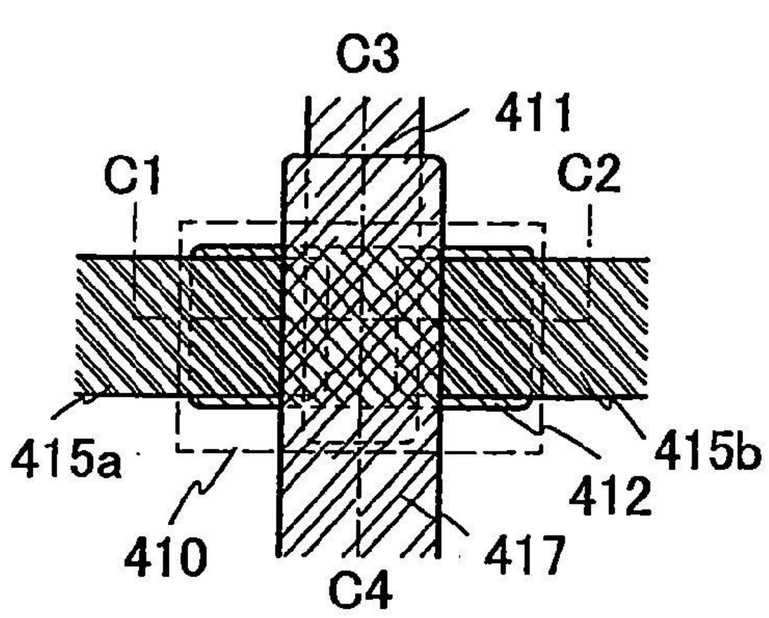


圖1A2

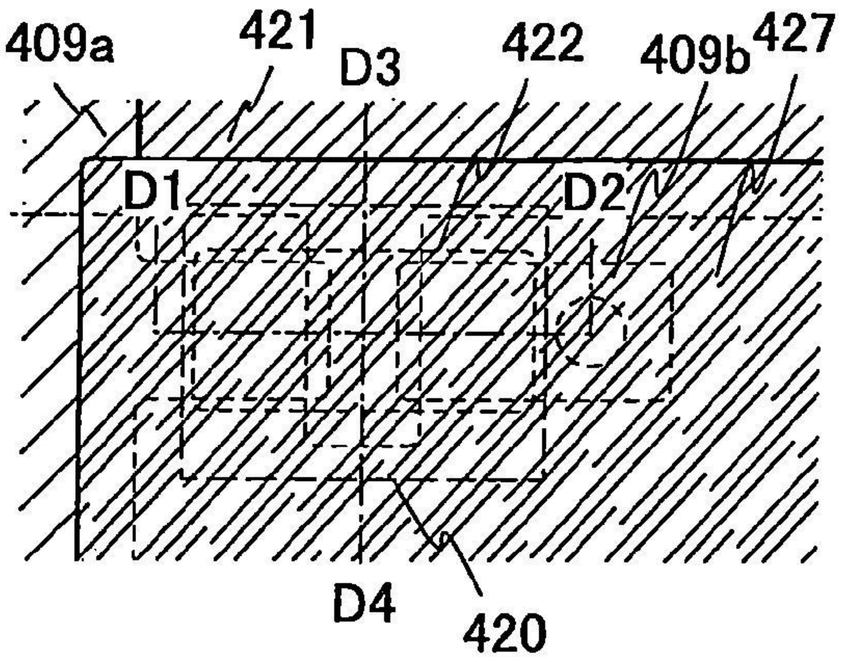


圖1B

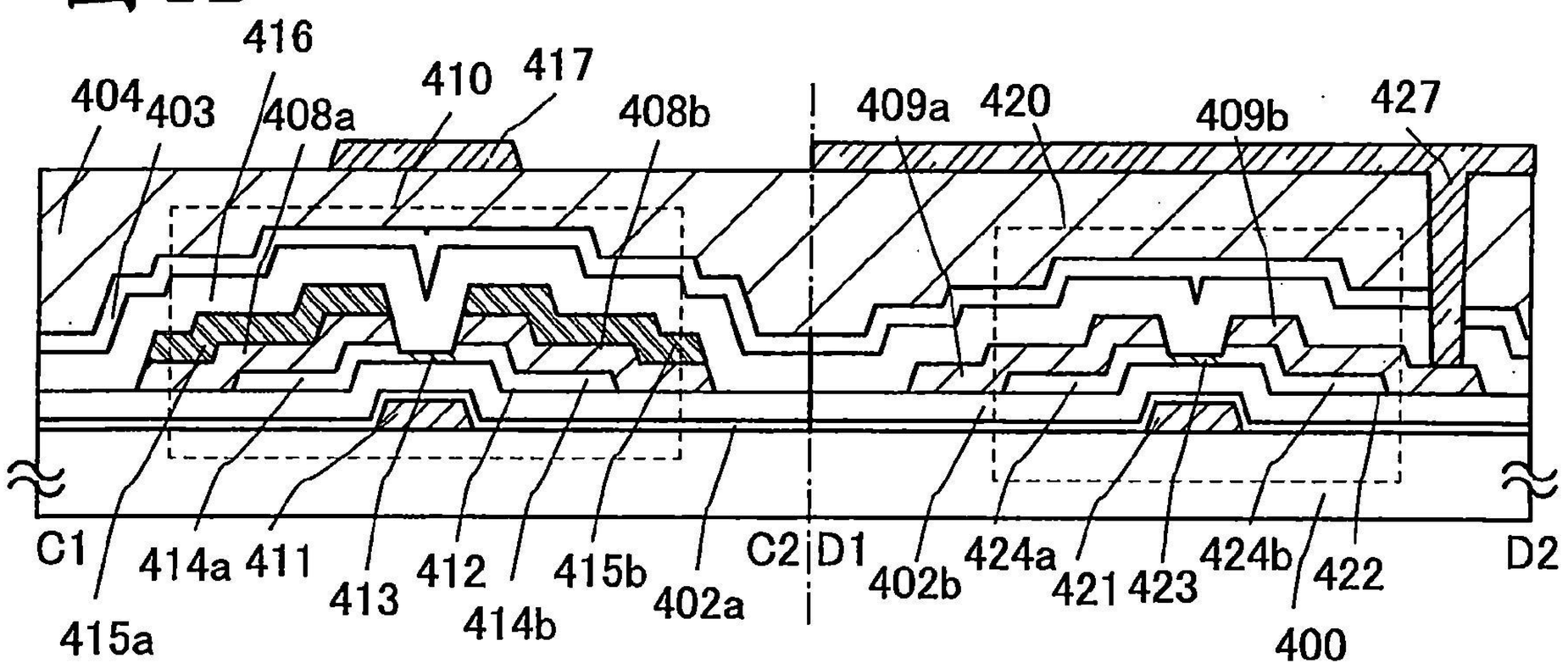


圖1C

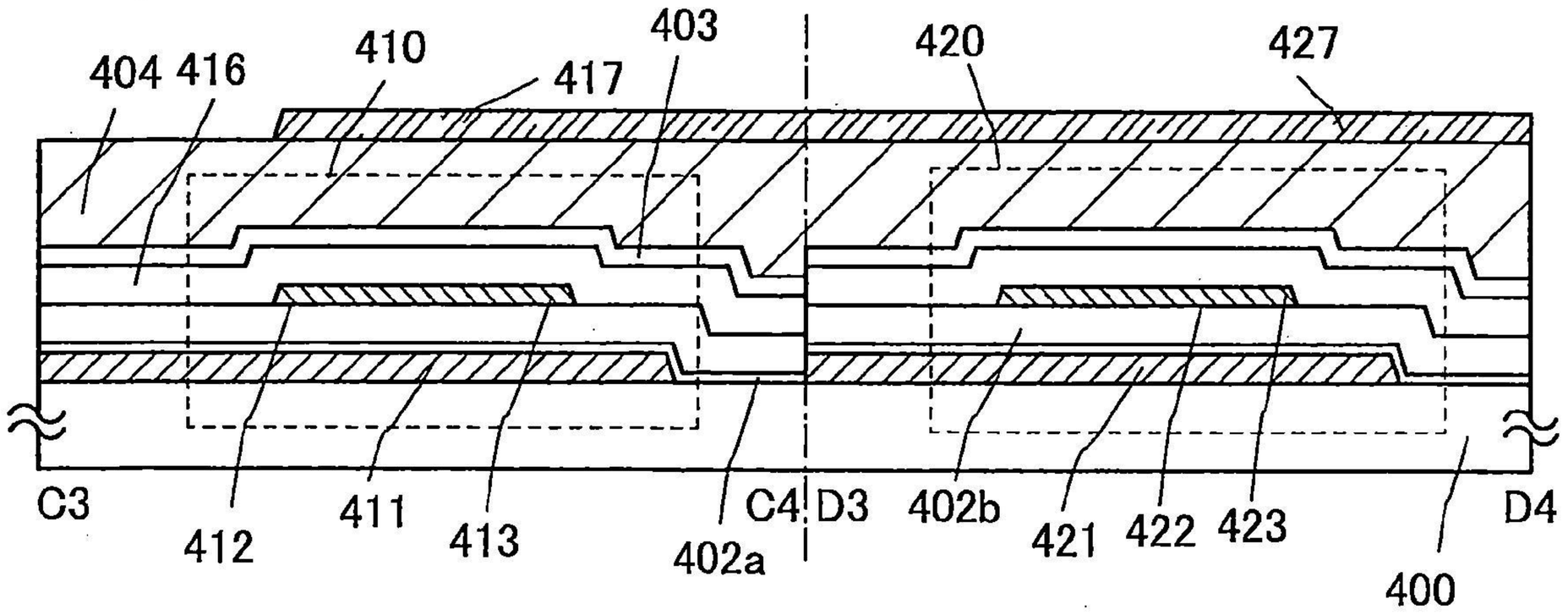


圖2A

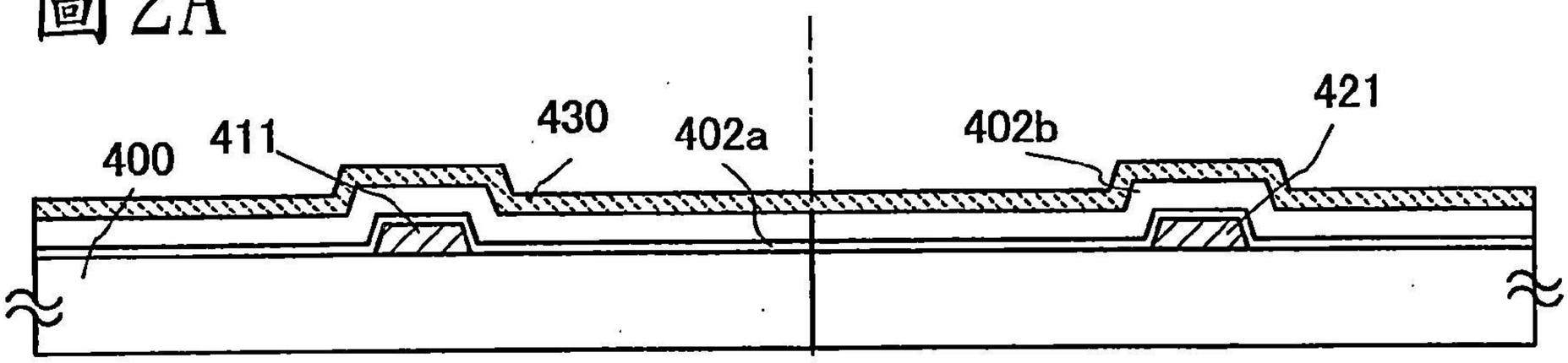


圖2B

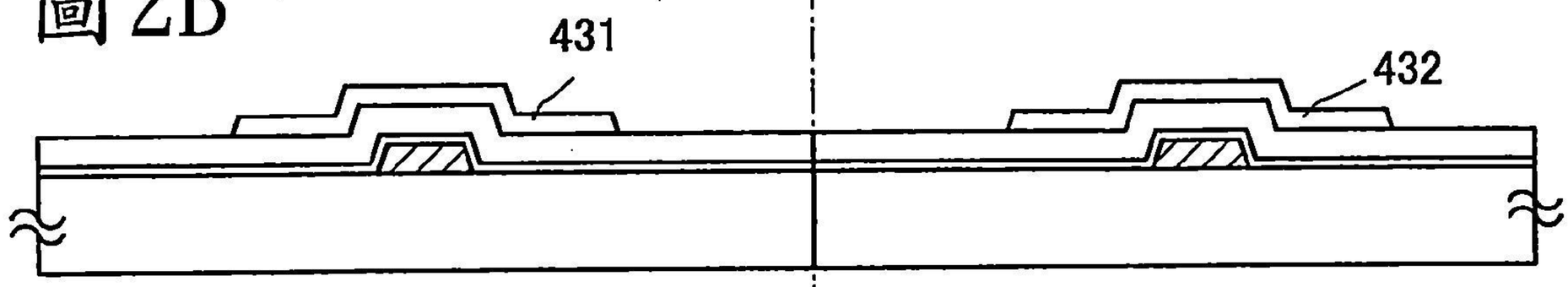


圖2C

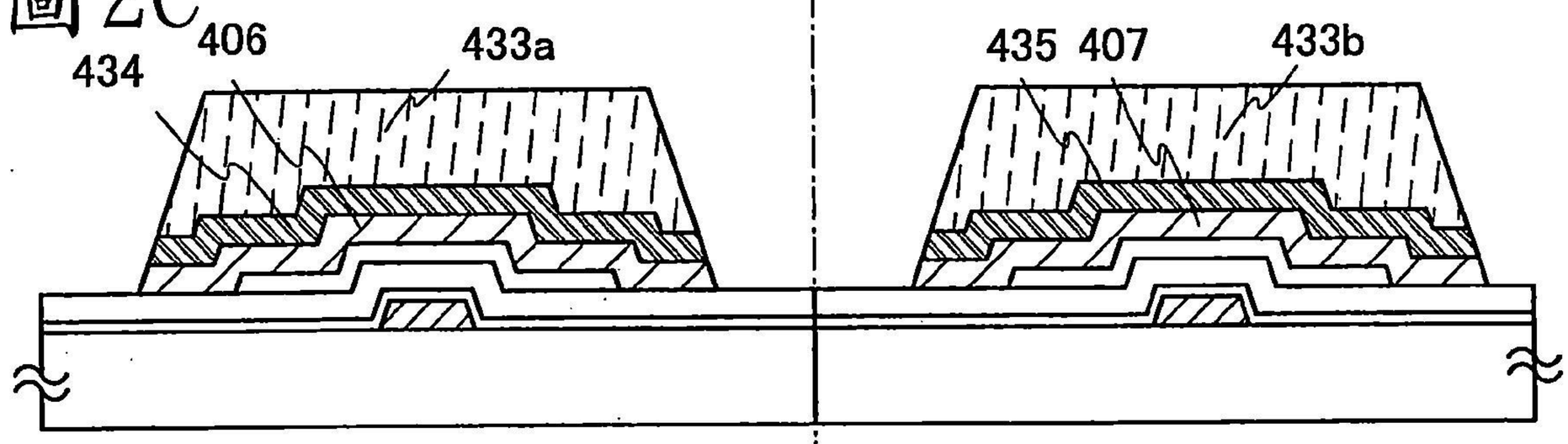


圖2D

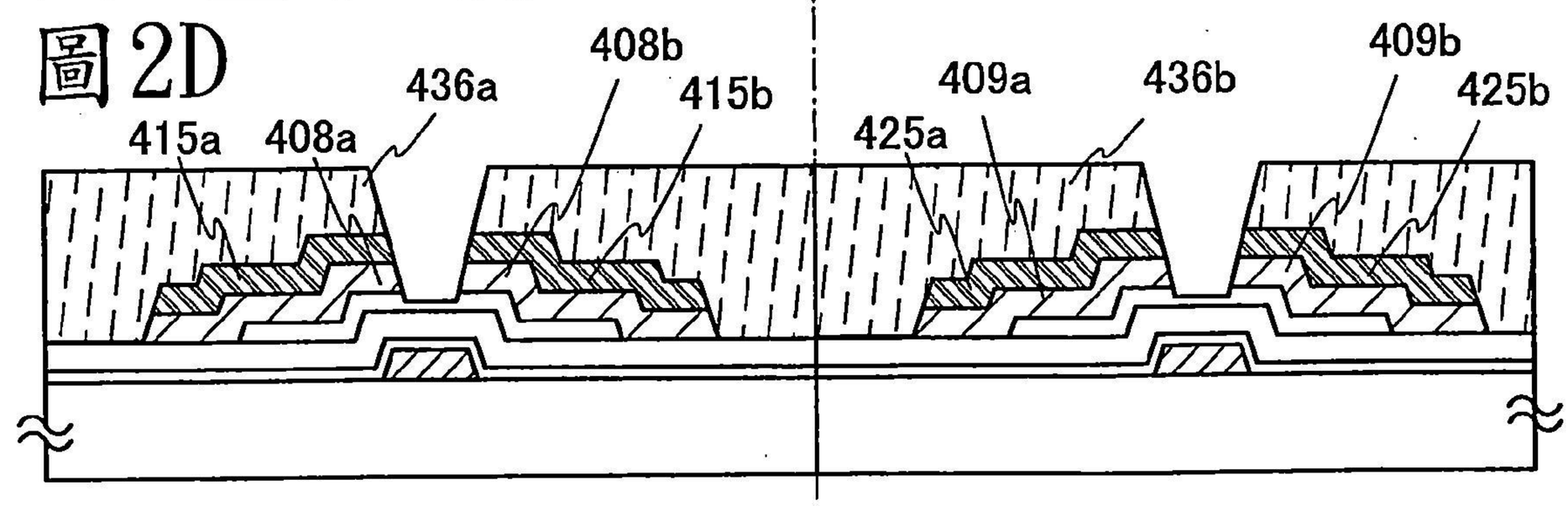


圖2E

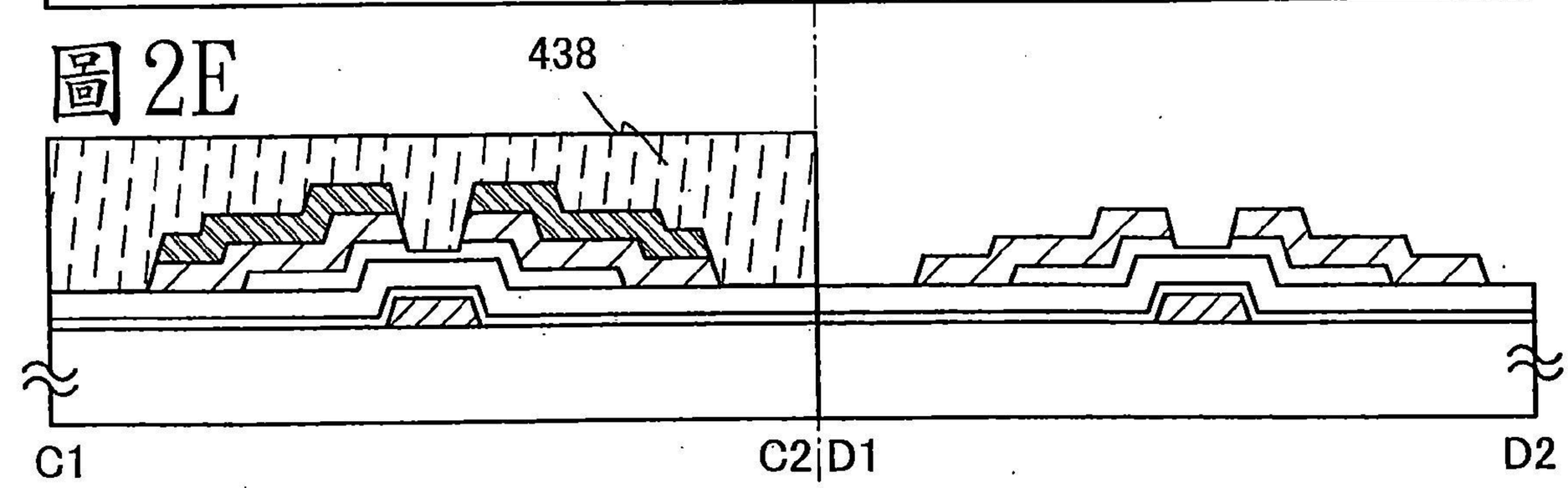


圖3A

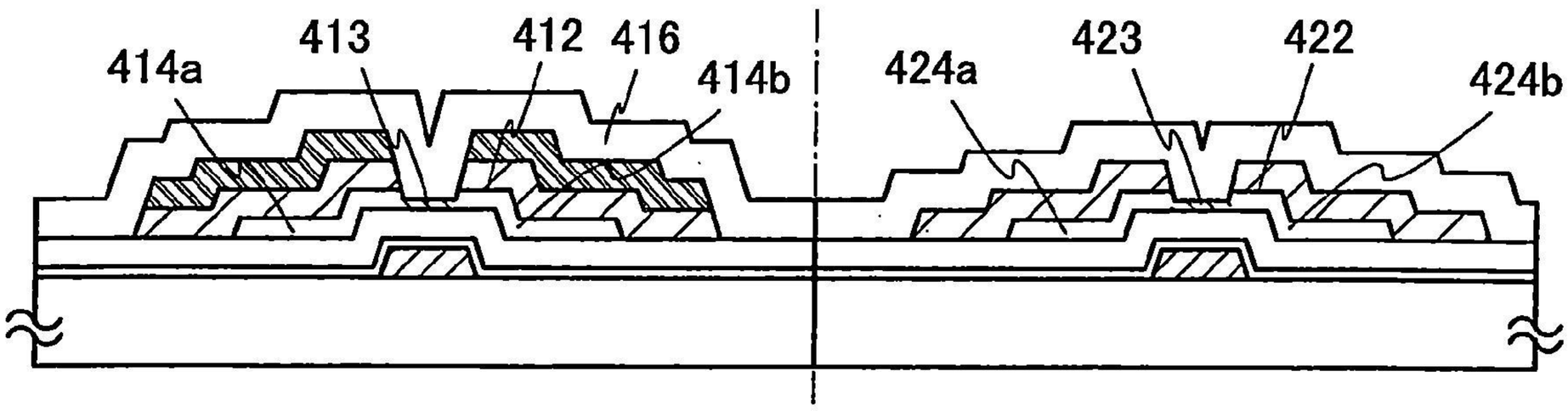

414a
413
412
416
414b
424a
423
422
424b

圖3B

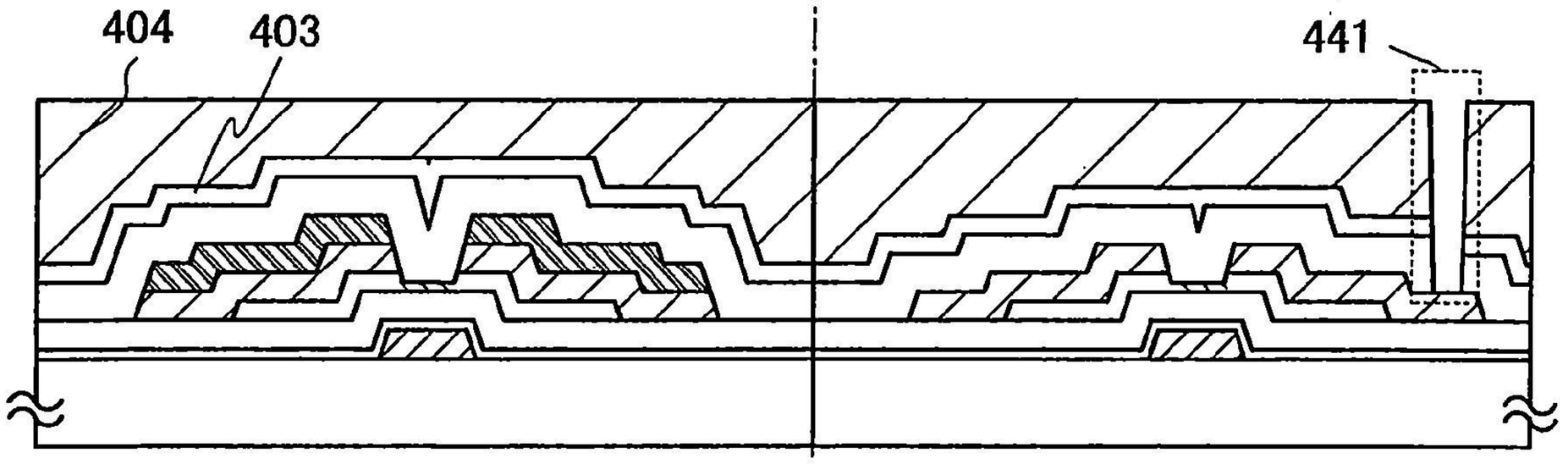

404
403
441

圖3C

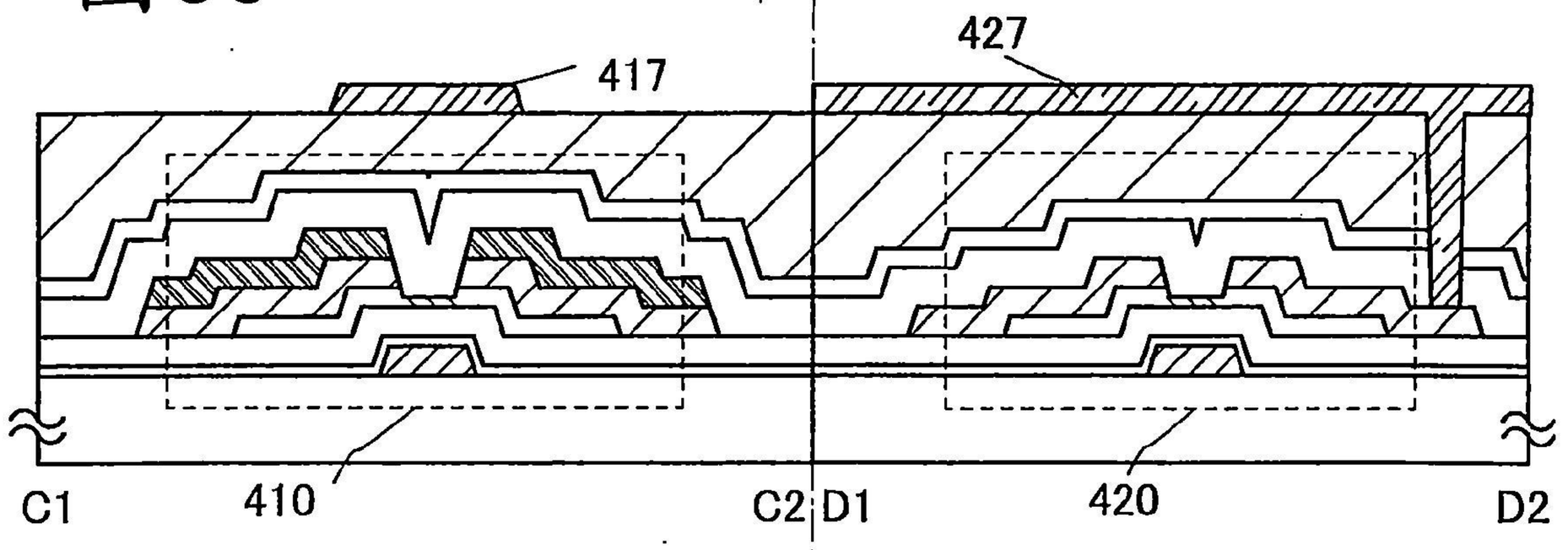

417
427
C1
410
C2
D1
420
D2

圖4A

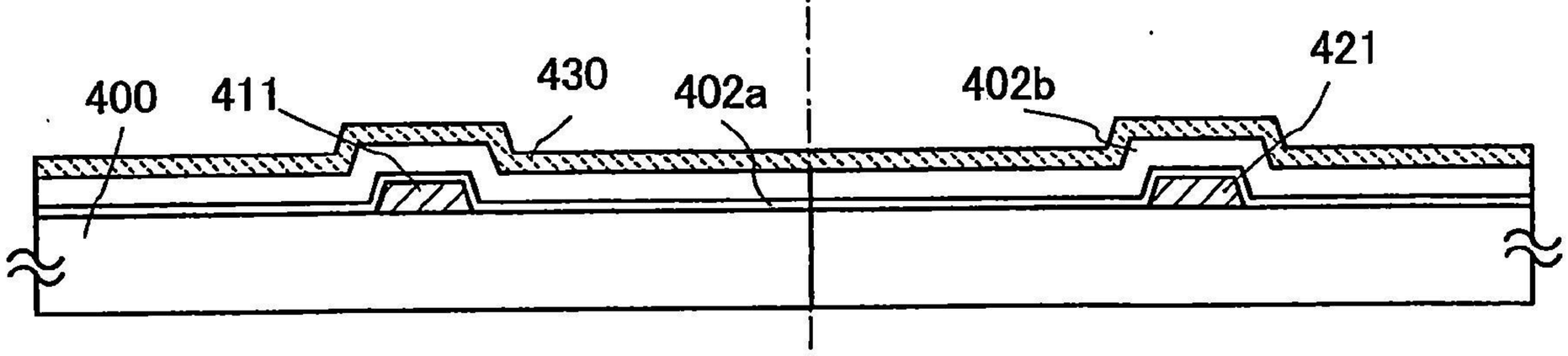

400
411
430
402a
402b
421

圖4B

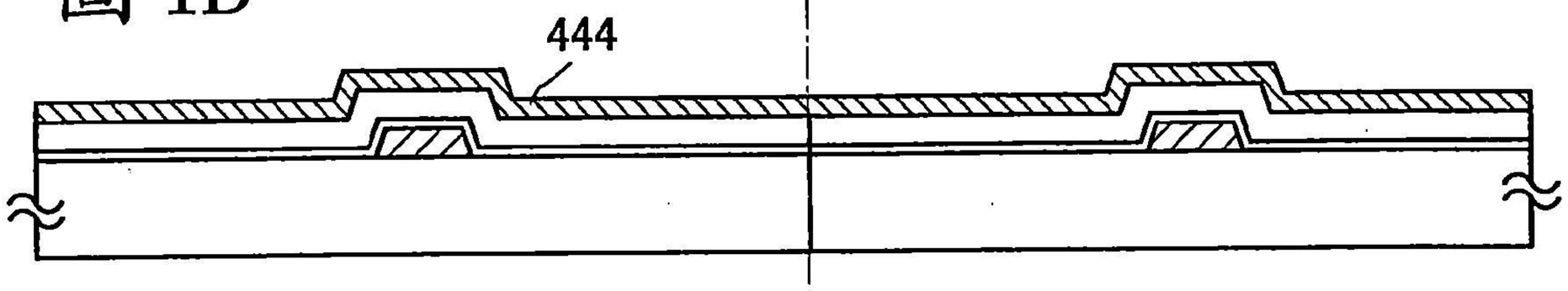

444

圖4C

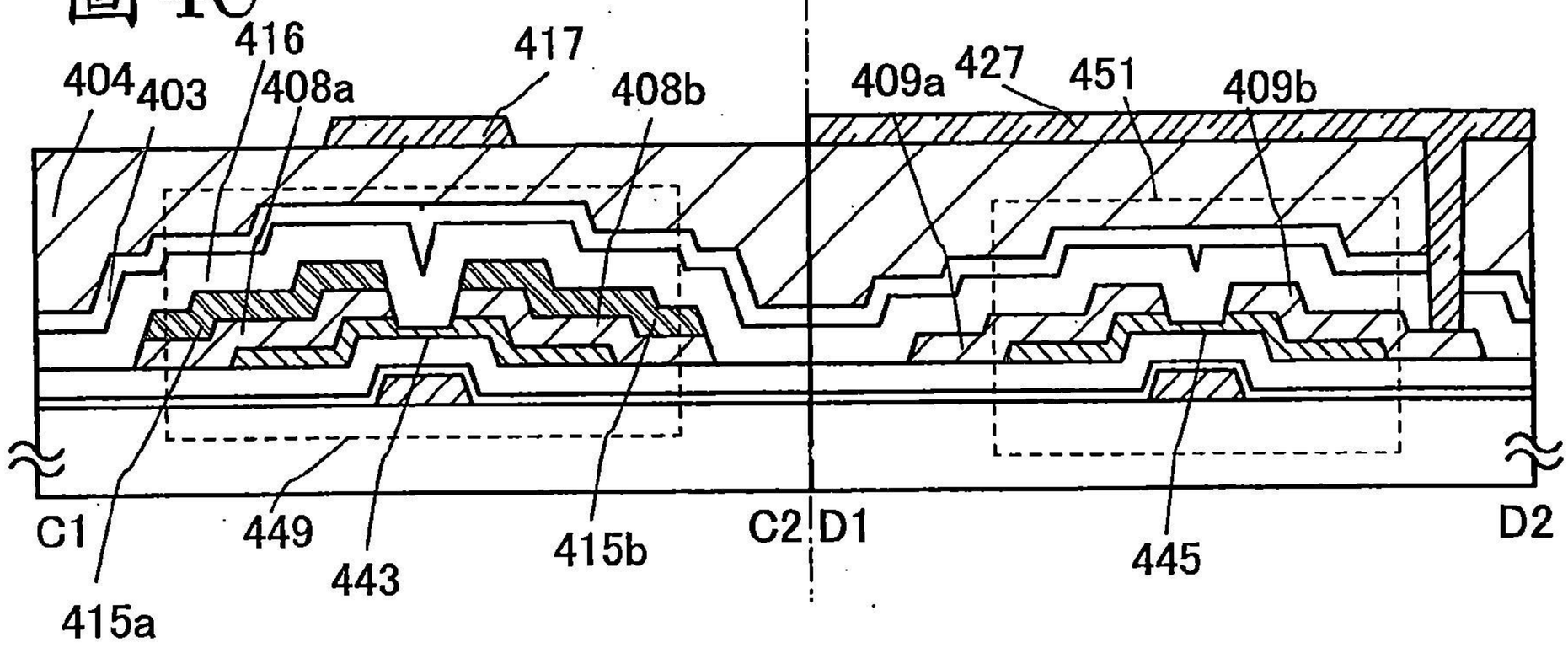

416
417
404
403
408a
408b
409a
427
451
409b
C1
449
443
415b
C2
D1
445
D2
415a

圖5A

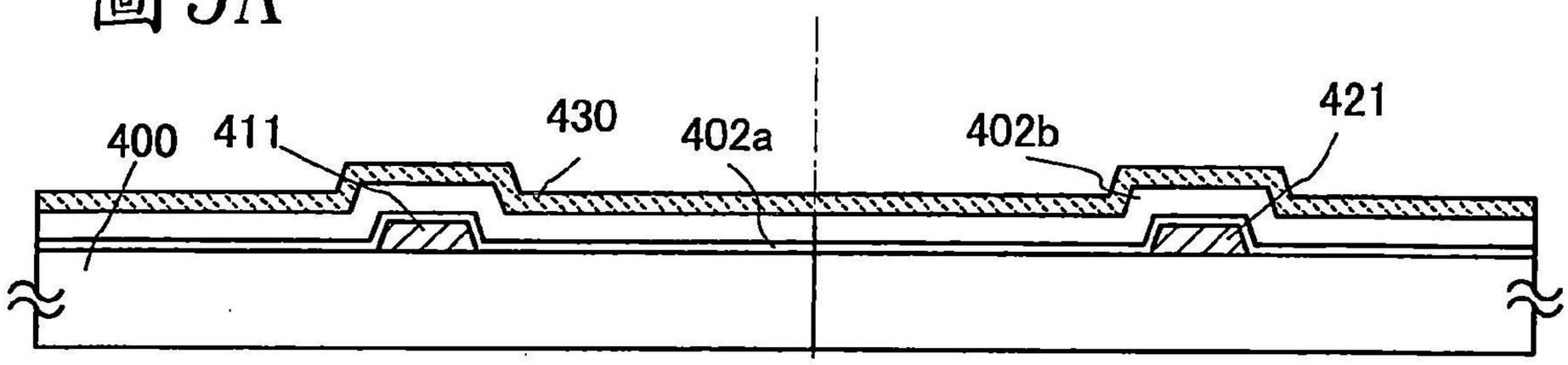


圖5B

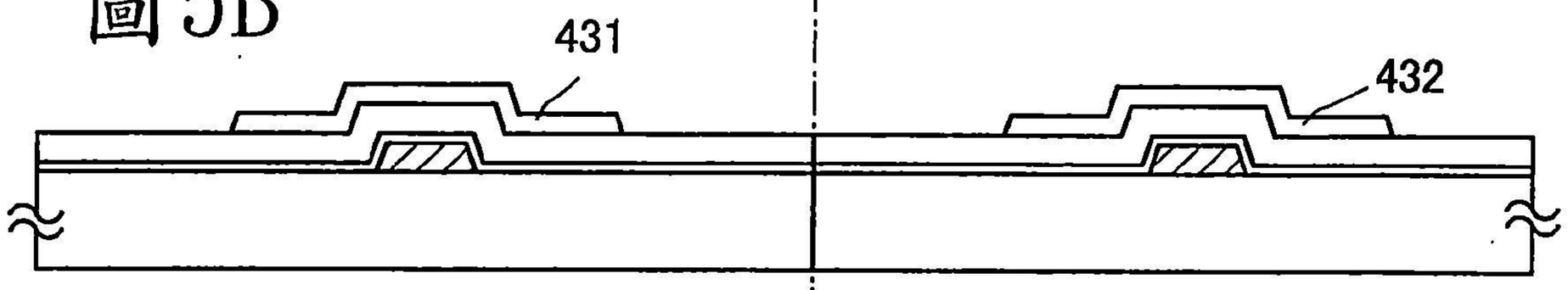


圖5C

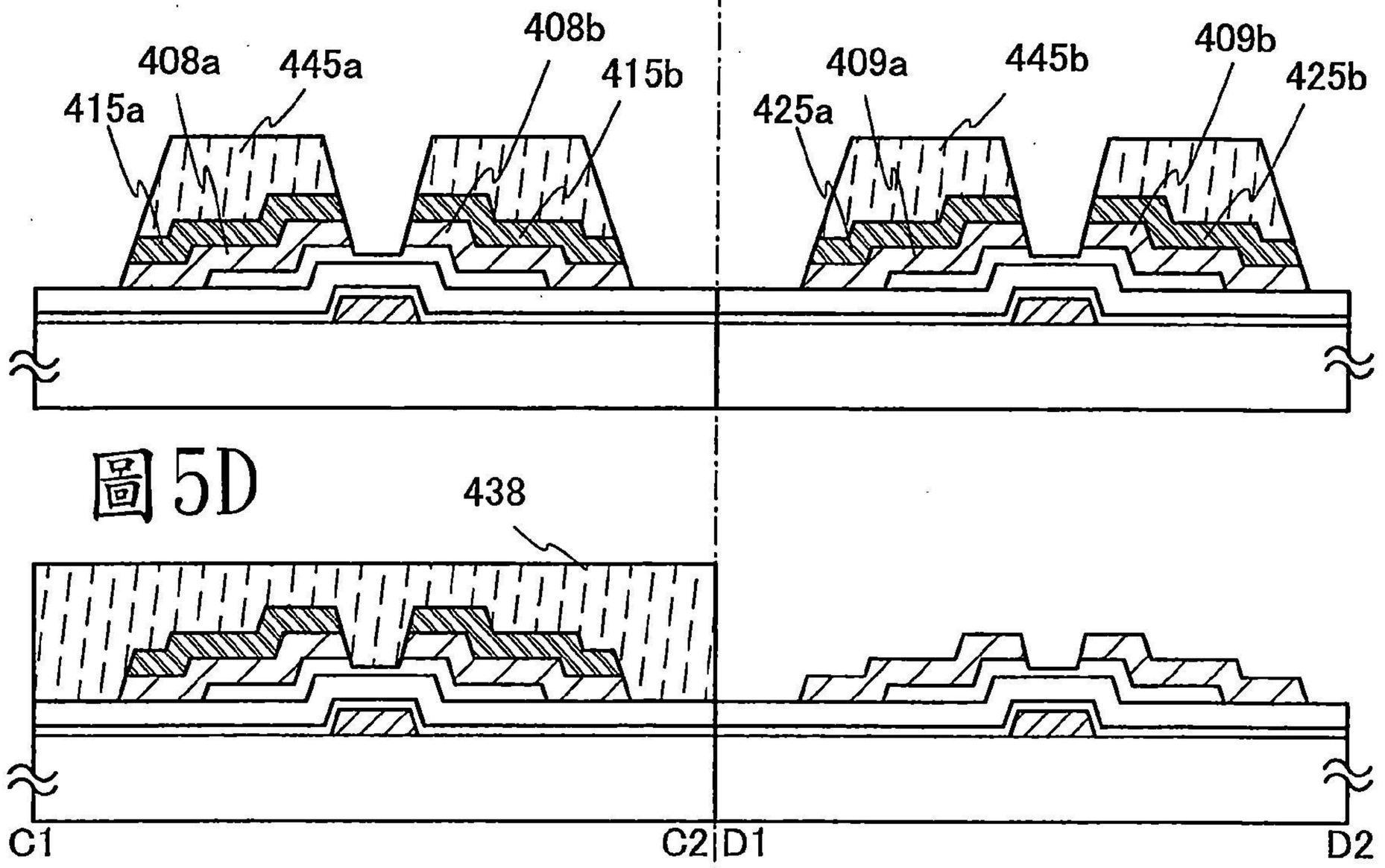


圖5D

圖6A1

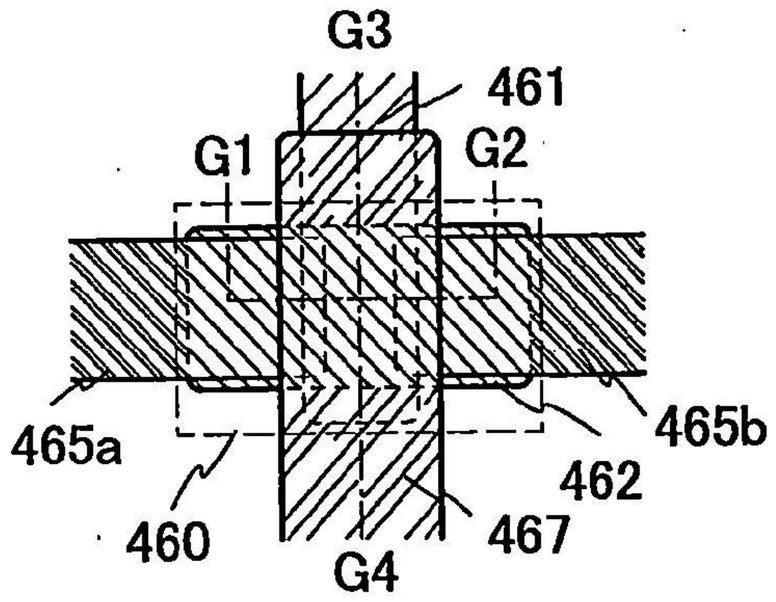


圖6A2

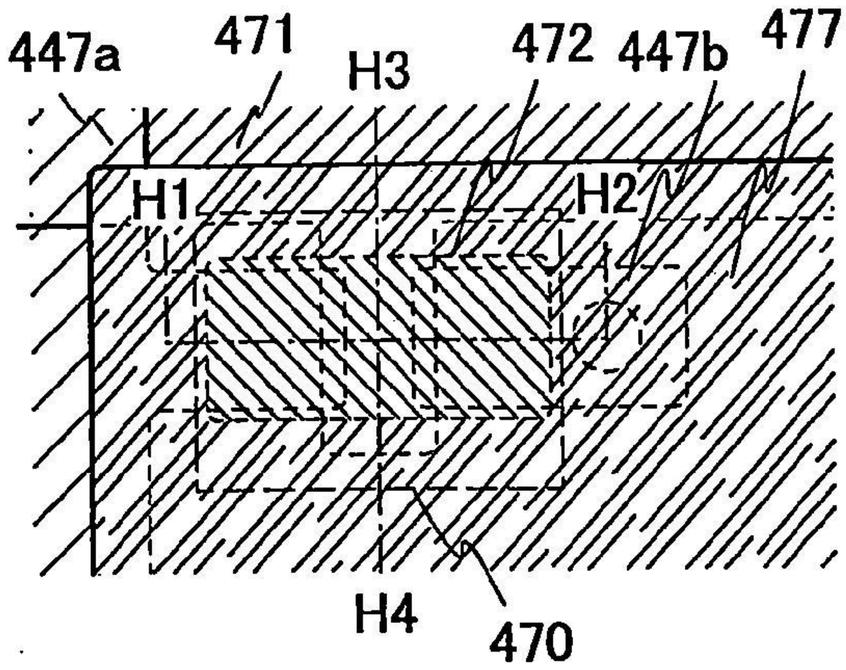


圖6B

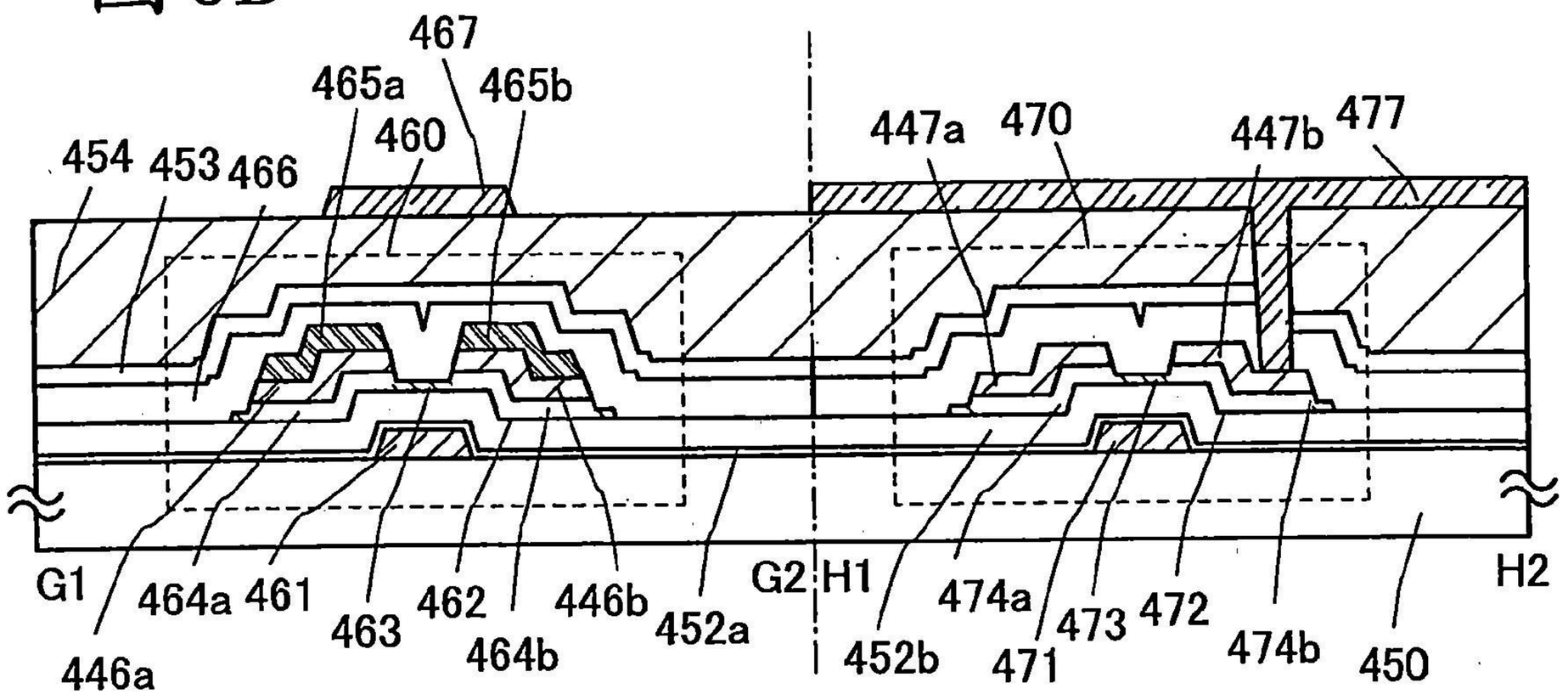


圖6C

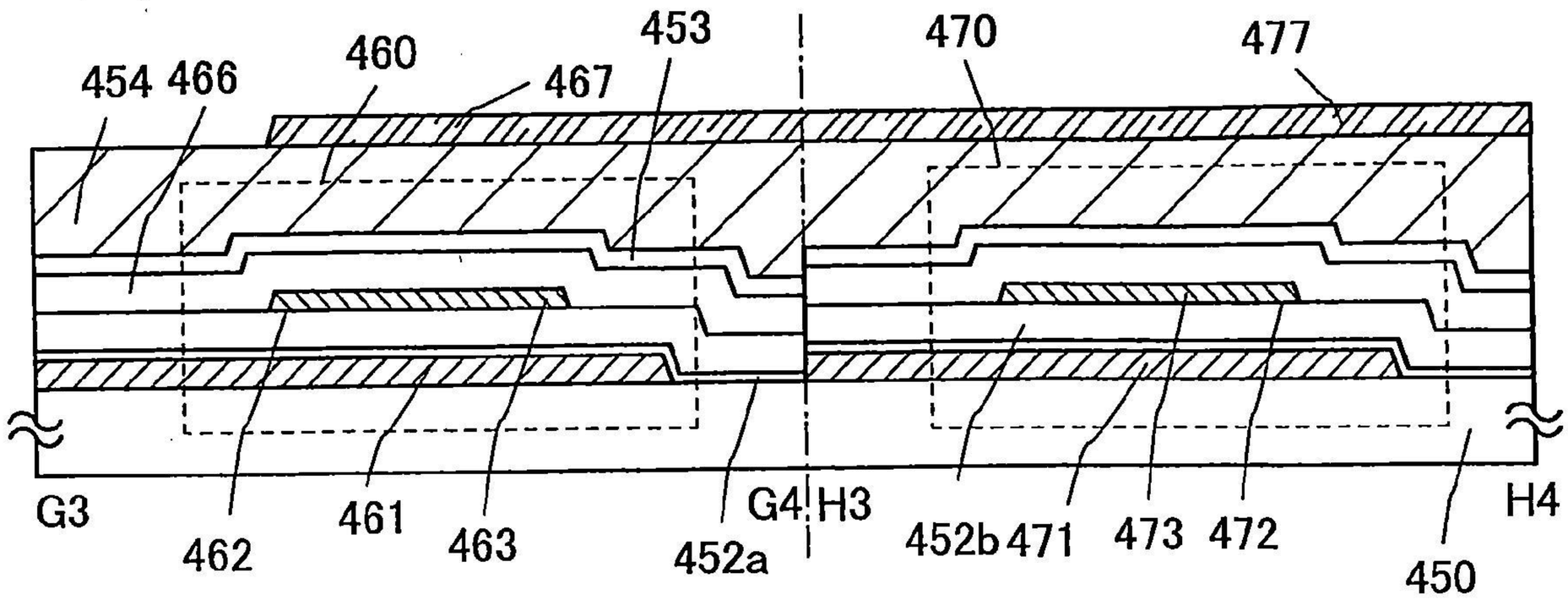


圖7A

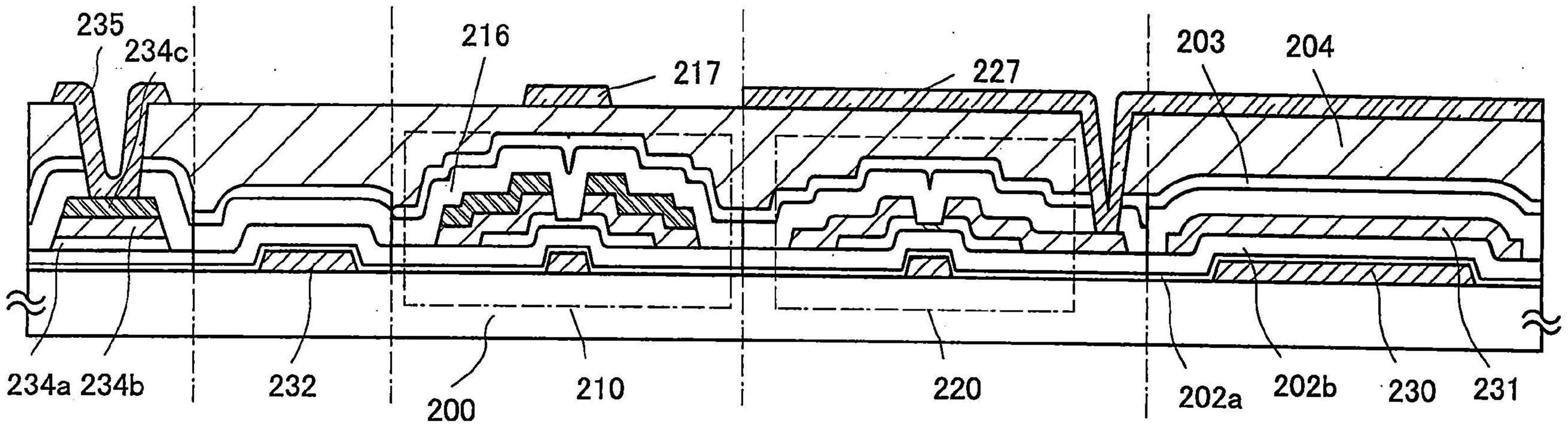

235
234c
216
217
227
203
204
234a 234b
232
200
210
220
202a
202b
230
231

圖7B

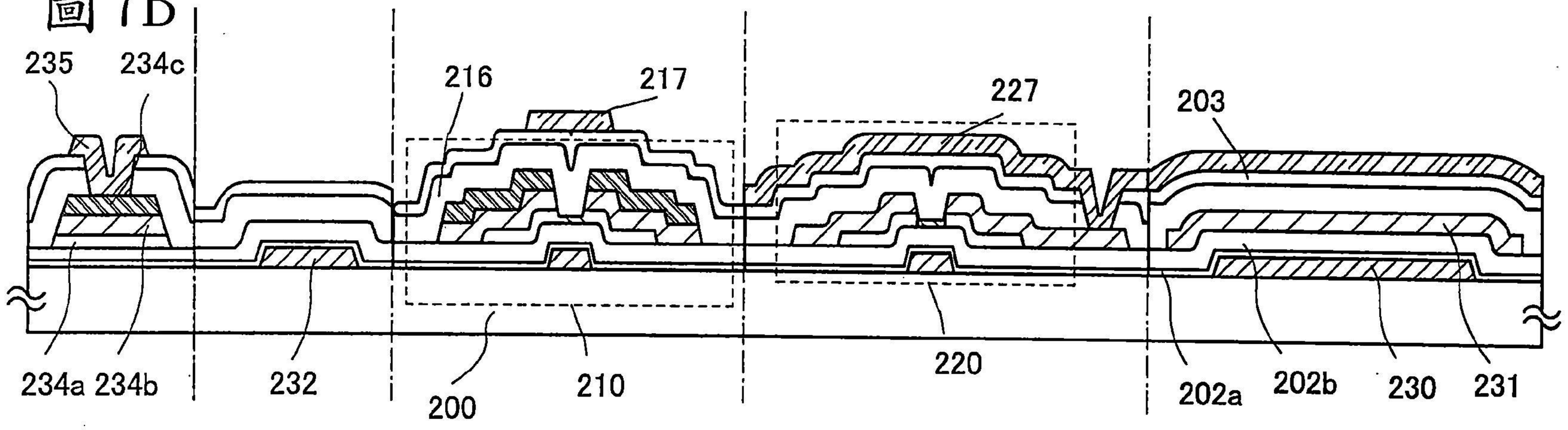

235
234c
216
217
227
203
234a 234b
232
200
210
220
202a
202b
230
231

圖8A

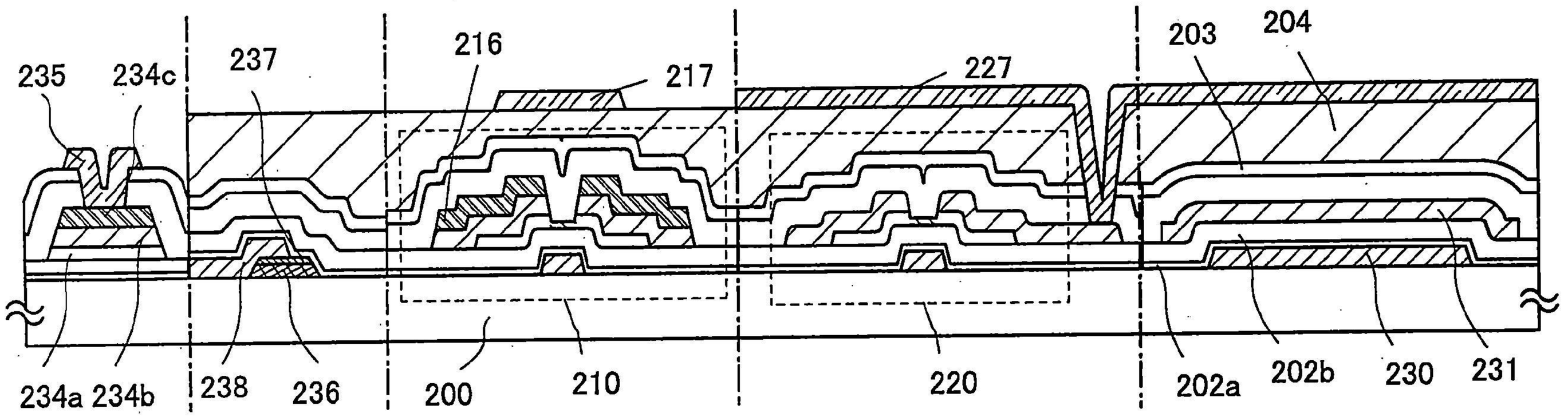

235
234c
237
216
217
227
203
204
234a
234b
238
236
200
210
220
202a
202b
230
231

圖8B

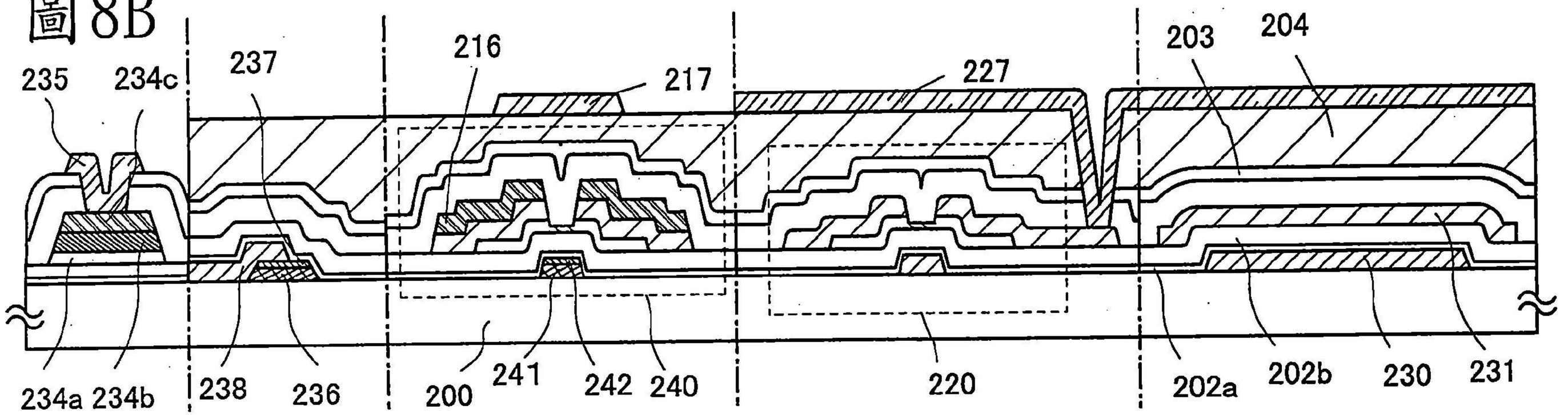

235
234c
237
216
217
227
203
204
234a
234b
238
236
200
241
242
240
220
202a
202b
230
231

圖9A

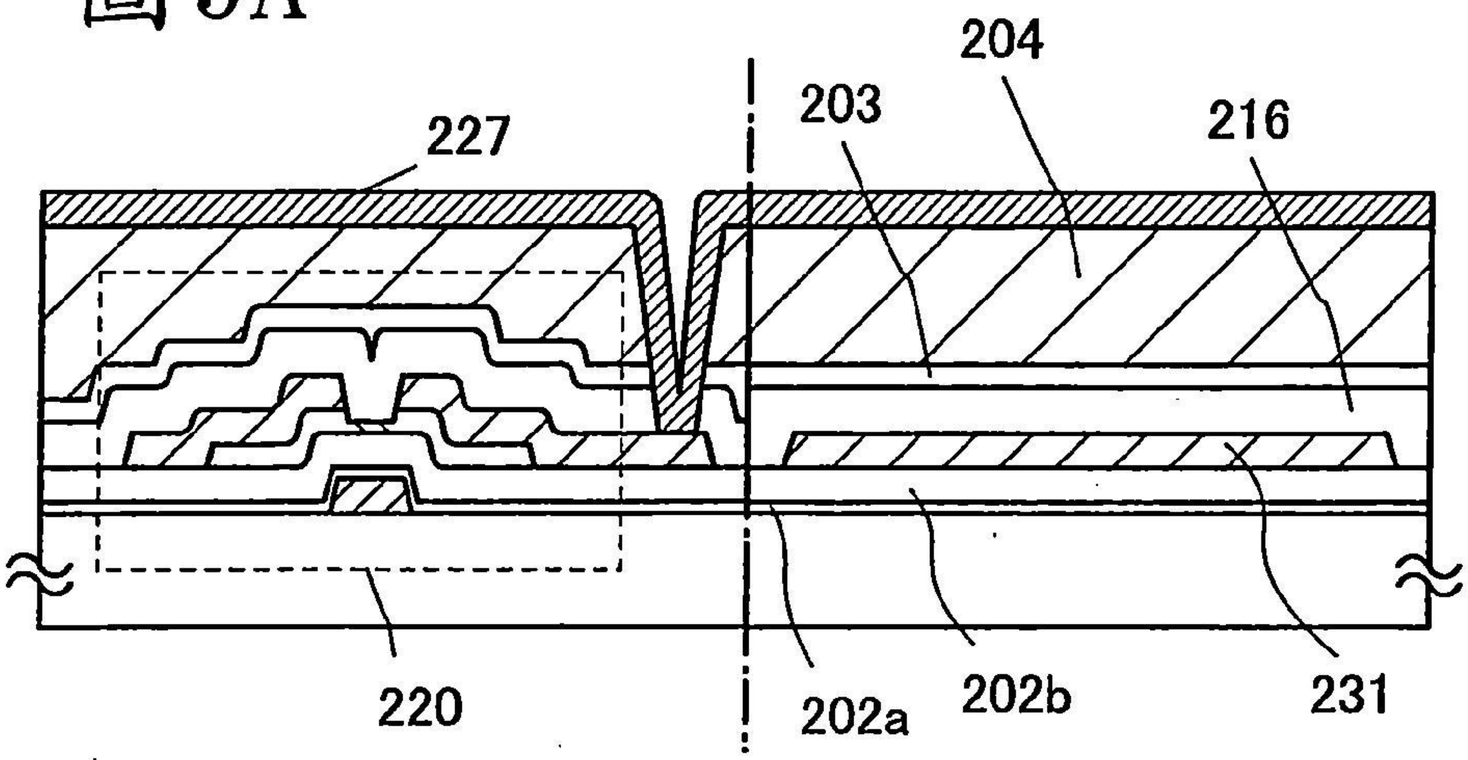

227
203
204
216
220
202a
202b
231

圖9B

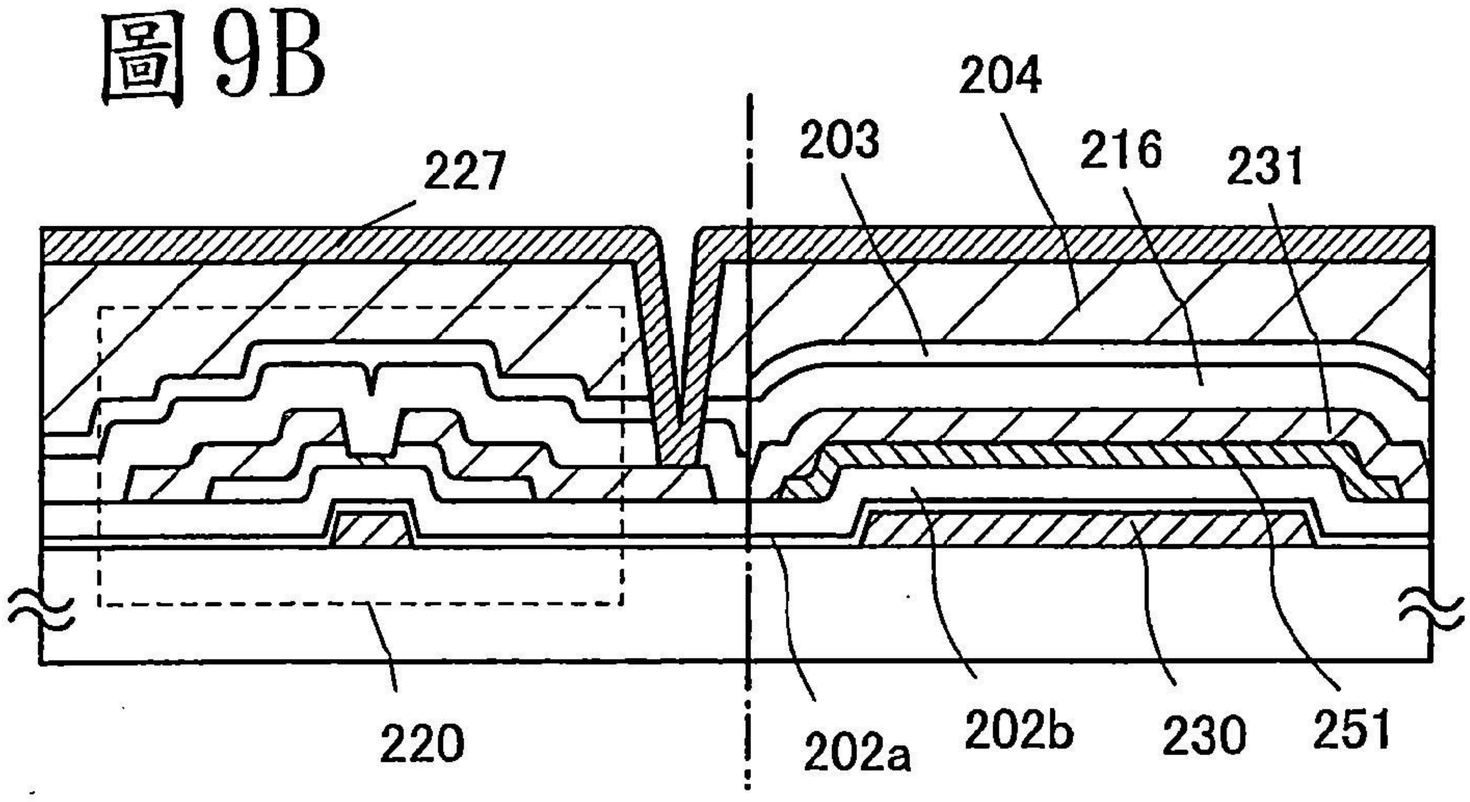

227
203
204
216
231
220
202a
202b
230
251

圖10A1

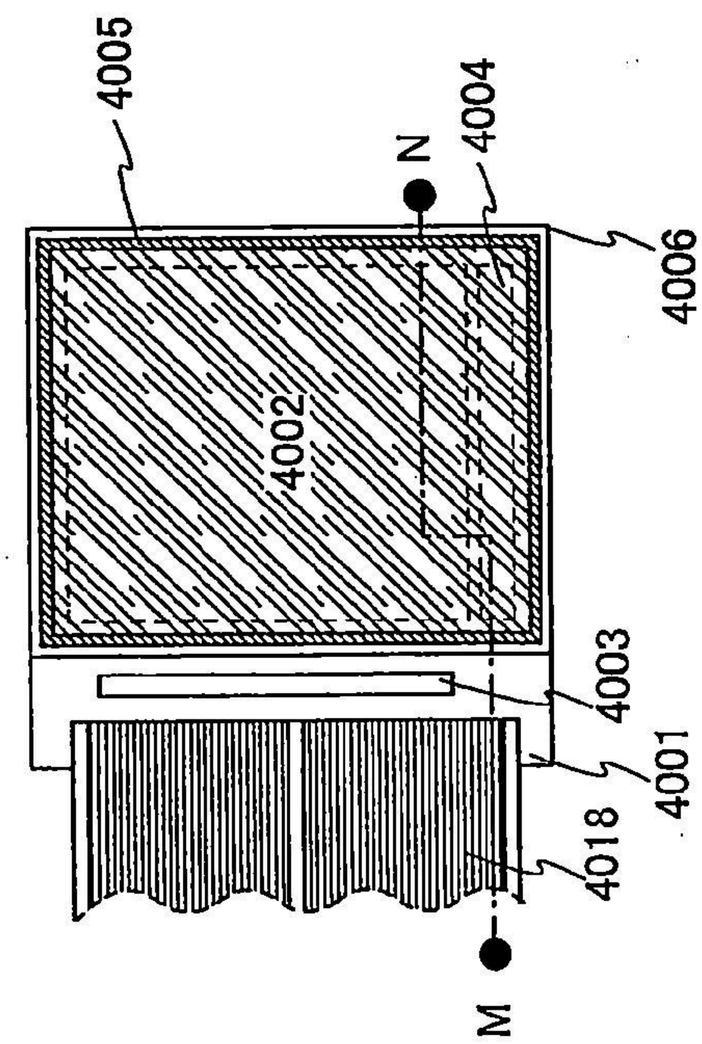


圖10A2

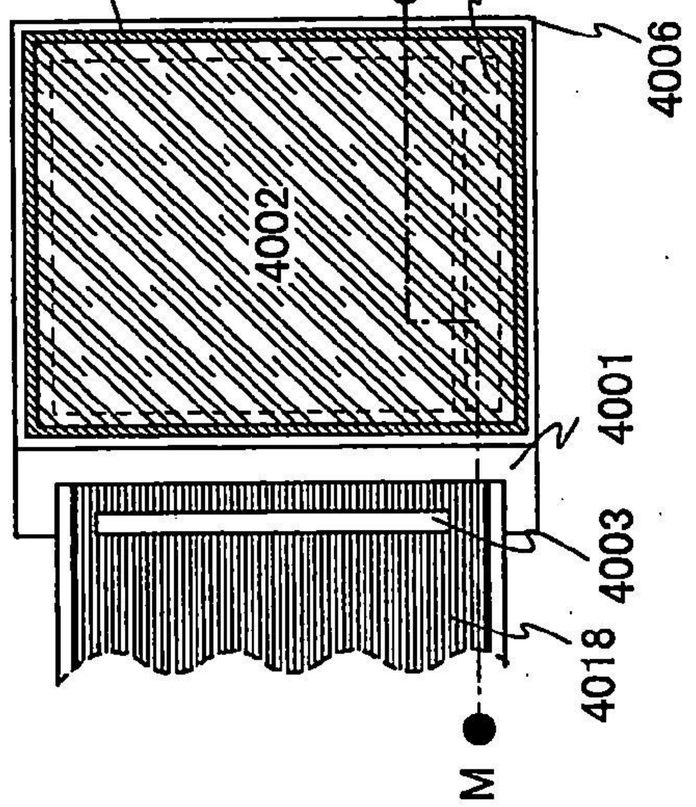


圖10B

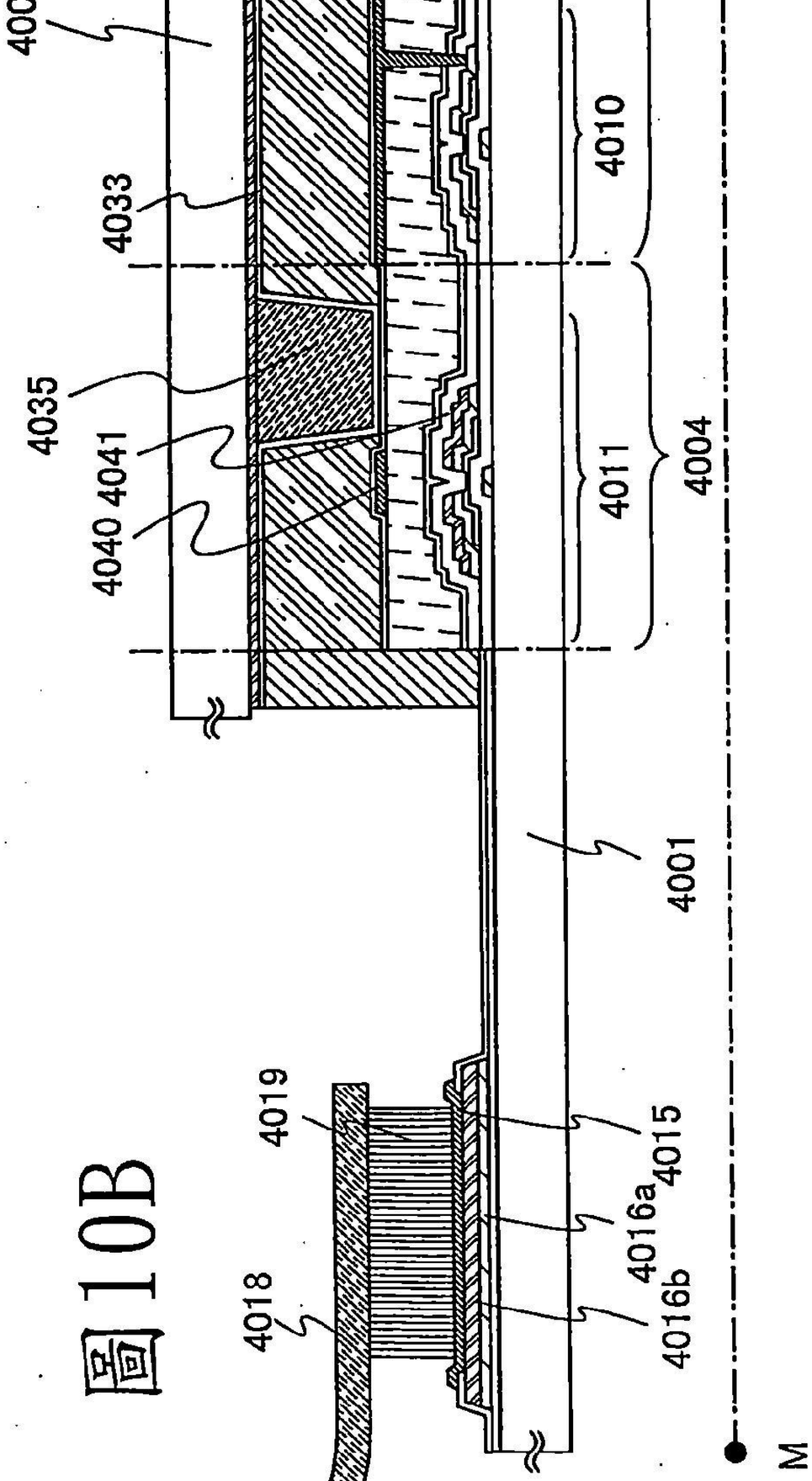


圖11A

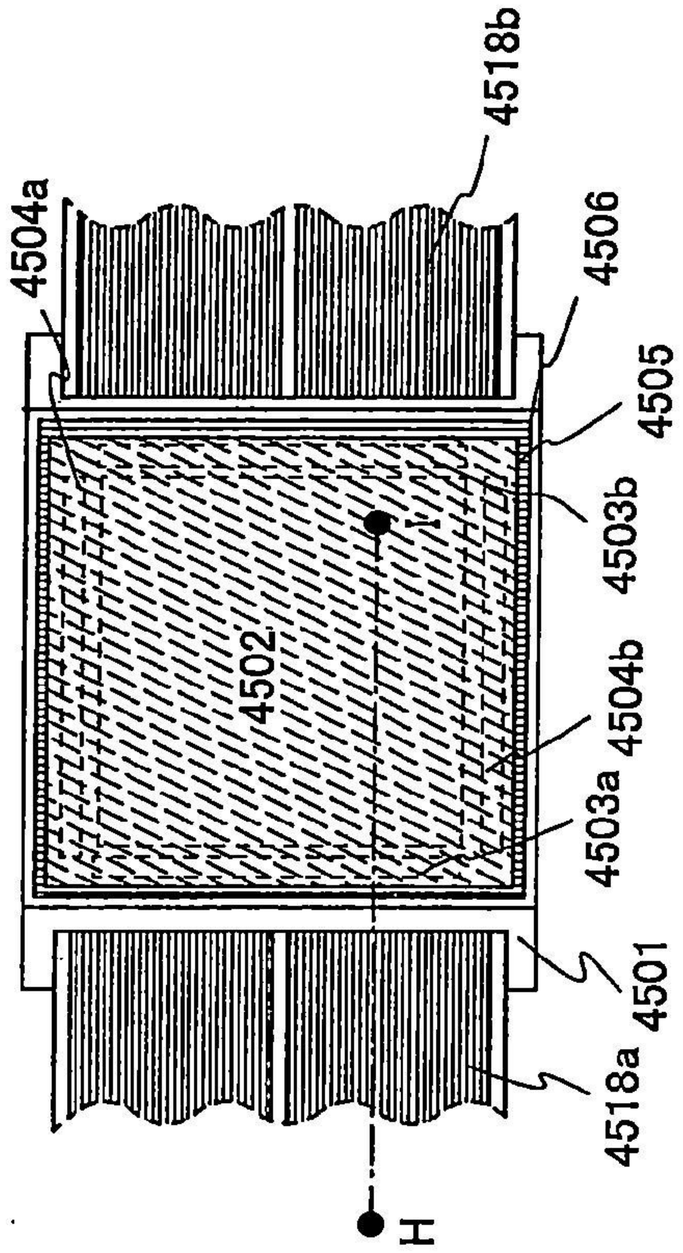

4504a
4518b
4506
4505
4503b
4502
4504b
4503a
4501
4518a
H

圖11B

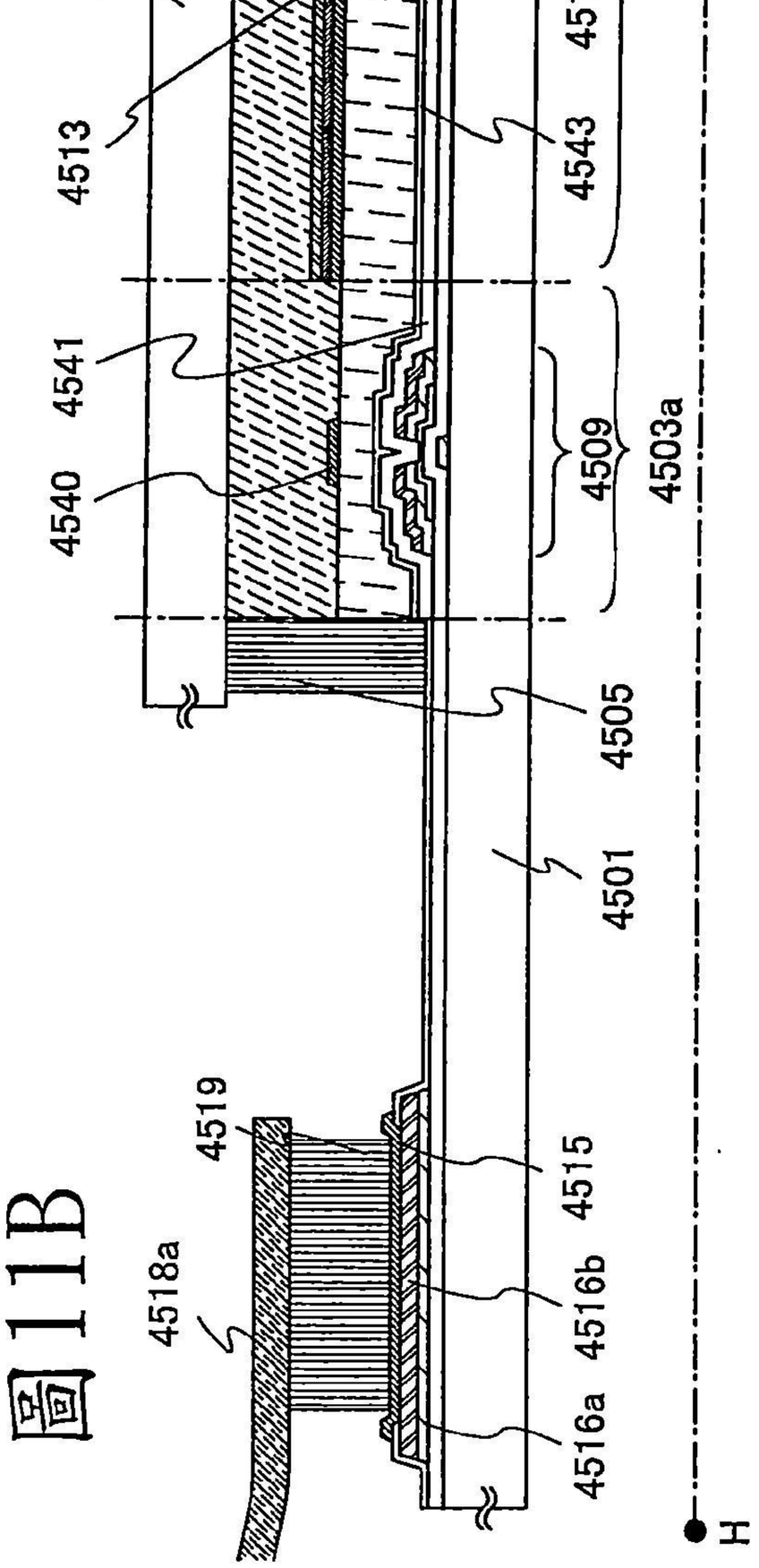

4544
I
4507
4510
4511
4520
4506
4517
4502
4512
4513
4543
4541
4540
4509
4503a
4505
4501
4519
4515
4518a
4516b
4516a
H

圖12

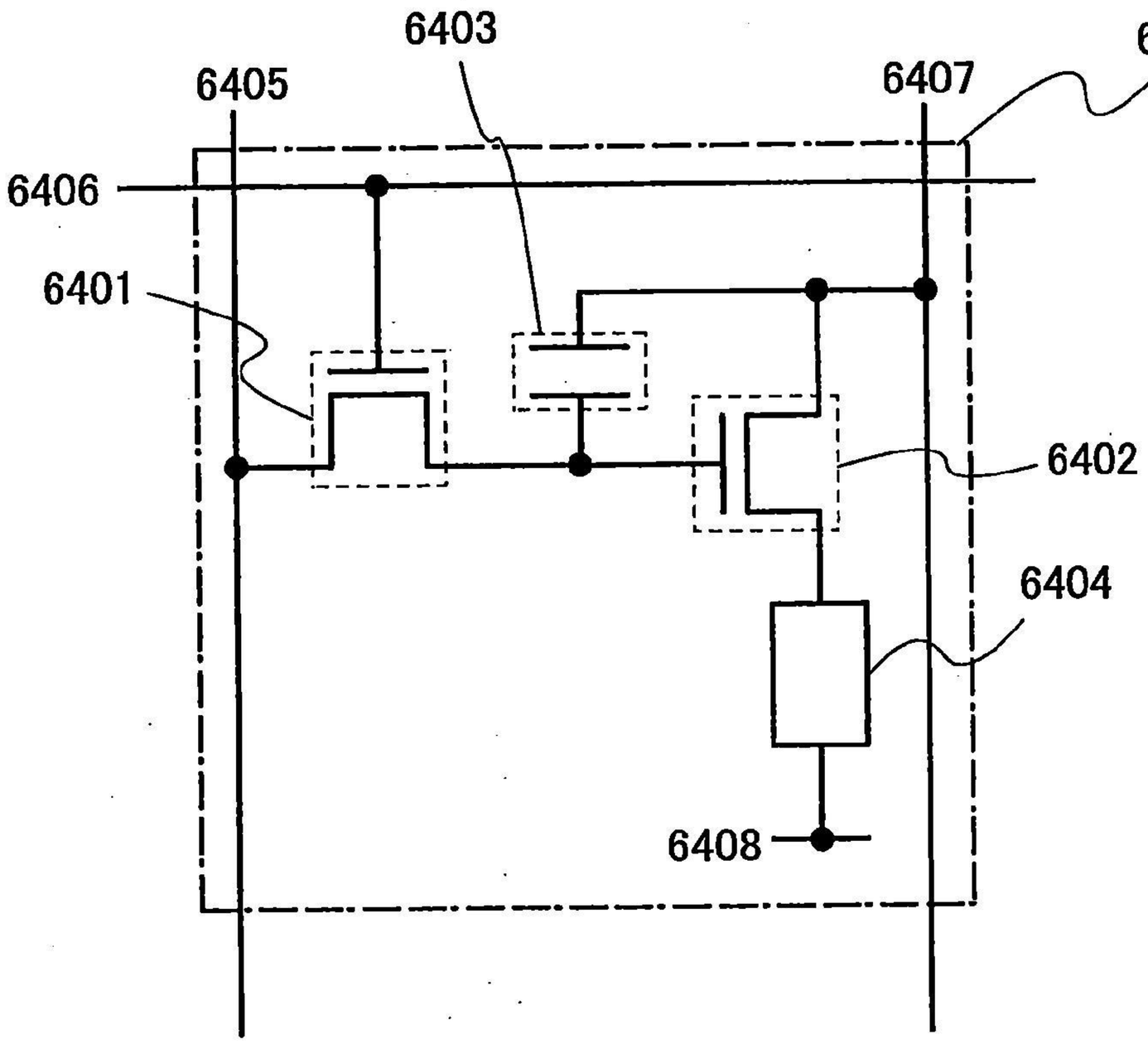


圖13A

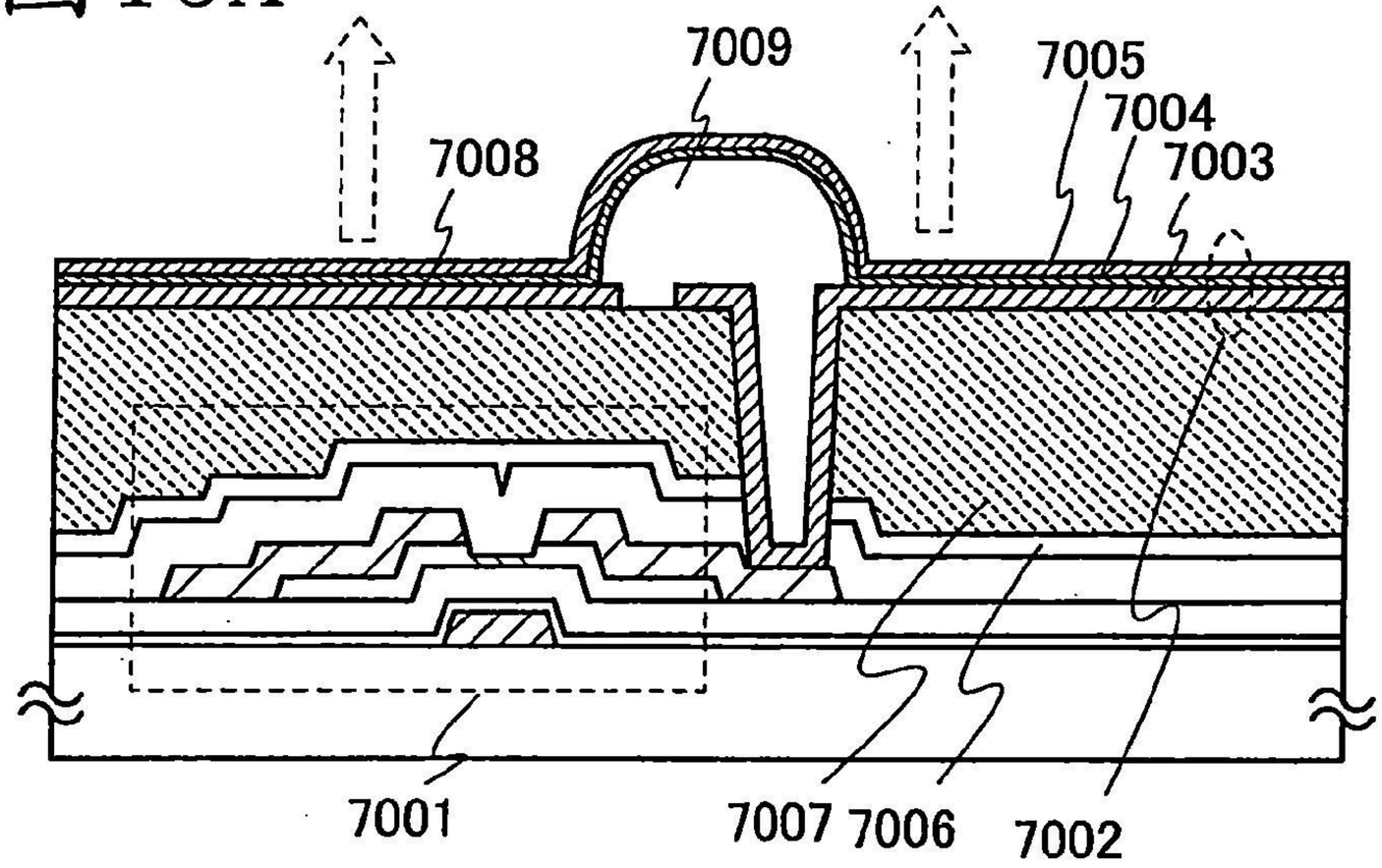


圖13B

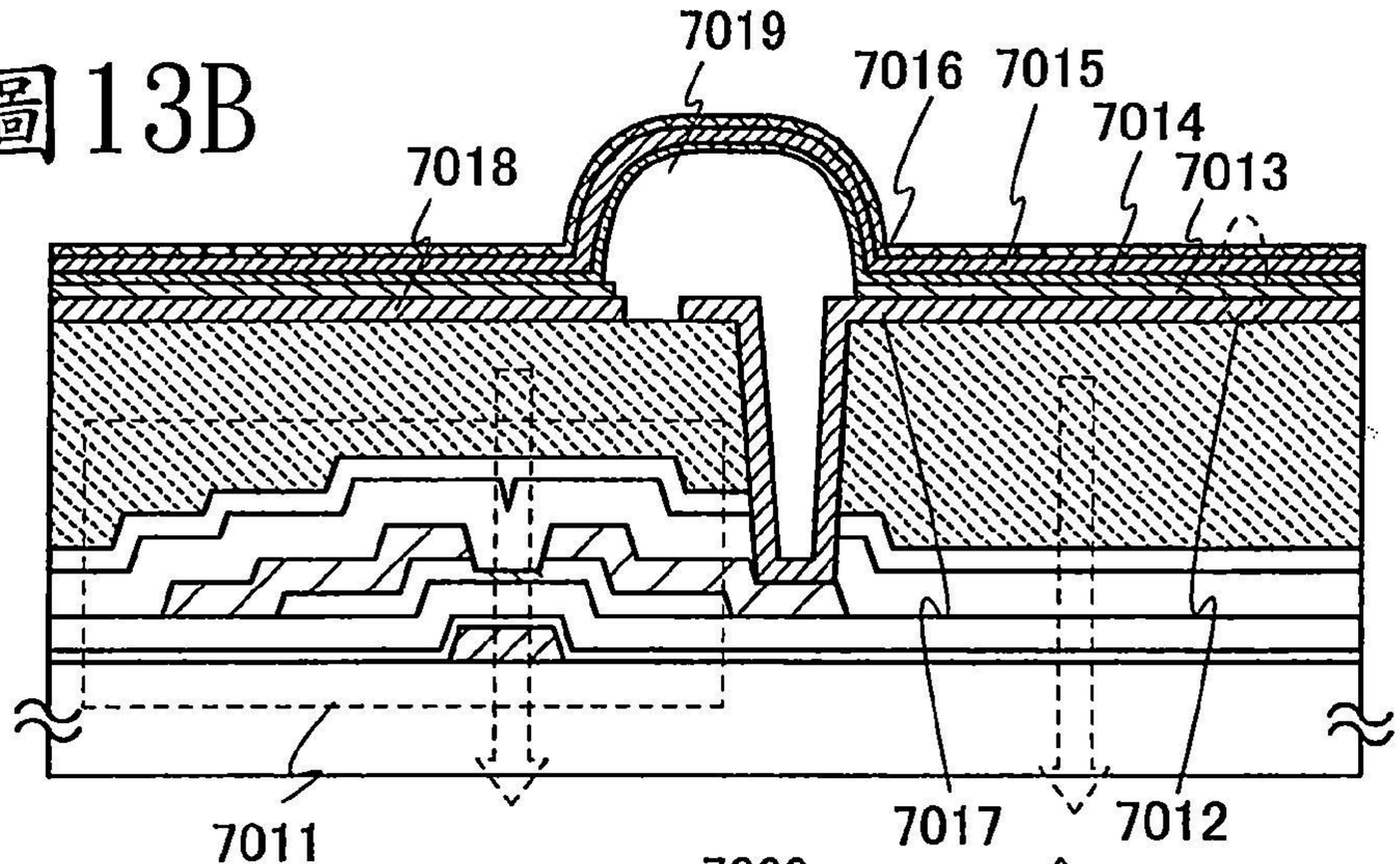


圖13C

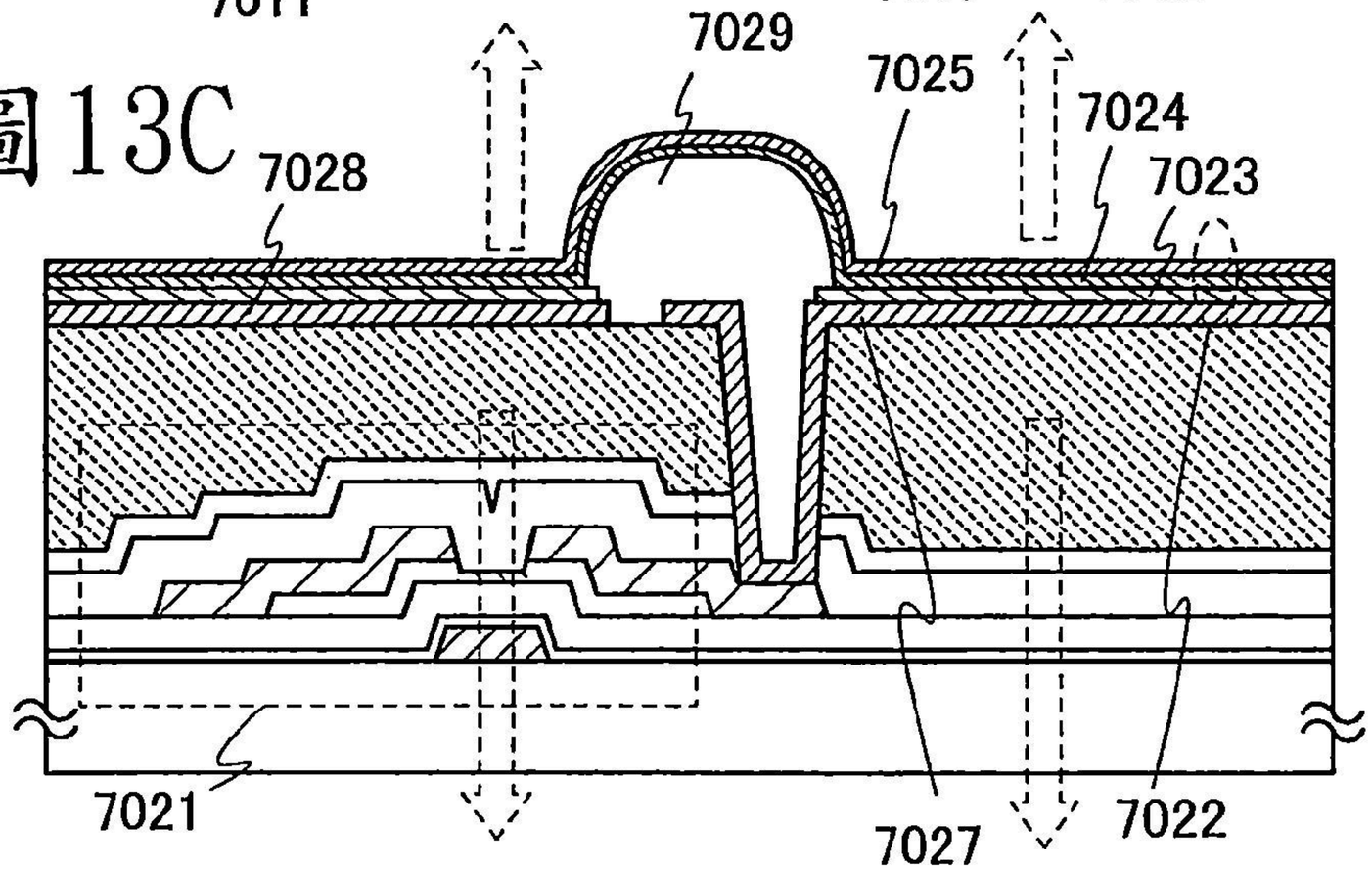


圖14A

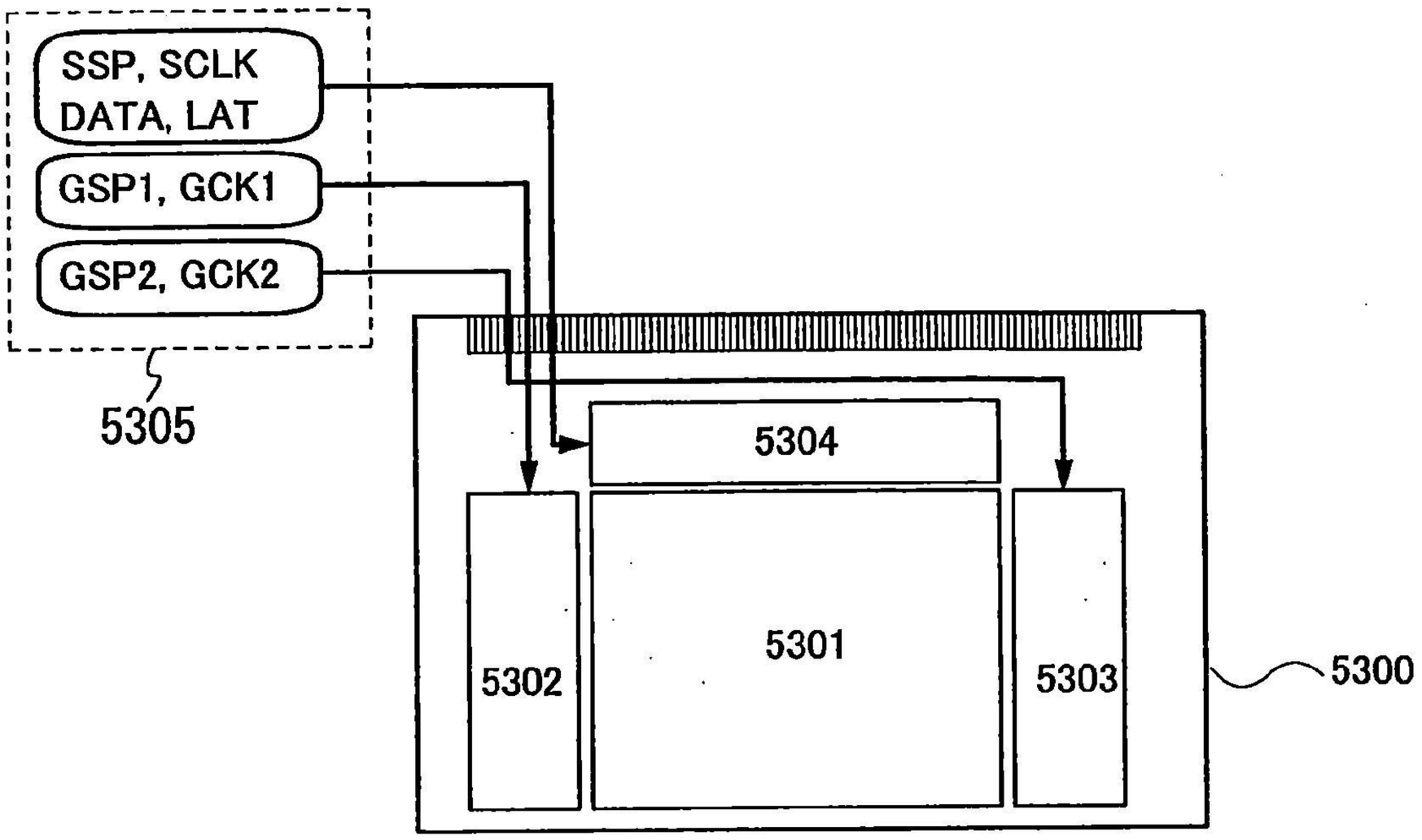

SSP, SCLK
DATA, LAT
GSP1, GCK1
GSP2, GCK2
5305
5304
5302
5301
5303
5300

圖14B

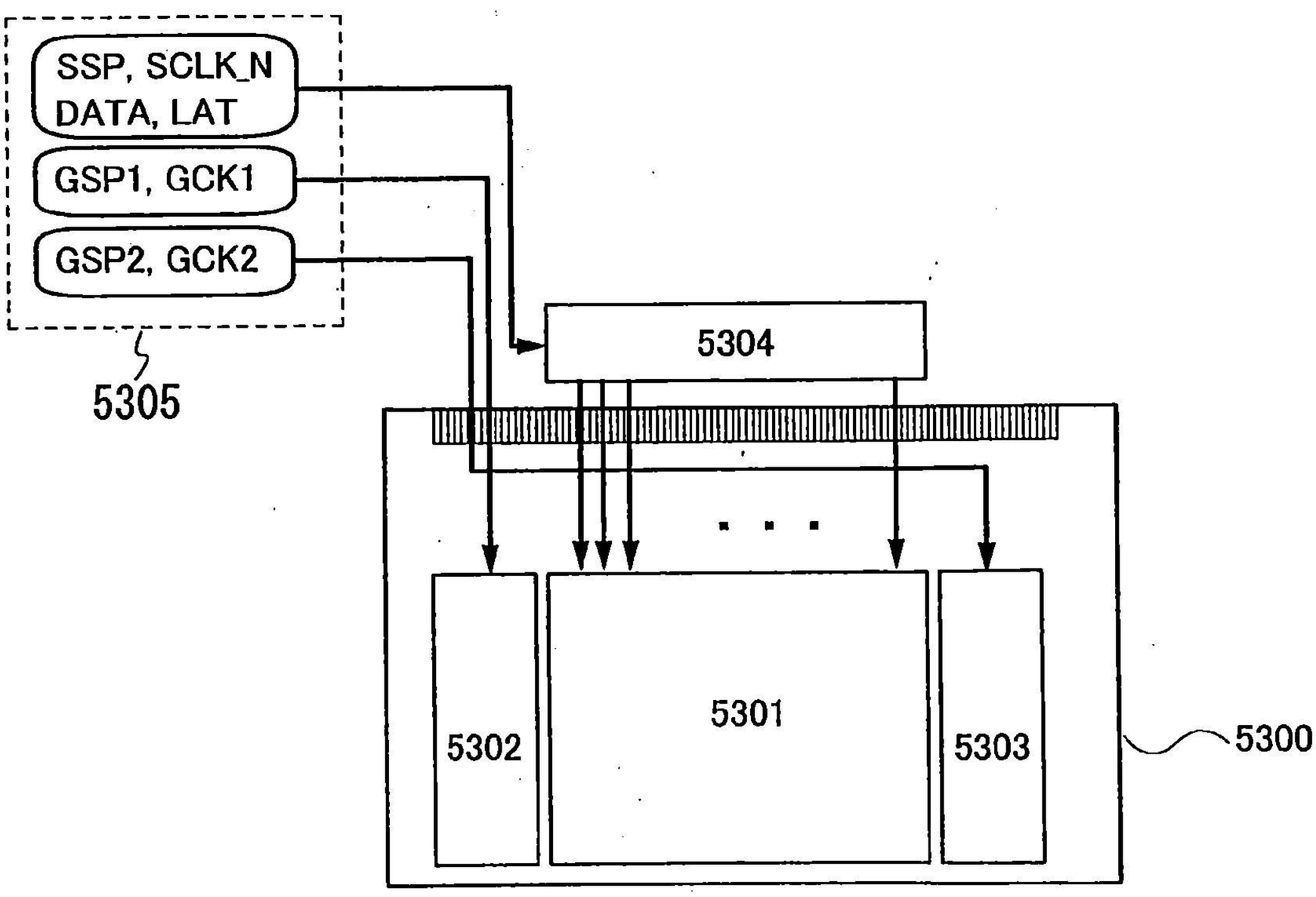

SSP, SCLK_N
DATA, LAT
GSP1, GCK1
GSP2, GCK2
5305
5304
5302
5301
5303
5300

圖15A

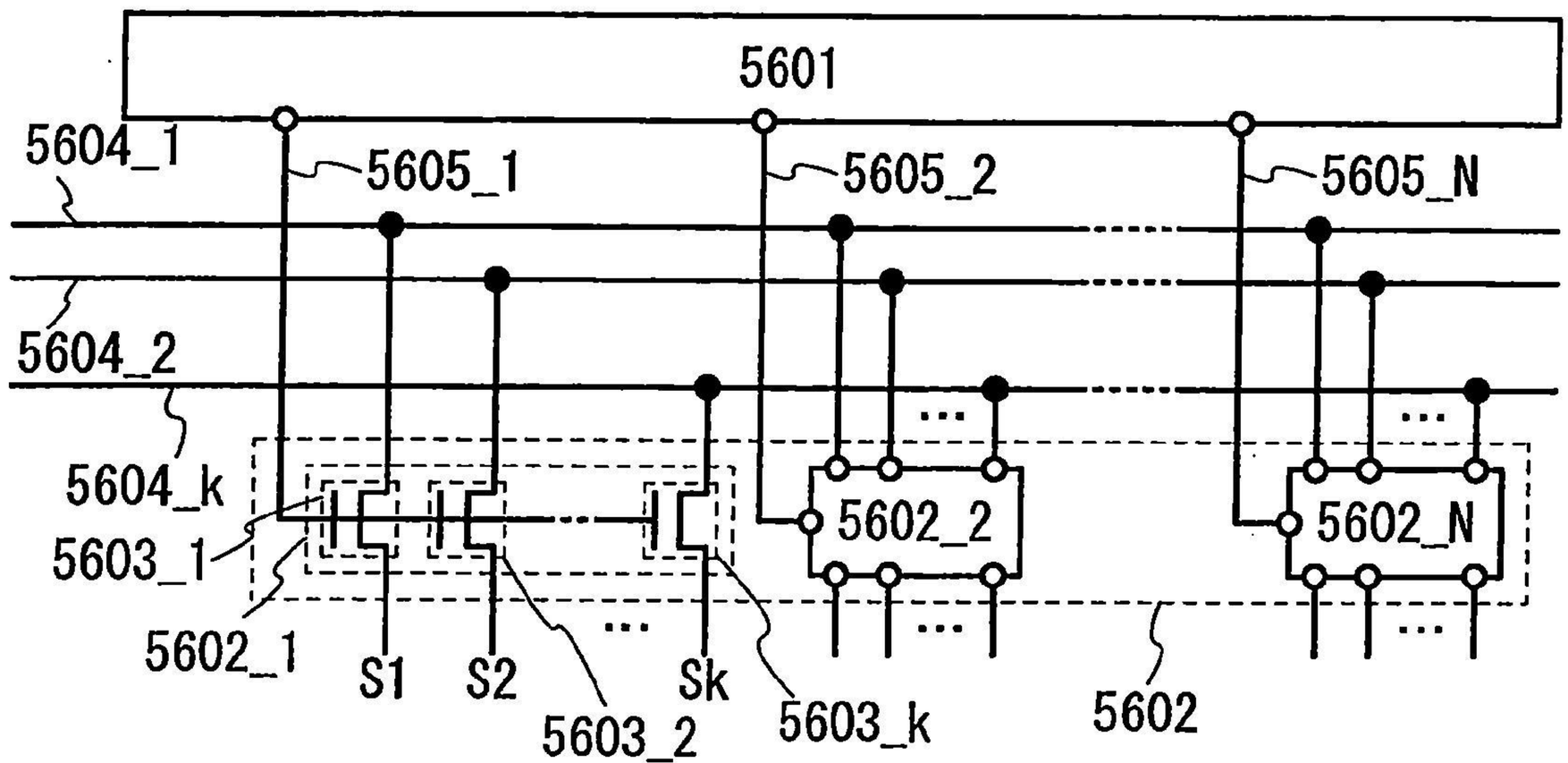

5601
5604_1
5605_1
5605_2
5605_N
5604_2
5604_k
5603_1
5602_1
S1
S2
Sk
5603_2
5603_k
5602_2
5602_N
5602

圖15B

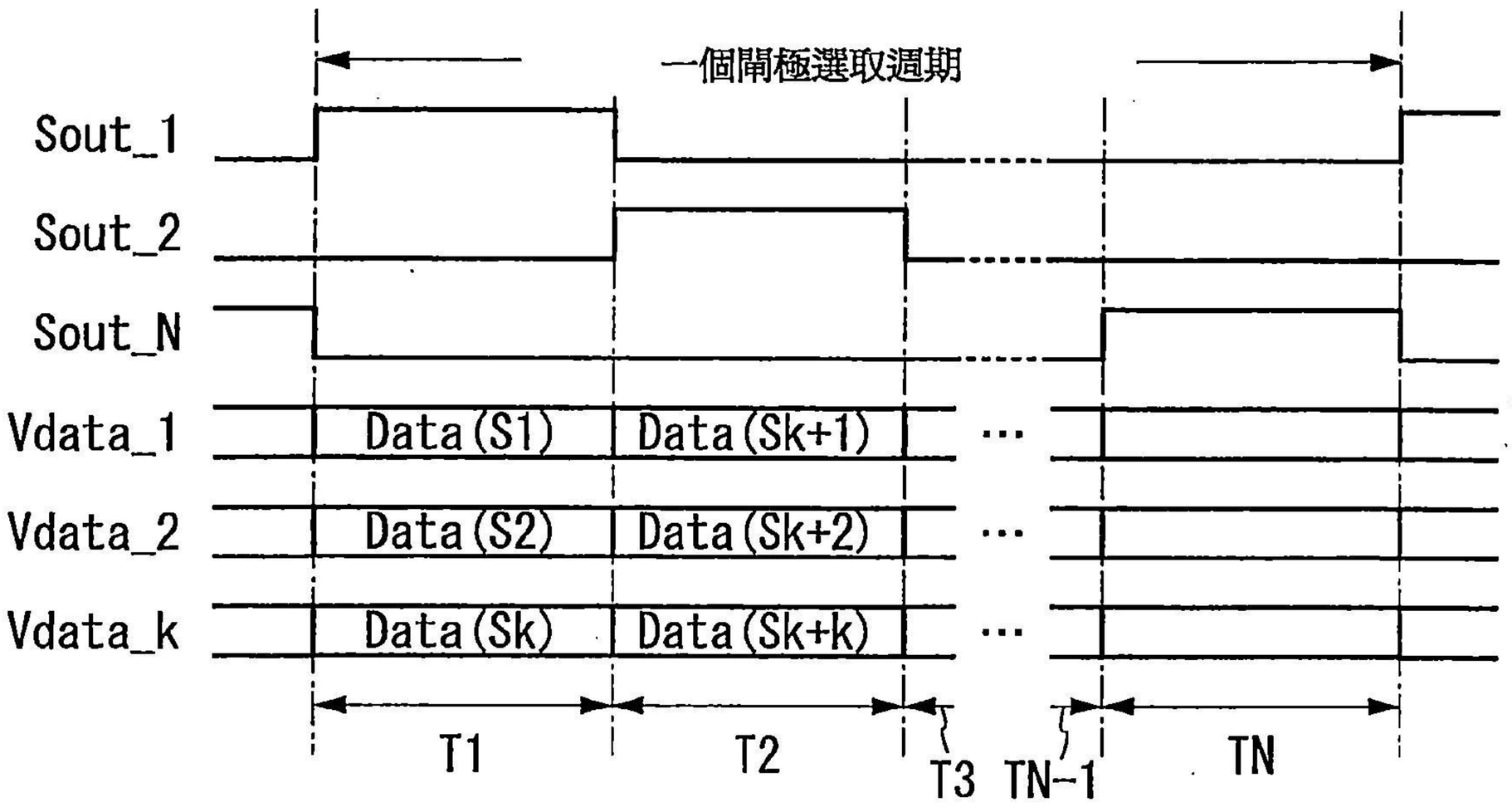

一個閘極選取週期
Sout_1
Sout_2
Sout_N
Vdata_1
Vdata_2
Vdata_k
Data(S1)
Data(Sk+1)
Data(S2)
Data(Sk+2)
Data(Sk)
Data(Sk+k)
T1
T2
T3
TN-1
TN

圖16A

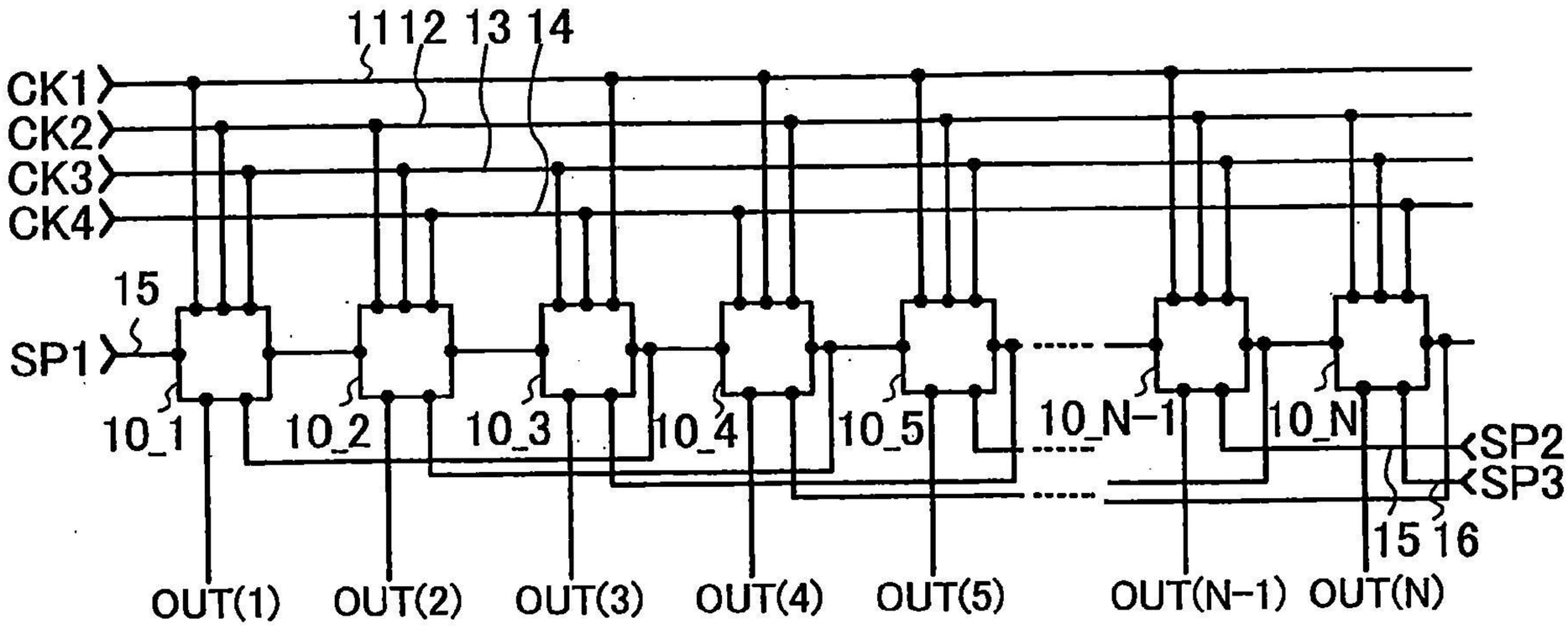


圖16B

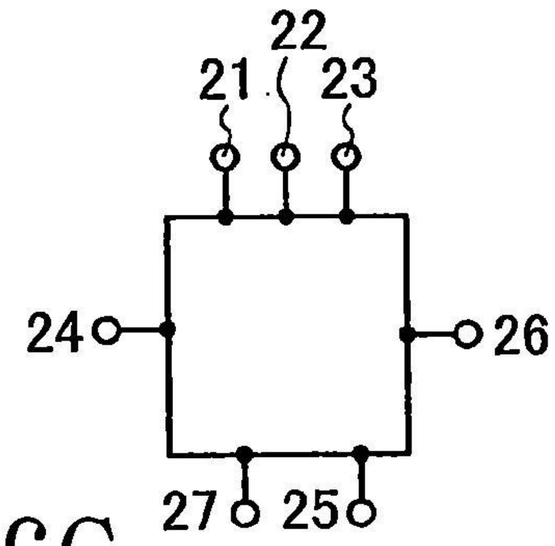


圖16C

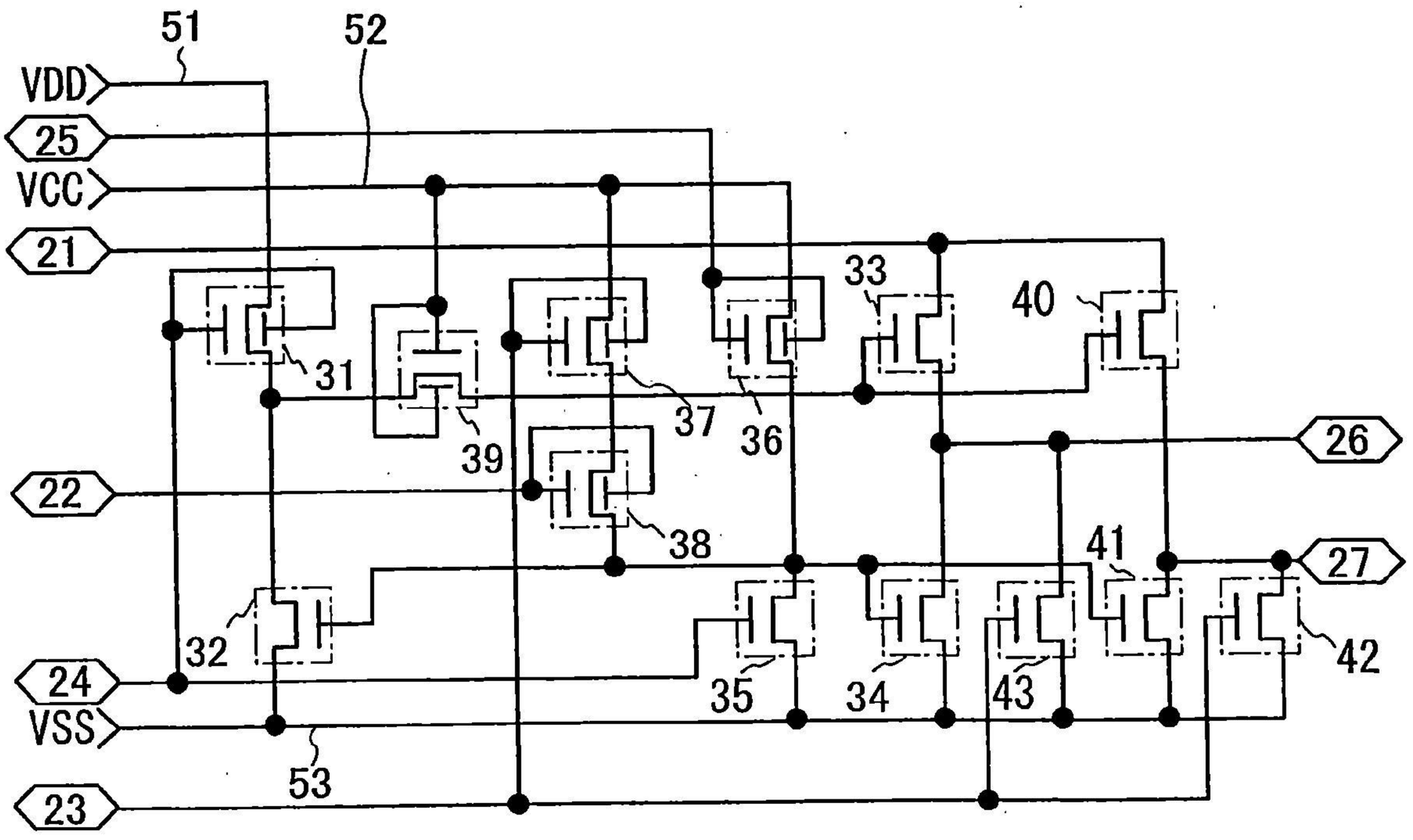


圖17A

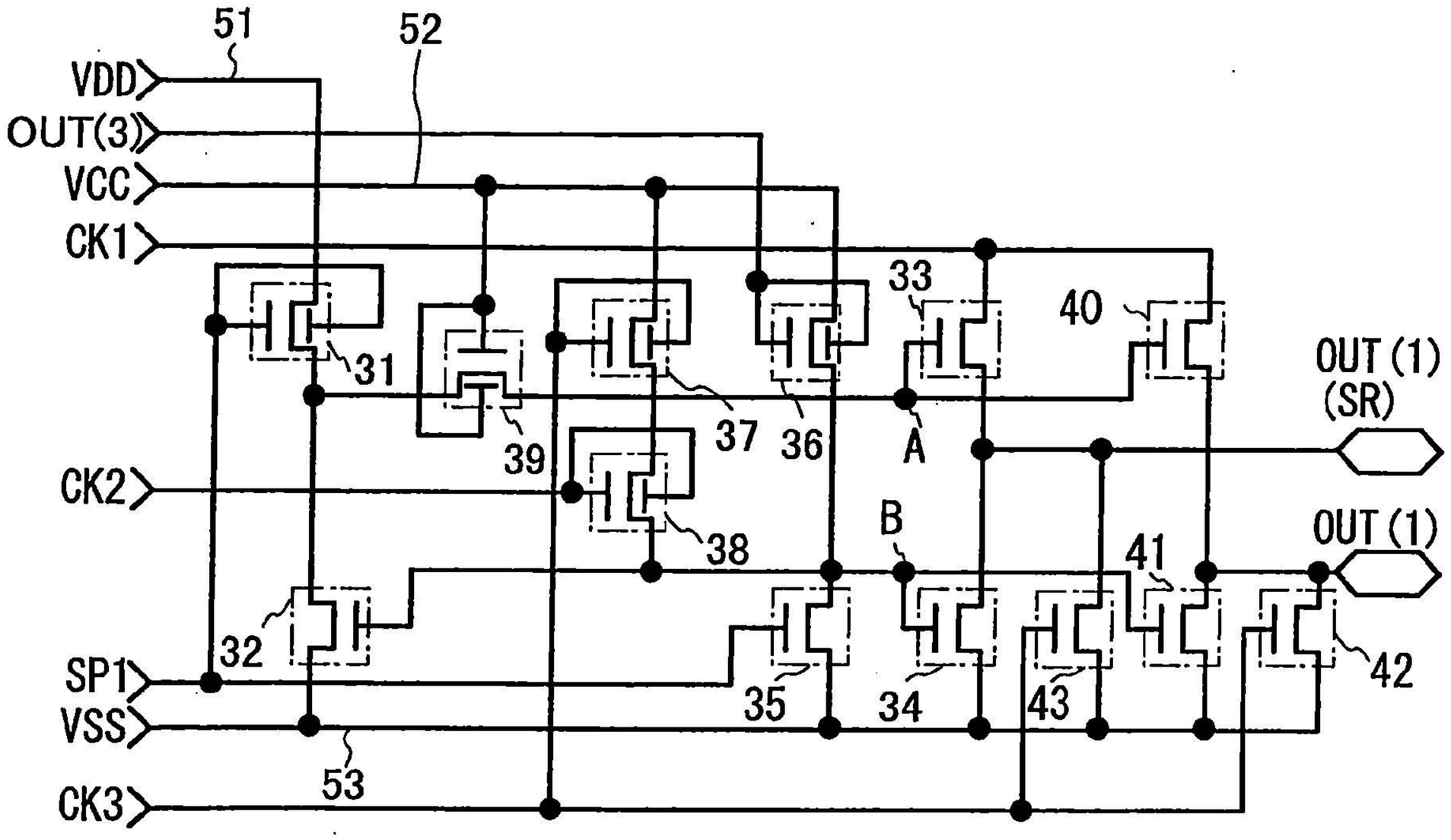

51
52
VDD
OUT(3)
VCC
CK1
CK2
SP1
VSS
CK3
31
32
33
34
35
36
37
38
39
40
41
42
43
53
A
B
OUT (1)
(SR)
OUT (1)

圖17B

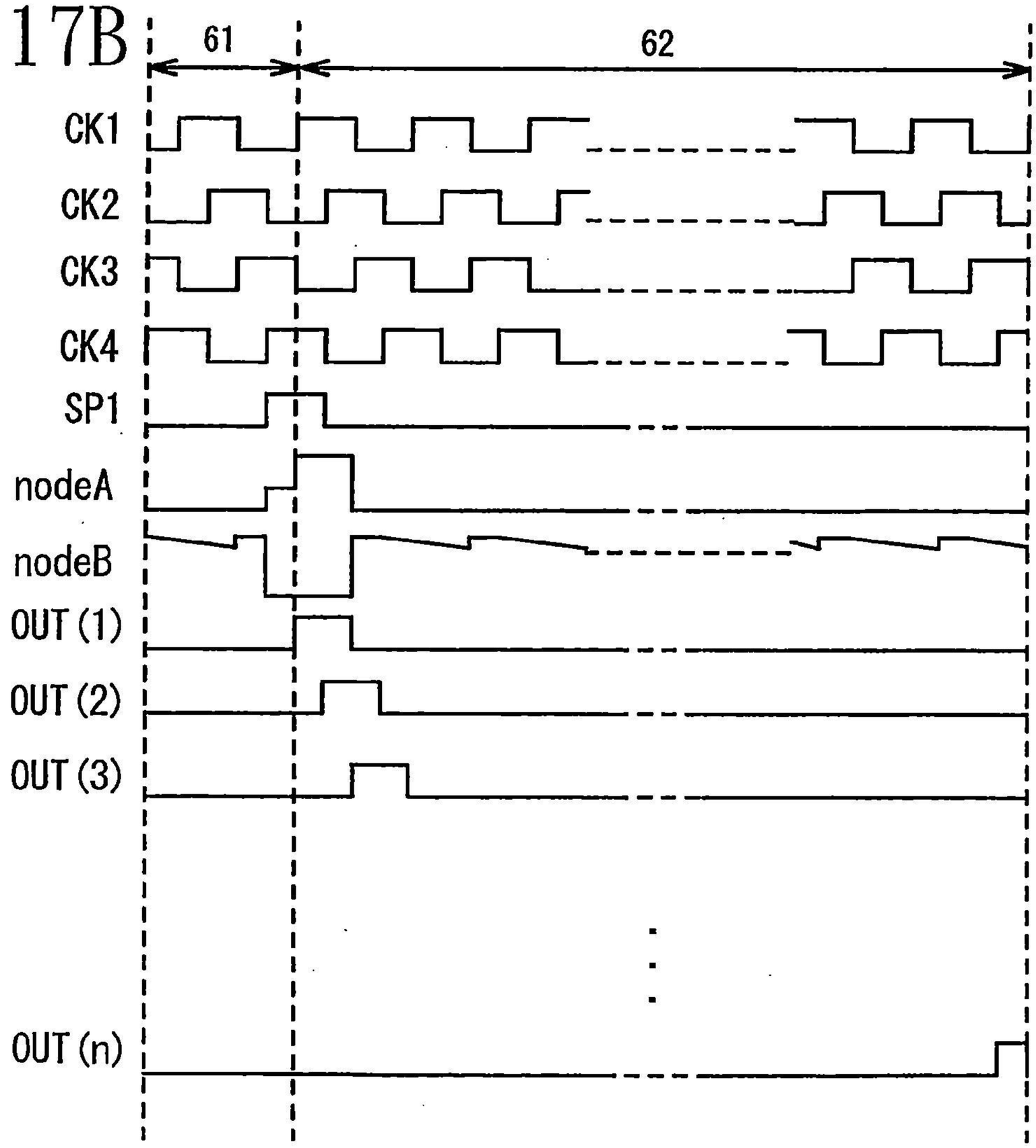
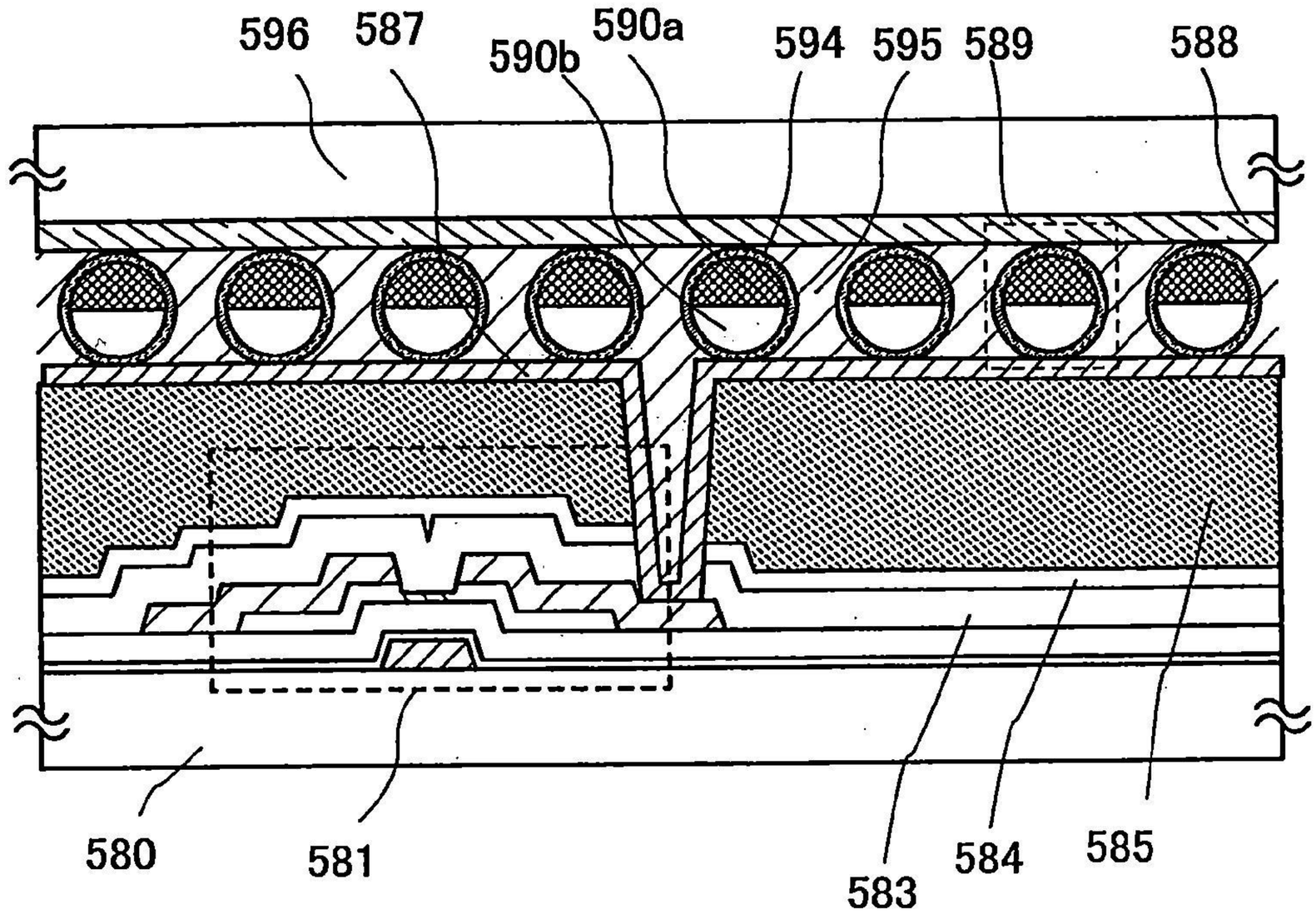

61
62
CK1
CK2
CK3
CK4
SP1
nodeA
nodeB
OUT (1)
OUT (2)
OUT (3)
OUT (n)

圖18



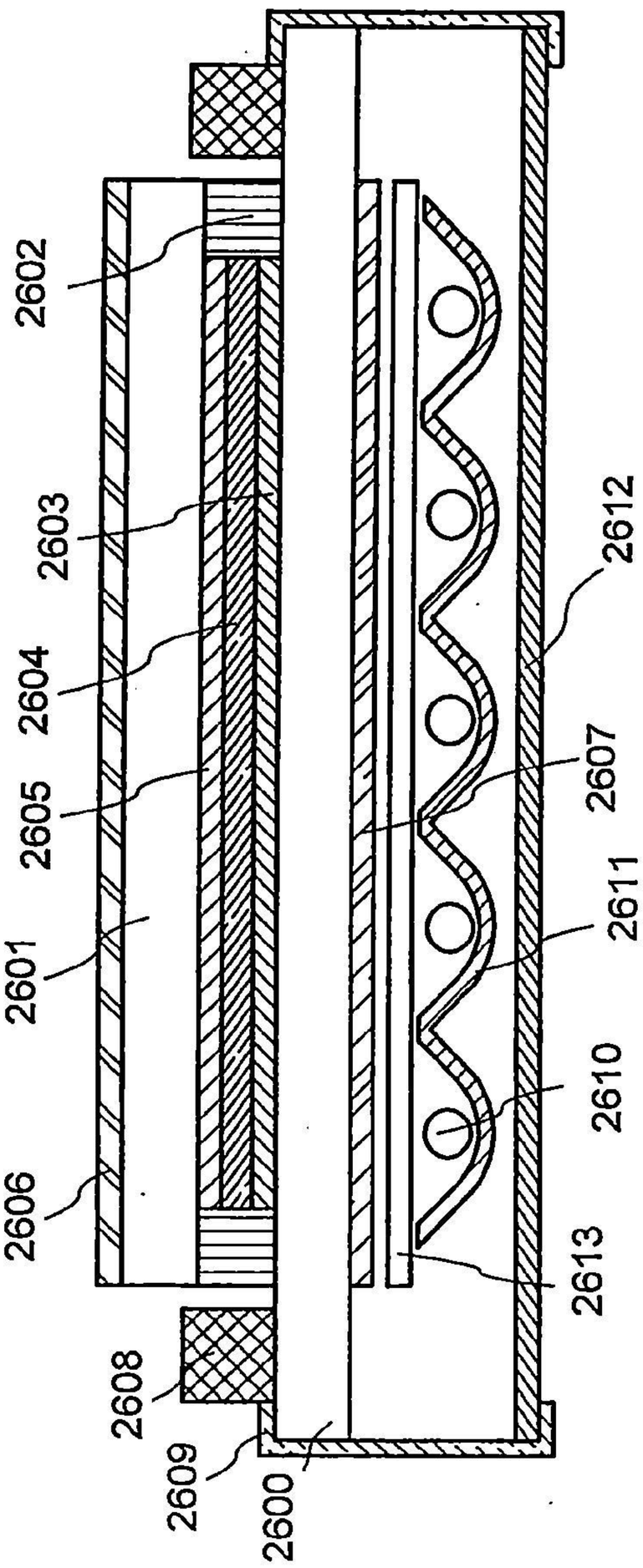

2602
2603
2604
2605
2601
2606
2608
2609
2600
2612
2607
2611
2610
2613

圖19

圖20

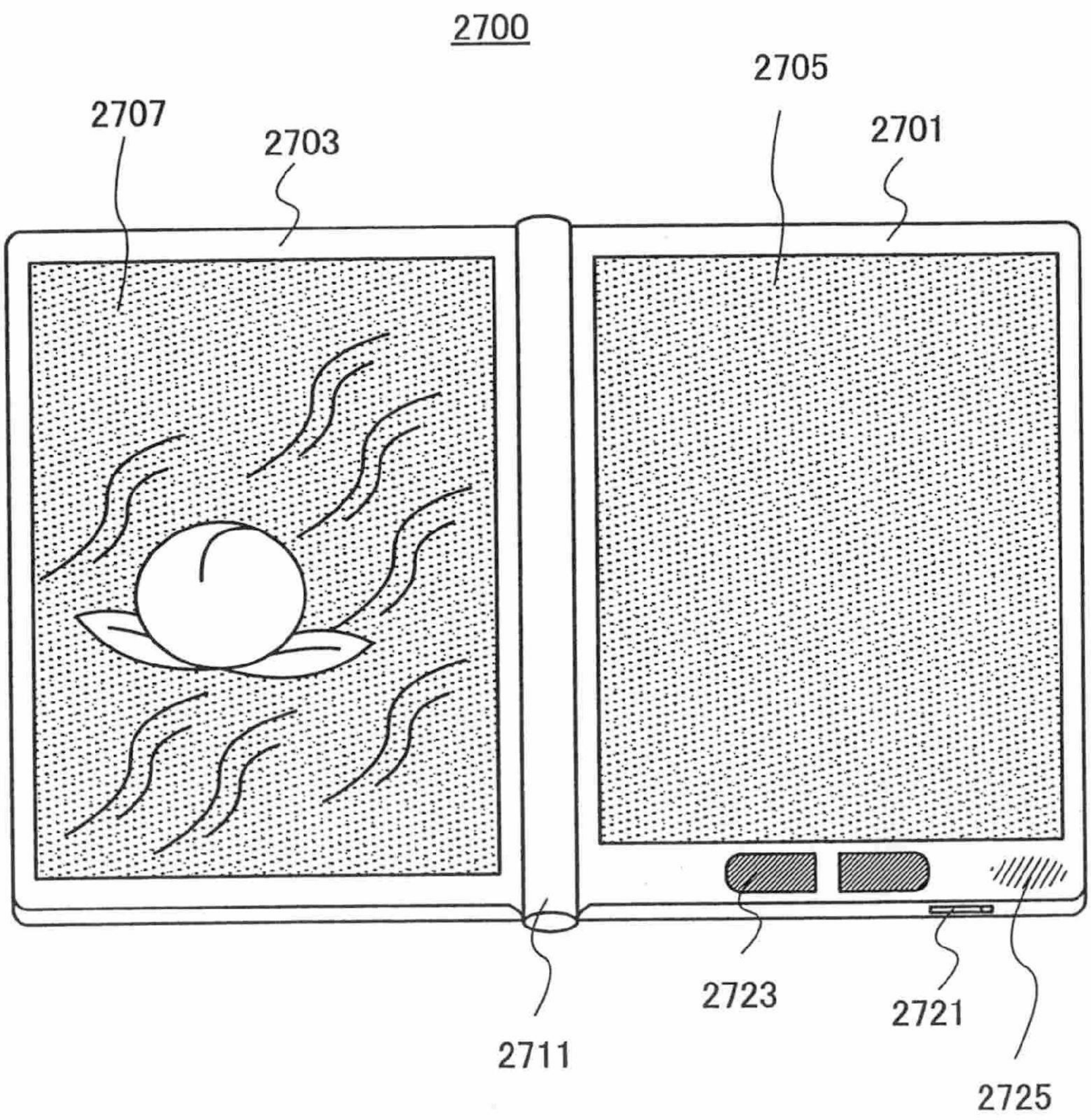


圖21A

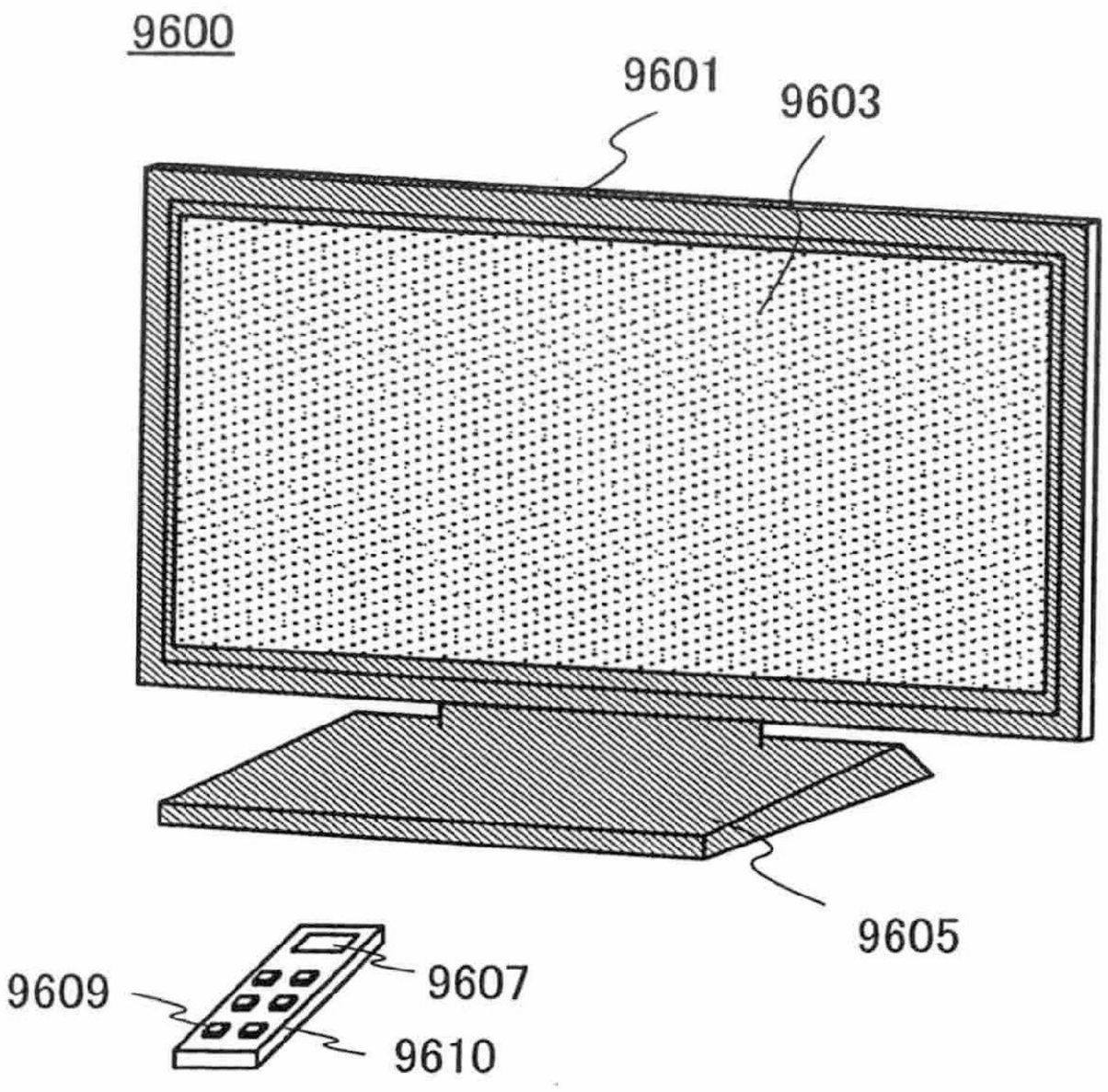


圖21B

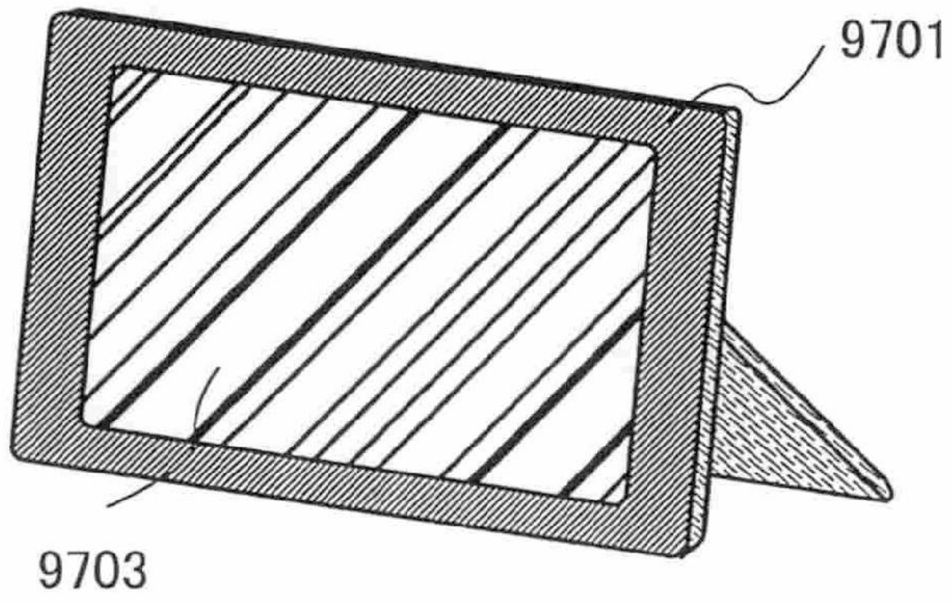


圖22A

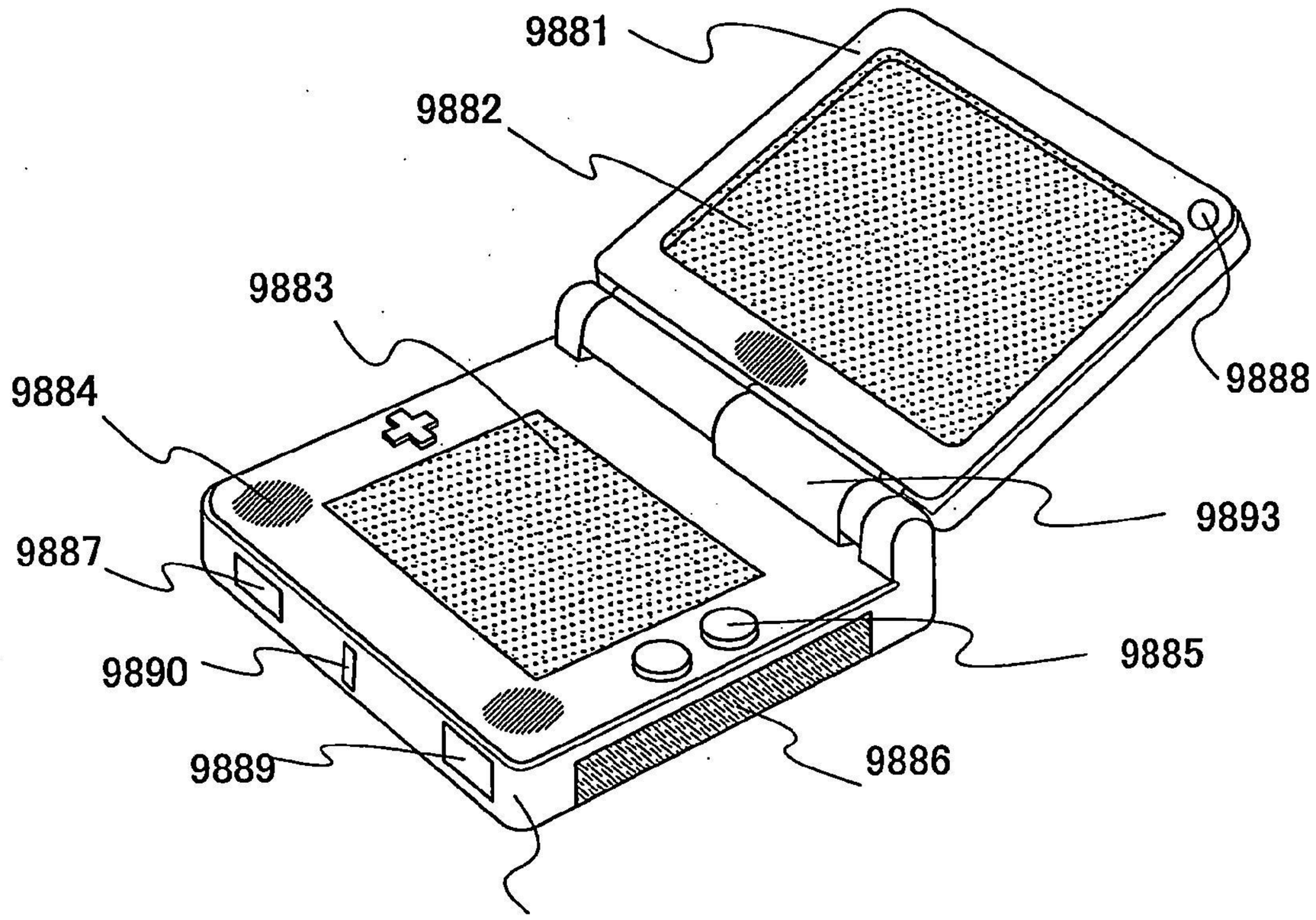

9881
9882
9883
9884
9887
9890
9889
9891
9888
9893
9885
9886

圖22B

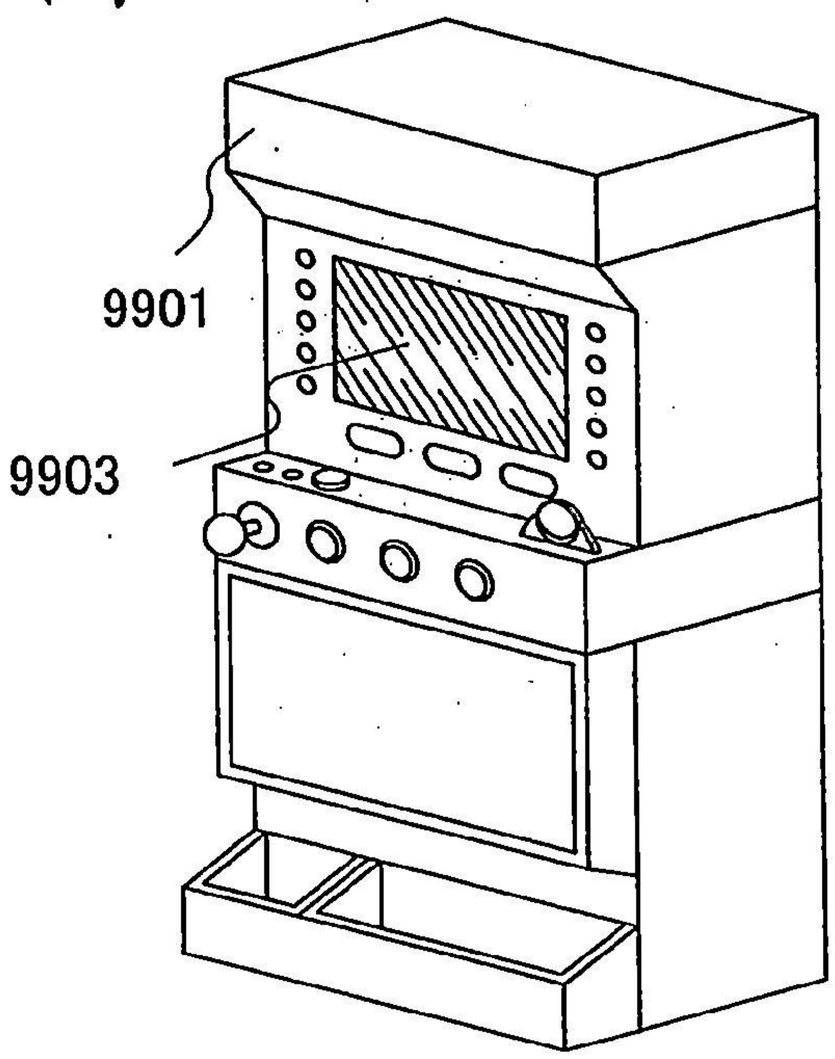

9901
9903
9900

圖23A

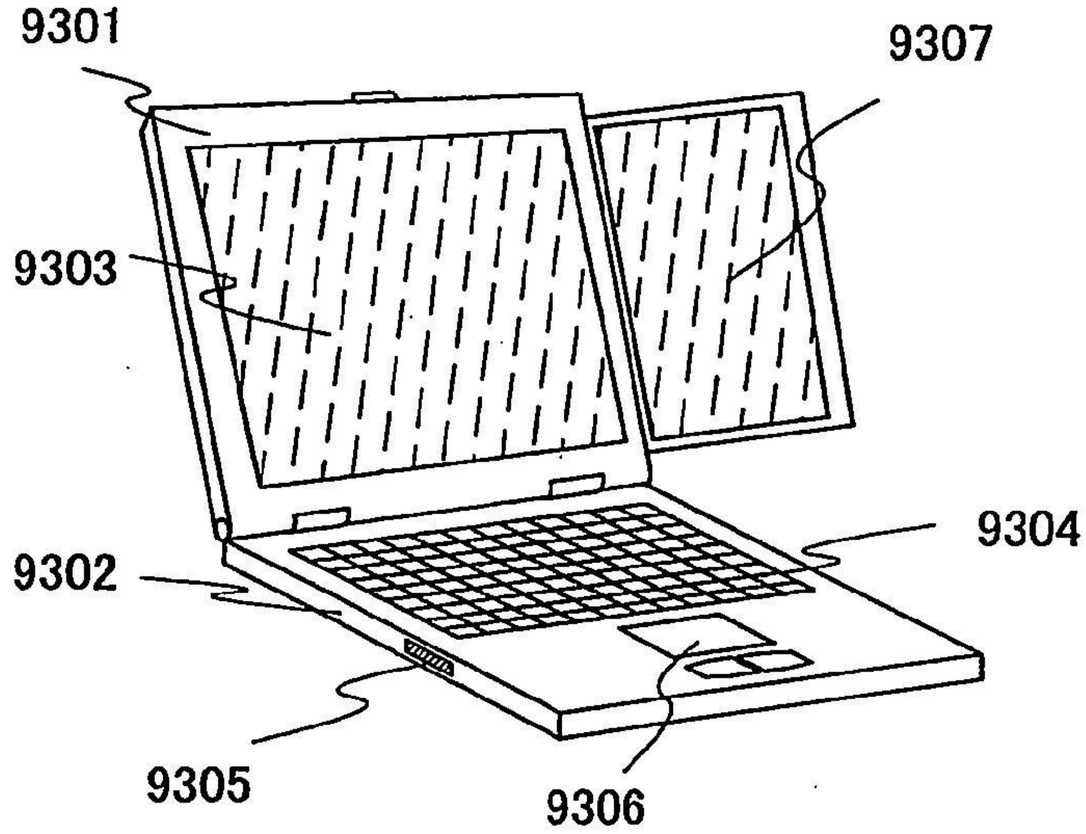
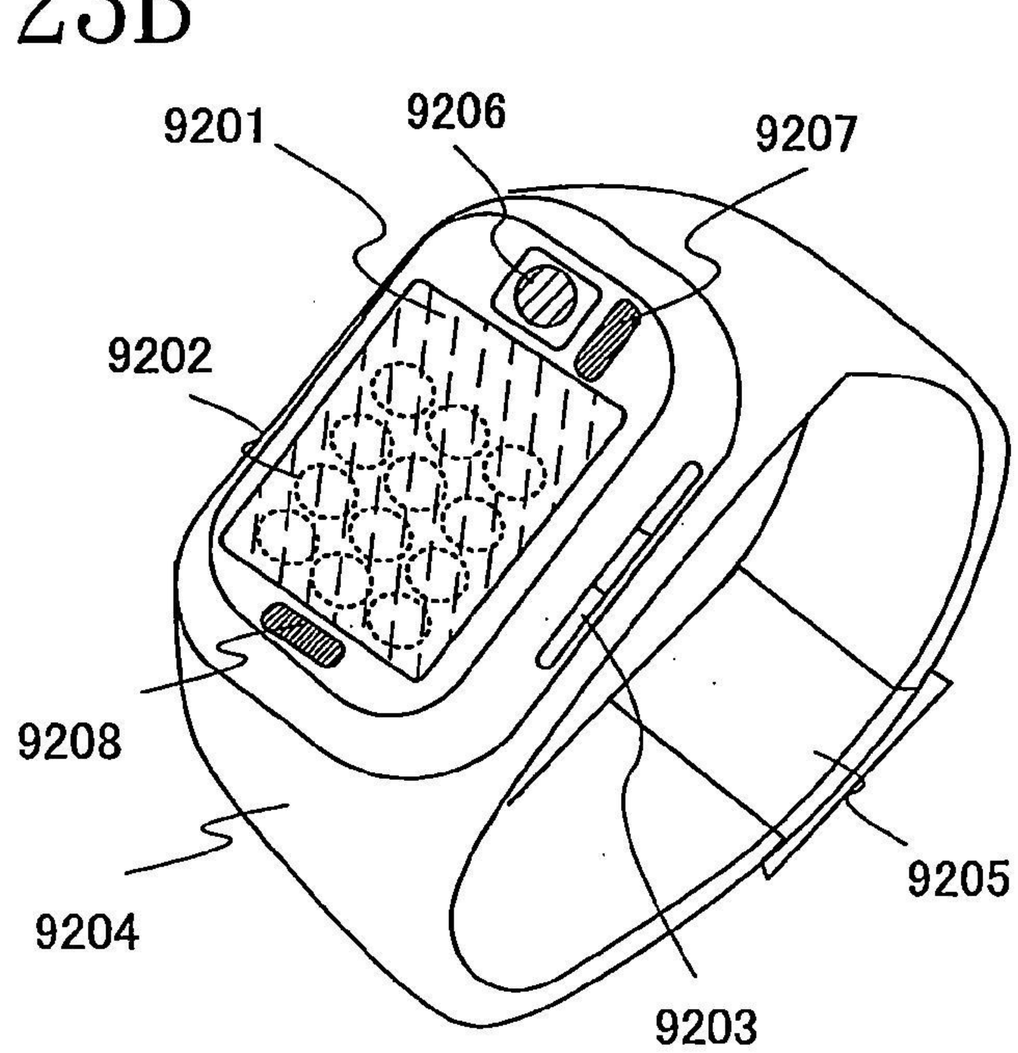

9301
9307
9303
9304
9302
9305
9306

圖23B


9201
9206
9207
9202
9208
9204
9205
9203

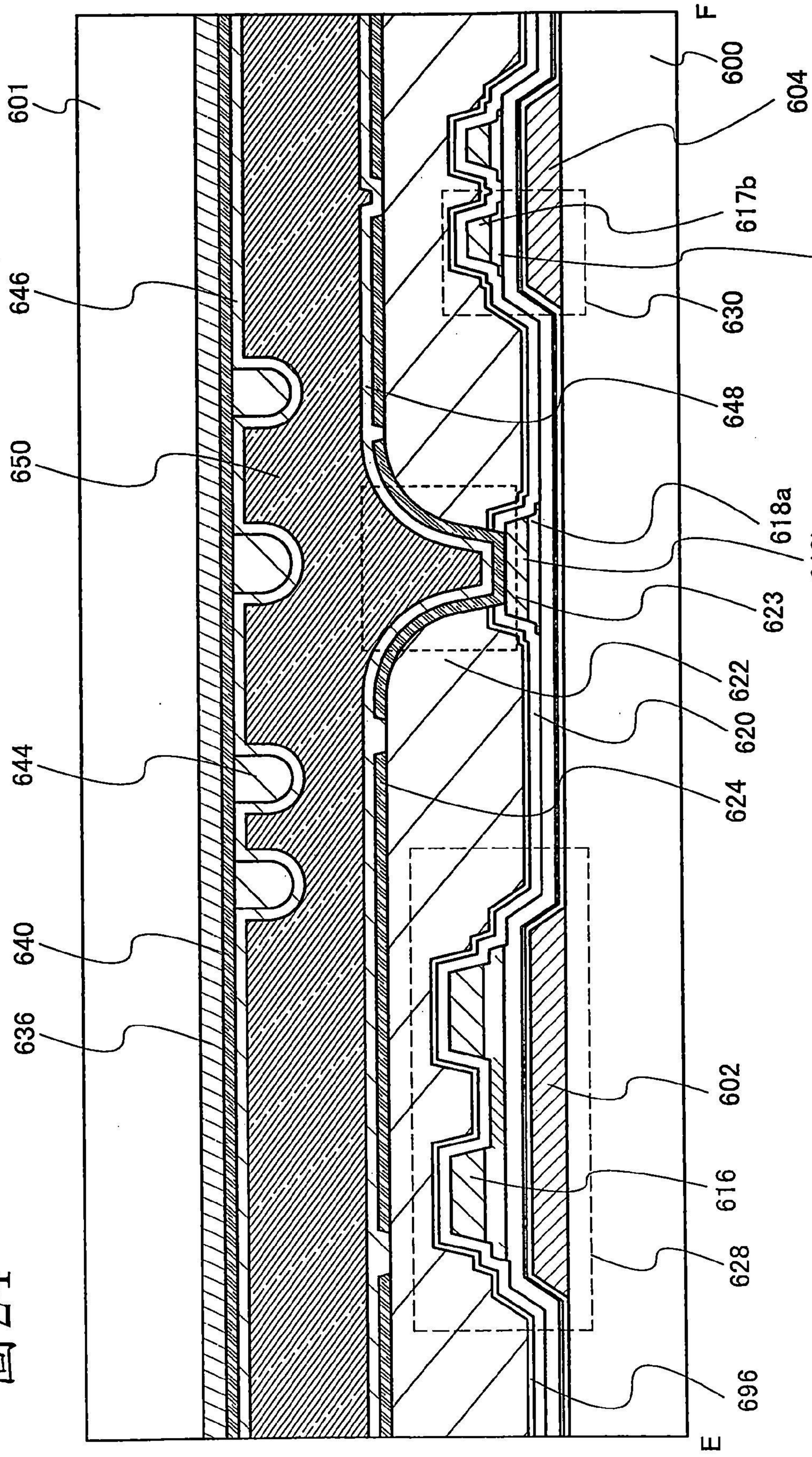

601
646
650
644
640
636
602
616
628
696
E
F
600
604
617b
617a
630
648
618a
618b
623
622
620
624

圖24

圖25

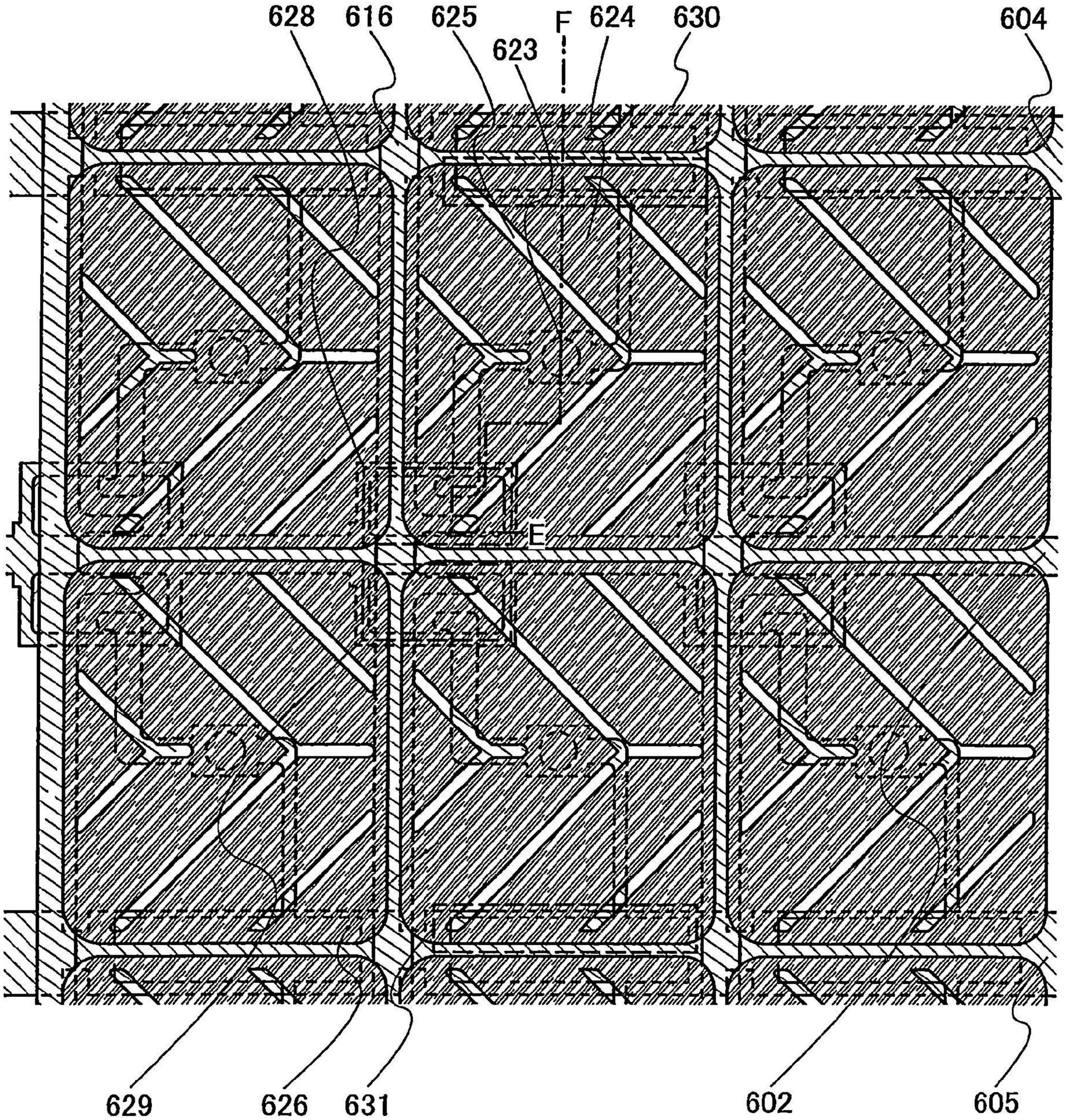


圖26

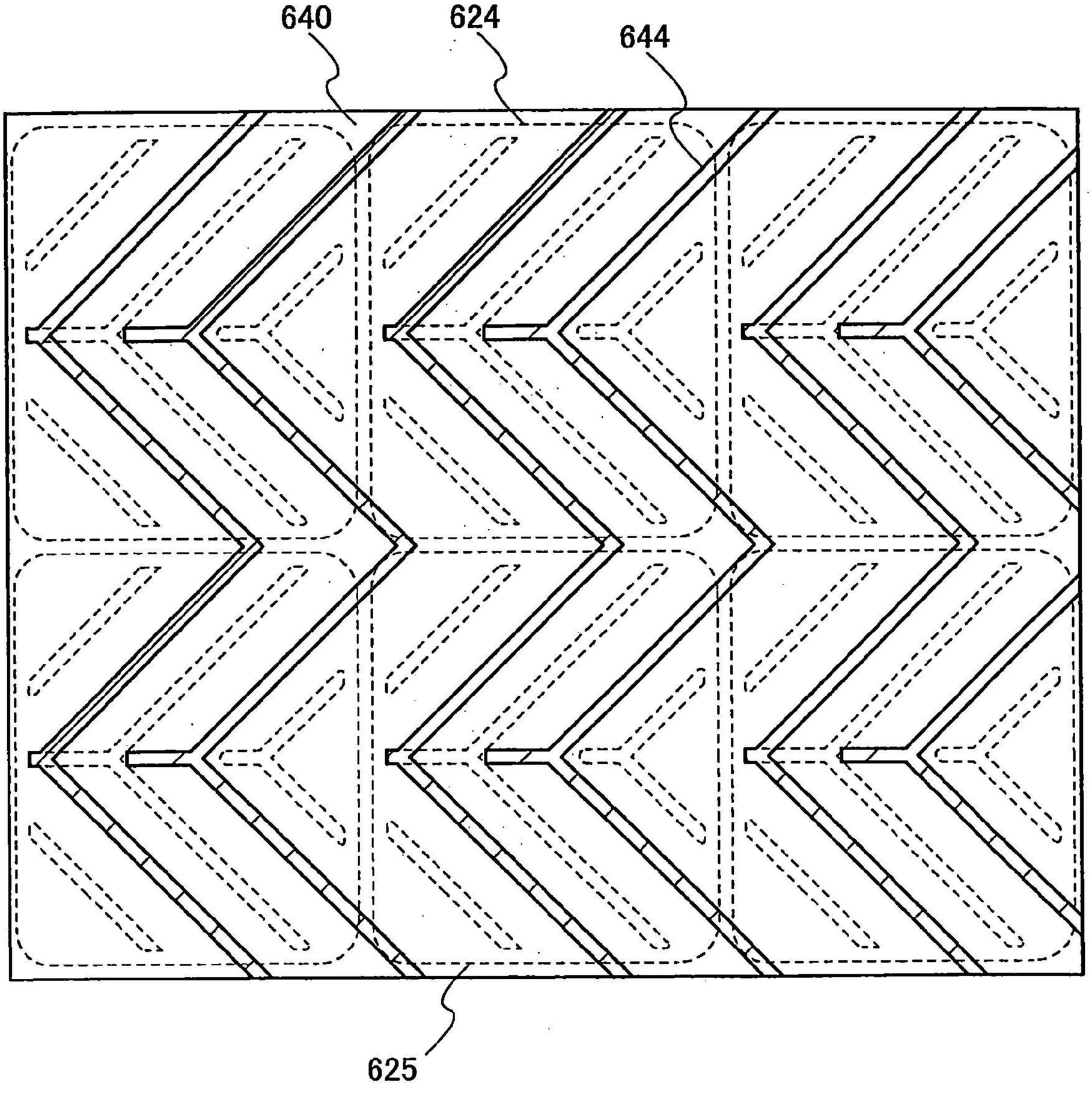
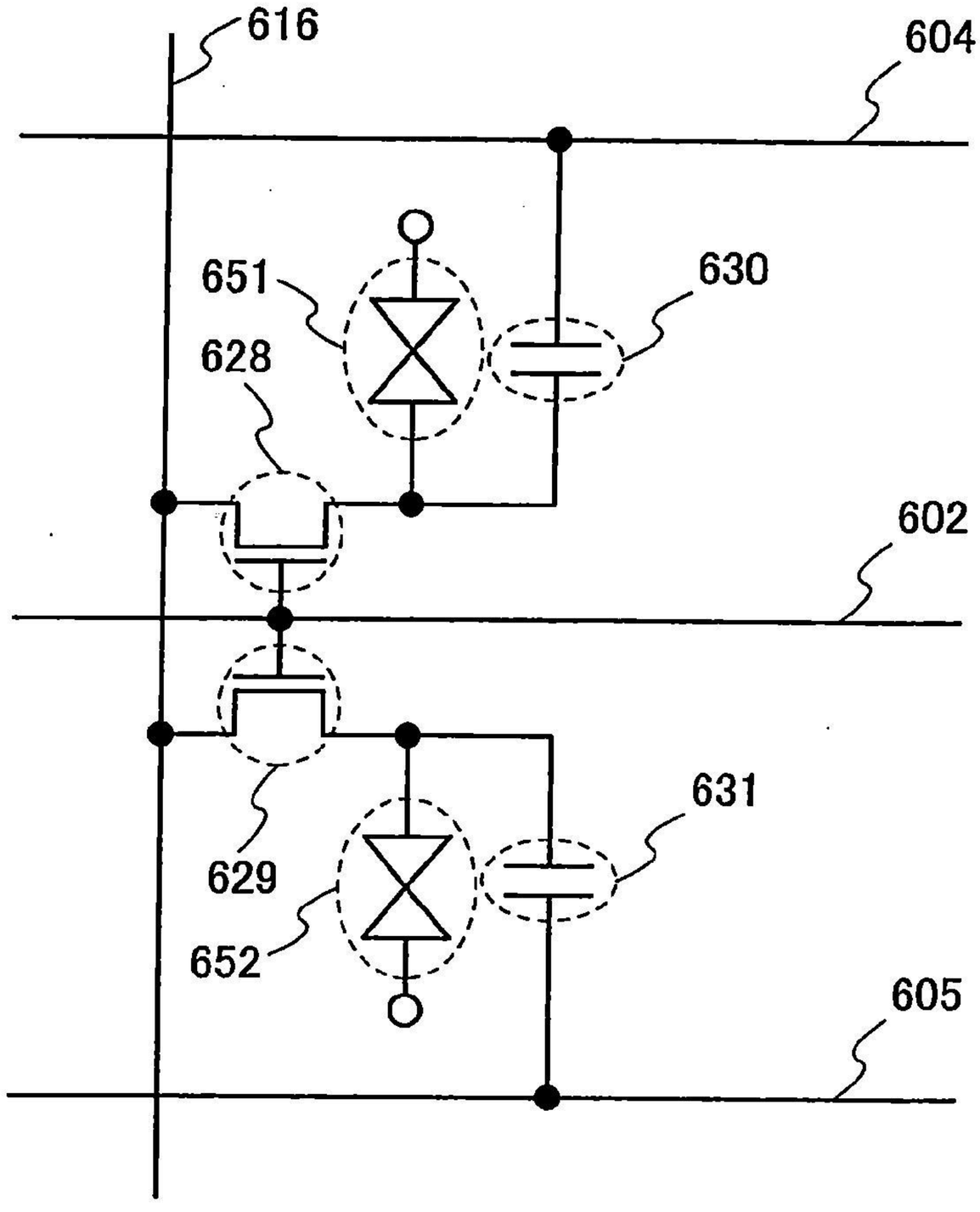


圖27



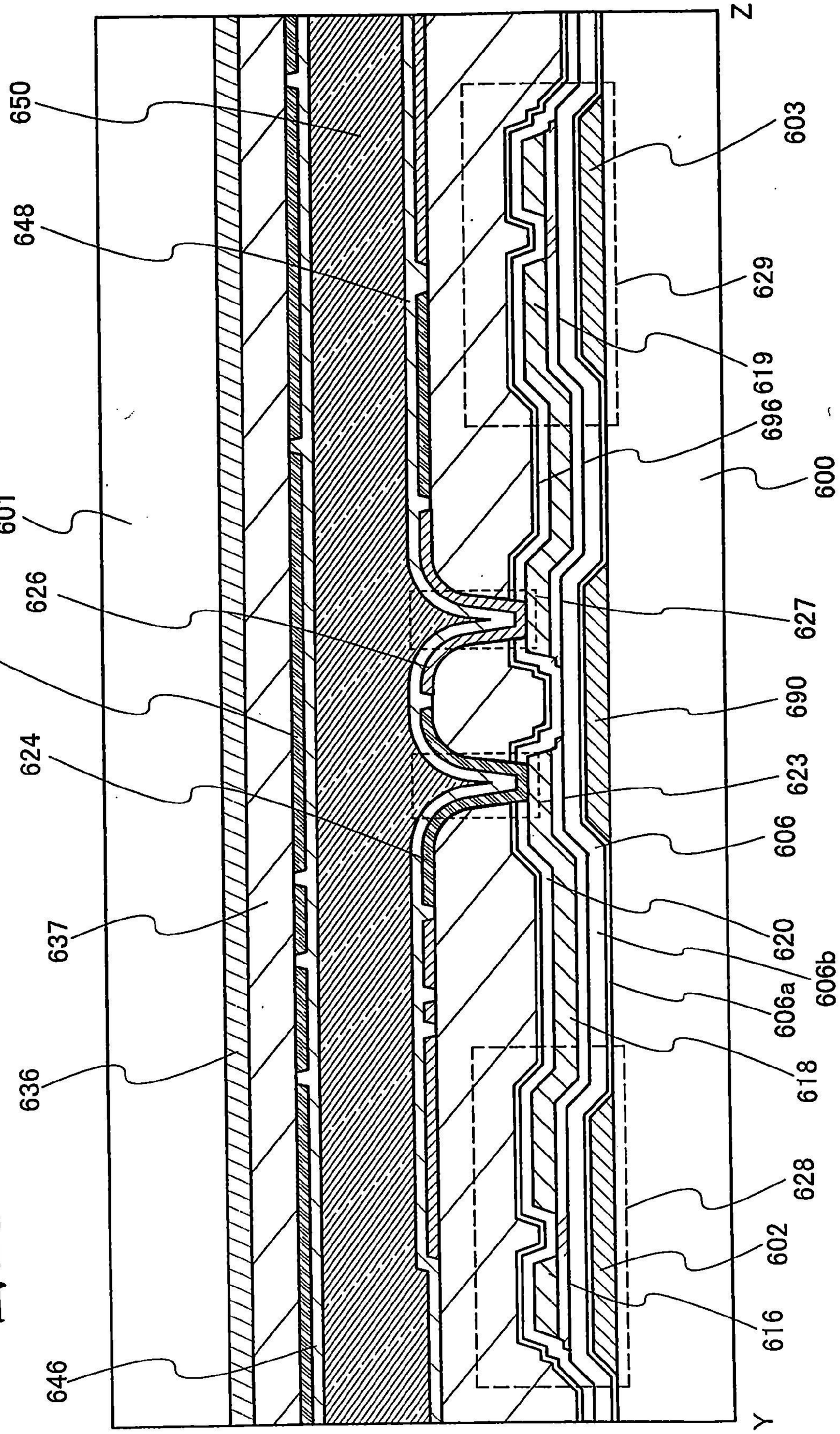

Z
650
603
648
629
619
696
600
601
626
627
640
690
624
623
606
637
620
606b
606a
636
618
628
602
646
616
Y

圖28

圖29

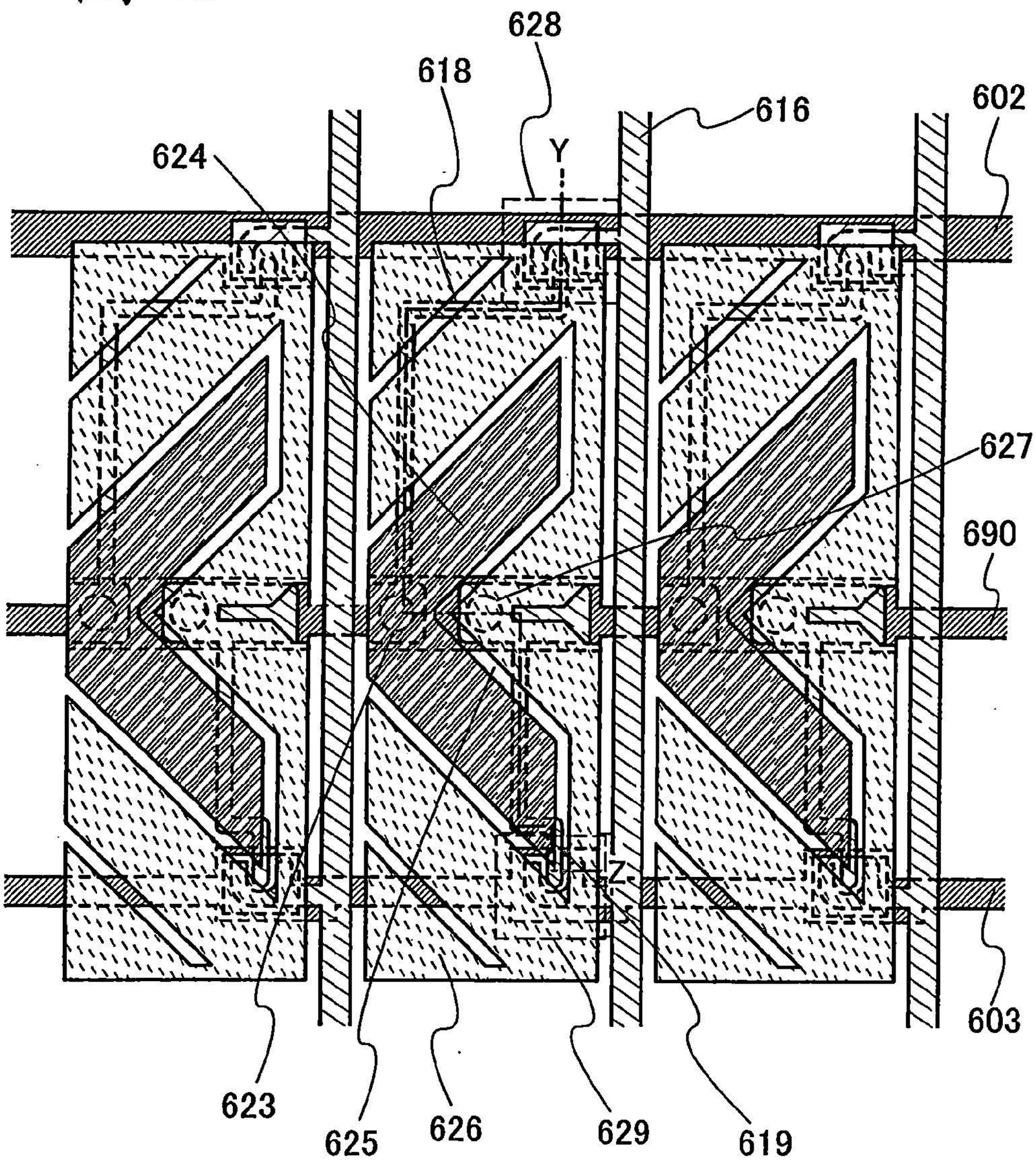


圖30

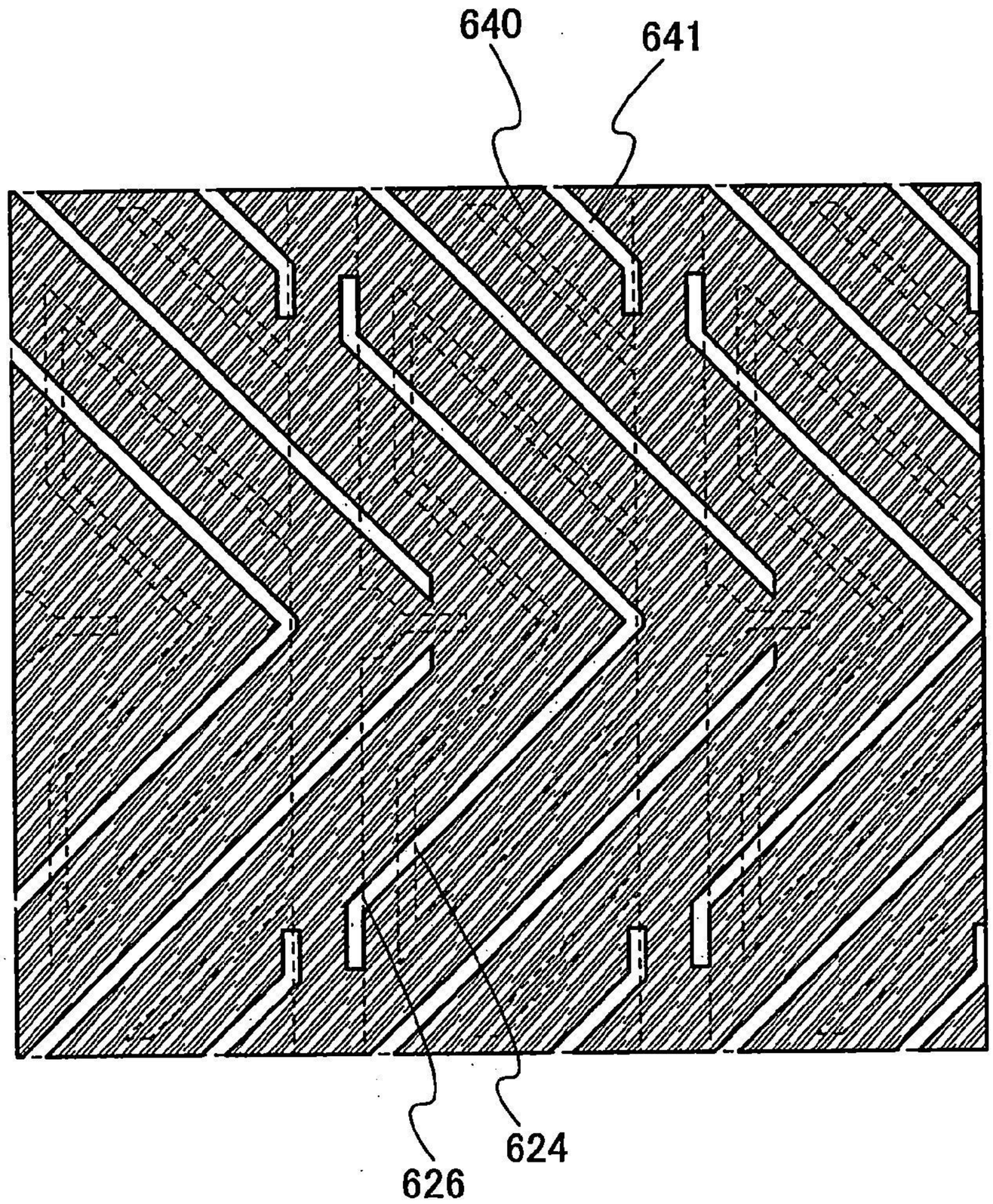
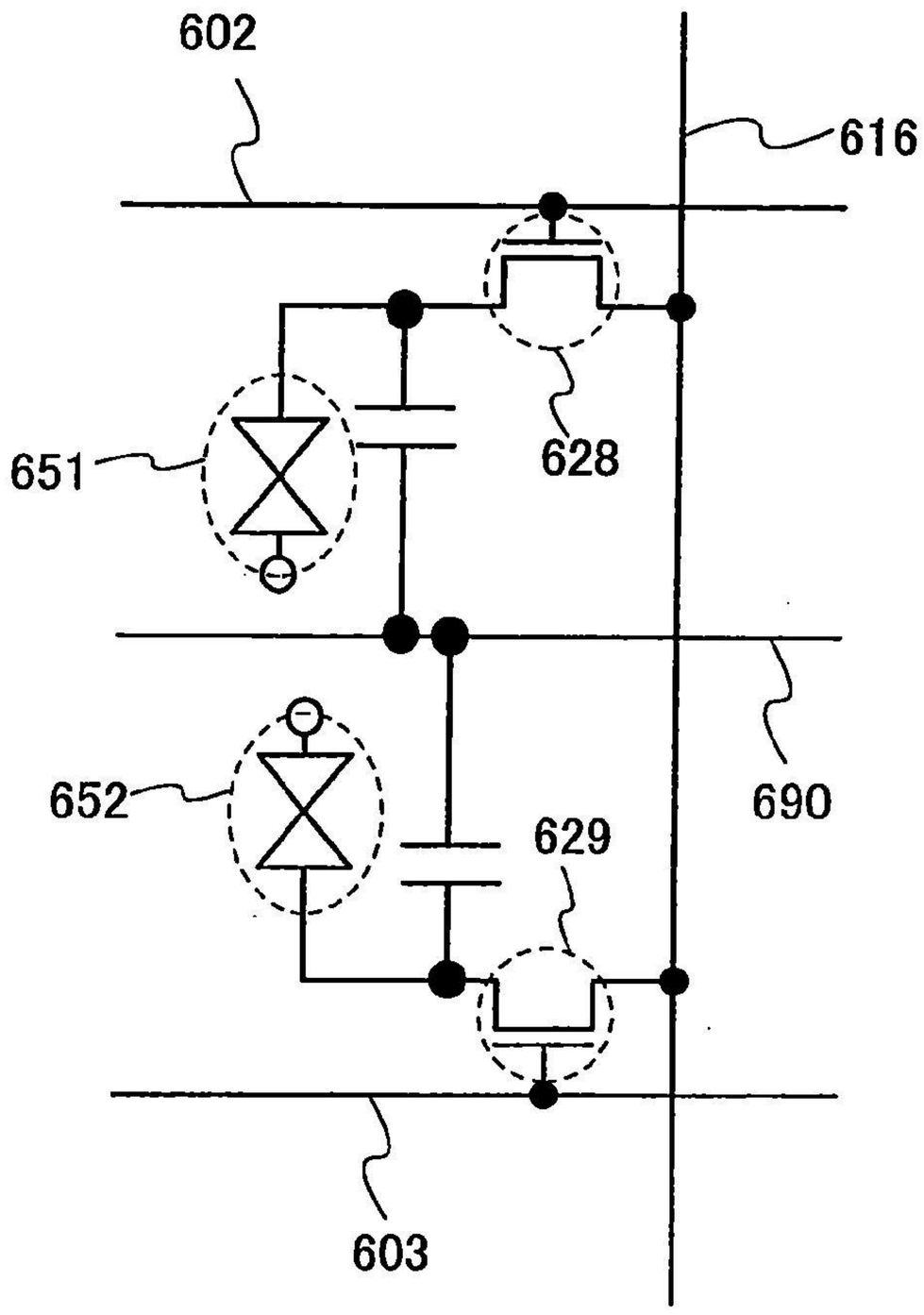


圖31



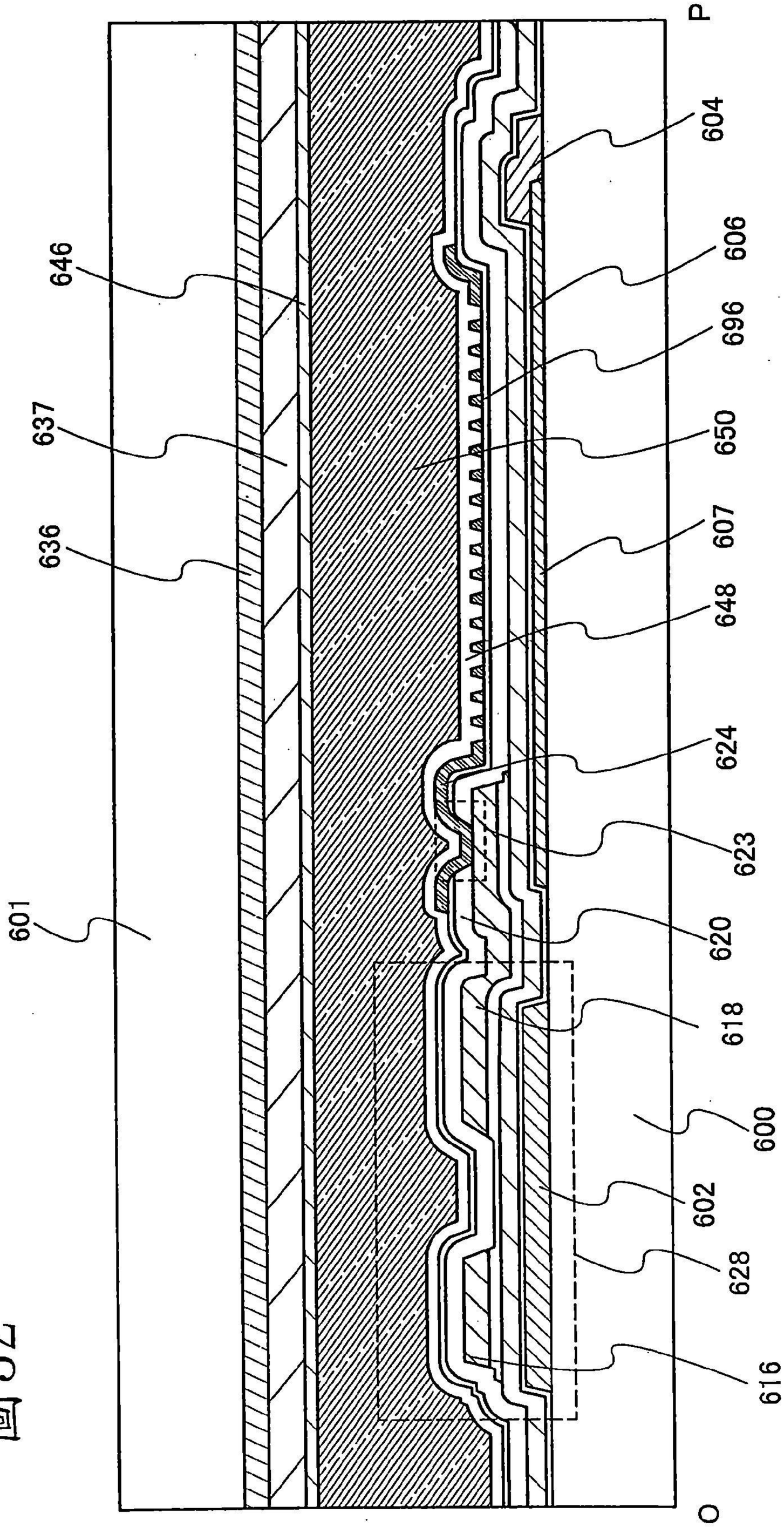
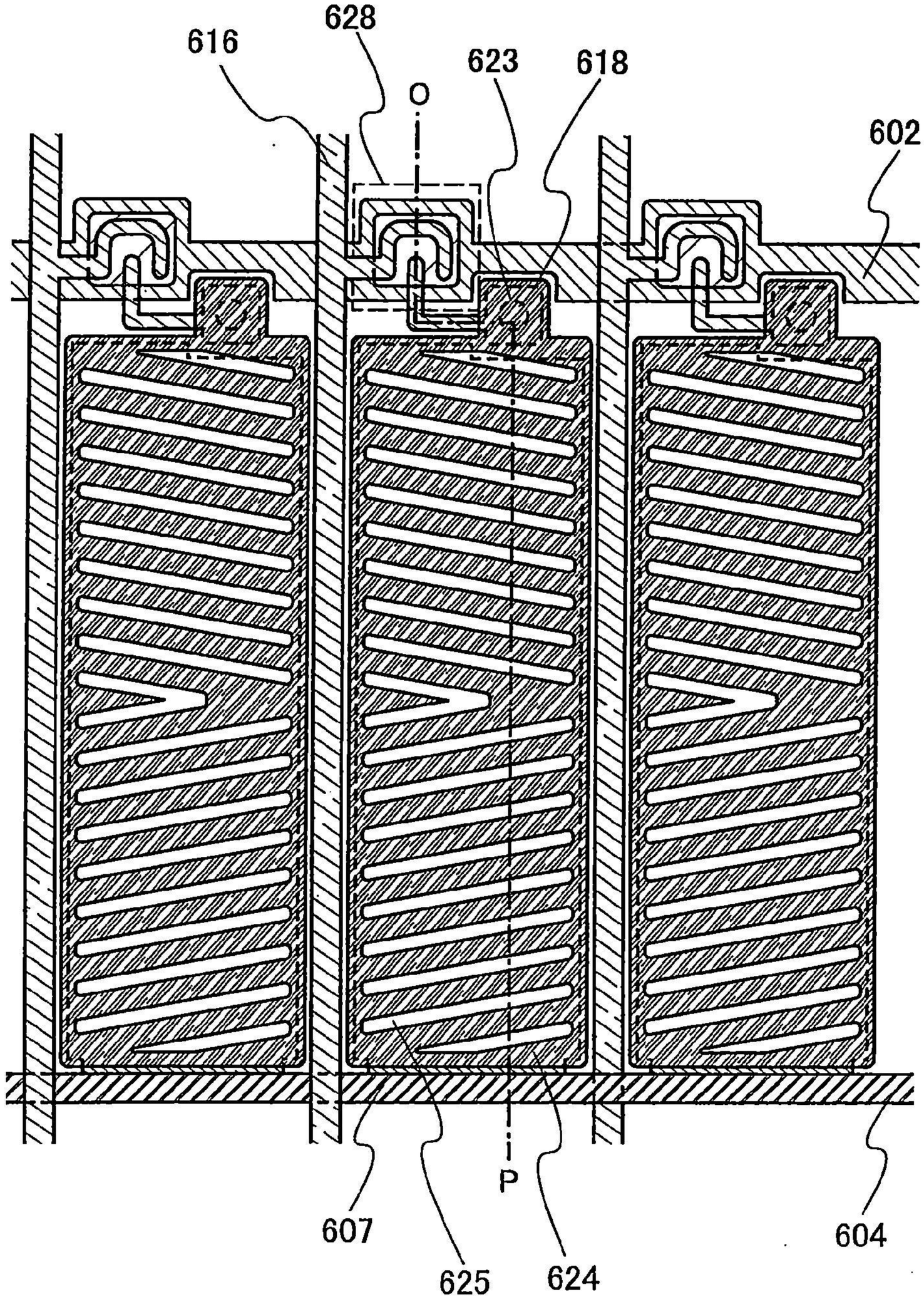

P
604
606
696
650
607
648
624
623
620
618
600
602
628
616
O
646
637
636
601

圖32

圖33



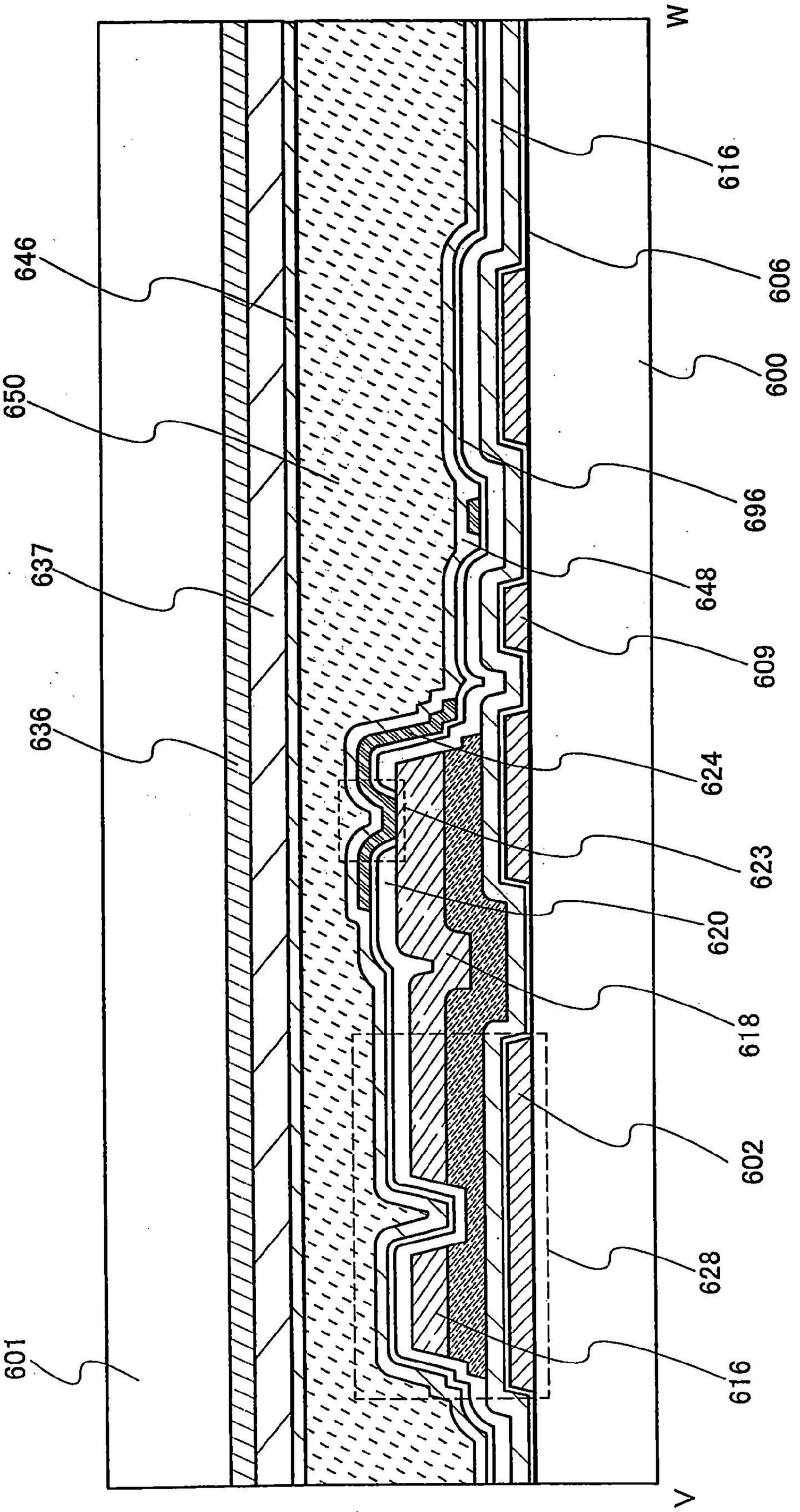
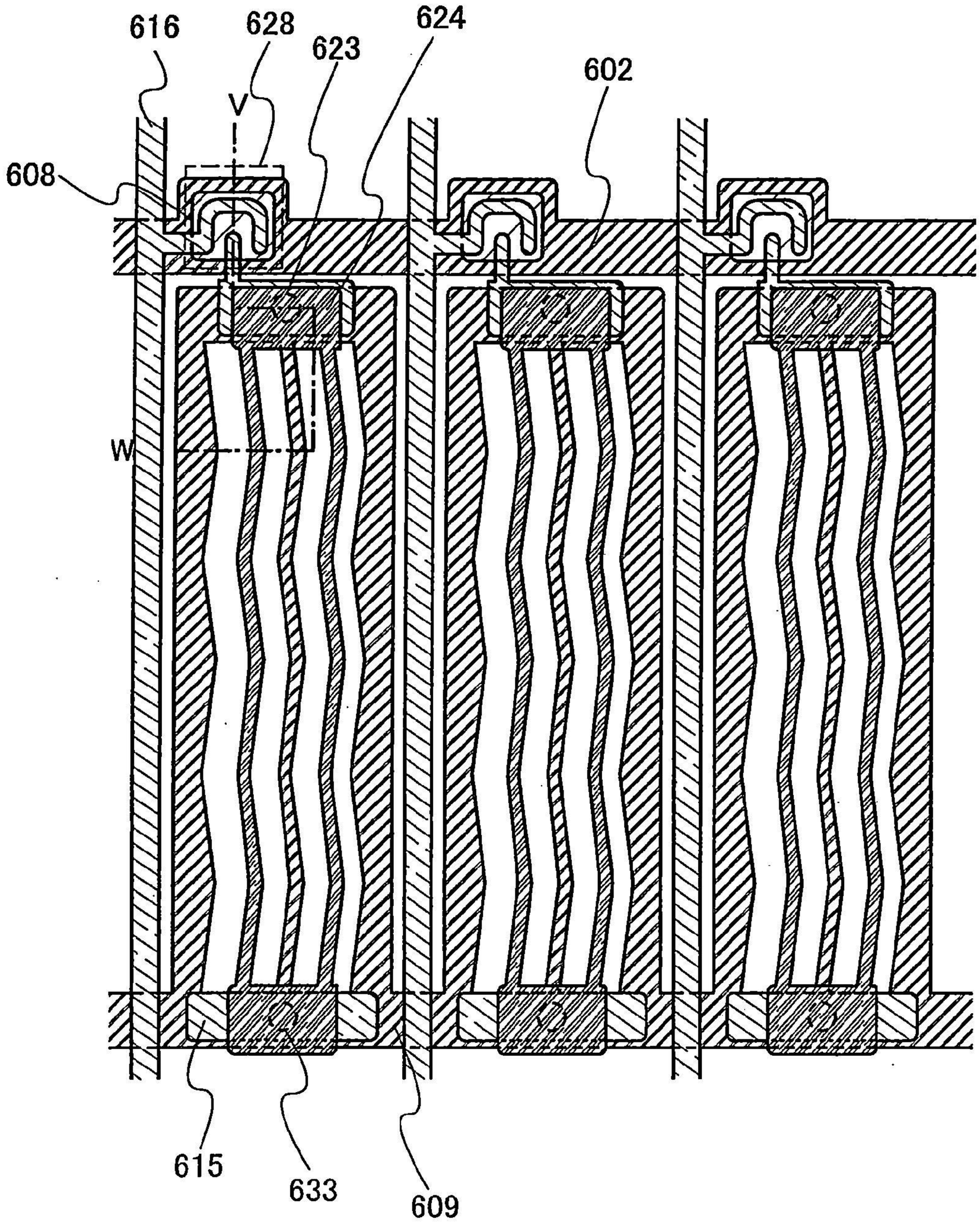

W
616
646
606
650
600
696
637
648
609
636
624
623
620
618
602
628
601
616
V

圖34

圖35



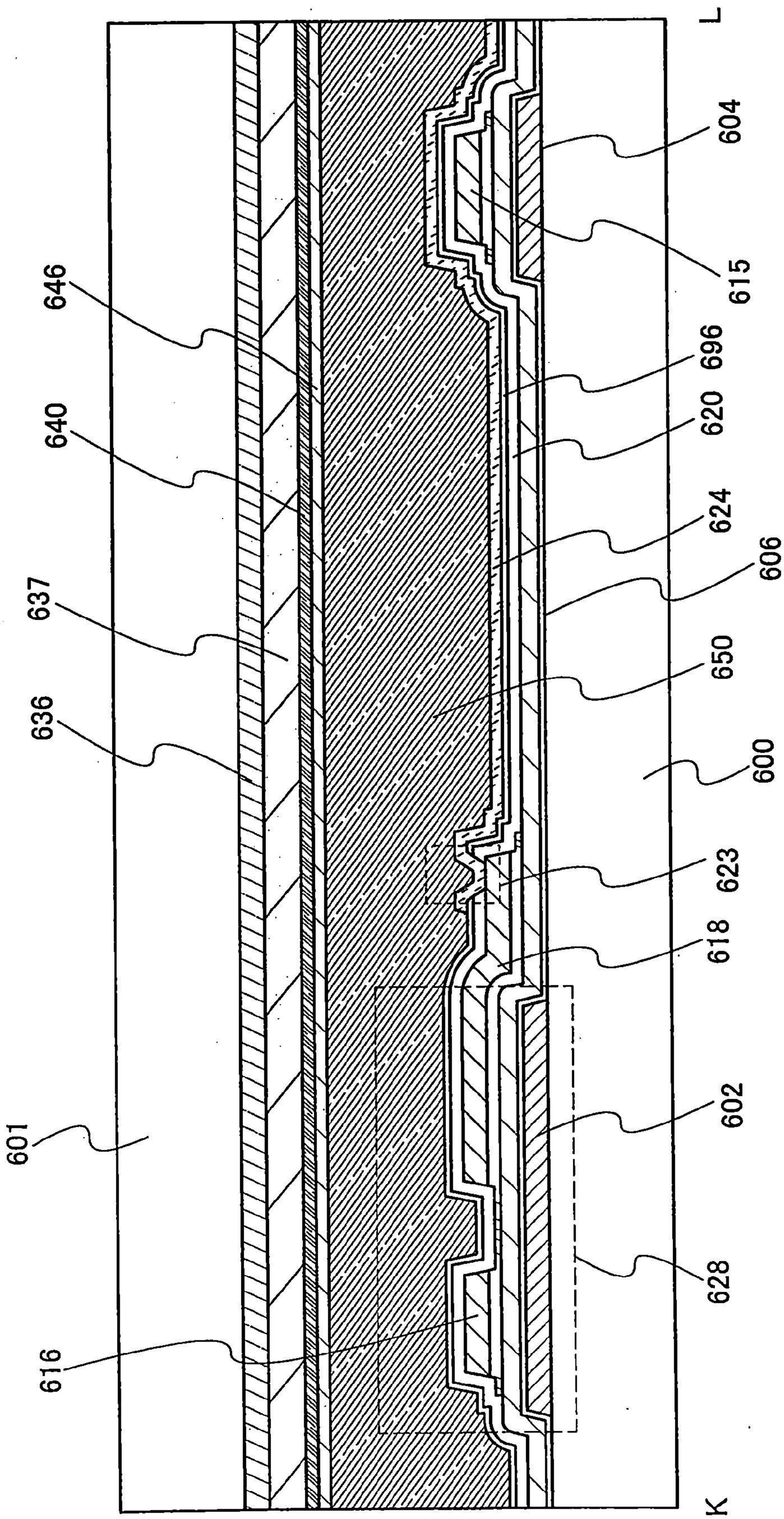

L
604
615
646
696
640
620
624
637
606
650
636
600
623
618
601
602
616
628
K

圖36

圖37

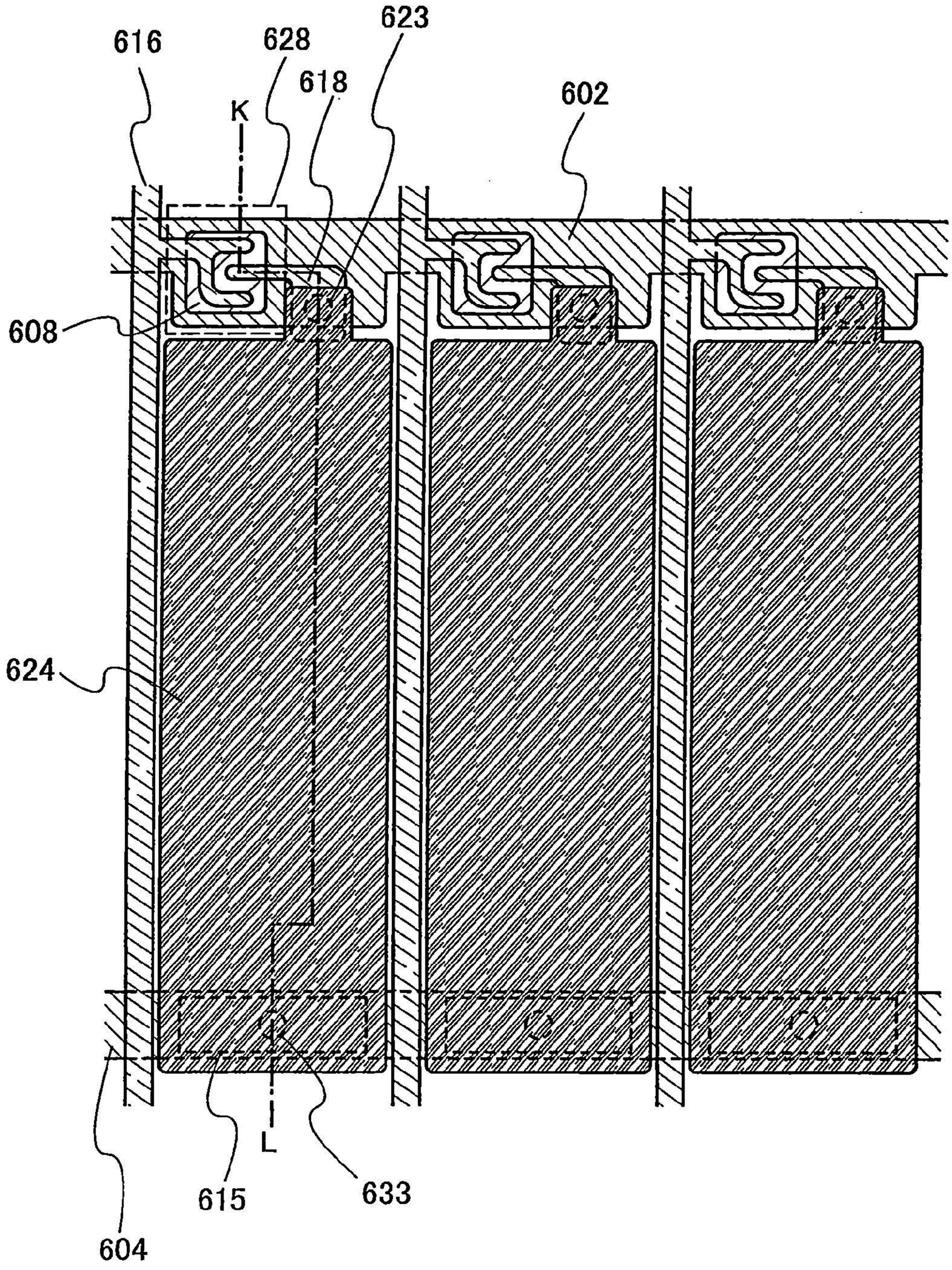


圖38A

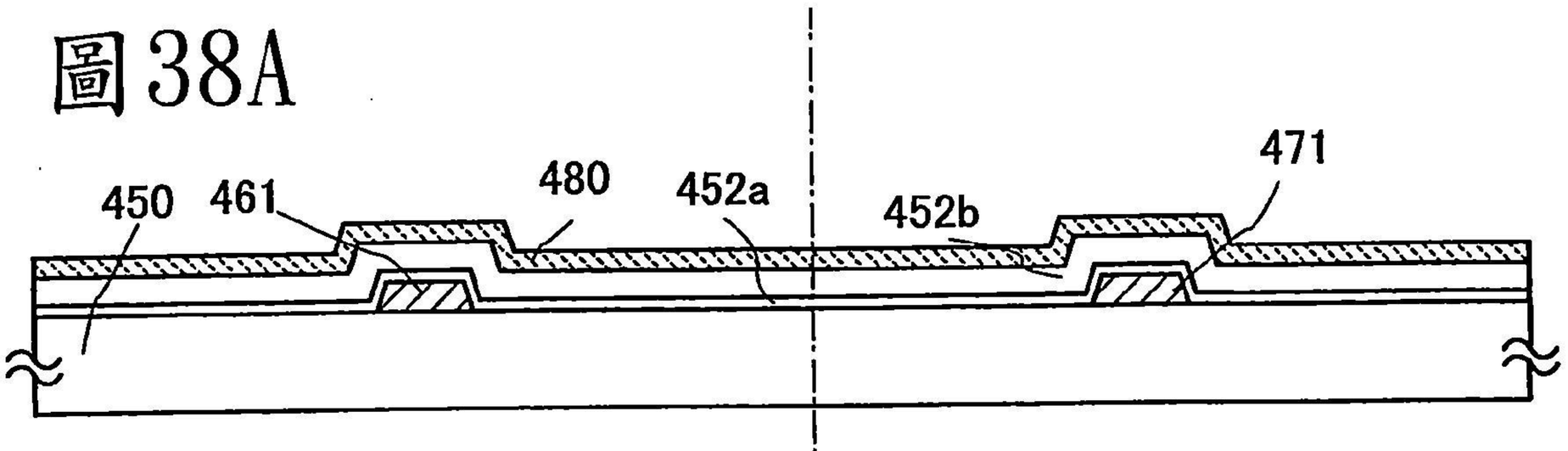


圖38B

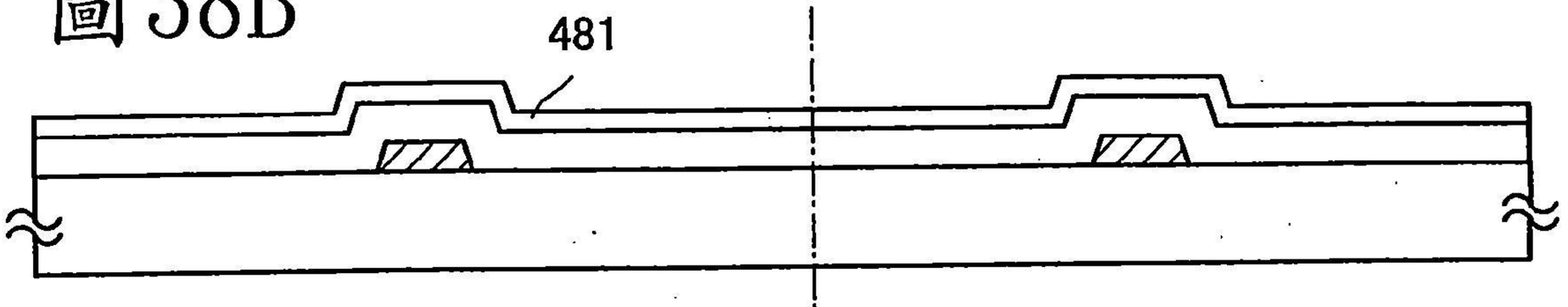


圖38C

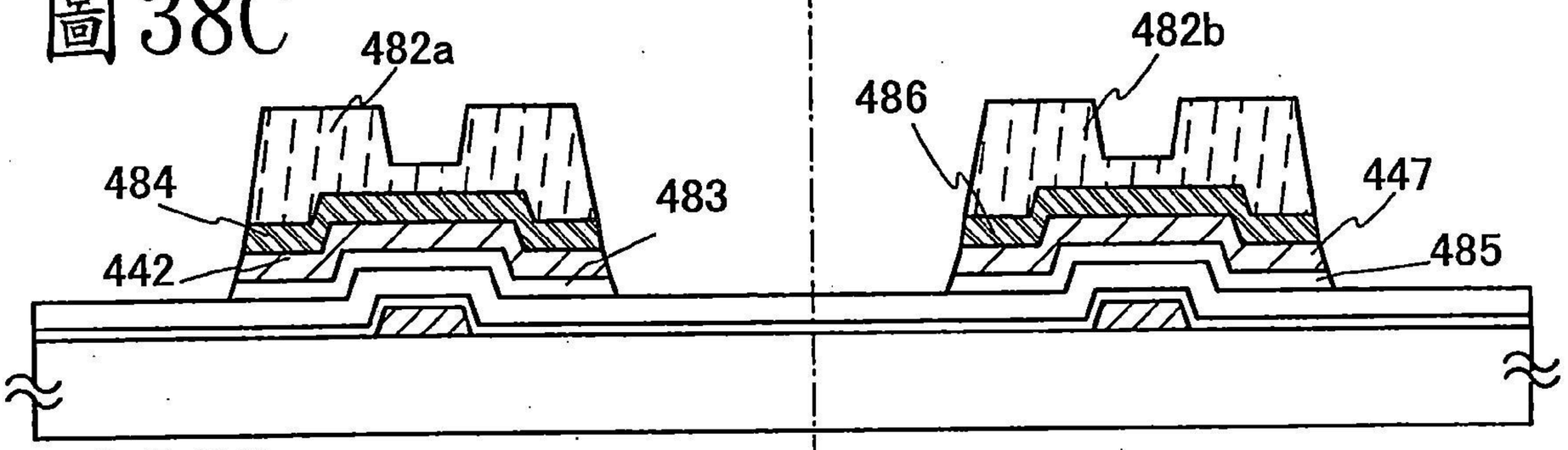


圖38D

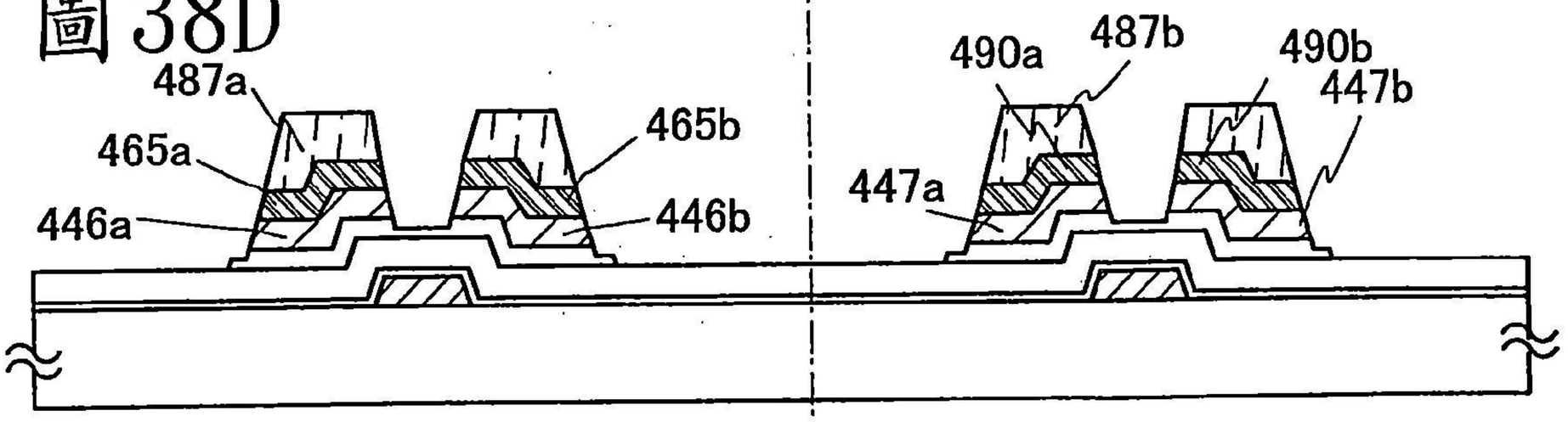


圖38E

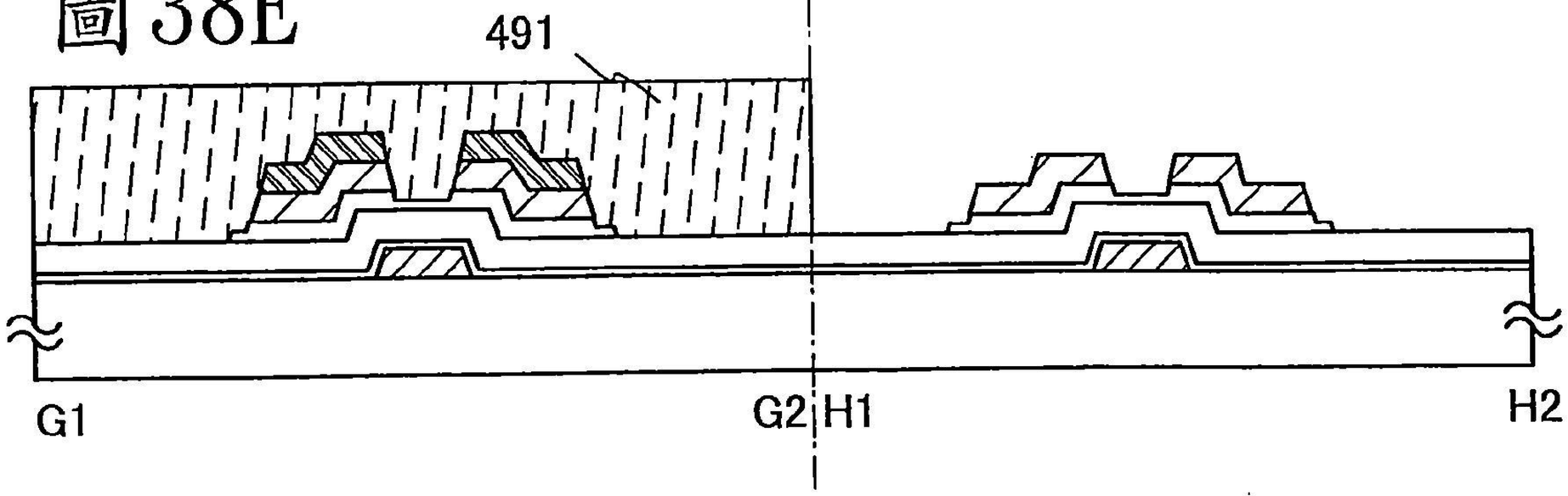


圖39A

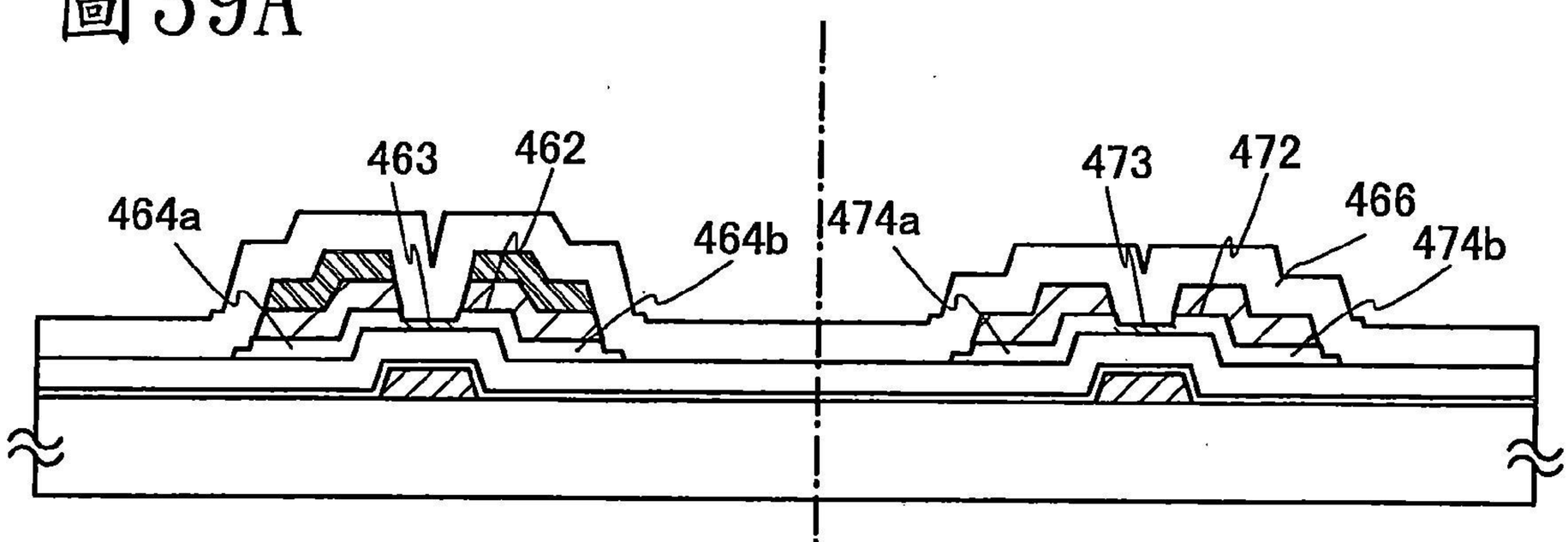


圖39B

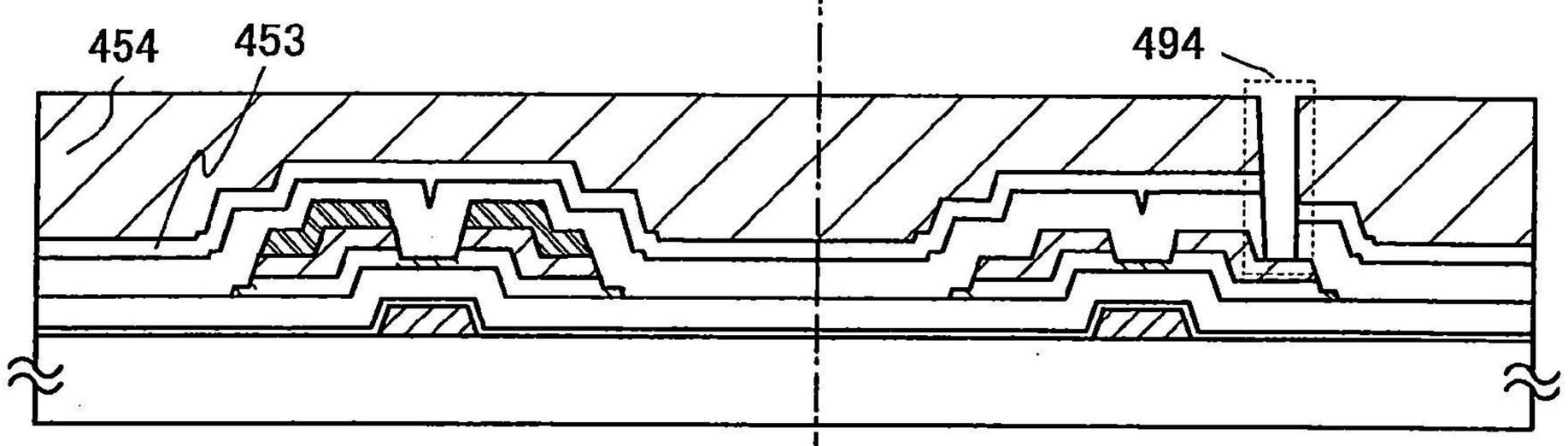


圖39C

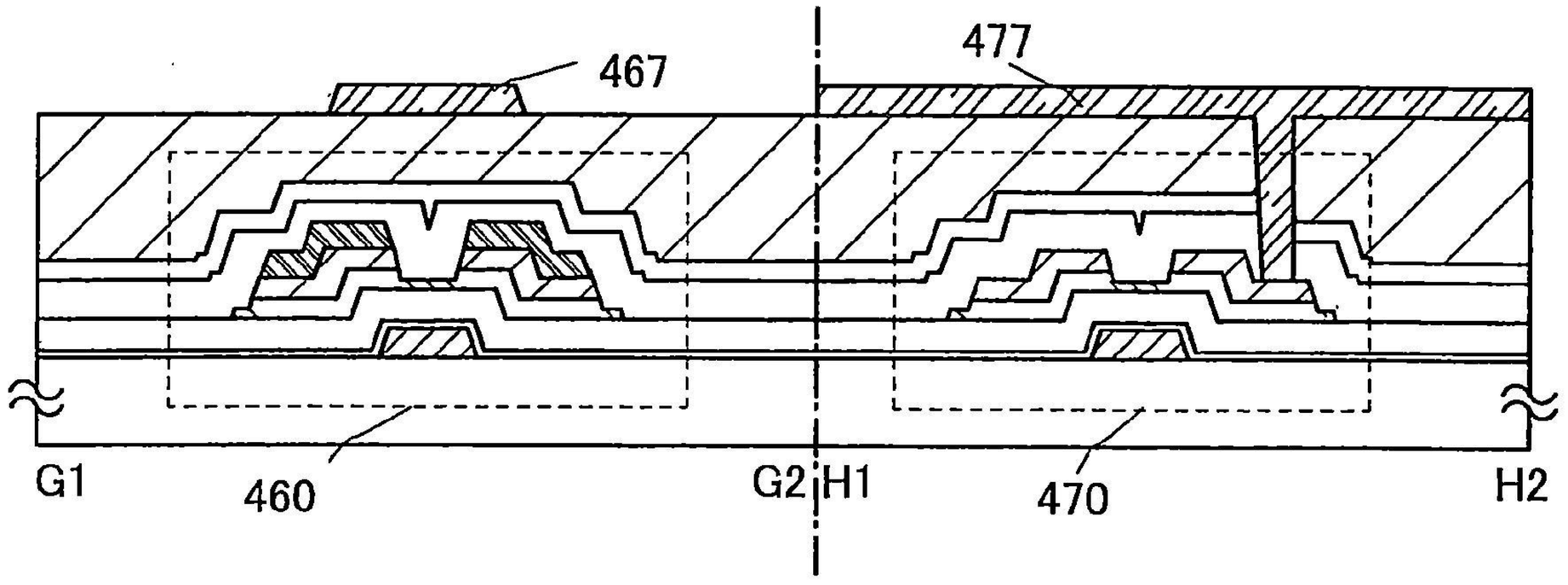


圖40A

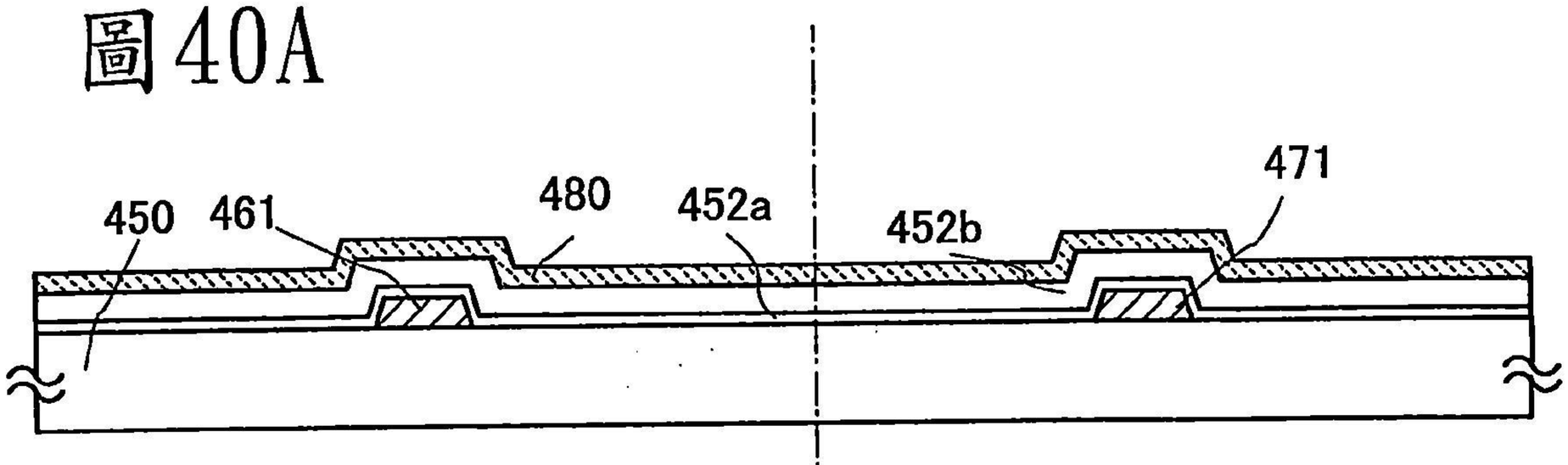


圖40B

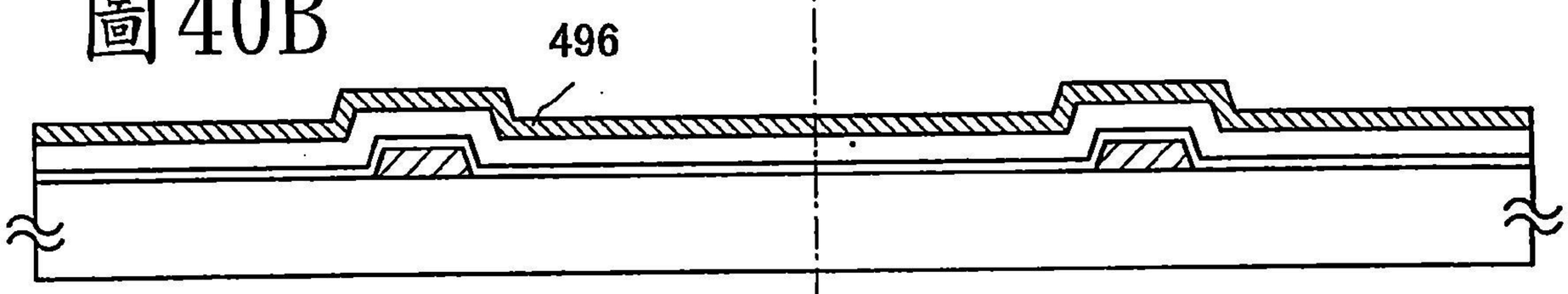


圖40C