

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-123524

(P2005-123524A)

(43) 公開日 平成17年5月12日(2005.5.12)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/8247	HO 1 L 27/10 4 3 4	5 F O 8 3
HO 1 L 27/10	HO 1 L 27/10 4 8 1	5 F 1 0 1
HO 1 L 27/115	HO 1 L 29/78 3 7 1	
HO 1 L 29/788		
HO 1 L 29/792		

審査請求 有 請求項の数 9 O L (全 19 頁)

(21) 出願番号 特願2003-359375 (P2003-359375)
 (22) 出願日 平成15年10月20日(2003.10.20)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100084618
 弁理士 村松 貞男
 (74) 代理人 100092196
 弁理士 橋本 良郎

最終頁に続く

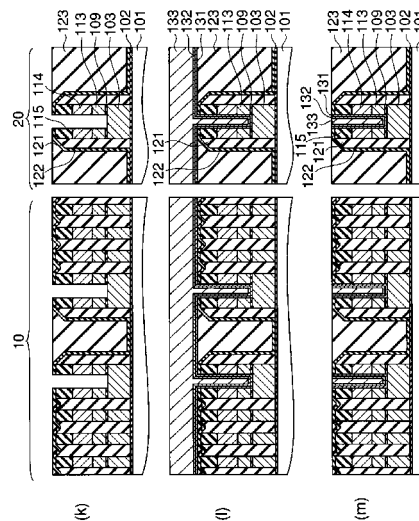
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 2層ゲート間の絶縁膜に開孔領域を形成するためのリソグラフィの合わせ精度を高めることができ、チップサイズの縮小化及びコストの低減に寄与する。

【解決手段】 半導体基板101上に浮遊ゲートとなるポリシリコン膜103と制御ゲートとなるポリシリコン膜113を積層して形成されたスタックゲート構成の不揮発性メモリセルと、半導体基板101上に、浮遊ゲートとなるポリシリコン膜103と制御ゲートとなるポリシリコン膜113を積層して形成され、該積層された制御ゲートと浮遊ゲートを電氣的に接続してなるメモリセル以外のトランジスタとを備えた半導体装置であって、メモリセル以外のトランジスタは、ポリシリコン膜113の上面からポリシリコン膜103の上面に達するように設けられたコンタクト穴内に導電膜131, 132, 133が埋め込み形成されている。

【選択図】 図10



【特許請求の範囲】

【請求項 1】

半導体基板上に第 1 のゲート絶縁膜を介して形成された浮遊ゲートとなる第 1 の導電体膜と、

前記浮遊ゲートとなる第 1 の導電体膜上に第 2 のゲート絶縁膜を介して形成された制御ゲートとなる第 2 の導電体膜と、

前記第 2 の導電体膜の上面から前記第 1 の導電体膜の上面に達するように、前記第 2 の導電体膜及び第 2 のゲート絶縁膜を一部除去することにより設けられたコンタクト穴内に埋め込み形成された第 3 の導電体膜と、

を具備してなることを特徴とする半導体装置。

10

【請求項 2】

半導体基板上に浮遊ゲートと制御ゲートを積層して形成されたスタックゲート構成の不揮発性半導体メモリセルと、

前記半導体基板上に、前記浮遊ゲートとなる第 1 の導電体膜と前記制御ゲートとなる第 2 の導電体膜を積層し、これら第 2 の導電体膜、第 1 の導電体膜が電氣的に接続されてゲート配線が形成されたメモリセル以外のトランジスタと、

を具備してなり、

前記メモリセル以外のトランジスタの部分は、前記第 2 の導電体膜の上面から前記第 1 の導電体膜の上面に達するように設けられたコンタクト穴内に第 3 の導電体膜が埋め込み形成されていることを特徴とする半導体装置。

20

【請求項 3】

前記不揮発性半導体メモリセルが複数個直列接続されてなる NAND セルユニットが前記半導体基板のメモリ領域に複数個配置されて不揮発性メモリアレイを構成し、

前記不揮発性半導体メモリセルの直列接続部の両端に形成された選択トランジスタ及び前記半導体基板の周辺回路領域に形成された周辺トランジスタの部分で、前記コンタクト穴内に前記第 3 の導電体膜が埋め込み形成されていることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】

前記コンタクト穴内に埋め込まれた第 3 の導電体膜は、前記制御ゲートとなる第 2 の導電体膜とは異なる導電材料で形成されていることを特徴とする請求項 1 ~ 3 の何れかに記載の半導体装置。

30

【請求項 5】

前記コンタクト穴内に埋め込まれた第 3 の導電体膜及び前記制御ゲートとなる第 2 の導電体膜はシリコン膜で形成され、該シリコン膜の表面がシリサイド化されていることを特徴とする請求項 1 ~ 3 の何れかに記載の半導体装置。

【請求項 6】

半導体基板上に、第 1 のゲート絶縁膜、浮遊ゲートとなる第 1 の導電体膜、第 2 のゲート絶縁膜、及び制御ゲートとなる第 2 の導電体膜が積層されてなるスタックゲート構成のゲート配線パターンを形成する工程と、

前記制御ゲートとなる第 2 の導電体膜及び第 2 のゲート絶縁膜を一部除去することにより、前記制御ゲートとなる第 2 の導電体膜の上面から前記浮遊ゲートとなる第 1 の導電体膜の上面に達するコンタクト穴を形成する工程と、

40

前記コンタクト穴内に第 3 の導電体膜を埋め込み形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 7】

半導体基板上に第 1 のゲート絶縁膜を介して浮遊ゲートとなる第 1 の導電体膜を形成する工程と、

少なくとも前記浮遊ゲートのゲート幅方向の不要部分を除去するように、前記浮遊ゲートとなる第 1 の導電体膜を選択的にエッチングする工程と、

前記基板上及び前記浮遊ゲートとなる第 1 の導電体膜上に第 2 のゲート絶縁膜を介して

50

制御ゲートとなる第2の導電体膜を形成する工程と、

前記制御ゲートとなる第2の導電体膜を前記浮遊ゲートとなる第1の導電体膜と共に選択的にエッチングすることにより、不揮発性半導体メモリセル及びメモリセル以外のトランジスタの各ゲート配線パターンを形成する工程と、

前記メモリセル以外のトランジスタの部分で、前記ゲート配線パターンをリソグラフィの基準とし、前記制御ゲートとなる第2の導電体膜及び第2の絶縁膜を選択的にエッチングすることにより、前記制御ゲートとなる第2の導電体膜の上面から前記浮遊ゲートとなる第1の導電体膜の上面に達するコンタクト穴を形成する工程と、

前記コンタクト穴内に第3の導電体膜を埋め込み形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

10

【請求項8】

前記コンタクト穴の形成を、前記ゲート配線パターン間に平坦化用の絶縁膜を埋め込んだ後に行うことを特徴とする請求項6又は7記載の半導体装置の製造方法。

【請求項9】

前記ゲート配線パターン間に平坦化用の絶縁膜を埋め込んだ後に、前記不揮発性メモリセルの選択トランジスタの部分では前記ゲート配線パターンの一辺を含んでその一部が露出し、周辺トランジスタの部分では前記ゲート配線パターンの全部が露出するような開口を有するレジストパターンを形成し、次いで前記レジストパターンをマスクとして前記コンタクト穴形成のためのエッチングを行うことを特徴とする請求項7記載の半導体装置の製造方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、浮遊ゲートと制御ゲートを積層したスタックゲート型不揮発性半導体メモリを有する半導体装置に係わり、特に浮遊ゲートと制御ゲートの接続部分を改良した半導体装置及びその製造方法に関する。

【背景技術】

【0002】

従来、NAND型不揮発性半導体メモリに用いられるNANDセルユニットは、複数の不揮発性半導体メモリセルを直列接続すると共に、直列接続部の両端に選択トランジスタを接続して形成される。ここで、各々のメモリセルは、半導体基板上に第1のゲート絶縁膜を介して浮遊ゲートを形成し、その上に第2のゲート絶縁膜を介して制御ゲートを形成した2層ゲート構成（スタックゲート構成）となっている。一方、選択トランジスタは、メモリセルと同時に形成するために同じく2層ゲート構成となっているが、浮遊ゲートと制御ゲートを電氣的に接続する必要がある。このため、制御ゲートとなる導電体膜を形成する前に、選択トランジスタ部において浮遊ゲート上のゲート絶縁膜をリソグラフィにより除去している（例えば、特許文献1参照）。

30

【0003】

ここで、浮遊ゲート上のゲート絶縁膜を一部除去するためのリソグラフィにおいては、既に形成されている素子分離領域を基準にして位置を合わせることになる。一方、ゲート配線パターン形成のためのリソグラフィにおいても、素子分離領域を基準にして位置を合わせることになる。このため、ゲート間の絶縁膜の開孔領域を形成するためのリソグラフィとゲート配線形成のためのリソグラフィは間接合わせとなり、合わせマージンを大きく取る必要がある。

40

【0004】

従って、このような従来技術では、メモリセルのみならず選択トランジスタ及び周辺トランジスタも微細化され、選択トランジスタ及び周辺トランジスタにおけるゲート間の絶縁膜の開孔領域が小さくなると、開孔領域を形成するためのリソグラフィの合わせマージンが極めて小さくなり、リソグラフィが困難になるという問題がある。また、リソグラフィの合わせマージンを確保しようとする、選択トランジスタ及び周辺トランジスタを小

50

さくすることができず、素子の微細化が制限されることになる。

【特許文献1】特開2002-176114号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

このように従来、浮遊ゲートと制御ゲート間の絶縁膜に開孔領域を形成するためのリソグラフィとゲート配線を形成するためのリソグラフィは間接合わせとなり、従って開孔領域を形成するためのリソグラフィの合わせマージンを大きく取る必要があり、これが素子の微細化を妨げる要因となっていた。

【0006】

本発明は、上記事情を考慮して成されたもので、その目的とするところは、浮遊ゲート制御ゲートとの間の絶縁膜に開孔領域を形成するためのリソグラフィの合わせ精度を高めることができ、チップサイズの縮小化及びコストの低減に寄与し得る半導体装置及びその製造方法を提供することにある。

【課題を解決するための手段】

【0007】

本発明の一態様の半導体装置は、半導体基板上に第1のゲート絶縁膜を介して形成された浮遊ゲートとなる第1の導電体膜と、前記浮遊ゲートとなる第1の導電体膜上に第2のゲート絶縁膜を介して形成された制御ゲートとなる第2の導電体膜と、前記第2の導電体膜の上面から前記第1の導電体膜の上面に達するように、前記第2の導電体膜及び第2のゲート絶縁膜を一部除去することにより設けられたコンタクト穴内に埋め込み形成された第3の導電体膜と、を具備してなることを特徴とする。

【0008】

また、本発明の他の態様の半導体装置は、半導体基板上に浮遊ゲートと制御ゲートを積層して形成されたスタックゲート構成の不揮発性半導体メモリセルと、前記半導体基板上に、前記浮遊ゲートとなる第1の導電体膜と前記制御ゲートとなる第2の導電体膜を積層し、これら第2の導電体膜、第1の導電体膜が電氣的に接続されてゲート配線が形成されたメモリセル以外のトランジスタと、を具備してなり、前記メモリセル以外のトランジスタの部分は、前記第2の導電体膜の上面から前記第1の導電体膜の上面に達するように設けられたコンタクト穴内に第3の導電体膜が埋め込み形成されていることを特徴とする。

【0009】

また、本発明の一態様の半導体装置の製造方法は、半導体基板上に、第1のゲート絶縁膜、浮遊ゲートとなる第1の導電体膜、第2のゲート絶縁膜、及び制御ゲートとなる第2の導電体膜が積層されてなるスタックゲート構成のゲート配線パターンを形成する工程と、前記制御ゲートとなる第2の導電体膜及び第2のゲート絶縁膜を一部除去することにより、前記制御ゲートとなる第2の導電体膜の上面から前記浮遊ゲートとなる第1の導電体膜の上面に達するコンタクト穴を形成する工程と、前記コンタクト穴内に第3の導電体膜を埋め込み形成する工程と、を含むことを特徴とする。

【0010】

また、本発明の他の態様の半導体装置の製造方法は、半導体基板上に第1のゲート絶縁膜を介して浮遊ゲートとなる第1の導電体膜を形成する工程と、少なくとも前記浮遊ゲートのゲート幅方向の不要部分を除去するように、前記浮遊ゲートとなる第1の導電体膜を選択的にエッチングする工程と、前記基板上及び前記浮遊ゲートとなる第1の導電体膜上に第2のゲート絶縁膜を介して制御ゲートとなる第2の導電体膜を形成する工程と、前記制御ゲートとなる第2の導電体膜を前記浮遊ゲートとなる第1の導電体膜と共に選択的にエッチングすることにより、不揮発性半導体メモリセル及びメモリセル以外のトランジスタの各ゲート配線パターンを形成する工程と、前記メモリセル以外のトランジスタの部分で、前記ゲート配線パターンをリソグラフィの基準とし、前記制御ゲートとなる第2の導電体膜及び第2の絶縁膜を選択的にエッチングすることにより、前記制御ゲートとなる第2の導電体膜の上面から前記浮遊ゲートとなる第1の導電体膜の上面に達するコンタクト

10

20

30

40

50

穴を形成する工程と、前記コンタクト穴内に第3の導電体膜を埋め込み形成する工程と、を含むことを特徴とする。

【発明の効果】

【0011】

本発明によれば、制御ゲートとなる第2の導電体膜にコンタクト穴を設け、このコンタクト穴に第3の導電体膜を埋め込み形成することにより、制御ゲートとなる第2の導電体膜と浮遊ゲートとなる第1の導電体膜を電氣的に接続することができる。そしてこの場合、制御ゲートのパターン形成後に、コンタクト穴形成のためのリソグラフィを行うことにより、リソグラフィをゲート配線に合わせて行うことができる。即ち、ゲート間の絶縁膜の開孔領域を形成するためのリソグラフィとゲート配線形成のためのリソグラフィが直接 10
合わせとなり、リソグラフィの合わせ精度を高めることができる。従って、微細なゲート寸法に対してもリソグラフィの直接合わせで接続部のパターンを形成することが可能であり、チップサイズを小さくしてコストを低減することが可能となる。

【発明を実施するための最良の形態】

【0012】

本発明の実施形態を説明する前に、一般的なNAND型不揮発性半導体メモリの製造方法について説明する。ここでは、素子分離領域形成からゲート配線形成、及び平坦化までの工程について説明する。

【0013】

図1に、NAND型不揮発性半導体メモリにおいて、制御ゲート形成後に基板表面側から見た模式図を示す。図1において、メモリ領域10では素子領域11と素子分離領域12がラインアンドスペースパターンで形成されており、素子領域11には、メモリセル13が複数個直列接続されてメモリセルユニットを成すように形成されている。NAND型不揮発性半導体メモリでは通常、メモリセル13のトランジスタのゲート配線の16本又は32本おきに2本の選択トランジスタ14が形成されている。また、周辺回路領域20では周辺トランジスタ25のパターンが形成されている。以下では、まず図1のA-A'断面方向を例に取り、NAND型不揮発性半導体メモリの素子分離形成方法を説明する。 20

【0014】

まず、図2(a)に示すように、シリコン基板101上にトンネル絶縁膜(第1のゲート絶縁膜)102を、熱酸化法により10nmの厚さに形成する。続いて、浮遊ゲートとなるリンドープポリシリコン膜103を、LP(Low Pressure)-CVD法により140nmの厚さに堆積する。その後、同じくLP-CVD法により、シリコン窒化膜104を70nmの厚さに堆積する。 30

【0015】

次いで、図2(b)に示すように、素子分離領域を形成するためのレジストパターン105を、リソグラフィ法を用いてシリコン窒化膜104上に形成する。次いで、図2(c)に示すように、レジストパターン105をマスクとして用いドライエッチング法により、シリコン窒化膜104、リンドープポリシリコン膜103、及びトンネル絶縁膜102を選択的にエッチングし、さらにシリコン基板101を表面から200nmの深さまでエッチングする。その後、図2(d)に示すように、レジストパターン105をアッシング 40
法により除去することにより、シリコン基板101の表面に素子分離領域用の溝を形成する。

【0016】

次いで、図3(e)に示すように、P(Plasma)-CVD法によりシリコン酸化膜107を500nmの厚さに堆積する。続いて、図3(f)に示すように、シリコン窒化膜104をストップとして用い、CMP(Chemical Mechanical Polishing)法によりシリコン酸化膜107を削ることにより素子表面を平坦化し、シリコン酸化膜107を素子分離領域に埋め込む。

【0017】

次いで、図3(g)に示すように、ウェットエッチング法を用いてシリコン窒化膜10 50

4 をエッチングして除去する。次いで、図 3 (h) に示すように、ドライエッチング法を用いてエッチングすることにより、素子分離領域に埋め込まれた酸化膜 1 0 7 をリンドープポリシリコン膜 1 0 3 の表面から 1 0 0 n m の深さまで除去する。これは、浮遊ゲートと制御ゲートとの間の容量を大きくするためである。

【 0 0 1 8 】

以上の工程により、素子分離領域 1 2 にはシリコン酸化膜 1 0 7 が埋め込まれ、素子領域 1 1 上には、後に浮遊ゲートとなるリンドープポリシリコン膜 1 0 3 がセルフアラインで形成される。

【 0 0 1 9 】

続いて、図 1 の B - B ' 断面方向でのゲート配線形成方法及び平坦化までの工程を説明する。図 4 (a) に、前記素子分離工程後の B - B ' 断面を示す。先に述べたように、素子領域 1 1 上にはトンネル絶縁膜 1 0 2 を介してリンドープポリシリコン膜 1 0 3 が堆積されている。

【 0 0 2 0 】

次いで、図 4 (b) に示すように、浮遊ゲートと制御ゲートを絶縁するために、L P - C V D 法によりゲート間絶縁膜としてシリコン酸化膜、シリコン窒化膜、及びシリコン酸化膜を積層した O N O 膜 (第 2 のゲート絶縁膜) 1 0 9 を 1 5 n m の厚さに堆積する。

【 0 0 2 1 】

次いで、図 4 (c) に示すように、リソグラフィ法を用いて、選択トランジスタ及び周辺トランジスタを形成する領域の O N O 膜 1 0 9 を除去するためのレジストパターン 1 1 1 を形成する。次いで、図 4 (d) に示すように、ドライエッチング法を用いてレジストに覆われていない部分の O N O 膜 1 0 9 を除去した後、レジストパターン 1 1 1 をアッシング法により除去する。

【 0 0 2 2 】

次いで、図 4 (e) に示すように、制御ゲートとなるリンドープポリシリコン膜 1 1 3 を 8 0 n m の厚さに堆積し、さらに制御ゲートを低抵抗化するためにタングステンシリサイド膜 1 1 4 をスパッタリング法により 1 0 0 n m の厚さに堆積する。さらに、L P - C V D 法によりシリコン窒化膜 1 1 5 を 2 0 0 n m の厚さに堆積する。

【 0 0 2 3 】

次いで、図 5 (f) に示すように、リソグラフィ法を用いてゲート配線加工用のレジストパターン 1 1 7 を形成する。次いで、図 5 (g) に示すように、ドライエッチング法を用いてシリコン窒化膜 1 1 5 をエッチングした後、アッシング法によりレジストパターン 1 1 7 を除去する。

【 0 0 2 4 】

次いで、図 5 (h) に示すように、シリコン窒化膜 1 1 5 をマスクとしてタングステンシリサイド膜 1 1 4 及びリンドープポリシリコン膜 1 1 3 をエッチングする。このとき、O N O 膜 1 0 9 がドライエッチングでのストップ膜の役割をする。

【 0 0 2 5 】

次いで、図 6 (i) に示すように、同じくドライエッチング法を用いて O N O 膜 1 0 9 をエッチングし、さらにドライエッチング法によりリンドープポリシリコン膜 1 0 3 をエッチングする。

【 0 0 2 6 】

以上の工程により、前記図 1 のように N A N D 型不揮発性半導体メモリにおけるメモリセル 1 3 及び選択トランジスタ 1 4、並びに周辺トランジスタ 2 5 が形成される。ここで、選択トランジスタ 1 4 及び周辺トランジスタ 2 5 では、O N O 膜 1 0 9 の開孔部を介して浮遊ゲートと制御ゲートが電氣的に接続されている。こうすることにより、素子領域 1 1 と素子分離領域 1 2 のラインアンドスペースパターンと略直交する方向に、選択トランジスタ 1 4 のゲート配線パターンを形成することが可能となり、また周辺トランジスタ 2 5 のゲート配線の配線抵抗を浮遊ゲートのみで形成する場合に比べ低減することができる。

10

20

30

40

50

【0027】

図6(i)の工程の後、図6(j)に示すように、LP-CVD法によりシリコン酸化膜121を60nmの厚さに堆積する。続いて、シリコン基板101をストップパとして用い、ドライエッチング法により全面エッチバックを行い、更に酸化雰囲気での熱処理により露出したシリコン基板101の表面を10nm酸化する。

【0028】

次いで、LP-CVD法によりシリコン窒化膜122を20nmの厚さに堆積し、さらにLP-CVD法によりシリコン酸化膜123を700nmの厚さに堆積する。続いて、シリコン窒化膜122をストップパとして用い、CMP法によりシリコン酸化膜123を研磨することにより、素子表面を平坦化する。これにより、図6(k)に示すようにゲート配線形成及び平坦化までの工程が完了する。

10

【0029】

以上の製造技術では、選択トランジスタ及び周辺トランジスタのゲート配線を形成するために、次のようにしている。即ち、素子分離領域を形成した後に、浮遊ゲートとなる導電体膜103上にONO膜109を堆積し、その次にリソグラフィ法及びドライエッチング法を用いてONO膜109の一部に開孔領域を形成する。続いて、制御ゲートとなる導電体膜113を堆積した後に、リソグラフィによりゲート配線パターンを形成する。このため、開孔領域を形成するためのリソグラフィは素子分離領域形成のためのリソグラフィに合わせることになる。また、ゲート配線パターン形成のためのリソグラフィも素子分離領域形成のためのリソグラフィに合わせることになる。このため、開孔領域を形成するためのリソグラフィとゲート配線形成のリソグラフィとは間接合わせとなり、合わせマージンを大きく取る必要がある。

20

【0030】

合わせマージンを大きく取る必要があるのは、次のような理由のためである。即ち、合わせずれが大きいと、前記図5(h)のドライエッチング中にONO膜109がエッチングストップ膜として存在しない箇所が生じるため、浮遊ゲートのリンドープポリシリコン膜103もエッチングされてしまう。そして、次の浮遊ゲートのリンドープポリシリコン膜103のエッチング時にトンネル絶縁膜102でエッチングをストップさせることが困難となり、シリコン基板101もエッチングされてしまう。

【0031】

本実施形態では、このような問題を解決するために、以下のような構成及び製造方法を採用している。

30

【0032】

(第1の実施形態)

図7～図10は、本発明の第1の実施形態に係わるNAND型不揮発性半導体メモリの製造工程を示す断面図である。なお、この断面は、前記図1のB-B'断面に相当している。

【0033】

前記図4(b)の工程までは、従来技術と同じである。この工程の後、図7(a)に示すように、LP-CVD法によりリンドープポリシリコン膜113を80nmの厚さに堆積し、その上にスパッタリング法によりタングステンシリサイド膜114を100nmの厚さに堆積する。さらに、LP-CVD法によりシリコン窒化膜115を200nmの厚さに堆積する。

40

【0034】

次いで、図7(b)に示すように、リソグラフィ法を用いてゲート配線加工用のレジストパターン117を形成する。次いで、図7(c)に示すように、レジストパターン117をマスクとしてドライエッチング法によりシリコン窒化膜115をエッチングした後、アッシング法によりレジストパターン117を除去する。

【0035】

次いで、図8(d)に示すように、シリコン窒化膜115をマスクとして、タングステ

50

ンシリサイド膜 114 及びリンドープポリシリコン膜 113 を、ドライエッチング法によりエッチングする。このとき、ONO 膜 109 がドライエッチングでのストッパ膜の役割をする。

【0036】

次いで、図 8 (e) に示すように、同じくドライエッチング法を用いて ONO 膜 109 をエッチングし、さらにドライエッチング法によりリンドープポリシリコン膜 103 をエッチングする。

【0037】

次いで、図 8 (f) に示すように、LP-CVD 法によりシリコン酸化膜 121 を 60 nm の厚さに堆積した後、シリコン基板 101 をストッパとして用い、ドライエッチング技術により全面エッチバックする。これにより、メモリセル部ではゲート間にシリコン酸化膜 121 が埋め込まれ、選択トランジスタ部及び周辺トランジスタ部ではゲート側壁にシリコン酸化膜 121 が残ることになる。その後、酸化雰囲気での熱処理により露出したシリコン基板 101 の表面を酸化する。

10

【0038】

次いで、図 8 (g) に示すように、LP-CVD 法によりシリコン窒化膜 122 を 20 nm の厚さに堆積する。なお、このシリコン窒化膜 122 は、ビット線コンタクト、ソース線コンタクト形成時のエッチングストッパとしても用いられる。

【0039】

次いで、図 9 (h) に示すように、LP-CVD 法によりシリコン酸化膜 123 を 70 nm の厚さに堆積した後、シリコン窒化膜 122 をストッパとして用い、CMP 法によりシリコン酸化膜 123 を研磨することにより、素子表面を平坦化する。

20

【0040】

次いで、図 9 (i) に示すように、選択トランジスタ上及び周辺トランジスタ上で ONO 膜 109 を除去するためのレジストパターン 124 を、リソグラフィ法を用いて形成する。この ONO 膜 109 の除去は、選択トランジスタ及び周辺トランジスタで浮遊ゲートと制御ゲートを電氣的に接続するためである。

【0041】

次いで、図 9 (j) に示すように、レジストパターン 124 をマスクとしてドライエッチング法によりシリコン窒化膜 122 及び 115 とタングステンシリサイド膜 114 及びリンドープポリシリコン膜 113 を除去する。続いて、露出した ONO 膜 109 をエッチングにより除去する。

30

【0042】

次いで、図 10 (k) に示すように、アッシング法によりレジストパターン 124 を除去する。続いて、図 10 (l) に示すように、スパッタリング法によりバリアメタルとしてチタン膜 131 及びチタン窒化膜 132 をそれぞれ 20 nm ずつ堆積し、さらに P-CVD 法によりタングステン膜 133 を 150 nm の厚さに堆積する。

【0043】

次いで、図 10 (m) に示すように、シリコン窒化膜 122 及びシリコン酸化膜 123 をストッパとして用い、CMP 法により表面のタングステン膜 133、チタン窒化膜 132、及びチタン膜 131 を研磨して除去する。

40

【0044】

なお、図には示さないが、メモリセル、選択トランジスタ、及び周辺トランジスタの各部分において、ゲート部の両端にソース・ドレイン拡散層が形成され、メモリセル及び選択トランジスタでは隣接するもの同士が接続されてメモリセルユニットとしての NAND セルユニットが構成されることになる。また、NAND セルユニットのドレイン側、ソース側の選択トランジスタ間において、シリコン酸化膜 123 及びシリコン窒化膜 122 を選択エッチングすることにより、それぞれビット線コンタクト、ソース線コンタクトが設けられるようになっている。

【0045】

50

以上の工程により、選択トランジスタ及び周辺トランジスタでは、バリアメタル及びタングステンプラグを介して浮遊ゲートと制御ゲートが電氣的に接続されるので、配線抵抗を低減化することができる。また、浮遊ゲートと制御ゲートとの接続部を形成するためのリソグラフィは、ゲート配線形成のためのリソグラフィの後に行うため、既に形成されたゲート配線に直接合わせることが可能である。従って、従来法に比して、リソグラフィの合わせ精度を高めることができ、合わせマージンを小さくすることができる。これにより、チップサイズの縮小化及びコストの低減に寄与することができる。

【0046】

(第2の実施形態)

図11～13は、本発明の第2の実施形態に係わるNAND型不揮発性半導体メモリの製造工程を示す断面図である。なお、この断面は、前記図1のB-B'断面に相当している。また、図11～13中の符号201～224は図2～10中の符号101～124に対応している。

10

【0047】

図11(a)の工程までは、第1の実施形態の図9(i)の工程までと基本的には同じであるが、タングステンシリサイド膜114が無い代わりにリンドープポリシリコン膜213が200nmと厚く形成されている。

【0048】

この後、図11(b)に示すように、ドライエッチング法により、レジストパターン224をマスクとしてシリコン窒化膜222及び215とリンドープポリシリコン膜213を除去する。続いて、図11(c)に示すように、アッシング法によりレジストパターン224を除去する。

20

【0049】

次いで、図12(d)に示すように、シリコン窒化膜とシリコン酸化膜のエッチングレートが略同一となる条件で、ドライエッチング法によりリンドープポリシリコン膜213の上面が露出するまで全面エッチバックを行う。このとき、リンドープポリシリコン膜213の開孔部では浮遊ゲート表面のONO膜209も同時にエッチングされる。

【0050】

次いで、図12(e)に示すように、LP-CVD法により全面にリンドープポリシリコン膜241を堆積する。続いて、図12(f)に示すように、シリコン酸化膜223をストッパとして用い、CMP法により表面のリンドープポリシリコン膜241を研磨して除去する。

30

【0051】

次いで、図13(g)に示すように、全面にコバルト膜251及びチタン窒化膜252をスパッタリング法により堆積する。次いで、図13(h)に示すように、熱処理によりリンドープポリシリコン膜213及び241の表面上にコバルトシリサイド膜253を形成したのち、未反応のコバルト膜251及びチタン窒化膜252をウェットエッチング法により除去する。

【0052】

以上の工程により、選択トランジスタ及び周辺トランジスタでは、浮遊ゲートと制御ゲートがリンドープポリシリコン膜241で電氣的に接続されるので、配線抵抗を低減化することができる。また、浮遊ゲートと制御ゲートとの接続部を形成するためのリソグラフィは、ゲート配線形成のためのリソグラフィの後に行うため、既に形成されたゲート配線に直接合わせることが可能である。従って、第1の実施形態と同様の効果が得られる。また、第1の実施形態と比較すると、制御ゲート部分がリンドープポリシリコン膜213の単膜で形成されているため、制御ゲート部分のエッチング時にタングステンシリサイド膜をエッチングする必要が無くなり、制御ゲート部のエッチングが容易になる利点がある。

40

【0053】

(第3の実施形態)

図14～16は、本発明の第3の実施形態に係わるNAND型不揮発性半導体メモリの

50

製造工程を示す断面図である。なお、この断面は、前記図1のB-B'断面に相当している。また、図14～16中の符号301～353は図11～13中の符号201～253に対応している。

【0054】

図14(a)の工程までは、第2の実施形態の図11(a)の工程までと基本的には同じである。但し、図11(a)ではレジストパターン224が選択トランジスタ上及び周辺トランジスタ上にスリット状開口を有するように形成されていたのに対し、図14(a)ではレジストパターン324は2つの選択トランジスタ間で連続する大きな開口を有するように形成されている。また、周辺トランジスタの部分ではレジストパターン324を形成しないようにしている。

10

【0055】

この後、図14(b)に示すように、ドライエッチング法により、レジストパターン324をマスクとしてシリコン窒化膜322及び315を除去する。続いて、図14(c)に示すように、ドライエッチング法によりリンドープポリシリコン膜313を除去する。その後、図15(d)に示すように、アッシング法によりレジストパターン324を除去する。

【0056】

次いで、図15(e)に示すように、シリコン窒化膜とシリコン酸化膜のエッチングレートが略同一となる条件で、ドライエッチング法によりリンドープポリシリコン膜313の上面が露出するまで全面エッチバックを行う。このとき、リンドープポリシリコン膜313の開口部では浮遊ゲート表面のONO膜309も同時にエッチングされる。

20

【0057】

次いで、図15(f)に示すように、LP-CVD法により全面にリンドープポリシリコン膜341を堆積する。その後、図16(g)に示すように、シリコン酸化膜323をストップとして用い、CMP法により表面のリンドープポリシリコン膜341を研磨して除去する。

【0058】

次いで、図16(h)に示すように、全面にコバルト膜351及びチタン窒化膜352をスパッタリング法により堆積する。次いで、図16(i)に示すように、熱処理によりリンドープポリシリコン膜313及び341の表面上にコバルトシリサイド膜353を形成した後、未反応のコバルト膜351及びチタン窒化膜352をウェットエッチング法により除去する。

30

【0059】

以上の工程により、選択トランジスタ及び周辺トランジスタでは、浮遊ゲートと制御ゲートがリンドープポリシリコン膜341で電氣的に接続されるので、配線抵抗を低減化することができる。また、浮遊ゲートと制御ゲートとの接続部を形成するためのリソグラフィは、ゲート配線形成のためのリソグラフィの後に行うため、既に形成されたゲート配線に直接合わせる事が可能である。従って、第1及び第2の実施形態と同様の効果が得られる。

【0060】

また、第2の実施形態と比較すると、浮遊ゲートと制御ゲートとの接続部を形成するためのリソグラフィにおいて、選択トランジスタ上及び周辺トランジスタ上に微細なスリット状開口を有するように形成する必要が無くなるため、リソグラフィが容易になるという利点がある。また、リソグラフィが容易になるため、選択トランジスタの寸法及び選択トランジスタ間のスペースを小さくすることも可能となり、チップサイズを更に縮小してコストのより一層の低減をはかることができる。

40

【0061】

また、浮遊ゲートとなるリンドープポリシリコン膜303と接続部のリンドープポリシリコン膜341との接触面積を大きくすることができるため、コンタクト面積の増大によりコンタクト抵抗の低減をはかることもできる。

50

【 0 0 6 2 】

(変形例)

なお、本発明は上述した各実施形態に限定されるものではない。実施形態では、NAND型不揮発性半導体メモリについて説明したが、本発明は必ずしもNAND型に限らず、メモリセルと選択トランジスタ又は周辺トランジスタを有する各種の不揮発性半導体メモリに適用することができる。また、各部の材料、厚さ等の条件は仕様に応じて適宜変更可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【 図面の簡単な説明 】

【 0 0 6 3 】

- 【 図 1 】 NAND型不揮発性半導体メモリのゲート配線形成後の状態を示す平面図。
- 【 図 2 】 図 1 の A - A ' 断面方向に対応する素子分離形成工程を示す断面図。
- 【 図 3 】 図 1 の A - A ' 断面方向に対応する素子分離形成工程を示す断面図。
- 【 図 4 】 図 1 の B - B ' 断面方向に対応するゲート配線形成工程を示す断面図。
- 【 図 5 】 図 1 の B - B ' 断面方向に対応するゲート配線形成工程を示す断面図。
- 【 図 6 】 図 1 の B - B ' 断面方向に対応するゲート配線形成工程を示す断面図。
- 【 図 7 】 第 1 の実施形態に係わる NAND型不揮発性半導体メモリの製造工程を示す断面図。
- 【 図 8 】 第 1 の実施形態に係わる NAND型不揮発性半導体メモリの製造工程を示す断面図。
- 【 図 9 】 第 1 の実施形態に係わる NAND型不揮発性半導体メモリの製造工程を示す断面図。
- 【 図 1 0 】 第 1 の実施形態に係わる NAND型不揮発性半導体メモリの製造工程を示す断面図。
- 【 図 1 1 】 第 2 の実施形態に係わる NAND型不揮発性半導体メモリの製造工程を示す断面図。
- 【 図 1 2 】 第 2 の実施形態に係わる NAND型不揮発性半導体メモリの製造工程を示す断面図。
- 【 図 1 3 】 第 2 の実施形態に係わる NAND型不揮発性半導体メモリの製造工程を示す断面図。
- 【 図 1 4 】 第 3 の実施形態に係わる NAND型不揮発性半導体メモリの製造工程を示す断面図。
- 【 図 1 5 】 第 3 の実施形態に係わる NAND型不揮発性半導体メモリの製造工程を示す断面図。
- 【 図 1 6 】 第 3 の実施形態に係わる NAND型不揮発性半導体メモリの製造工程を示す断面図。

【 符号の説明 】

【 0 0 6 4 】

- 1 0 ... メモリセル領域
- 1 1 ... 素子領域
- 1 2 ... 素子分離領域
- 1 3 ... メモリセル
- 1 4 ... 選択トランジスタ
- 2 0 ... 周辺回路領域
- 2 5 ... 周辺トランジスタ
- 1 0 1 ... シリコン基板
- 1 0 2 ... トンネル絶縁膜 (第 1 のゲート絶縁膜)
- 1 0 3 ... リンドープポリシリコン膜 (浮遊ゲート)
- 1 0 4 ... シリコン窒化膜
- 1 0 5 ... 素子分離領域形成用レジストパターン

10

20

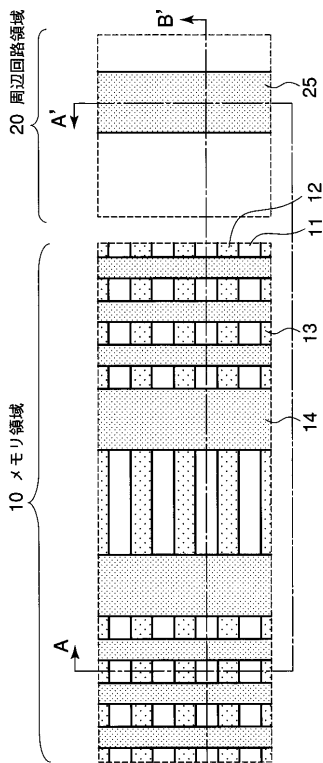
30

40

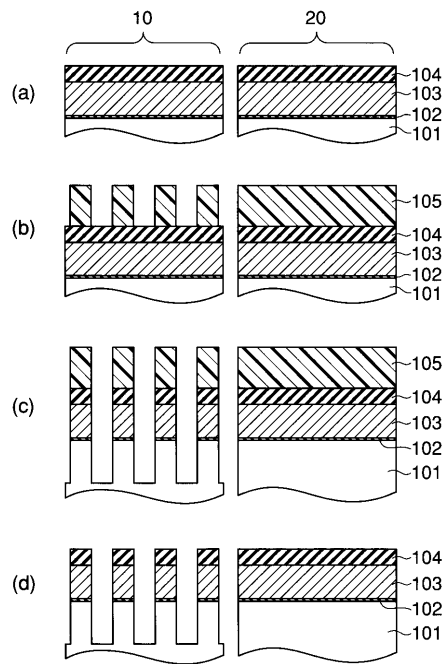
50

- 1 0 7 ... シリコン酸化膜
- 1 0 9 ... ONO膜 (第2のゲート絶縁膜)
- 1 1 1 ... 接続部形成用レジストパターン
- 1 1 3 ... リンドープポリシリコン膜 (制御ゲート)
- 1 1 4 ... タングステンシリサイド膜
- 1 1 5 ... シリコン窒化膜
- 1 1 7 ... ゲート配線形成用レジストパターン
- 1 2 1 ... シリコン酸化膜
- 1 2 2 ... シリコン窒化膜
- 1 2 3 ... シリコン酸化膜
- 1 2 4 , 2 2 4 , 3 2 4 ... 接続部形成用レジストパターン
- 1 3 1 ... チタン膜
- 1 3 2 ... チタン窒化膜
- 1 3 3 ... タングステン膜
- 2 4 1 , 3 4 1 ... リンドープポリシリコン膜
- 2 5 1 , 3 5 1 ... コバルト膜
- 2 5 2 , 3 5 2 ... チタン窒化膜
- 2 5 3 , 3 5 3 ... コバルトシリサイド膜

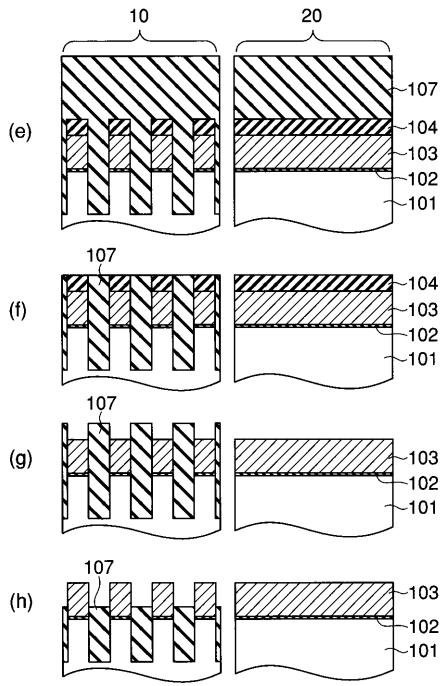
【 図 1 】



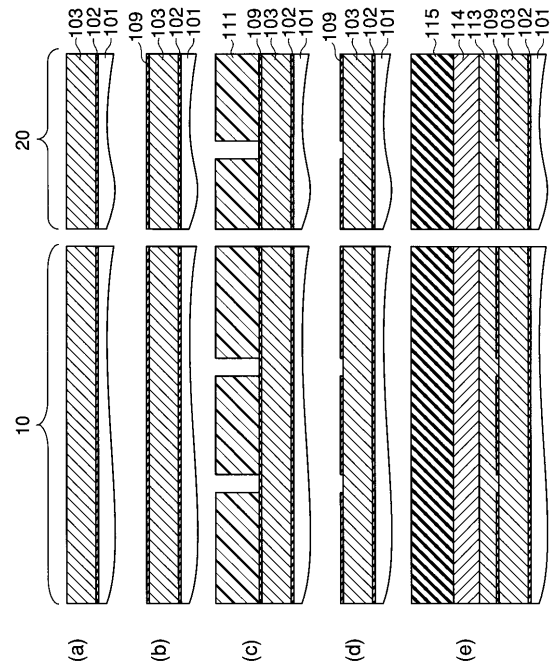
【 図 2 】



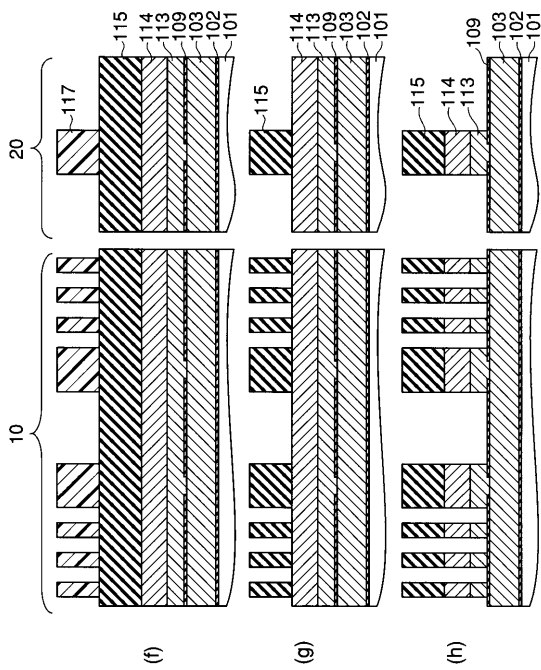
【 図 3 】



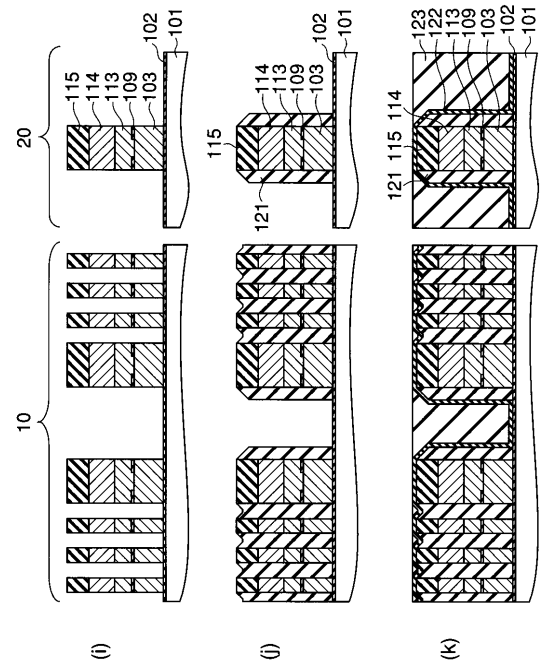
【 図 4 】



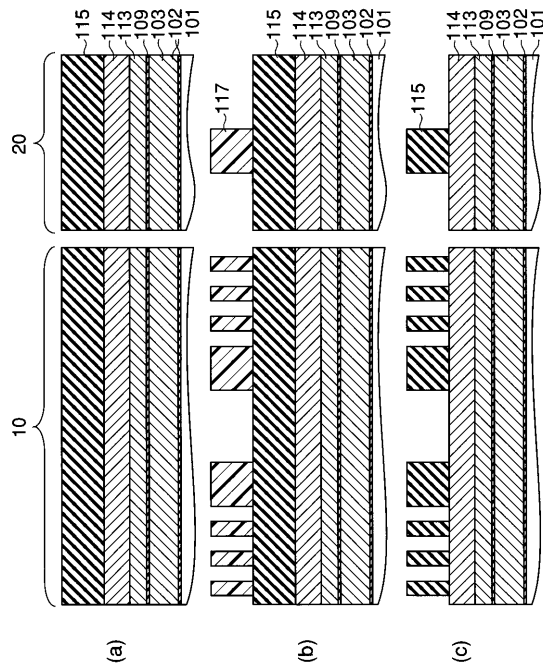
【 図 5 】



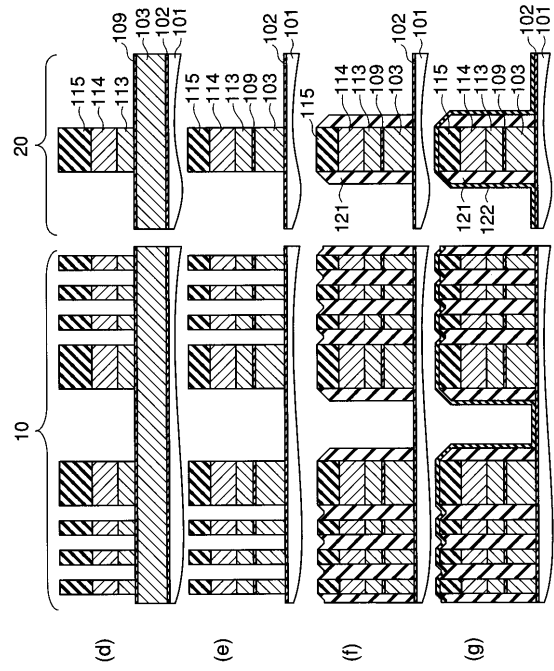
【 図 6 】



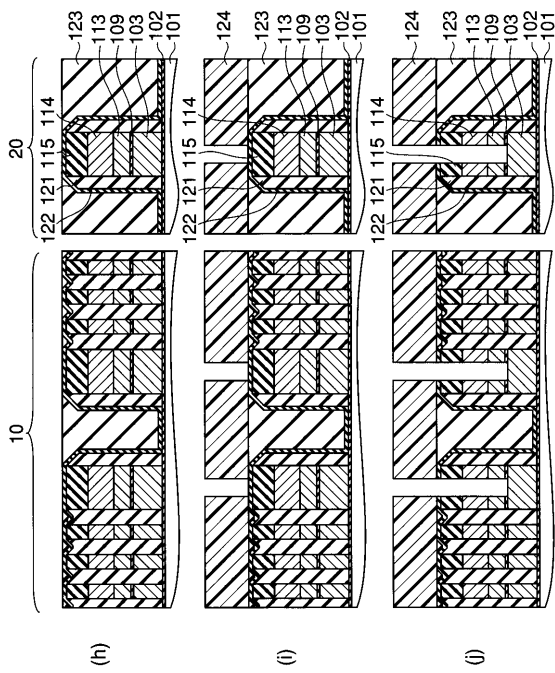
【 図 7 】



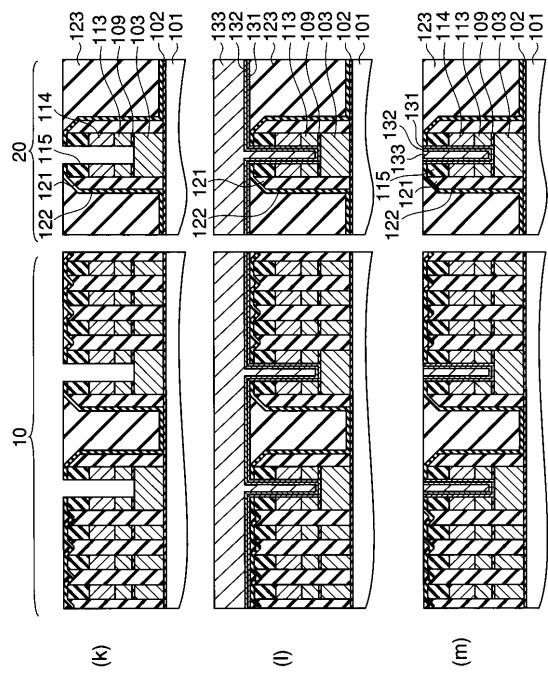
【 図 8 】



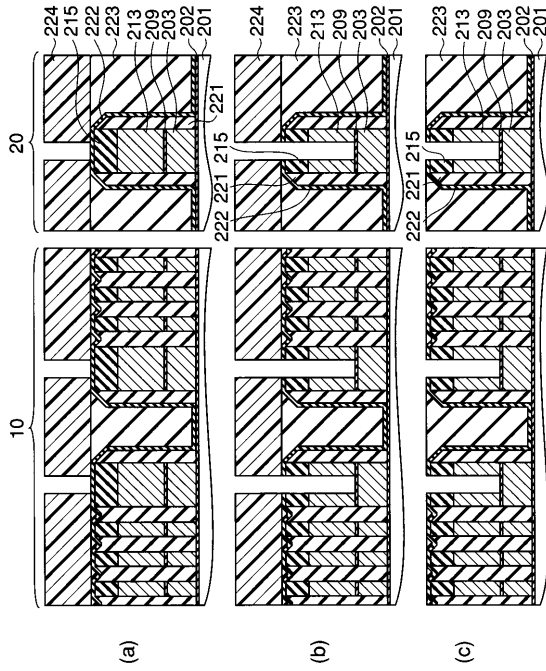
【 図 9 】



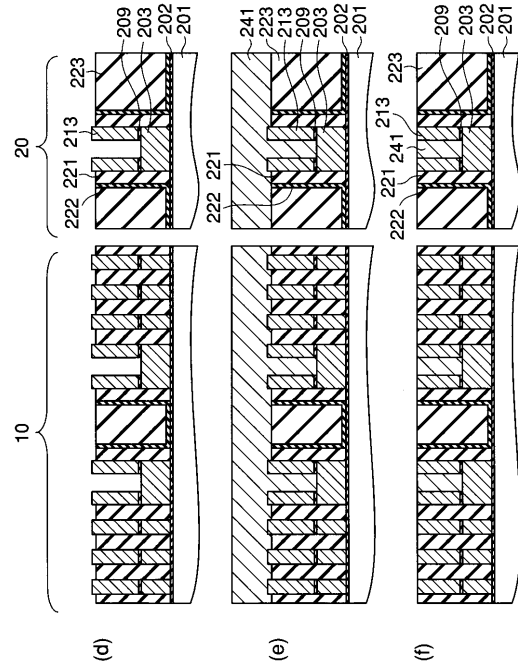
【 図 10 】



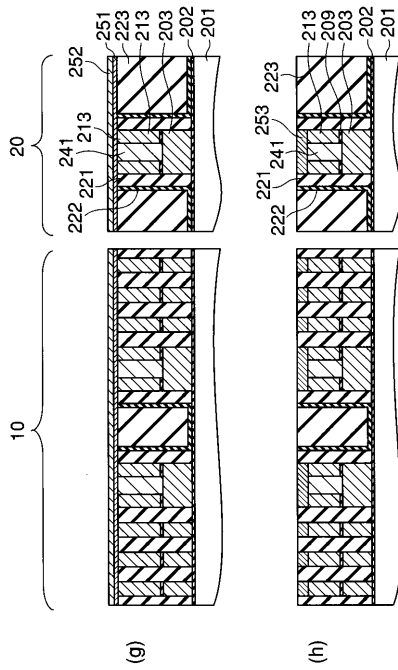
【 図 1 1 】



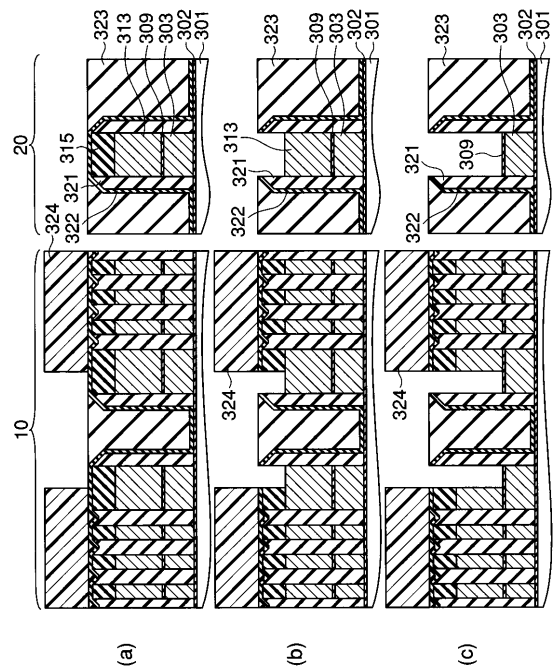
【 図 1 2 】



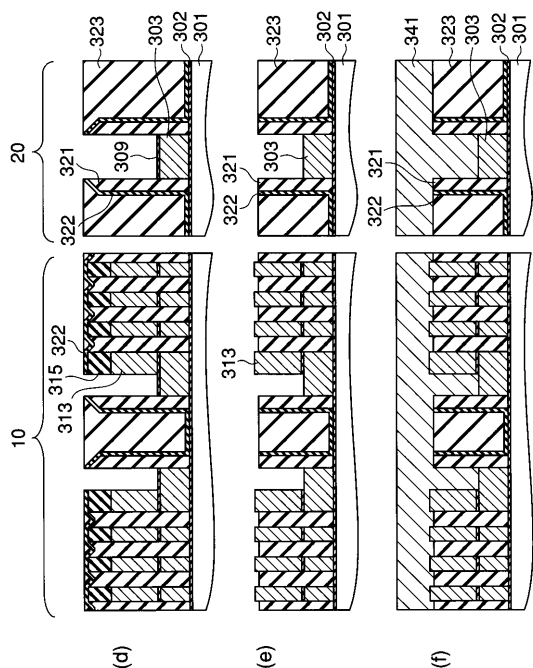
【 図 1 3 】



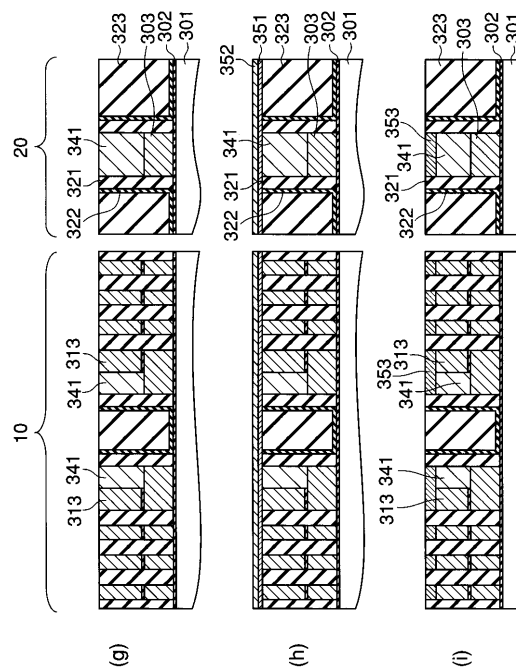
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



【 手 続 補 正 書 】

【 提 出 日 】 平 成 16 年 1 月 26 日 (2004.1.26)

【 手 続 補 正 1 】

【 補 正 対 象 書 類 名 】 特 許 請 求 の 範 囲

【 補 正 対 象 項 目 名 】 全 文

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 特 許 請 求 の 範 囲 】

【 請 求 項 1 】

半 導 体 基 板 上 に 第 1 の ゲ ー ト 絶 縁 膜 を 介 し て 形 成 さ れ た 浮 遊 ゲ ー ト と な る 第 1 の 導 電 体 膜 と、

前 記 浮 遊 ゲ ー ト と な る 第 1 の 導 電 体 膜 上 に 第 2 の ゲ ー ト 絶 縁 膜 を 介 し て 形 成 さ れ た 制 御 ゲ ー ト と な る 第 2 の 導 電 体 膜 と、

前 記 第 2 の 導 電 体 膜 の 上 面 か ら 前 記 第 1 の 導 電 体 膜 の 上 面 に 達 す る よ う に、 前 記 第 2 の 導 電 体 膜 及 び 第 2 の ゲ ー ト 絶 縁 膜 を 一 部 除 去 す る こ と に よ り 設 け ら れ た コ ン タ ク ト 穴 内 に 埋 め 込 み 形 成 さ れ た 第 3 の 導 電 体 膜 と、

を 具 備 し て な る こ と を 特 徴 と す る 半 導 体 装 置 。

【 請 求 項 2 】

半 導 体 基 板 上 に 浮 遊 ゲ ー ト と 制 御 ゲ ー ト を 積 層 し て 形 成 さ れ た ス タ ッ ク ゲ ー ト 構 成 の 不 揮 発 性 半 導 体 メ モ リ セ ル と、

前 記 半 導 体 基 板 上 に、 前 記 浮 遊 ゲ ー ト と な る 第 1 の 導 電 体 膜 と 前 記 制 御 ゲ ー ト と な る 第 2 の 導 電 体 膜 を 積 層 し、 こ れ ら 第 2 の 導 電 体 膜、 第 1 の 導 電 体 膜 が 電 気 的 に 接 続 さ れ て ゲ ー ト 配 線 が 形 成 さ れ た メ モ リ セ ル 以 外 の ト ラ ン ジ ス タ と、

を 具 備 し て な り、

前 記 メ モ リ セ ル 以 外 の ト ラ ン ジ ス タ の 部 分 は、 前 記 第 2 の 導 電 体 膜 の 上 面 か ら 前 記 第 1

の導電体膜の上面に達するように設けられたコンタクト穴内に第3の導電体膜が埋め込み形成されていることを特徴とする半導体装置。

【請求項3】

前記不揮発性半導体メモリセルが複数個直列接続されてなるNANDセルユニットが前記半導体基板のメモリ領域に複数個配置されて不揮発性メモリアレイを構成し、

前記不揮発性半導体メモリセルの直列接続部の両端に形成された選択トランジスタ及び前記半導体基板の周辺回路領域に形成された周辺トランジスタの部分で、前記コンタクト穴内に前記第3の導電体膜が埋め込み形成されていることを特徴とする請求項2記載の半導体装置。

【請求項4】

前記コンタクト穴内に埋め込まれた第3の導電体膜は、前記制御ゲートとなる第2の導電体膜とは異なる導電材料で形成されていることを特徴とする請求項1～3の何れかに記載の半導体装置。

【請求項5】

前記コンタクト穴内に埋め込まれた第3の導電体膜及び前記制御ゲートとなる第2の導電体膜はシリコン膜で形成され、該シリコン膜の表面がシリサイド化されていることを特徴とする請求項1～3の何れかに記載の半導体装置。

【請求項6】

半導体基板上に、第1のゲート絶縁膜、浮遊ゲートとなる第1の導電体膜、第2のゲート絶縁膜、及び制御ゲートとなる第2の導電体膜が積層されてなるスタックゲート構成のゲート配線パターンを形成する工程と、

前記制御ゲートとなる第2の導電体膜及び第2のゲート絶縁膜を一部除去することにより、前記制御ゲートとなる第2の導電体膜の上面から前記浮遊ゲートとなる第1の導電体膜の上面に達するコンタクト穴を形成する工程と、

前記コンタクト穴内に第3の導電体膜を埋め込み形成する工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項7】

半導体基板上に第1のゲート絶縁膜を介して浮遊ゲートとなる第1の導電体膜を形成する工程と、

少なくとも前記浮遊ゲートのゲート幅方向の不要部分を除去するように、前記浮遊ゲートとなる第1の導電体膜を選択的にエッチングする工程と、

前記基板上及び前記浮遊ゲートとなる第1の導電体膜上に第2のゲート絶縁膜を介して制御ゲートとなる第2の導電体膜を形成する工程と、

前記制御ゲートとなる第2の導電体膜を前記浮遊ゲートとなる第1の導電体膜と共に選択的にエッチングすることにより、不揮発性半導体メモリセル及びメモリセル以外のトランジスタの各ゲート配線パターンを形成する工程と、

前記メモリセル以外のトランジスタの部分で、前記ゲート配線パターンをリソグラフィの基準とし、前記制御ゲートとなる第2の導電体膜及び第2のゲート絶縁膜を選択的にエッチングすることにより、前記制御ゲートとなる第2の導電体膜の上面から前記浮遊ゲートとなる第1の導電体膜の上面に達するコンタクト穴を形成する工程と、

前記コンタクト穴内に第3の導電体膜を埋め込み形成する工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項8】

前記コンタクト穴の形成を、前記ゲート配線パターン間に平坦化用の絶縁膜を埋め込んだ後に行うことを特徴とする請求項6又は7記載の半導体装置の製造方法。

【請求項9】

前記ゲート配線パターン間に平坦化用の絶縁膜を埋め込んだ後に、前記不揮発性半導体メモリセルの選択トランジスタの部分では前記ゲート配線パターンの一辺を含んでその一部が露出し、周辺トランジスタの部分では前記ゲート配線パターンの全部が露出するような開口を有するレジストパターンを形成し、次いで前記レジストパターンをマスクとして

前記コンタクト穴形成のためのエッチングを行うことを特徴とする請求項7記載の半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

また、本発明の他の態様の半導体装置の製造方法は、半導体基板上に第1のゲート絶縁膜を介して浮遊ゲートとなる第1の導電体膜を形成する工程と、少なくとも前記浮遊ゲートのゲート幅方向の不要部分を除去するように、前記浮遊ゲートとなる第1の導電体膜を選択的にエッチングする工程と、前記基板上及び前記浮遊ゲートとなる第1の導電体膜上に第2のゲート絶縁膜を介して制御ゲートとなる第2の導電体膜を形成する工程と、前記制御ゲートとなる第2の導電体膜を前記浮遊ゲートとなる第1の導電体膜と共に選択的にエッチングすることにより、不揮発性半導体メモリセル及びメモリセル以外のトランジスタの各ゲート配線パターンを形成する工程と、前記メモリセル以外のトランジスタの部分で、前記ゲート配線パターンをリソグラフィの基準とし、前記制御ゲートとなる第2の導電体膜及び第2のゲート絶縁膜を選択的にエッチングすることにより、前記制御ゲートとなる第2の導電体膜の上面から前記浮遊ゲートとなる第1の導電体膜の上面に達するコンタクト穴を形成する工程と、前記コンタクト穴内に第3の導電体膜を埋め込み形成する工程と、を含むことを特徴とする。

フロントページの続き

(72)発明者 岡嶋 睦

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

Fターム(参考) 5F083 EP02 EP23 EP32 EP55 EP76 ER21 GA09 GA27 JA04 JA35
JA39 JA40 JA53 MA05 MA06 MA15 NA01 NA06 PR06 PR40
PR43 PR44 PR53 PR54 ZA05
5F101 BA29 BA36 BB05 BD02 BD24 BD34 BD35 BE07 BH14 BH21