



(12) 发明专利

(10) 授权公告号 CN 102354246 B

(45) 授权公告日 2013. 07. 17

(21) 申请号 201110333828. 5

(22) 申请日 2011. 10. 28

(73) 专利权人 电子科技大学

地址 611731 四川省成都市高新区(西区)西
源大道 2006 号

(72) 发明人 周泽坤 代高强 石跃 王慧芳
明鑫 张波

(74) 专利代理机构 电子科技大学专利中心
51203

代理人 周永宏

(51) Int. Cl.

G05F 1/613(2006. 01)

审查员 解鸿国

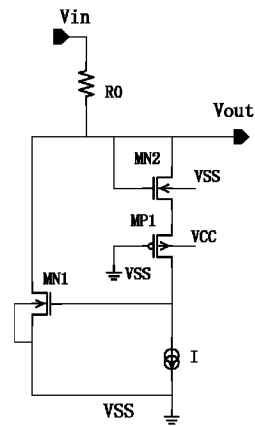
权利要求书1页 说明书4页 附图2页

(54) 发明名称

一种有源箝位电路

(57) 摘要

本发明属于集成电路技术领域,公开了一种有源箝位电路,具体包括:一限流电阻、第一NMOS晶体管、第二NMOS晶体管、第一PMOS晶体管和一恒流源,其中,恒流源和第二NMOS晶体管、第一PMOS晶体管的尺寸确定了电路的箝位点稳定值。本发明的箝位电路克服了传统齐纳二极管箝位电路的缺陷,电路结构简单,可精确调节箝位点电压的稳定值,版图面积小,无需额外光刻板和工艺流程,成本低,可广泛应用于模拟或数模混合集成电路中。



1. 一种有源箝位电路,其特征在于,包括:一限流电阻、第一 NMOS 晶体管、第二 NMOS 晶体管、第一 PMOS 晶体管和一恒流源,其中,

所述限流电阻,包括第一端子,用于接收一输入信号,以及第二端子,用于输出一输出信号;

所述第一 NMOS 晶体管的漏极连接于所述限流电阻的第二端子,栅极接所述第一 PMOS 管的漏极,源极和衬底耦接至接地点;

所述第二 NMOS 晶体管的栅极和漏极连接于所述限流电阻的第二端子,源极接所述第一 PMOS 管的源极,衬底耦接至接地点;

所述第一 PMOS 管的栅极耦接至接地点,衬底接外部电源;

所述恒流源,包括一正向端子,接所述第一 NMOS 晶体管的栅极,一负向端子,耦接至接地点。

2. 根据权利要求 1 所述的有源箝位电路,其特征在于,所述恒流源包括第三 NMOS 晶体管、第四 NMOS 晶体管和电流源,其中,

所述第三 NMOS 晶体管的漏极作为所述恒流源的正向端子,栅极接电流源的负向端子,源极和衬底耦接至接地点;

所述第四 NMOS 晶体管栅极和漏极接电流源的负向端子,源极和衬底耦接至接地点;
电流源的正向端子接外部电源。

一种有源箝位电路

技术领域

[0001] 本发明属于集成电路技术领域,具体涉及一种有源箝位电路的设计。

背景技术

[0002] 箝位电路广泛用于各种模拟集成电路和数模混合信号集成电路中。传统的箝位电路多采用齐纳二极管实现,具体如图 1 所示,其中 V_i 为输入电压, V_o 为输出电压, R_1 一端接 V_i 的正向端,另一端接 V_o 的正向端,齐纳二极管的负极接 V_o 的正向端,另一端接 V_o 的负向端。

[0003] 传统的齐纳二极管箝位电路,有以下几个方面的缺陷:①一旦工艺选定之后,齐纳管的反向击穿电压随即确定,亦即箝位电压固定,无法调节;②存在齐纳噪声,不适用于低噪声应用;③片上集成时,齐纳管的面积较大,需要额外的光刻板和工艺流程,增加了成本;④齐纳管易受温度的影响,直接影响了箝位电压点的精度。

发明内容

[0004] 本发明的目的是为了解决传统的二极管箝位电路存在的上述缺陷,提出了一种有源箝位电路。

[0005] 本发明的技术方案是:一种有源箝位电路,其特征在于,包括:一限流电阻、第一 NMOS 晶体管、第二 NMOS 晶体管、第一 PMOS 晶体管和一恒流源,其中,

[0006] 所述限流电阻,包括第一端子,用于接收一输入信号,以及第二端子,用于输出一输出信号;

[0007] 所述第一 NMOS 晶体管的漏极连接于所述限流电阻的第二端子,栅极接所述第一 PMOS 管的漏极,源极和衬底耦接至接地点;

[0008] 所述第二 NMOS 晶体管的栅极和漏极连接于所述限流电阻的第二端子,源极接所述第一 PMOS 管的源极,衬底耦接至接地点;

[0009] 所述第一 PMOS 管的栅极耦接至接地点,衬底接外部电源;

[0010] 所述恒流源,包括一正向端子,接所述第一 NMOS 晶体管的栅极,一负向端子,耦接至接地点。

[0011] 进一步的,所述恒流源包括第三 NMOS 晶体管、第四 NMOS 晶体管和电流源,其中,

[0012] 所述第三 NMOS 晶体管的漏极作为所述恒流源的正向端子,栅极接电流源的负向端子,源极和衬底耦接至接地点;

[0013] 所述第四 NMOS 晶体管栅极和漏极接电流源的负向端子,源极和衬底耦接至接地点;

[0014] 电流源的正向端子接外部电源。

[0015] 本发明的有益效果:本发明的箝位电路克服了传统齐纳二极管箝位电路的缺陷,电路结构简单,可精确调节箝位点电压的稳定值,版图面积小,无需额外光刻板和工艺流程,成本低,可广泛应用于模拟或数模混合集成电路中。

附图说明

- [0016] 图 1 为传统齐纳二极管箝位电路示意图。
 [0017] 图 2 为本发明的箝位电路结构示意图。
 [0018] 图 3 为本发明的箝位电路原理图。
 [0019] 图 4 为本发明的箝位电路输出信号的稳定值为 3V 的仿真波形图。
 [0020] 图 5 为本发明的箝位电路输出信号的稳定值为 3.5V 的仿真波形图。

具体实施方式

[0021] 下面结合附图和具体的实施例对本发明作进一步的阐述。

[0022] 本发明的有源箝位电路的结构示意图如图 2 所示,包括:NMOS 管 MN1、MN2、PMOS 管 MP1、限流电阻 R0 和恒流源 I。其中,电阻 R0 起限流作用;恒流源 I 和 MN2、MP1 的尺寸确定了电路的箝位点稳定值。

[0023] 具体连接关系如下:

[0024] 电阻 R0 第一端子接收输入信号 V_{in} ,第二端子,用于输出一输出信号 V_{out} ;

[0025] NMOS 管 MN1 的漏极接 V_{out} ,栅极接 PMOS 管 MP1 的漏极,源极和衬底耦接至接地点 VSS;

[0026] NMOS 管 MN2 的栅极和漏极接 V_{out} ,源极接 MP1 的源极,衬底耦接至接地点 VSS;

[0027] PMOS 管 MP1 的栅极耦接至接地点 VSS,源极接 MN2 的源极,漏极接 MN1 的栅极,衬底接外部电源;

[0028] 这里,恒流源 I 以简单的电流镜为实例,具体如图 3 所示,包括 NMOS 管 MN3、MN4 和电流源 I_b ,具体连接关系如下:NMOS 管 MN3 的漏极接 MN1 的栅极,栅极接电流源 I_b 的负向端子,源极和衬底耦接至接地点 VSS;MN4 的栅极和漏极接 I_b 的负向端子,源极和衬底耦接至接地点 VSS,电流源的正向端子接外部电源。

[0029] 分别以下几个方面阐述本发明的要点。

[0030] (1) 本发明的稳定值可调的有源箝位电路的工作原理说明:

[0031] 当 V_{in} 低于设定的稳定值时,NMOS 管 MN1、MN2、PMOS 管 MP1 都没有导通,电路没有电流流过,此时

$$[0032] \quad V_{out} = V_{in} \quad \text{式 (1)}$$

[0033] 由式 (1) 可知, V_{out} 随着 V_{in} 升高而升高。当 V_{out} 接近于设定的稳定值时, MN2 和 MP1 逐渐导通,由于流过电路的电流是恒定的, MN1 的栅极电压开始升高, MN1 逐渐导通,箝住 V_{out} ,使 V_{out} 不随 V_{in} 变化,实现箝位的功能。

[0034] (2) 稳定值的设定说明

[0035] 当 V_{out} 被箝住后,易得到:

$$[0036] \quad V_{out} = VSS + V_{GS(MN2)} + |V_{GS(MP1)}| \quad \text{式 (2)}$$

[0037] 这里, VSS 表示接地点 VSS 的相对地电位, $V_{GS(MN2)}$ 表示 NMOS 管 MN2 的栅源电压, $V_{GS(MP1)}$ 表示 PMOS 管 MP1 的栅源电压。此时,整个电路的电流将随 V_{in} 升高而增加,增加的电流 I_2 通过 MN1 流出,而 MN2、MP1 和电流源支路的电流仍然保持为 I_1 。故有:

$$[0038] \quad I_{d(MN2)} = -I_{d(MP1)} = I_1 \quad \text{式 (3)}$$

[0039] 忽略沟道长度调制效应,有:

$$[0040] \quad I_{d(MN2)} = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right)_{MN2} (V_{GS(MN2)} - V_{THN})^2 \text{式 (4)}$$

$$[0041] \quad I_{d(MP1)} = -\frac{1}{2} \mu_p C_{ox} \left(\frac{W}{L} \right)_{MP1} (|V_{GS(MP1)}| - |V_{THP}|)^2 \text{式 (5)}$$

[0042] 其中, μ 是载流子迁移率, C_{ox} 是单位面积的栅氧化层电容, V_{THN} 表示 NMOS 管的阈值电压, V_{THP} 表示 PMOS 管的阈值电压。

[0043] 易得到:

$$[0044] \quad V_{GS(MN2)} = \sqrt{\frac{2I_1}{\mu_n C_{ox} \left(\frac{W}{L} \right)_{MN2}}} + V_{THN} = \sqrt{\frac{2I_1}{\mu_n C_{ox} \left(\frac{W}{L} \right)_{MN2}}} + V_{THN} \text{式 (6)}$$

$$[0045] \quad |V_{GS(MP1)}| = \sqrt{\frac{2(-I_1)}{\mu_p C_{ox} \left(\frac{W}{L} \right)_{MP1}}} + |V_{THP}| = \sqrt{\frac{2I_1}{\mu_p C_{ox} \left(\frac{W}{L} \right)_{MP1}}} + |V_{THP}| \text{式 (7)}$$

[0046] 根据式 (2)、(6)、(7) 可得到:

$$[0047] \quad V_{out} = VSS + \sqrt{\frac{2I_1}{\mu_n C_{ox} \left(\frac{W}{L} \right)_{MN2}}} + V_{THN} + \sqrt{\frac{2I_1}{\mu_p C_{ox} \left(\frac{W}{L} \right)_{MP1}}} + |V_{THP}| \text{式 (8)}$$

[0048] 由式 (8) 可知,当 V_{out} 被箝住后, I_1 是恒定的, V_{THN} 和 $|V_{THP}|$ 也是恒定的, V_{out} 只与 MN2、MP1 的宽长比有关。通过合理的设置 MN2 和 MP1 的宽长比即可得到需要的稳定值。

[0049] (3) 恒流源的设计说明

[0050] 由 (2) 中的分析可知, I_1 越稳定越好,因此需要考虑器件的沟道长度调制效应。在本发明中,恒流源采用简单的电流镜结构为实例,设定 MN3 和 MN4 的宽长比相等,则

$$[0051] \quad I_1 = I_b = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right)_{MN3\&4} (V_{GS(MN3\&4)} - V_{THN})^2 (1 + \lambda V_{DS(MN3\&4)}) \text{式 (9)}$$

[0052] 其中, λ 是沟道调制系数。

[0053] L 越大, λ 越小。因此,为了使电流源更稳定, MN3 和 MN4 的沟道长度 L 应设计的较大,为了保持器件的电流能力, W 也应按比例增大。

[0054] 由于 $I_{d(MN2)} = I_{d(MP1)} = I_1$,所以也需要考虑 MN2 和 MP1 的沟道调制效应,同上分析, MN2 和 MP1 的沟道长度 L 也应该设计的比较大,尽量使沟道长度调制效应降低。

[0055] (4) PMOS 管 MP1 的设计说明

[0056] V_{in} 升高, MN1 的栅极电压也会有一定幅度的增加,即 MP1 的漏极有一定幅度的增加,若 $V_{D(MP1)} > |V_{THP}|$,则 MP1 将从饱和区进入线性区。由 (3) 中分析可知,为了使流过的电流更稳定, MP1 的沟道长度 L 应该设计的较大以降低沟道调制效应,同时要保持 MP1 工作在饱和区。所以需要使 MP1 的阈值电压设计的大一些,考虑体效应,阈值电压 V_{TH} 为:

$$[0057] \quad V_{TH} = V_{TH0} + \gamma \left(\sqrt{|2\phi_F + V_{SB}|} - \sqrt{|2\phi_F|} \right) \text{式 (10)}$$

[0058] 其中, ϕ_F 代表衬底的费米势, γ 为体效应系数, V_{SB} 为源衬电势差。

[0059] 由式 (10) 可知,增大 V_{SB} 可增加器件的阈值电压,所以本发明中,将 MP1 的衬底电

压接相对高的电平 VCC,在一定程度上增加 $|V_{\text{THP}}|$,保持 MP1 工作在饱和区。

[0060] (5)NMOS 管 MN1 的设计说明

[0061] 输出电压被箝位在设定的稳定值后, V_{in} 升高,电阻 R0 将承受更大的电压差,流过的电流也将增加,由于 MN2、MP1 和电流源支路的电流是恒定的,所以增加的电流将通过 MN1 流向 VSS,因此 MN1 的设计,需要考虑其流过较大的电流,所以 MN1 的沟道长度 L 要设计的较小, W 相对大一些。

[0062] 本发明的箝位电路的输出信号的稳定值为 3V 和 3.5V 时的仿真波形图分别如图 4 和图 5 所示,从图可以看出,本发明电路的输出箝位点电压与设定的稳定值一致,精度高,信号非常稳定。

[0063] 本领域的普通技术人员将会意识到,这里所述的实施例是为了帮助读者理解本发明的原理,应被理解为本发明的保护范围并不局限于这样的特别陈述和实施例。本领域的普通技术人员可以根据本发明公开的这些技术启示做出各种不脱离本发明实质的其它各种具体变形和组合,这些变形和组合仍然在本发明的保护范围内。

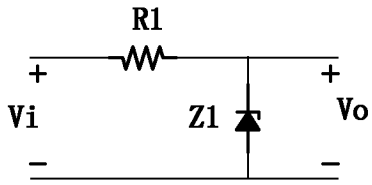


图 1

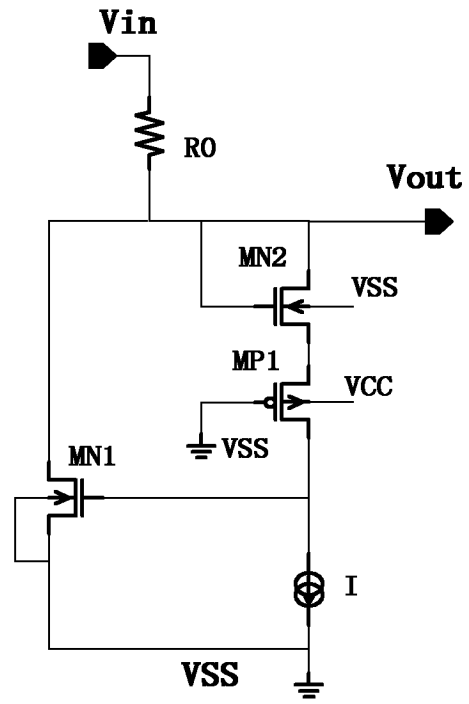


图 2

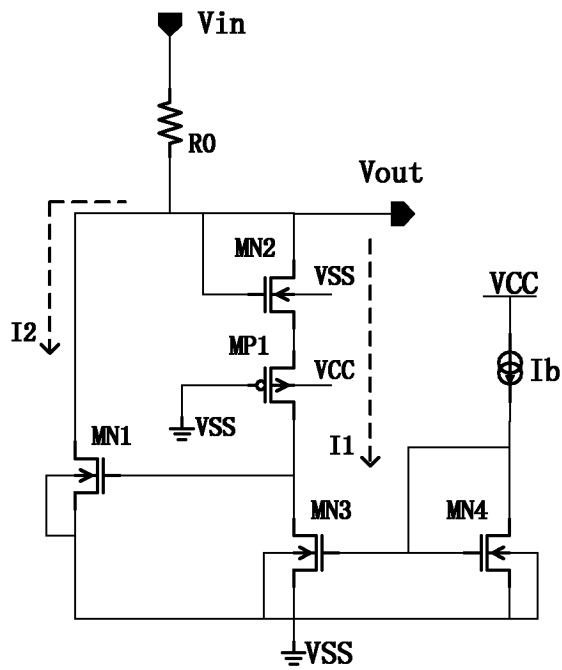


图 3

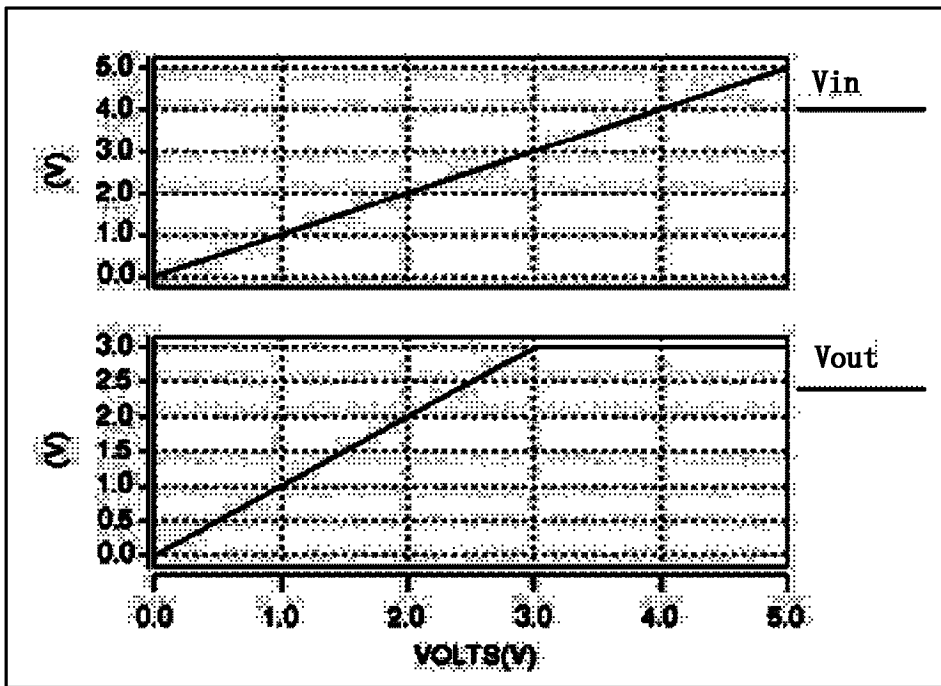


图 4

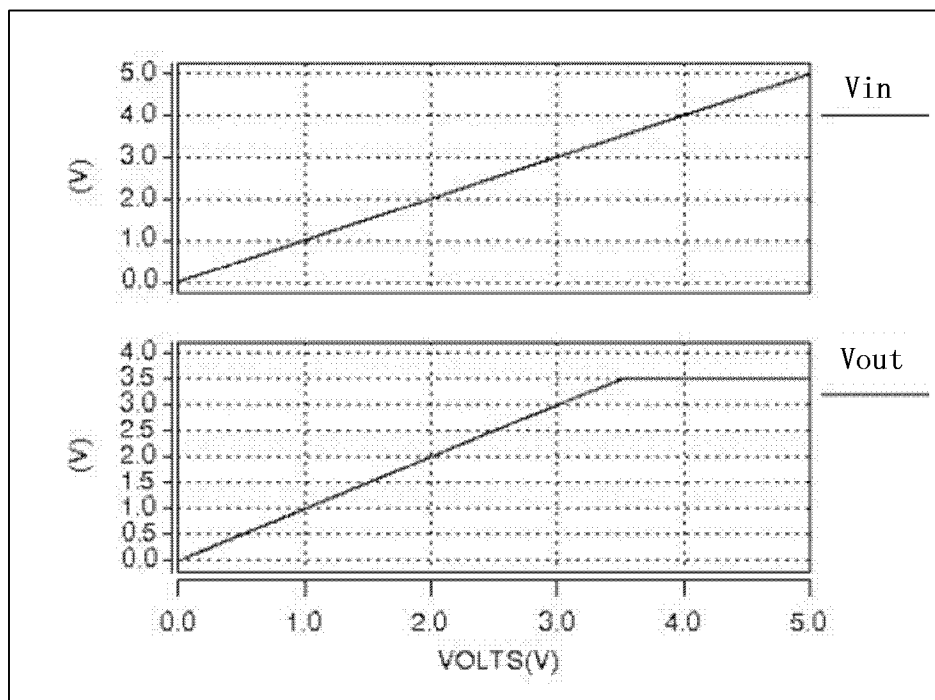


图 5