

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年9月16日(16.09.2021)



(10) 国際公開番号

WO 2021/181882 A1

(51) 国際特許分類:
H04N 5/341 (2011.01) *G01S 7/4914* (2020.01)
G01C 3/06 (2006.01) *H04N 5/369* (2011.01)

(21) 国際出願番号: PCT/JP2021/001497

(22) 国際出願日: 2021年1月18日(18.01.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2020-040719 2020年3月10日(10.03.2020) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).

(72) 発明者: 馬原 久美子 (MAHARA Kumiko); 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).

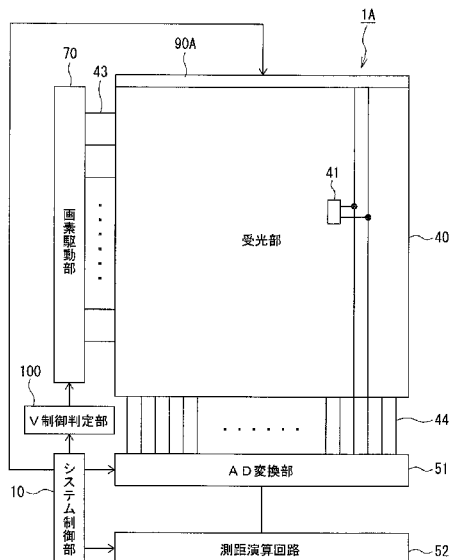
番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 田中 秀 ▲ てつ ▼, 外 (TANAKA Hidetetsu et al.); 〒1056032 東京都港区虎ノ門四丁目3番1号 城山トラストタワー32階 特許業務法人日栄国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(54) Title: IMAGING DEVICE AND IMAGING METHOD

(54) 発明の名称: 撮像装置及び撮像方法



10 System control unit
40 Light reception unit
51 AD conversion unit
52 Ranging computation unit
70 Pixel drive unit
100 V-control determination unit

(57) Abstract: Provided is an imaging device achieving high resolution while reducing electric power during light reception. The imaging device is provided with: a plurality of pixels arranged in a matrix to receive reflected light from a region of interest, each of the pixels having a light receiving element that outputs an electric signal based on charge stored in one of first and second charge storage units in accordance with the reflected light; and a control unit which performs, for each pixel region of at least some of pixel groups in a captured frame formed of a plurality of pixels, switching control of the first and second charge storage units using mutually different switching frequencies.

(57) 要約: 高解像度化しても受光時の電力を削減することが可能な撮像装置を提供する。撮像装置は、行列状に配置され、対象領域からの反射光を受光し、前記反射光に応じて第1及び第2電荷蓄積部のいずれか一方に蓄積される電荷に基づく電気信号を出力する受光素子をそれぞれ有する複数の画素と、複数の画素によって形成される撮像フレーム中の少なくとも一部の画素群による画素領域ごと、互いに異なる切替周波数により第1及び第2電荷蓄積部の切替制御を実行する制御部とを備える。

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：撮像装置及び撮像方法

技術分野

[0001] 本開示に係る技術（本技術）は、距離測定装置に用いられる撮像装置及び撮像方法に関する。

背景技術

[0002] 光飛行時間に基づいて距離を測定するTime of Flight（T o F）方式の距離測定装置として、パルス波を利用して直接的に計測される光飛行時間から距離を測定する直接T o F（d T o F）方式の距離測定装置と、変調光の位相を利用して間接的に算出される光飛行時間から距離を測定する間接T o F（i T o F）方式の距離測定装置が知られている。

このうち、i T o F方式の距離測定装置では、光源から光を照射し、対象物で反射された光を受光素子で受けて、受光素子内の光電変換部が光電変換する。光電変換部により生成された電荷は、複数の転送トランジスタにより複数の電荷蓄積部へ振り分けられる。そして、複数の電荷蓄積部に蓄積された電荷量に応じた位相信号に基づき、対象物までの距離が算出される（例えば、特許文献1 参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2009-8537号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、上記距離測定装置にあっても、高解像度化が強く望まれている。この高解像度化に伴い1度で読み出すデータが増加することになる。

また、露光期間も画素ごとに高速で電荷蓄積領域を切り替えるため、受光時の電力が増加することになる。

さらに、一部の画素領域のデータが欲しい場合や一部の画素のみ高精度の

測距情報が欲しい場合でも、受光全画素同じ条件で行うため電力が高くなってしまう。

本開示はこのような事情に鑑みてなされたもので、高解像度化しても受光時の電力を削減することが可能な撮像装置及び撮像方法を提供することを目的とする。

課題を解決するための手段

[0005] 本開示の一態様は、行列状に配置され、対象領域からの反射光を受光し、前記反射光に応じて第1及び第2電荷蓄積部のいずれか一方に蓄積される電荷に基づく電気信号を出力する受光素子をそれぞれ有する複数の画素と、前記複数の画素によって形成される撮像フレーム中の少なくとも一部の画素群による画素領域ごとに、互いに異なる切替周波数により前記第1及び第2電荷蓄積部の切替制御を実行する制御部と、を備える撮像装置である。

[0006] 本開示の他の態様は、行列状に配置され受光素子をそれぞれ有する複数の画素により対象領域からの反射光を受光し、前記反射光に応じて前記受光素子が備える第1及び第2電荷蓄積部に蓄積される電荷に基づく電気信号を出力することと、前記複数の画素によって形成される撮像フレーム中の少なくとも一部の画素群による画素領域ごとに、互いに異なる切替周波数により前記第1及び第2電荷蓄積部の切替制御を実行することと、を含む撮像方法である。

図面の簡単な説明

[0007] [図1]本技術の第1の実施形態における距離測定装置の構成の一例を示すブロック図である。

[図2]本技術の第1の実施形態における距離測定装置の受光部の詳細を示すブロック図である。

[図3]本技術の第1の実施形態における距離測定装置による測距処理方法を説明するためのフローチャートである。

[図4]本技術の第1の実施形態における距離測定装置による撮像フレームの形成中の測距処理を説明するための図である。

[図5]本技術の第1の実施形態において、ROI領域のみデータを出力する場合の一例を示すブロック図である。

[図6]本技術の第1の実施形態に係る画素の等価回路である。

[図7]本技術の第1の実施形態の第1の変形例における、ROI領域のみデータを出力する場合の一例を示すブロック図である。

[図8]本技術の第1の実施形態の第2の変形例における、ROI領域のみデータを出力する場合の一例を示すブロック図である。

[図9]本技術の第2の実施形態における全面データを出力する場合の一例を示すブロック図である。

[図10]本技術の第2の実施形態に係る測距方法のタイミングチャートである。

[図11]本技術の第3の実施形態におけるTGA/TGBドライバの一例を示すブロック図である。

[図12]本技術の第3の実施形態におけるドライバON/OFF制御回路の一例を示すブロック図である。

[図13]本技術の第4の実施形態における発光タイミング切替回路の一例を示すブロック図である。

[図14]本技術の第5の実施形態における発光タイミング切替回路の一例を示すブロック図である。

[図15]本技術の第6の実施形態における距離測定装置の構成の一例を示すブロック図である。

発明を実施するための形態

[0008] 以下において、図面を参照して本開示の実施形態を説明する。以下の説明で参照する図面の記載において、同一又は類似の部分には同一又は類似の符号を付し、重複する説明を省略する。但し、図面は模式的なものであり、厚みと平面寸法との関係、各装置や各部材の厚みの比率等は現実のものと異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判定すべきものである。また、図面相互間においても互いの寸法

の関係や比率が異なる部分が含まれていることは勿論である。

なお、本明細書中に記載される効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0009] <第1の実施形態>

<距離測定装置の構成>

図1は、本技術の第1の実施形態における距離測定装置1Aの構成の一例を示すブロック図である。距離測定装置1Aは、発光素子から光を発射し、物体OBJ（対象物または被写体）からの反射光を光電変換部により光電変換し、光電変換部により生成された電荷を、複数の転送トランジスタにより複数の電荷蓄積部へ振り分け、複数の電荷蓄積部に蓄積された電荷量に基づいて、物体OBJまでの距離を測定する測距センサである。

[0010] 同図に示すように、距離測定装置1Aは、例えば、システム制御部10と、発光部20と、発光タイミング調整部30と、受光部40と、測距処理部50といったコンポーネントを備える。これらのコンポーネントは、例えば、CMOS LSIのようなシステム・オン・チップ（SoC）として一体的に構成され得るが、例えば、発光部20や受光部40といったいくつかのコンポーネントが別体のLSIとして構成されてもよい。距離測定装置1Aは、図示しない動作クロックに従って動作する。また、距離測定装置1Aは、測距処理部50により算出された距離に係るデータ（測距データ）を外部に出力するための通信インタフェース部60を含む。図示されていないが、距離測定装置1Aは、通信インタフェース部60を介して、外部に配置されたホストICとの通信可能に構成されている。なお、本技術の撮像装置は、少なくともシステム制御部10及び受光部40により構成される。

[0011] システム制御部10は、距離測定装置1Aの動作を統括的に制御するコンポーネントである。典型的には、システム制御部10は、マイクロプロセッサを含み構成される。

発光部20は、対象エリアに向けて赤外光（IR）等の光を発光する。発光タイミング調整部30は、発光部20の発光タイミングを調整する回路で

ある。例えば、発光タイミング調整部 30 は、後述する受光部 40 からのラインごとの読み出しタイミングに同期するようにトリガパルスを出力し、発光部 20 を駆動する。

[0012] 受光部 40 は、対象エリアから入射する光に反応して、電気信号を出力するセンサである。入射光は、物体 OBJ からの反射光を含む。本開示において、受光部 40 は、2 次元の行列状に配置された複数の受光素子を含む複数の画素により構成された CMOS イメージセンサである。本開示では、例えば、システム制御部 10 の制御の下、特定の画素群（例えば撮像フレームにおける 1 ライン方向の画素群が有効化され、これによって、電気信号が読み出される。また、1 フレーム時間において順次に各ラインの画素群が有効化され、有効化された画素群のそれぞれから出力される電気信号によって、対象エリアに対する 1 撮像フレームが形成される。

[0013] 測距処理部 50 は、発光部 20 により出射した光と受光部 40 により受光した観測光とに基づいて、物体 OBJ までの距離を算出するコンポーネントである。測距処理部 50 は、典型的には、信号処理プロセッサにより構成される。本開示では、測距処理部 50 は、AD（アナログ・デジタル）変換部 51 と、距離演算回路 52 とを含み構成されている。

[0014] AD 変換部 51 は、画素ごとに出力され蓄積された電荷量に応じた画素信号を、アナログ信号からデジタル信号に変換する。画素ごとの画素信号は、距離演算回路 52 に出力される。距離演算回路 52 は、画素ごとの画素信号に基づき、物体 OBJ までの距離を算出する。距離演算回路 52 では、撮像フレームを構成する全ての画素に対して算出された距離により、距離画像を得ることができる。距離演算回路 52 は、各撮像フレームにおける画素ごとに算出した距離に係るデータ（測距データ）を、通信インタフェース部 60 及び関心（ROI（Region of Interest））領域判定部 80 に順次に出力する。

[0015] 通信インタフェース部 60 は、算出された測距データを外部のホスト IC に出力するためのインタフェース回路である。例えば、通信インタフェース

部60は、M I P I (Mobile Industry Processor Interface) に準拠したインタフェース回路であるが、これに限らない。例えば、S P I (Serial Peripheral Interface) やL V D S、S L V S − E C等であってもよいし、これらのインタフェース回路のうちのいくつかを実装していてもよい。

[0016] R O I 領域判定部80は、算出された測距データに基づいて、例えば物体O B Jを含む関心領域を判定する。この判定結果は、システム制御部10に出力される。システム制御部10は、R O I 領域判定部80による関心領域の判定結果に基づいて、関心領域と関心領域以外の領域とで互いに異なる切替周波数により画素内の2つの電荷蓄積部の切替制御を実行するように、受光部40に設けられる画素駆動部70及び画素変調部90Aを制御する。なお、画素駆動部70を制御する際、システム制御部10は、読み出し領域のスキップ等を判定するV (垂直) 制御判定部100を用いてもよい。

[0017] <受光部の構成>

図2は、受光部40において、2次元の行列状に配置された複数の画素のうちの1つの画素41を例示している。画素41は、受光した光を光電変換し、光量に応じた電荷を生成する光電変換素子を有する。

受光部40には、画素駆動線43を介して画素駆動部70が接続されている。画素駆動部70は、受光部40の各画素を、全画素同時あるいは行単位等で駆動する。画素駆動部70によって選択走査された画素ライン(画素行)の各画素から出力される画素信号は、画素変調部90Aにより画素変調処理が施され、垂直信号線44の各々を通してA D 変換部51に供給される。

[0018] A D 変換部51は、受光部40の画素列ごとに、選択ライン(選択行)の各画素単位から垂直信号線44を通して出力される画素信号に対して、アナログ信号からデジタル信号に変換する。

ここで、画素41において、電荷蓄積部に長時間に電荷を蓄積する場合、遠距離にある対象物や低反射率の対象物の測距情報を得やすいが、電荷蓄積部が飽和しやすくなる。これに対し、電荷蓄積部に短時間に電荷を蓄積する場合、近距離にある対象物や高反射率の反射した光により電荷蓄積部が飽和

しにくい。

[0019] <測距処理方法>

図3は、本技術の第1の実施形態における距離測定装置1Aによる測距処理方法を説明するためのフローチャートである。

すなわち、距離測定装置1Aは、測距処理を開始すると、まず、画素毎に露光のON/OFFを選択する(ステップST1a)。なお、このステップST1aにおいては、画素毎の動作周波数、つまり電荷蓄積部の切替周波数を選択するようにしてもよい。

続いて、距離測定装置1Aは、ON選択領域に合わせた露光を行い(ステップST1b)、露光された領域におけるデータを読み出し、読み出したデータに基づき、例えば1フレーム分の画素に対する測距データを算出する(ステップST1c)。

[0020] そして、距離測定装置1Aは、終了か否かの判定を行い(ステップST1d)、終了でない場合(N)、ROI領域判定部80により、算出された測距データからROIとなる物体OBJが存在し、ROIの位置が変更されたか否かの判定を行う(ステップST1e)。ここでの終了処理は、例えば外部から終了する旨の信号を受信した場合に、終了される。ここで、ROIの位置に変更が無ければ(N)、距離測定装置1Aは、上記ステップST1bの処理に移行する。一方、ROIとなる物体OBJの位置が変更された場合に(Y)、距離測定装置1Aは、画素変調部90Aを制御して物体OBJに該当する画素に対し、露光のON/OFF領域を更新し(ステップST1f)、上記ステップST1aの処理に移行する。なお、ステップST1fにおいて、距離測定装置1Aは、画素変調部90Aを制御して物体OBJに該当する画素における動作周波数、つまり電荷蓄積部の切替周波数を高い周波数に変更するようにしてもよい。また、露光のON領域の変更、電荷蓄積部の切替周波数の変更のトリガについては、ROI領域判定部80による判定結果以外に、例えば外部カメラ画像を用いて画像認識であっても、外部から物体OBJがある旨の信号を受信するようにしてもよい。この場合、

物体OBJに対応する画素エリアの切替周波数を変更する。

[0021] さらに、物体OBJがある旨の信号を用いて画素エリアの切替周波数を変更させなくても、予めエリアの切り分けとエリアごとの周波数を決めて、インプットさせておいてもよい。

また、上記ステップST1dの処理に戻って、距離測定装置1Aは、終了と判定した場合（Yes）、処理をそのまま終了する。

このようにして、距離測定装置1Aは、図4に示すように、先に測距がなされた隣接するラインの画素による物体OBJまでの距離に応じて、画素における電荷蓄積部の切替周波数を適宜変更することができる。とりわけ、測距の結果、物体OBJまでの距離が近い場合、より高い測距精度での測距が可能になるように高い切替周波数に変更される。これにより、例えば、車両前方のシーンにおいて、近くの障害物（例えば他の車両）については、より高い測距精度での測距により、衝突等の回避をより正確に行えるようになる。一方、測距の結果、近くに障害物（例えば他の車両）がない場合、より低い測距精度での測距を行うように低い切替周波数、もしくは切替周波数「0」に切り替えることで、画素の駆動電圧やプロセッサによる演算負荷を下げ、消費電力を抑えることができるようになる。

[0022] <露光時の電力削減>

図5は、本技術の第1の実施形態において、ROI領域のみデータを出力する場合の一例を示すブロック図である。図5の例では、画素変調部90Aは、TGA/TGBドライバ91と、ドライバON/OFF制御回路92とを備える。TGA/TGBドライバ91は、画素41内の電荷蓄積部の切り替えを行うための転送信号TGA、TGBを出力するものである。ドライバON/OFF制御回路92は、システム制御部10による制御の下、ROI領域（図5では、例えば枠1、枠2、枠3を図示）のみ、画素41内の電荷蓄積部の切り替えを行うようにTGA/TGBドライバ91を制御する。

[0023] <画素の等価回路>

図6は、画素41の等価回路を示す。

画素41は、フォトダイオード41a、排出トランジスタ41b、転送トランジスタ41c、41d、変換効率調整トランジスタ41e、41f、選択トランジスタ41g、41h、増幅トランジスタ41i、41j、及びリセットトランジスタ41k、41lを含む。排出トランジスタ41b、転送トランジスタ41c、41d、変換効率調整トランジスタ41e、41f、選択トランジスタ41g、41h、増幅トランジスタ41i、41j、及びリセットトランジスタ41k、41lは、例えばMOSトランジスタで構成されている。

[0024] フォトダイオード41aは、入射光を光電変換する光電変換部を構成する。フォトダイオード41aのアノードは接地されている。フォトダイオード41aのカソードには、転送トランジスタ41c、41dのソース及び排出トランジスタ41bのソースが接続されている。

排出トランジスタ41bのドレインには電源電圧 V_{DDHPX} が印加される。排出トランジスタ41bのゲートには、排出制御配線45aを介して排出信号 OFG が印加される。排出トランジスタ41bは、排出信号 OFG に基づき、フォトダイオード41aの電荷を排出する。なお、排出トランジスタ41bが無い構成であってもよい。

[0025] 転送トランジスタ41c、41dのドレインは、浮遊拡散領域（フローティング・ディフュージョン）で構成される電荷蓄積部41m、41nにそれぞれ接続されている。転送トランジスタ41c、41dのゲートには、 TGA/TGB ドライバ91から出力される転送信号 TGA 、 TGB が制御線45b、45cを介してそれぞれ印加される。転送トランジスタ41c、41dは、転送信号 TGA 、 TGB に基づき、フォトダイオード41aからの電荷を電荷蓄積部41m、41nにそれぞれ転送する。

[0026] 電荷蓄積部41m、41nは、フォトダイオード41aから転送トランジスタ41c、41dを介して転送された電荷を蓄積する。電荷蓄積部41m、41nに蓄積された電荷量に応じて、電荷蓄積部41m、41nの電位は変調される。

電荷蓄積部41m, 41nには、変換効率調整トランジスタ41e, 41fのソースがそれぞれ接続されている。変換効率調整トランジスタ41e, 41fのドレインは、リセットトランジスタ41k, 41lのソースにそれぞれ接続されている。変換効率調整トランジスタ41e, 41fのゲートには、変換効率調整配線45dを介して共通の変換効率調整信号FDGが印加される。変換効率調整トランジスタ41e, 41fは、変換効率調整信号FDGに応じて、電荷の変換効率を調整する。なお、変換効率調整トランジスタ41e, 41fが無い構成であってもよい。その場合、電荷蓄積部41m, 41nには、リセットトランジスタ41k, 41lのソースがそれぞれ接続される。

[0027] リセットトランジスタ41k, 41lのドレインには、電源電位VDDHPXが印加される。リセットトランジスタ41k, 41lのゲートには、共通のリセット制御配線45eを介してリセット信号RSTが印加される。リセットトランジスタ41k, 41lは、リセット信号RSTに基づき、電荷蓄積部41m, 41nに蓄積されていた電荷を初期化（リセット）する。なお、電荷蓄積部41m, 41nに個別に接続されたリセットトランジスタ41k, 41lを設ける代わりに、電荷蓄積部41m, 41nに共通に接続された1つのリセットトランジスタを設けてもよい。

[0028] 電荷蓄積部41m, 41nには、増幅トランジスタ41i, 41jのゲートが接続されている。増幅トランジスタ41i, 41jのドレインには、選択トランジスタ41g, 41hのソースが接続されている。増幅トランジスタ41i, 41jは、電荷蓄積部41m, 41nの電位を増幅する。

選択トランジスタ41g, 41hのドレインは、垂直信号線44にそれぞれ接続されている。選択トランジスタ41g, 41hのゲートには、画素駆動線43を介して選択信号SELが印加される。選択トランジスタ41g, 41hは、選択信号SELに基づき、画素41を選択する。画素41が選択された場合、増幅トランジスタ41i, 41jにより増幅された電位に応じた画素信号VSLA、VSLBが垂直信号線44を介して出力される。

[0029] 枠内の画素41の電荷の蓄積時間において、リセット信号RSTとしてL（ロー）レベルをリセットトランジスタ41k, 41lのゲートに印加するため、リセットトランジスタ41k, 41lは非導通状態となる。また、転送信号TGA, TGBとしてHレベル及びLレベルを逆位相で繰り返して、転送トランジスタ41c, 41dのゲートに印加する。転送信号TGAは、例えば発光部20の発光パターンと同一位相とし、転送信号TGBは、発光部20の発光パターンと逆位相とする。転送トランジスタ41c, 41dは、導通状態と非導通状態を逆位相で繰り返すことにより、電荷蓄積部41m, 41nに電荷を振り分ける。

[0030] 読み出し期間において、転送信号TGA, TGBとしてLレベルを転送トランジスタ41c, 41dのゲートに印加するため、転送トランジスタ41c, 41dは非導通状態となる。このとき、選択信号SELとしてHレベルを選択トランジスタ41g, 41hのゲートに印加する。選択トランジスタ41g, 41hは導通状態となり、電荷蓄積部41m, 41nの電荷量が読み出され、電荷量に応じた画素信号が、図1に示した測距処理部50に出力される。

図5に戻り、ドライバON/OFF制御回路92は、垂直方向（V方向）で転送信号TGA, TGBの制御線45b, 45cが共通の場合に、V方向にROI領域（図5では、枠1、枠2、枠3）がある画素41のみ転送信号TGA, TGBの切り替えを行うようにTGA/TGBドライバ91を制御する。従って、距離測定装置1A全体の消費電力を抑えることができる。

[0031] <露光時の電力削減の変形例>

図7は、本技術の第1の実施形態の第1の変形例における、ROI領域のみデータを出力する場合の一例を示すブロック図である。

図7の例では、水平方向（H方向）で転送信号TGA, TGBの制御線45b, 45cが共通の場合を示す。この第1の変形例であっても、ドライバON/OFF制御回路92は、H方向で転送信号TGA, TGBの制御線45b, 45cが共通の場合に、H方向にROI領域（図7では、枠1、枠2

、枠3)がある画素41のみ転送信号TGA, TGBの切り替えを行うようにTGA/TGBドライバ91を制御する。従って、距離測定装置1A全体の消費電力を抑えることができる。

[0032] <露光時の電力削減の他の変形例>

図8は、本技術の第1の実施形態の第2の変形例における、ROI領域のみデータを出力する場合の一例を示すブロック図である。

図8の例では、複数画素単位でV方向の制御線45b, 45cを、V方向に複数の領域に分けて、細かい領域で転送信号TGA, TGBの切り替えをON/OFF可能にしてもよい。なお、H方向の制御線45b, 45cを分けてもよい。

[0033] <第1の実施形態の作用効果>

以上のように上記第1の実施形態によれば、画素変調部90Aにおいて、撮像フレーム中の画素領域ごとに、電荷蓄積部41m, 41nを切り替える切替周波数を異ならせることができる。これにより、高速で測距したい画素領域が撮像フレーム中の一部である場合に、読み出したい画素領域を枠1、枠2、枠3と複数指定可能にし、読み出したい領域のみ他の領域より高い切替周波数により電荷蓄積部41m, 41nの切替制御を実行することで、電力を削減できる。

また、上記第1の実施形態によれば、データを出力するROI領域のみ、転送トランジスタ41c, 41dそれぞれのゲートに供給する転送信号TGA, TGBの切り替えを行うことで、消費電力を抑えることができる。

さらに、上記第1の実施形態によれば、距離測定装置1A内に、ROI領域判定部80を設けているので、リアルタイムで撮像フレーム中の画素領域ごとに、電荷蓄積部41m, 41nの切替制御を実行できる。

[0034] <第2の実施形態>

次に、第2の実施形態について説明する。第2の実施形態は、第1の実施形態の変形であり、撮像フレーム全面のデータを読み出す場合について説明する。

図9は、本技術の第2の実施形態における全面データを出力する場合の一例を示すブロック図である。図9の例では、画素変調部90Bは、TGA/TGBドライバ91と、発光タイミング切替回路93とを備える。発光タイミング切替回路93は、システム制御部10から出力されるROI領域情報に基づき、ROI領域（図9では、例えば枠1、枠2、枠3を図示）では、高速（例えば、100MHz）で画素41内の電荷蓄積部41m、41nの切り替えを行い、それ以外の領域では低い周波数（例えば、50MHz）で画素41内の電荷蓄積部41m、41nの切り替えを行うようにTGA/TGBドライバ91を制御する。

[0035] 第2の実施形態では、発光タイミング調整部30は、複数の周波数分の発光タイミングを生成し、画素変調部90Bに出力する。画素変調部90Bは、システム制御部10から出力されるROI領域情報から、その発光タイミング（周波数）のパルスを使用するか選択する。

次に、図10のタイミングチャートを参照して、第2の実施形態に係る測距方法を、ROIの枠内及び枠外に着目して説明する。

発光部20は、所定の発光タイミング（例えば、100MHz）で照射のオン/オフを繰り返すように変調された照射光を発光する（図10（1））。物体OBJまでの距離に応じた遅延時間（ ΔT ）だけ遅れて、画素41内のフォトダイオード41aにおいて反射光が受光される（図10（2））。

[0036] 枠内の画素41の電荷の蓄積時間において、リセット信号RSTとしてL（ロー）レベルをリセットトランジスタ41k、41lのゲートに印加するため、リセットトランジスタ41k、41lは非導通状態となる。また、転送信号TGA、TGBとしてHレベル及びLレベルを逆位相で繰り返して、転送トランジスタ41c、41dのゲートに印加する。転送信号TGAは、例えば発光部20の発光パターンと同一位相とし（図10（3））、転送信号TGBは、発光部20の発光パターンと逆位相とする（図10（4））。転送トランジスタ41c、41dは、導通状態と非導通状態を100MHzの切替周波数で繰り返すことにより、電荷蓄積部41m、41nに電荷を振

り分ける。

[0037] 読み出し期間において、転送信号TGA, TGBとしてLレベルを転送トランジスタ41c, 41dのゲートに印加するため、転送トランジスタ41c, 41dは非導通状態となる。このとき、選択信号SELとしてHレベルを選択トランジスタ41g, 41hのゲートに印加する。選択トランジスタ41g, 41hは導通状態となり、電荷蓄積部41m, 41nの電荷量が読み出され、電荷量に応じた画素信号S11（図10（3）、（4）ではドットで示す箇所）が、図1に示した測距処理部50に出力される。

[0038] 枠外の画素41の電荷の蓄積時間において、リセット信号RSTとしてLレベルをリセットトランジスタ41k, 41lのゲートに印加するため、リセットトランジスタ41k, 41lは非導通状態となる。また、転送信号TGA, TGBとしてHレベル及びLレベルを逆位相で繰り返して、転送トランジスタ41c, 41dのゲートに印加する。転送信号TGAは、例えば発光部20の発光パターンと同一位相とし（図10（5））、転送信号TGBは、発光部20の発光パターンと逆位相とする（図10（6））。転送トランジスタ41c, 41dは、導通状態と非導通状態を例えば50MHzの切替周波数で繰り返すことにより、電荷蓄積部41m, 41nに電荷を振り分ける。

[0039] 読み出し期間において、転送信号TGA, TGBとしてLレベルを転送トランジスタ41c, 41dのゲートに印加するため、転送トランジスタ41c, 41dは非導通状態となる。このとき、選択信号SELとしてHレベルを選択トランジスタ41g, 41hのゲートに印加する。選択トランジスタ41g, 41hは導通状態となり、電荷蓄積部41m, 41nの電荷量が読み出され、電荷量に応じた画素信号S12（図10（5）、（6）ではドットで示す箇所）が、図1に示した測距処理部50に出力される。

[0040] <第2の実施形態の作用効果>

以上のように上記第2の実施形態によれば、画素変調部90Bにおいて、撮像フレームの全面データを読み出す場合も、領域ごとに転送信号TGA,

TGBを切り替える速度を可変できるようにしておくことで、精度が高い情報が欲しいROI領域（枠1、枠2、枠3）については、高速で転送信号TGA、TGBを切り替え、精度が低くてよい領域（枠外）については、転送信号TGA、TGBを切り替える速度を落とすことで、距離測定装置1A全体として電力を削減することができる。

[0041] <第3の実施形態>

次に、第3の実施形態について説明する。第3の実施形態では、第1の実施形態の変形であり、TGA/TGBドライバ91及びドライバON/OFF制御回路92の具体的構成について説明する。

図11は、本技術の第3の実施形態におけるTGA/TGBドライバ91の一例を示すブロック図である。

図11において、TGA/TGBドライバ91は、例えば枠2に該当する画素41（図11では、画素Aとする）に対し周波数1A（100MHz）の信号と周波数2A（50MHz）の信号とを切り替えるスイッチ911aと、スイッチ911aから出力される信号を転送信号TGAに増幅して転送トランジスタ41cに出力するドライバ912aと、画素Aに対し周波数1B（100MHz）の信号と周波数2B（50MHz）の信号とを切り替えるスイッチ911bと、スイッチ911bから出力される信号を転送信号TGBに増幅して転送トランジスタ41dに出力するドライバ912bとを備えている。

[0042] また、TGA/TGBドライバ91は、例えば枠1に該当する画素41（図11では、画素Cとする）に対し周波数1A（100MHz）の信号と周波数2A（50MHz）の信号とを切り替えるスイッチ913aと、スイッチ913aから出力される信号を転送信号TGAに増幅して転送トランジスタ41cに出力するドライバ914aと、画素Cに対し周波数1B（100MHz）の信号と周波数2B（50MHz）の信号とを切り替えるスイッチ913bと、スイッチ913bから出力される信号を転送信号TGBに増幅して転送トランジスタ41dに出力するドライバ914bとを備えている。

[0043] さらに、TGA/TGBドライバ91は、例えば枠3に該当する画素41（図11では、画素Bとする）に対し周波数1A（100MHz）の信号と周波数2A（50MHz）の信号とを切り替えるスイッチ915aと、スイッチ915aから出力される信号を転送信号TGAに増幅して転送トランジスタ41cに出力するドライバ916aと、画素Cに対し周波数1B（100MHz）の信号と周波数2B（50MHz）の信号とを切り替えるスイッチ915bと、スイッチ915bから出力される信号を転送信号TGBに増幅して転送トランジスタ41dに出力するドライバ916bとを備えている。

[0044] 通常、画素A～Cは、周波数1A、周波数1Bにより動作しているが、画素Bのみ高速で測距したい場合、ドライバON/OFF制御回路92は画素Aに対するスイッチ911aを周波数2A側に切り替え、スイッチ911bを周波数2B側に切り替える。そして、画素Cに対するスイッチ913aを周波数2A側に切り替え、スイッチ913bを周波数2B側に切り替える。

なお、ドライバON/OFF制御回路92は画素Bに対するスイッチ915aを周波数1A側に切り替えた状態のままにし、スイッチ915bを周波数1B側に切り替えた状態のままにする。

[0045] 図12は、上記ドライバON/OFF制御回路92の一例を示すブロック図である。周波数1A、1B、2A、2Bの信号が互いに影響しないように、ドライバON/OFF制御回路92は、周波数1A、1B、2A、2Bの同期処理を行っている。

クロック発振器921から発生する基準クロック信号は、PLL（Phased Lock Loop）回路922、923に入力される。PLL回路922は、基準クロック信号をリファレンスとしてPLL処理することで、周波数1A（100MHz）の信号を生成する。この周波数1Aの信号は、インバータ924で逆位相の周波数1Bの信号に生成される。

PLL回路923は、基準クロック信号をリファレンスとしてPLL処理することで、周波数2A（50MHz）の信号を生成する。この周波数2A

の信号は、インバータ 925 で逆位相の周波数 1 B の信号に生成される。

[0046] <第 3 の実施形態の作用効果>

以上のように上記第 3 の実施形態によれば、上記第 1 の実施形態と同様の作用効果が得られる。

[0047] <第 4 の実施形態>

次に、第 4 の実施形態について説明する。第 4 の実施形態では、第 2 の実施形態の変形であり、発光タイミング切替回路 93 の他の具体的構成について説明する。

図 13 は、上記発光タイミング切替回路 93 の一例を示すブロック図である。クロック発振器 931 から発生する基準クロック信号は、PLL 回路 932 に入力される。PLL 回路 932 は、基準クロック信号をリファレンスとして PLL 処理することで、周波数 1 A (100 MHz) の信号を生成する。この周波数 1 A の信号は、インバータ 933 で逆位相の周波数 1 B の信号に生成される。

一方、周波数 1 A の信号は、分周器 934 により例えば $1/2$ に分周され、周波数 2 A (50 MHz) の信号に生成される。分周器 934 は、インバータの機能を備え、周波数 2 A (50 MHz) の信号から逆位相の周波数 2 B の信号に生成し、出力する。

[0048] <第 4 の実施形態の作用効果>

以上のように上記第 4 の実施形態によれば、上記第 2 の実施形態と同様の作用効果が得られる。さらに、上記第 4 の実施形態によれば、分周器 934 の分周比を変更するだけで、PLL 回路を設ける場合に比べて、簡単な回路構成により、発光タイミング切替回路 93 を実現できる。このように、低周波数側に分周器 934 を用いることで、低周波数側を撮像し易くなる。

[0049] <第 5 の実施形態>

次に、第 5 の実施形態について説明する。第 5 の実施形態では、第 4 の実施形態の変形であり、発光タイミング切替回路 93 の他の具体的構成について説明する。

図14は、上記発光タイミング切替回路93の他の一例を示すブロック図である。図14において、上記図13と同一部分には同一符号を付して詳細な説明を省略する。

分周器935は、PLL回路932の出力を分周することで、周波数1A（100MHz）の信号を生成する。また、分周器935は、インバータの機能を備え、周波数1A（100MHz）の信号から逆位相の周波数1Bの信号に生成し、出力する。

[0050] 一方、周波数1Aの信号は、分周器936により例えば1/2に分周され、周波数2A（50MHz）の信号に生成される。分周器936は、インバータの機能を備え、周波数2A（50MHz）の信号から逆位相の周波数2Bの信号に生成し、出力する。

第5の実施形態では、例えば1GHzのPLL回路932のクロックから100MHzの切り替えパルスを生成する場合、分周器935の分周比を1:9～5:5～9:1に変更することで、パルスのハイ（High）/ロー（Low）期間を変更できる。

なお、周波数2A（50MHz）の信号については、PLL回路932の出力を分周あるいは分周器935で分周パルスをまとめて生成してもよい。

[0051] <第5の実施形態の作用効果>

以上のように上記第5の実施形態によれば、上記第2の実施形態と同様の作用効果が得られる。さらに、上記第5の実施形態によれば、分周器935の分周比を変更するだけで、高速な周波数1A、1Bの信号について、パルスのハイ（High）/ロー（Low）期間を変更できる。

[0052] <第6の実施形態>

次に、第6の実施形態について説明する。第6の実施形態では、上記測距処理部50から上記距離演算回路52を削除した測距処理部53とし、測距処理部53により算出された測距データを受信した外部のホストICを用いて、ROI領域を判定することを可能とする距離測定装置1Bが開示される。ここで、外部のホストICとは、上記第1の実施形態で説明したSOCと

しての距離測定装置 1 B の外部に設けられるという意味で用いられている。

[0053] 図 1 5 は、本技術の第 6 の実施形態における距離測定装置 1 B の構成の一例を示すブロック図である。同図に示すように、ホスト 1 C 2 が、測距処理部 5 3 から通信インタフェース部 6 0 を介して受信した測距データに基づいて、上記距離演算回路 5 2 による処理を実行し、R O I 領域を判定するように構成されている点で、上記第 1 の実施形態において図示したものと異なっている。なお、図 1 5 中、既に図示したコンポーネントと同一の機能ないし構成のコンポーネントについては、同一の符号を付し、適宜、その説明を省略する。

[0054] 同図に示すように、本例では、図 1 に示した距離演算回路 5 2 及び図 1 に示した R O I 領域判定部 8 0 が、距離測定装置 1 A 内に設けられる代わりに、ホスト 1 C 2 に設けられている。図示していないが、ホスト 1 C 2 は、対応する通信インタフェース部を含み構成される。ホスト 1 C 2 の距離演算回路は、上記第 1 の実施形態と同様、測距処理部 5 3 から通信インタフェース部 6 0 を介して測距データを受信すると、物体 O B J までの距離を算出する。そして、ホスト 1 C 2 の R O I 領域判定部は、該測距データに基づいて、R O I 領域を判定する。ホスト 1 C 2 の R O I 領域判定部は、該判定結果を、通信インタフェース部 6 0 を介して、システム制御部 1 0 に送信する。

一例として、ホスト 1 C 2 は、1 撮像フレーム分の測距データを保持し得るフレームバッファ（図示せず）を備え得る。ホスト 1 C 2 の R O I 領域判定部は、フレームバッファを参照し、次の撮像フレームにおける読み出しラインごとに R O I 領域を判定する。

[0055] <第 6 の実施形態の作用効果>

このようにして、上記第 6 の実施形態によっても、上記第 1 の実施形態と同様の作用効果ないしは利点を奏し得る。また、上記第 3 の実施形態によれば、距離測定装置 1 B 内で距離演算回路による処理及び R O I 領域の判定処理を省略できる分、高度な処理が可能となる。特に、現在の撮像フレームの形成中に、該 R O I 領域の判定結果に基づいて、電荷蓄積部 4 1 m, 4 1 n

の切替制御を実行できる。

[0056] <その他の実施形態>

上記のように、本技術は第1から第6の実施形態によって記載したが、この開示の一部をなす論述及び図面は本技術を限定するものであると理解すべきではない。上記の実施形態が開示する技術内容の趣旨を理解すれば、当業者には様々な代替実施形態、実施例及び運用技術が本技術に含まれ得ることが明らかとなろう。また、第1から第6の実施形態及び第1から第6の実施形態の変形例がそれぞれ開示する構成を、矛盾の生じない範囲で適宜組み合わせることができる。例えば、複数の異なる実施形態がそれぞれ開示する構成を組み合わせてもよく、同一の実施形態の複数の異なる変形例がそれぞれ開示する構成を組み合わせてもよい。

[0057] なお、本開示は以下のような構成も取ることができる。

(1)

行列状に配置され、対象領域からの反射光を受光し、前記反射光に応じて第1及び第2電荷蓄積部のいずれか一方に蓄積される電荷に基づく電気信号を出力する受光素子をそれぞれ有する複数の画素と、

前記複数の画素によって形成される撮像フレーム中の少なくとも一部の画素群による画素領域ごとに、互いに異なる切替周波数により前記第1及び第2電荷蓄積部の切替制御を実行する制御部と、
を備える撮像装置。

(2)

前記画素ごとに出力される前記電気信号を、アナログ信号からデジタル信号に変換するアナログ／デジタル変換部と、

前記アナログ／デジタル変換部の出力から、前記撮像フレーム中の関心領域までの距離を算出する距離算出部と、
をさらに備える前記(1)に記載の撮像装置。

(3)

前記受光素子は、前記第1及び第2電荷蓄積部に前記電荷をそれぞれ転送

する第 1 及び第 2 転送トランジスタを備え、

前記制御部は、前記撮像フレーム中の関心領域に基づき、前記第 1 及び第 2 転送トランジスタそれぞれのゲートに供給する転送信号を切り替える、
前記（１）に記載の撮像装置。

（４）

前記制御部は、関心領域以外の領域において、前記第 1 及び第 2 転送トランジスタそれぞれのゲートに供給する転送信号を切り替える速度を、前記関心領域よりも遅くする、

前記（３）に記載の撮像装置。

（５）

測距算出部の出力から前記関心領域を判定する関心領域判定部を備え、

前記制御部は、前記関心領域判定部による前記関心領域の判定結果に基づいて、前記関心領域と関心領域以外の領域とで互いに異なる切替周波数により前記第 1 及び第 2 電荷蓄積部の切替制御を実行する、
前記（２）に記載の撮像装置。

（６）

前記制御部は、外部装置から提供される前記撮像フレーム中の関心領域の判定結果に基づいて、前記関心領域と関心領域以外の領域とで互いに異なる切替周波数により前記第 1 及び第 2 電荷蓄積部の切替制御を実行する、
前記（１）に記載の撮像装置。

（７）

行列状に配置され受光素子をそれぞれ有する複数の画素により対象領域からの反射光を受光し、前記反射光に応じて前記受光素子が備える第 1 及び第 2 電荷蓄積部に蓄積される電荷に基づく電気信号を出力することと、

前記複数の画素によって形成される撮像フレーム中の少なくとも一部の画素群による画素領域ごとに、互いに異なる切替周波数により前記第 1 及び第 2 電荷蓄積部の切替制御を実行することと、を含む、
撮像方法。

符号の説明

[0058] 1 A, 1 B…距離測定装置、2…ホスト I C、10…システム制御部、20…発光部、30…発光タイミング調整部、40…受光部、41…画素、41 a…フォトダイオード、41 b…排出トランジスタ、41 c, 41 d…転送トランジスタ、41 e, 41 f…変換効率調整トランジスタ、41 g, 41 h…選択トランジスタ、41 i, 41 j…増幅トランジスタ、41 k, 41 l…リセットトランジスタ、41 m, 41 n…電荷蓄積部、43…画素駆動線、44…垂直信号線、45 a…排出制御配線、45 b, 45 c…制御線、45 d…変換効率調整配線、45 e…リセット制御配線、50, 53…測距処理部、51…A D変換部、52…距離演算回路、60…通信インタフェース部、70…画素駆動部、80…R O I領域判定部、90 A, 90 B…画素変調部、91…T G A / T G Bドライバ、92…ドライバON / OFF制御回路、93…発光タイミング切替回路、100…V（垂直）制御判定部、911 a, 911 b, 913 a, 913 b, 915 a, 915 b…スイッチ、912 a, 912 b, 914 a, 914 b, 916 a, 916 b…ドライバ、921, 931…クロック発振器、922, 923, 932…P L L回路、924, 925, 933…インバータ、934, 935, 936…分周器

請求の範囲

- [請求項1] 行列状に配置され、対象領域からの反射光を受光し、前記反射光に応じて第1及び第2電荷蓄積部のいずれか一方に蓄積される電荷に基づく電気信号を出力する受光素子をそれぞれ有する複数の画素と、
前記複数の画素によって形成される撮像フレーム中の少なくとも一部の画素群による画素領域ごとに、互いに異なる切替周波数により前記第1及び第2電荷蓄積部の切替制御を実行する制御部と、
を備える撮像装置。
- [請求項2] 前記画素ごとに出力される前記電気信号を、アナログ信号からデジタル信号に変換するアナログ／デジタル変換部と、
前記アナログ／デジタル変換部の出力から、前記撮像フレーム中の関心領域までの距離を算出する距離算出部と、
をさらに備える請求項1に記載の撮像装置。
- [請求項3] 前記受光素子は、前記第1及び第2電荷蓄積部に前記電荷をそれぞれ転送する第1及び第2転送トランジスタを備え、
前記制御部は、前記撮像フレーム中の関心領域に基づき、前記第1及び第2転送トランジスタそれぞれのゲートに供給する転送信号を切り替える、
請求項1に記載の撮像装置。
- [請求項4] 前記制御部は、関心領域以外の領域において、前記第1及び第2転送トランジスタそれぞれのゲートに供給する転送信号を切り替える速度を、前記関心領域よりも遅くする、
請求項3に記載の撮像装置。
- [請求項5] 測距算出部の出力から前記関心領域を判定する関心領域判定部を備え、
前記制御部は、前記関心領域判定部による前記関心領域の判定結果に基づいて、前記関心領域と関心領域以外の領域とで互いに異なる切替周波数により前記第1及び第2電荷蓄積部の切替制御を実行する、

請求項 2 に記載の撮像装置。

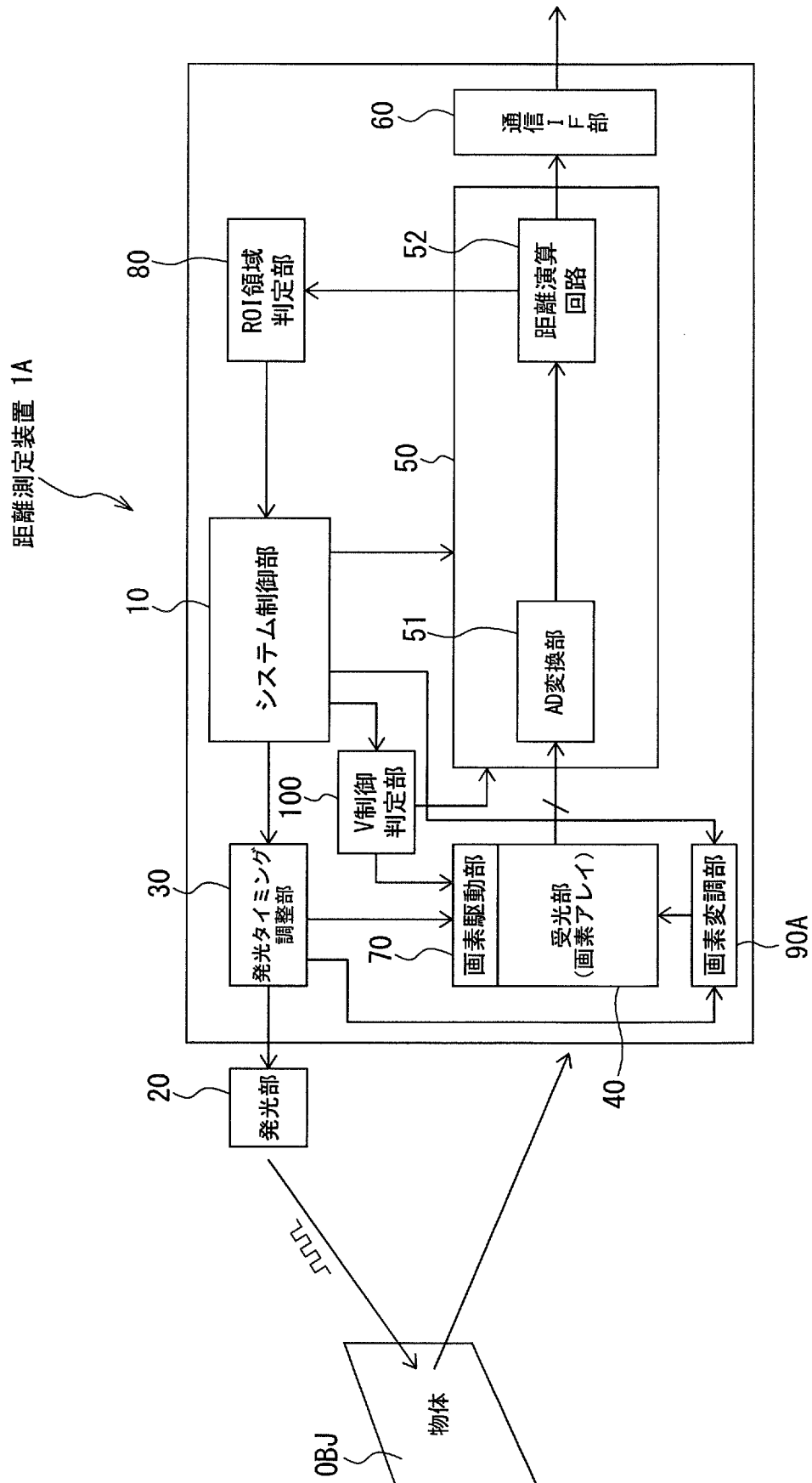
[請求項6] 前記制御部は、外部装置から提供される前記撮像フレーム中の関心領域の判定結果に基づいて、前記関心領域と関心領域以外の領域とで互いに異なる切替周波数により前記第 1 及び第 2 電荷蓄積部の切替制御を実行する、

請求項 1 に記載の撮像装置。

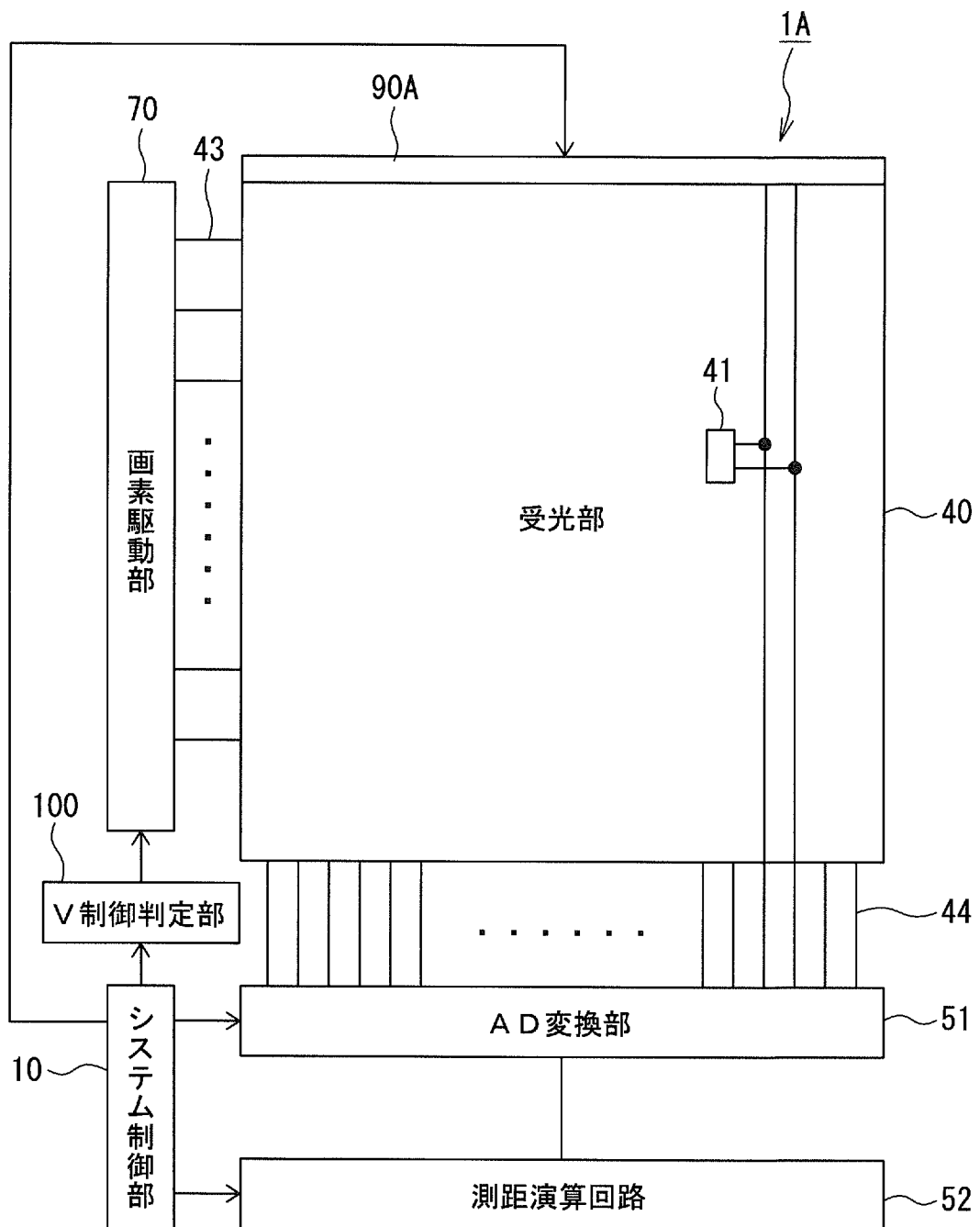
[請求項7] 行列状に配置され受光素子をそれぞれ有する複数の画素により対象領域からの反射光を受光し、前記反射光に応じて前記受光素子が備える第 1 及び第 2 電荷蓄積部に蓄積される電荷に基づく電気信号を出力することと、

前記複数の画素によって形成される撮像フレーム中の少なくとも一部の画素群による画素領域ごとに、互いに異なる切替周波数により前記第 1 及び第 2 電荷蓄積部の切替制御を実行することと、を含む、撮像方法。

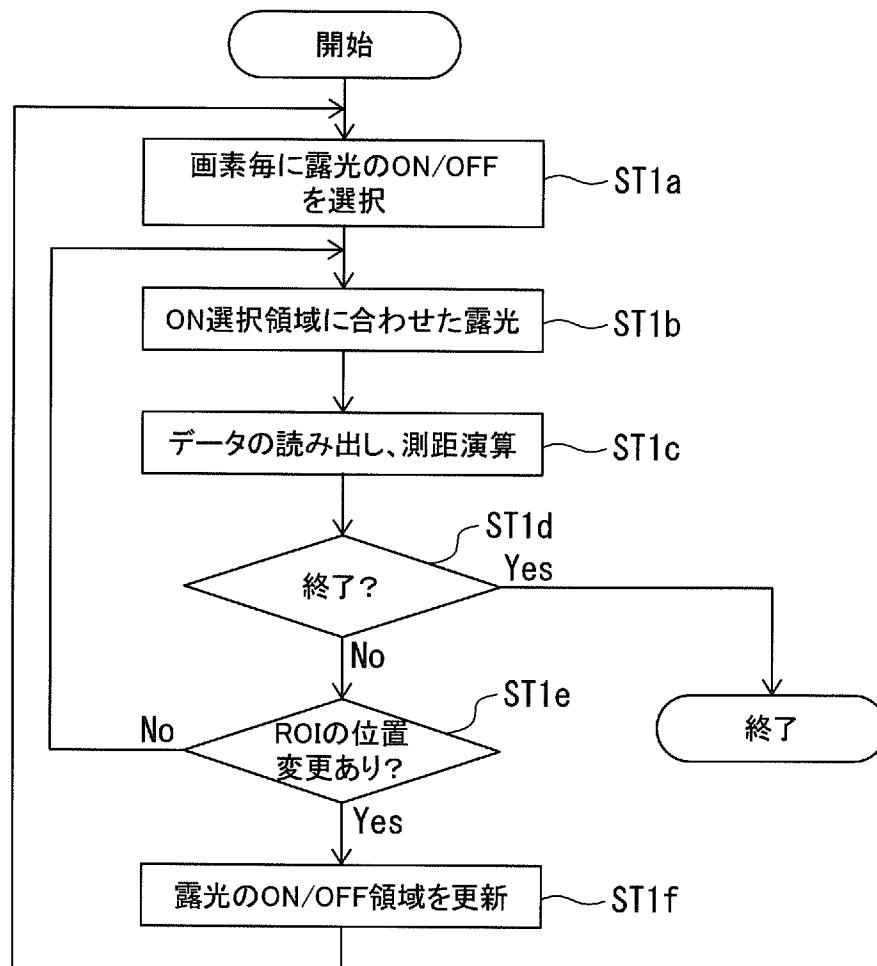
[図1]



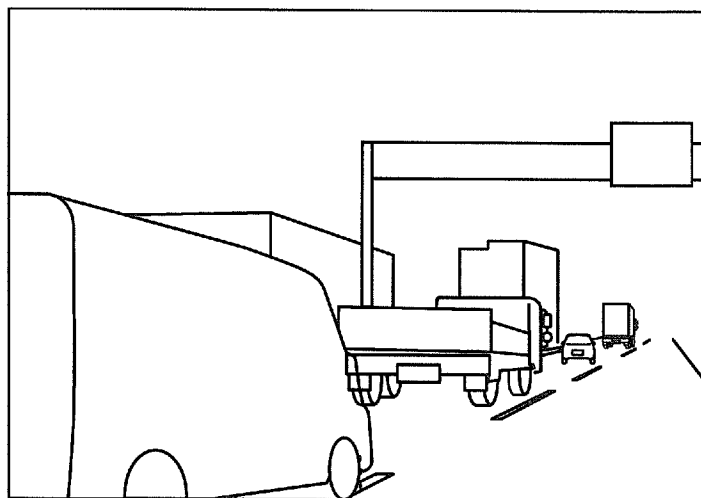
[図2]



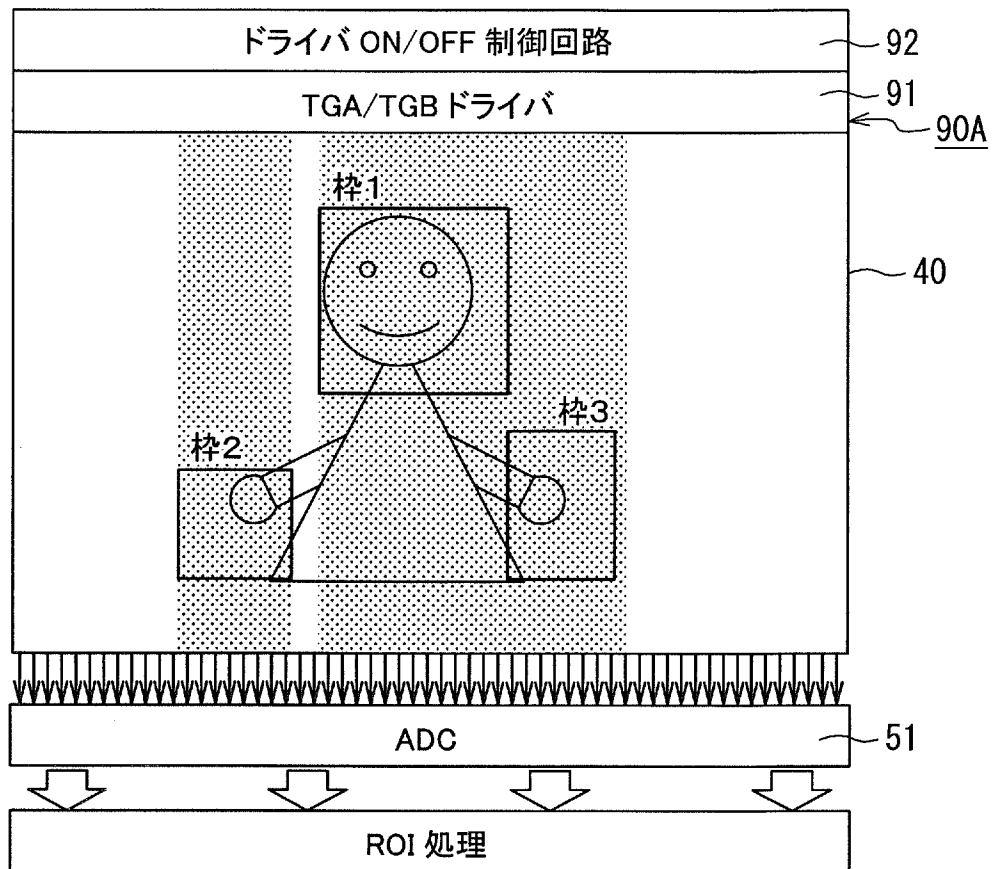
[図3]



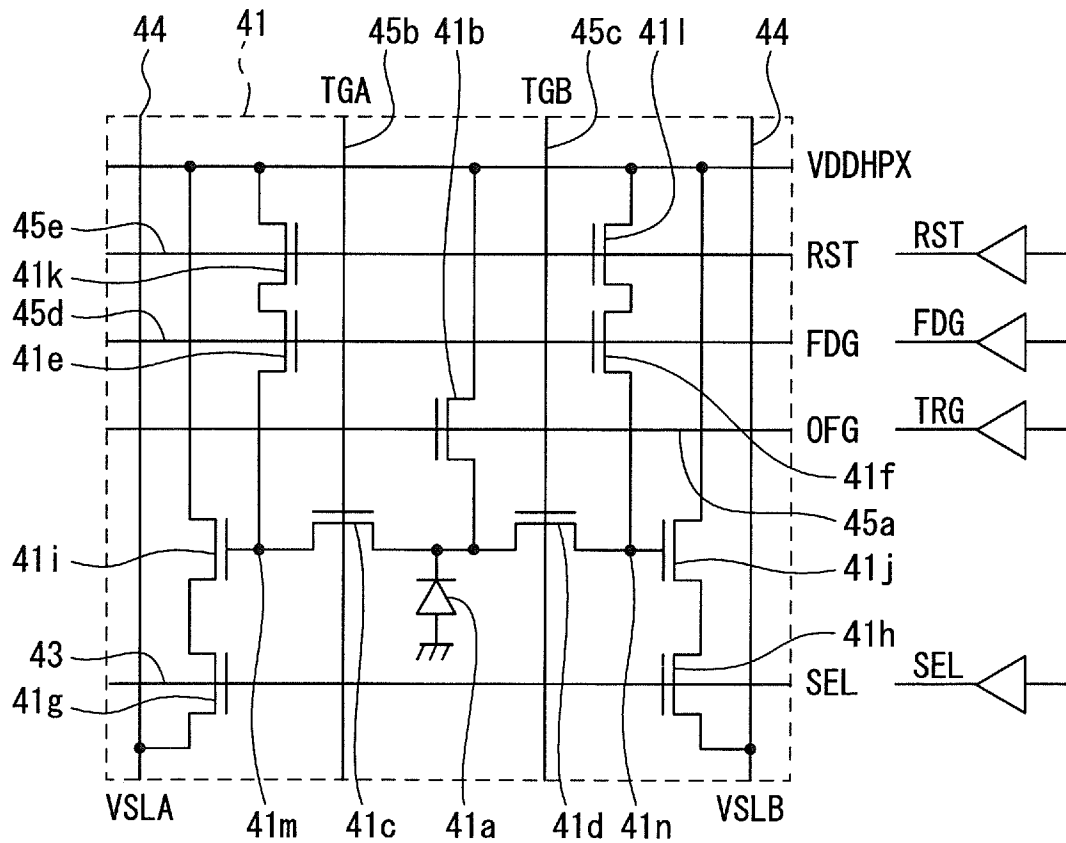
[図4]



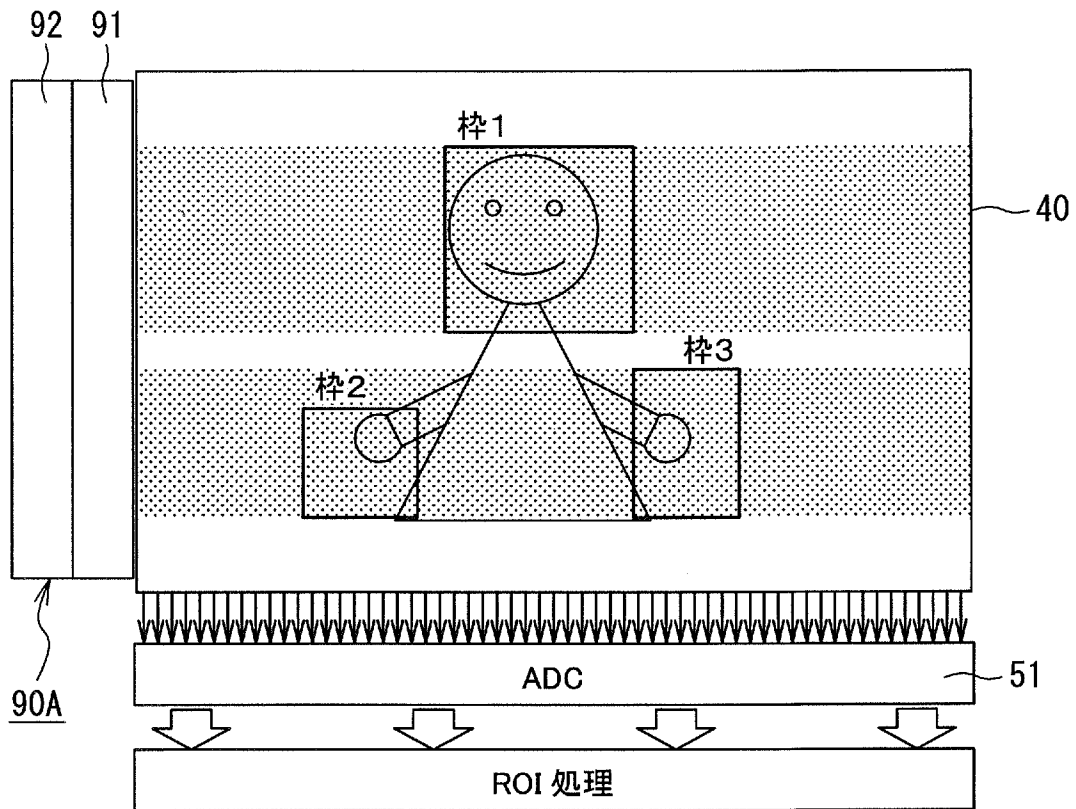
[図5]



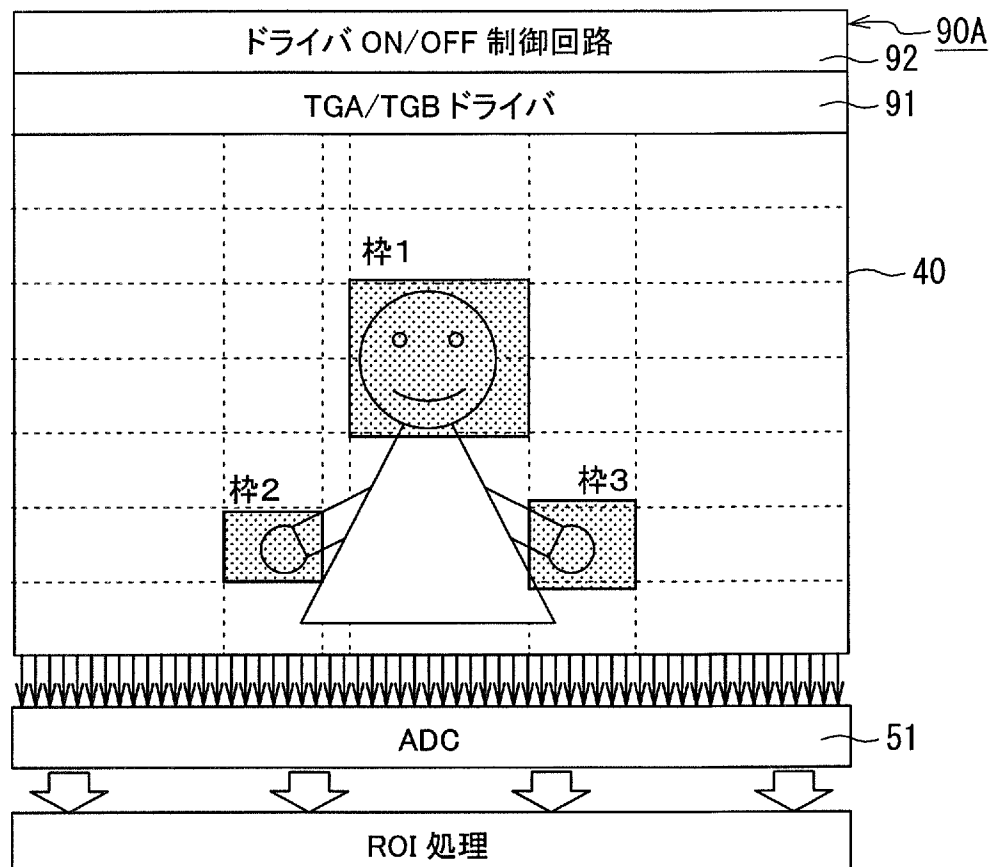
[図6]



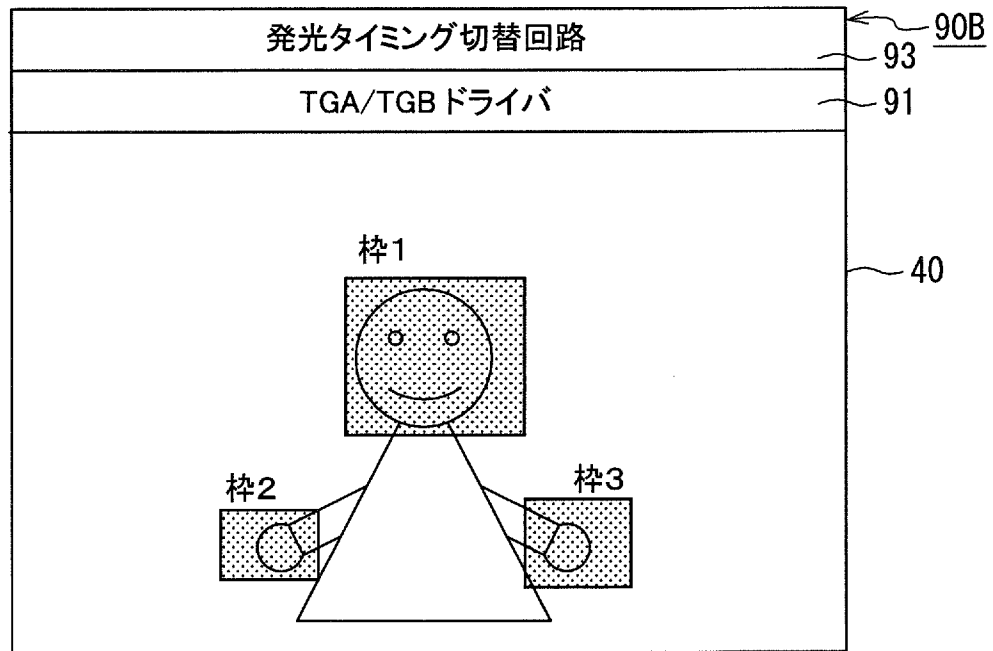
[図7]



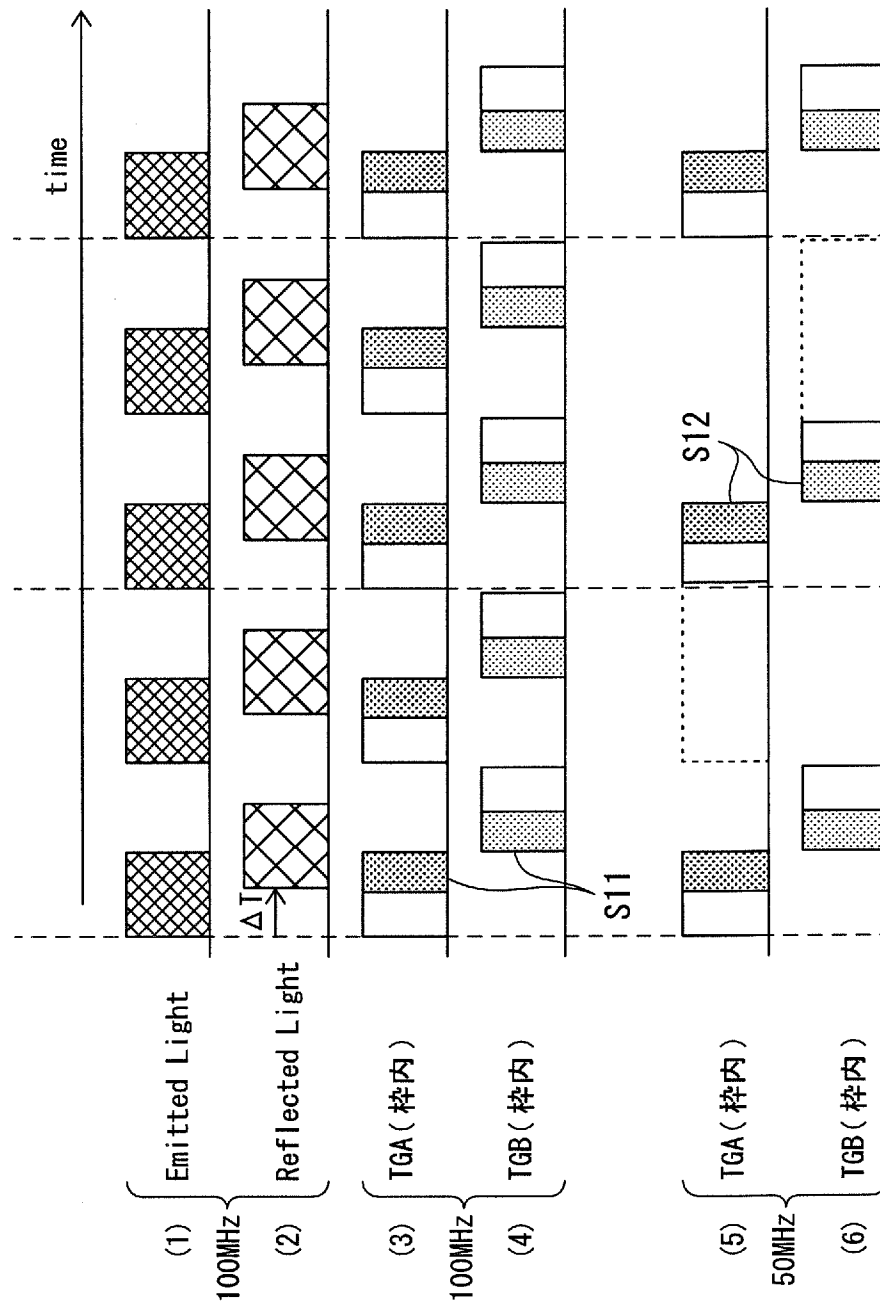
[図8]



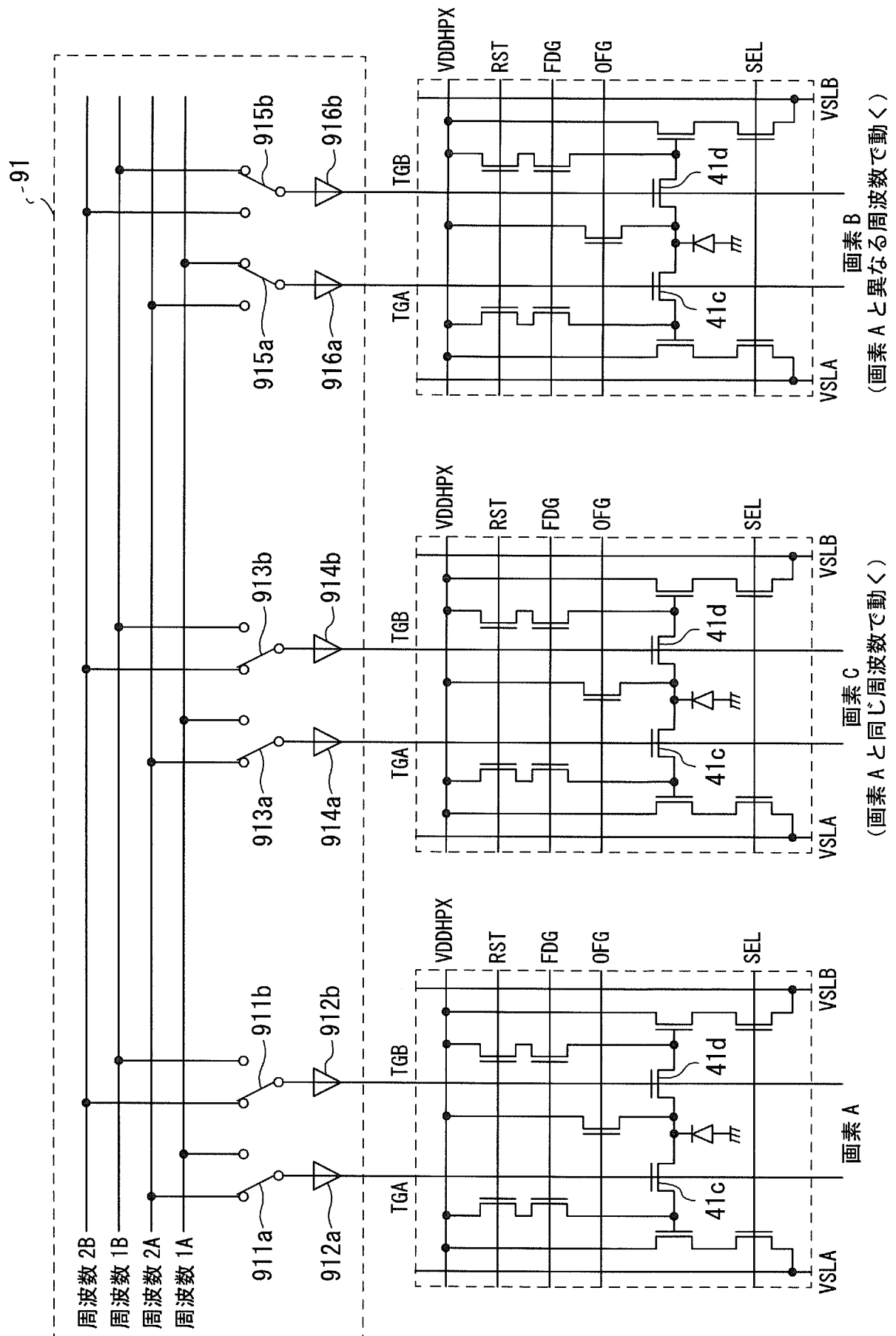
[図9]



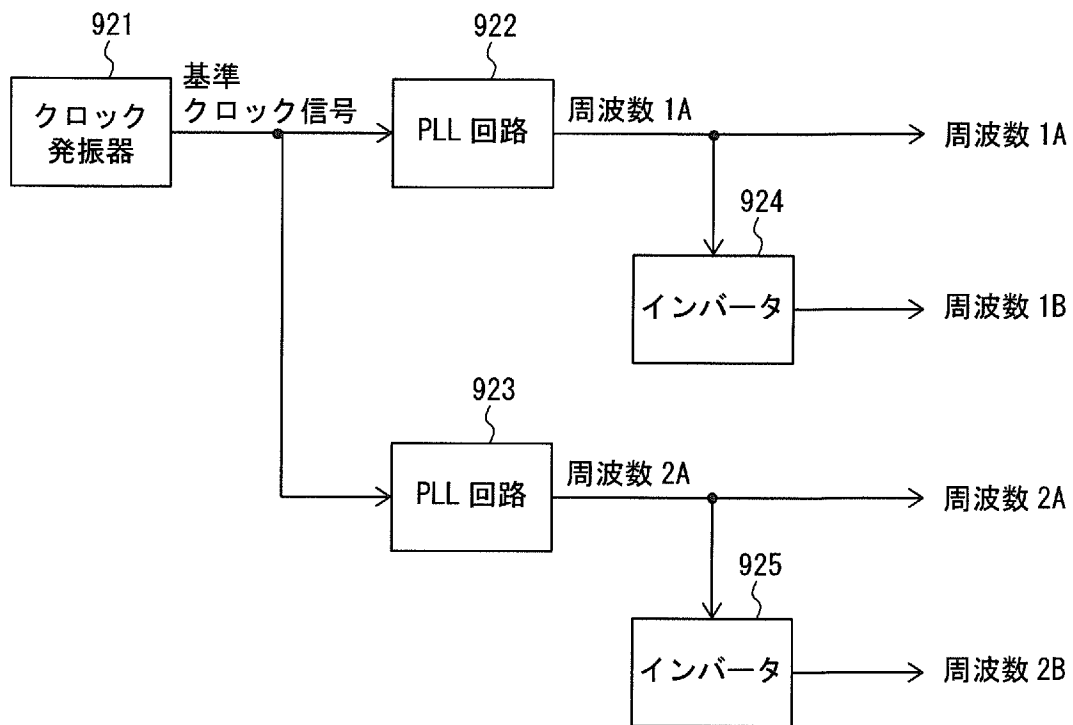
[図10]



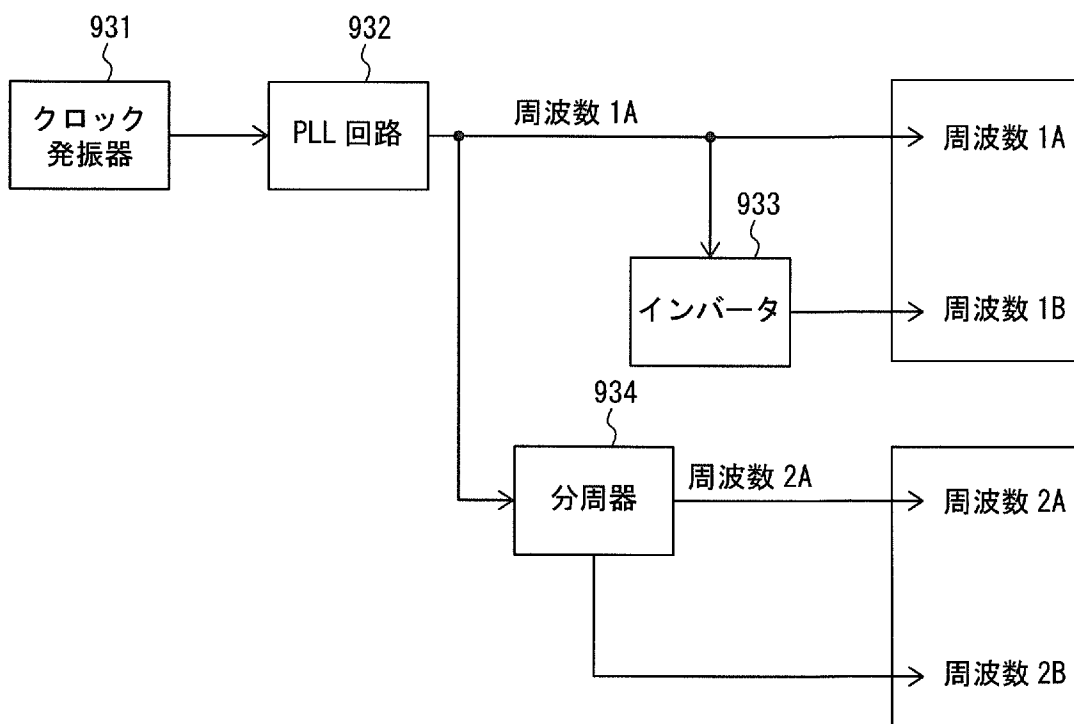
[図11]



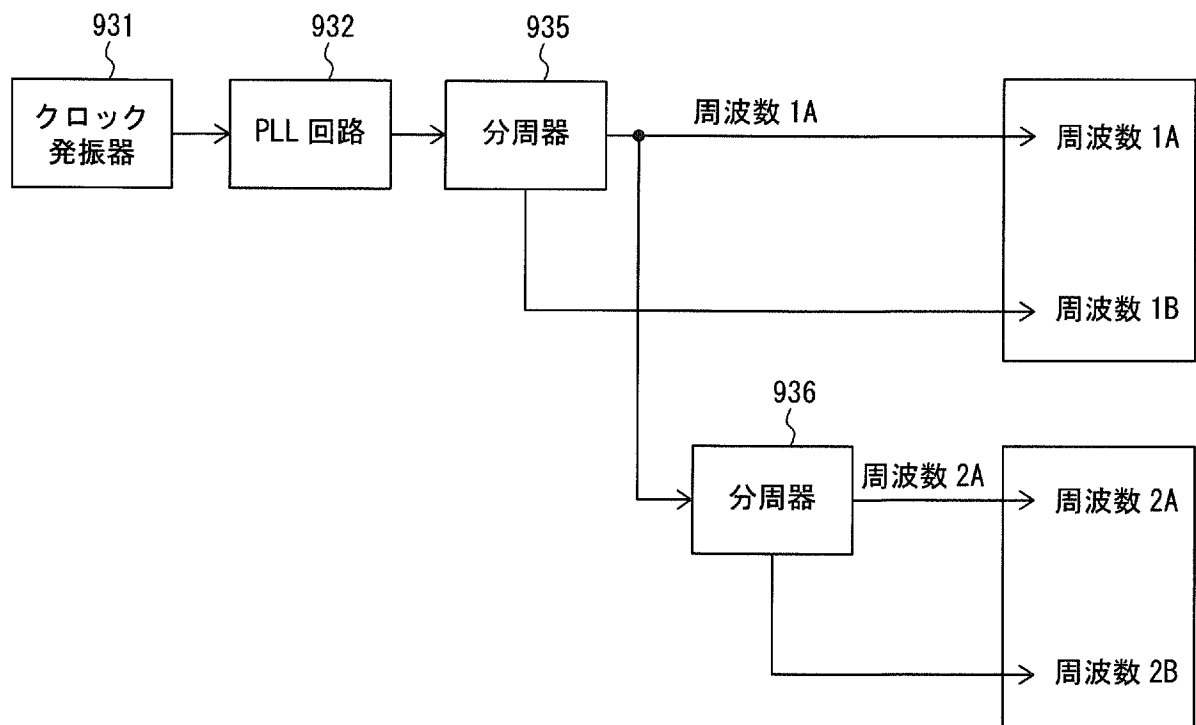
[図12]



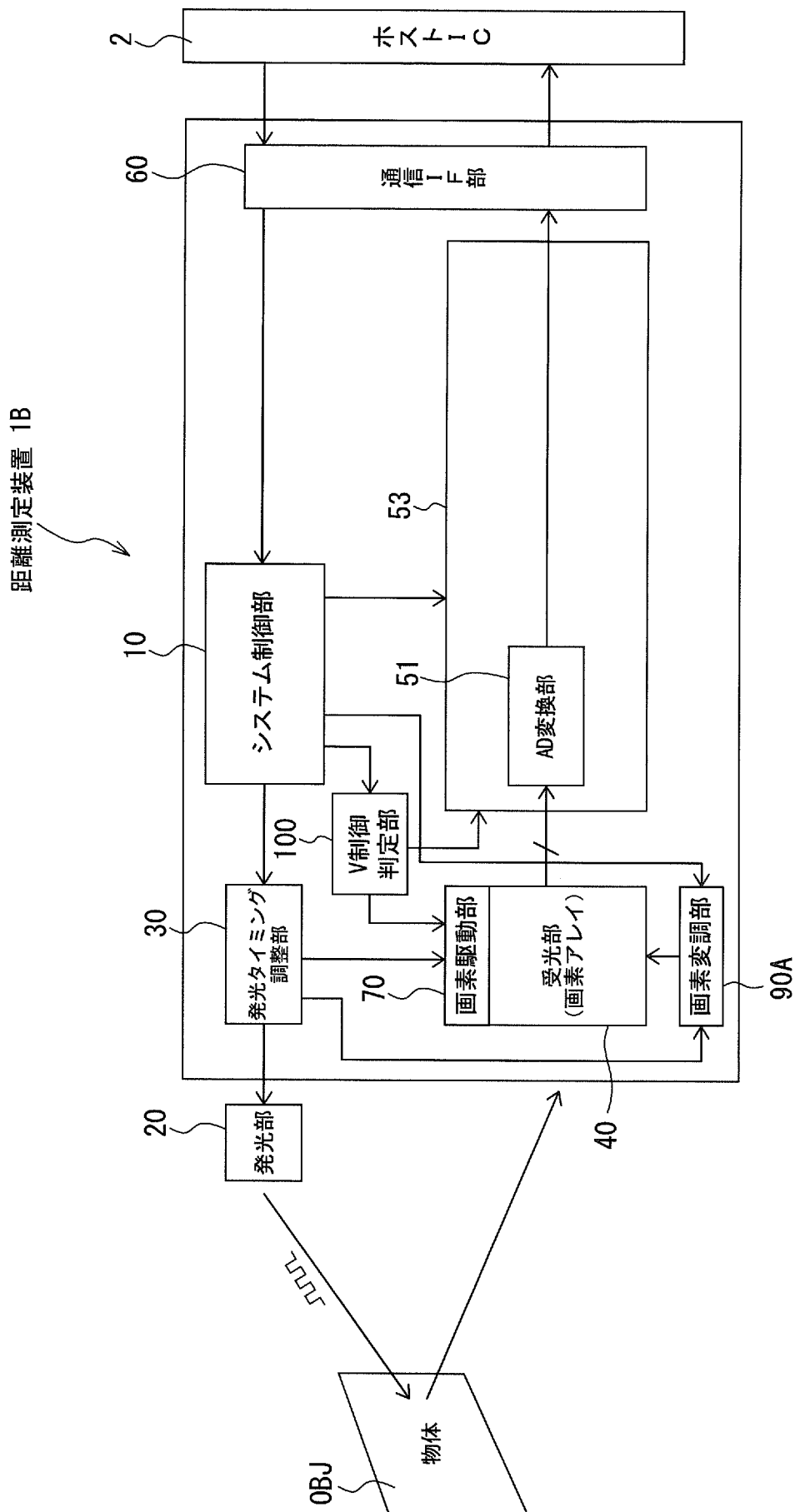
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/001497

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H04N5/341 (2011.01) i, G01C3/06 (2006.01) i, G01S7/4914 (2020.01) i, H04N5/369 (2011.01) i

FI: H04N5/341, H04N5/369, G01S7/4914, G01C3/06120Q

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H04N5/341, G01C3/06, G01S7/4914, H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 2017/022220 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 09 February 2017 (2017-02-09), paragraphs [0015]-[0149], fig. 1-4, 20	1, 2, 7 3-6
Y	JP 2020-13586 A (NIKON CORPORATION) 23 January 2020 (2020-01-23), paragraphs [0055]-[0080], fig. 6	3-6
A	JP 2020-025265 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 13 February 2020 (2020-02-13), paragraphs [0082]-[0092], [0186], fig. 10	1-7

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 February 2021

Date of mailing of the international search report
16 February 2021

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/001497

WO 2017/022220 A1	09 February 2017	US 2018/0156898 A1 paragraphs [0042]-[0177], fig. 1-4, 20
JP 2020-13586 A	23 January 2020	(Family: none)
JP 2020-025265 A	13 February 2020	WO 2020/027233 A1 paragraphs [0082]-[0092], [0186], fig. 10

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 5/341(2011.01)i; G01C 3/06(2006.01)i; G01S 7/4914(2020.01)i; H04N 5/369(2011.01)i FI: H04N5/341; H04N5/369; G01S7/4914; G01C3/06 120Q														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H04N5/341; G01C3/06; G01S7/4914; H04N5/369														
最小限資料以外の資料で調査を行った分野に含まれるもの														
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2021年													
日本国実用新案登録公報	1996 - 2021年													
日本国登録実用新案公報	1994 - 2021年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X	WO 2017/022220 A1（パナソニックIPマネジメント株式会社）09.02.2017（2017 - 02 - 09） 段落[0015]-[0149]、図1-4, 20	1, 2, 7												
Y	段落[0015]-[0149]、図1-4, 20	3-6												
Y	JP 2020-13586 A（株式会社ニコン）23.01.2020（2020 - 01 - 23） 段落[0055]-[0080]、図6	3-6												
A	JP 2020-025265 A（ソニーセミコンダクタソリューションズ株式会社）13.02.2020 （2020 - 02 - 13） 段落[0082]-[0092]、[0186]、図10	1-7												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 参考文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 参考文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 参考文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 02.02.2021	国際調査報告の発送日 16.02.2021													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 松永 隆志 5V 4228 電話番号 03-3581-1101 内線 3571													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/001497

引用文献			公表日	パテントファミリー文献	公表日
WO	2017/022220	A1	09.02.2017	US 2018/0156898 A1 段落[0042]-[0177]、図1-4, 20	
JP	2020-13586	A	23.01.2020	(ファミリーなし)	
JP	2020-025265	A	13.02.2020	WO 2020/027233 A1 段落[0082]-[0092]、 [0186]、図10	