



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I530096 B

(45)公告日：中華民國 105 (2016) 年 04 月 11 日

(21)申請案號：100103453

(22)申請日：中華民國 100 (2011) 年 01 月 28 日

(51)Int. Cl. : **H03K17/693 (2006.01)**

(30)優先權：2010/02/09 日本

2010-026931

(71)申請人：精工電子有限公司 (日本) SEIKO INSTRUMENTS INC. (JP)
日本

(72)發明人：小野貴士 ONO, TAKASHI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 4874971

US 6404237B1

US 7053662B1

審查人員：蘇齊賢

申請專利範圍項數：3 項 圖式數：8 共 22 頁

(54)名稱

傳輸閘及半導體裝置

(57)摘要

本發明的課題是在於提供一種可對應於各種的輸入電壓來實現高 S/N 特性之傳輸閘。

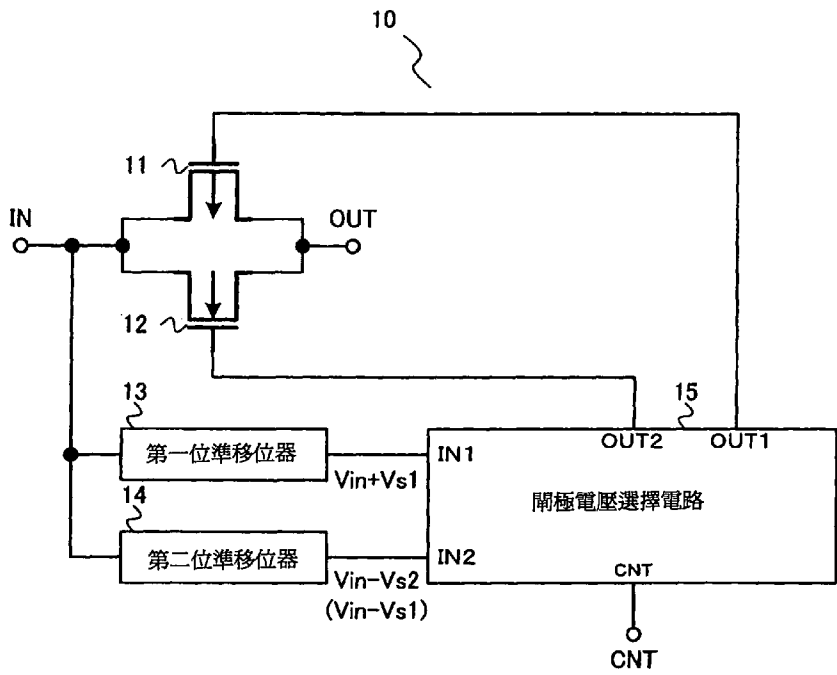
其解決手段係具備：

PMOS 電晶體(11)，其係一旦從汲極輸入輸入電壓(Vin)，將電壓(Vin-Vs1)輸入至閘極，則開啟(ON)，以輸入電壓(Vin)作為輸出電壓(Vout)來從源極輸出；及

NMOS 電晶體(12)，其係具有與 PMOS 電晶體(11)相等的閘極長、閘極寬、閘極氧化膜厚及臨界值電壓的絕對值，一旦從汲極輸入輸入電壓(Vin)，將電壓(Vin+Vs1)輸入至閘極，則開啟(ON)，以輸入電壓(Vin)作為輸出電壓(Vout)來從源極輸出。

指定代表圖：

圖1



符號簡單說明：

- 10 . . . 傳輸閘
- 11 . . . PMOS 電晶體
- 12 . . . NMOS 電晶體
- 13 . . . 第一位準移位器
- 14 . . . 第二位準移位器
- 15 . . . 閘極電壓選擇電路
- OUT . . . 輸出端子
- OUT1 . . . 第一輸出端子
- OUT2 . . . 第二輸出端子
- IN . . . 輸入端子
- IN1 . . . 第一輸入端子
- IN2 . . . 第二輸入端子
- CNT . . . 控制端子
- $V_{in}+V_{s1}$ 、 $V_{in}-V_{s2}$. . . 形成電壓

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

公告本

※申請案號：100103453

※申請日：100 年 01 月 28 日

※IPC 分類：

H03k 17/693 (2006.01)

一、發明名稱：(中文／英文)

傳輸閘及半導體裝置

二、中文發明摘要：

本發明的課題是在於提供一種可對應於各種的輸入電壓來實現高 S/N 特性之傳輸閘。

其解決手段係具備：

PMOS 電晶體 (11)，其係一旦從汲極輸入輸入電壓 (V_{in})，將電壓 ($V_{in}-V_{s1}$) 輸入至閘極，則開啓 (ON)，以輸入電壓 (V_{in}) 作為輸出電壓 (V_{out}) 來從源極輸出；及

NMOS 電晶體 (12)，其係具有與 PMOS 電晶體 (11) 相等的閘極長、閘極寬、閘極氧化膜厚及臨界值電壓的絕對值，一旦從汲極輸入輸入電壓 (V_{in})，將電壓 ($V_{in}+V_{s1}$) 輸入至閘極，則開啓 (ON)，以輸入電壓 (V_{in}) 作為輸出電壓 (V_{out}) 來從源極輸出。

三、英文發明摘要：

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

10：傳輸閘

11：PMOS電晶體

12：NMOS電晶體

13：第一位準移位器

14：第二位準移位器

15：閘極電壓選擇電路

OUT：輸出端子

OUT1：第一輸出端子

OUT2：第二輸出端子

IN：輸入端子

IN1：第一輸入端子

IN2：第二輸入端子

CNT：控制端子

$V_{in}+V_{s1}$ 、 $V_{in}-V_{s2}$ ：形成電壓

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明是有關傳輸閘及半導體裝置。

【先前技術】

說明有關以往的傳輸閘。圖8是表示以往的傳輸閘的電路圖。

傳輸閘是藉由PMOS電晶體91及NMOS電晶體92來構成。該等的電晶體是以互補性的訊號來控制閘極，藉此同時開啓（ON）・關閉（OFF）。在PMOS電晶體91的閘極輸入低位準（low level），在NMOS電晶體92的閘極輸入高位準（high level），藉此傳輸閘形成導通。然後，傳輸閘會以輸入電壓 V_{in} 作為輸出電壓 V_{out} 輸出。

在此，將PMOS電晶體91的閘極・源極間電容設為 C_{gsp} ，將NMOS電晶體92的閘極・源極間電容設為 C_{gsn} ，將輸出端子寄生電容設為 C_h ，將PMOS電晶體91的臨界值電壓設為 $-V_{tp}$ ，將NMOS電晶體92的臨界值電壓設為 V_{tn} 。並且，將施加至PMOS電晶體91的閘極之電壓振幅設為 V_5 ，將施加至NMOS電晶體92的閘極之電壓振幅設為 V_4 。當傳輸閘是設定成其次的式（11）會成立時，時脈饋入（clock feed-through）的影響會減少，可實現高S/N特性（例如參照專利文獻1）。

$$\begin{aligned} & (V_5 - V_{out} - V_{tp}) \cdot C_{gsp} / (C_{gsp} + C_h) \\ & = (V_4 - V_{out} - V_{tn}) \cdot C_{gsn} / (C_{gsn} + C_h) \cdots (11) \end{aligned}$$

[先行技術文獻]

[專利文獻]

[專利文獻 1] 特開平 07-169292 號公報

【發明內容】

(發明所欲解決的課題)

但，在以往的技術中，用以滿足式 11 的前提是輸入電壓 V_{in} 爲一定電壓（例如 $(V_{DD}+V_{SS})/2$ ），不會變化。亦即，一旦輸入電壓 V_{in} 變化，輸出電壓 V_{out} 變化，則式 (11) 不會成立。因此，在時脈饋入的影響下，S/N特性會變差。

本發明是有鑑於上述課題，提供一種可對應於各種的輸入電壓來實現高 S/N 特性之傳輸閘。

(用以解決課題的手段)

爲了解決上述課題，本發明之傳輸閘的特徵係具備：

PMOS 電晶體，其係一旦從汲極輸入輸入電壓，將從前述輸入電壓減去所定電壓的第一電壓輸入至閘極，則開啓 (ON)，以前述輸入電壓作爲輸出電壓來從源極輸出；及

NMOS 電晶體，其係具有與前述 PMOS 電晶體相等的閘極長、閘極寬、閘極氧化膜厚及臨界值電壓的絕對值，一旦從汲極輸入前述輸入電壓，將在前述輸入電壓加上前述

所定電壓的第二電壓輸入至閘極，則開啓（ON），以前述輸入電壓作為前述輸出電壓來從源極輸出。

〔發明的效果〕

由於本發明的傳輸閘是構成傳輸閘的MOS電晶體的閘極電壓是藉由根據輸入電壓的電壓來控制，因此可減少時脈饋入的影響，可對應於各種的輸入電壓來實現高S/N特性。

【實施方式】

以下，參照圖面來說明本發明的實施形態。

首先，說明有關傳輸閘的構成。圖1是表示本實施形態的傳輸閘的電路圖。

傳輸閘10是具備：PMOS電晶體11、NMOS電晶體12、第一位準移位器13、第二位準移位器14、及閘極電壓選擇電路15。又，傳輸閘10具備輸入端子IN、輸出端子OUT、及控制端子CNT。

閘極電壓選擇電路15的輸入端子IN1是被連接至第一位準移位器13的輸出端子，第二輸入端子IN2是被連接至第二位準移位器14的輸出端子，控制端子CNT是被連接至傳輸閘10的控制端子CNT，第一輸出端子OUT1是被連接至PMOS電晶體11的閘極，第二輸出端子OUT2是被連接至NMOS電晶體12的閘極。PMOS電晶體11及NMOS電晶體12的源極是分別被連接至傳輸閘10的輸出端子OUT，汲極是

分別被連接至傳輸閘 10 的輸入端子 IN。第一位準移位器 13 及第二位準移位器 14 的輸入端子是分別被連接至傳輸閘 10 的輸入端子 IN。

其次，說明有關第一位準移位器 13 的構成。圖 2 是表示第一位準移位器的電路圖。

第一位準移位器 13 是具備電流源 21、及 PMOS 電晶體 22。PMOS 電晶體 22 的閘極是被連接至第一位準移位器 13 的輸入端子，源極是被連接至第一位準移位器 13 的輸出端子，汲極是被連接至接地端子。電流源 21 是設在電源端子與第一位準移位器 13 的輸出端子之間。

其次，說明有關第二位準移位器 14 的構成。圖 3 是表示第二位準移位器的電路圖。

第二位準移位器 14 是具備電流源 31 及 NMOS 電晶體 32。NMOS 電晶體 32 的閘極是被連接至第二位準移位器 14 的輸入端子，源極是被連接至第二位準移位器 14 的輸出端子，汲極是被連接至電源端子。電流源 31 是設在第二位準移位器 14 的輸出端子與接地端子之間。

其次，說明有關閘極電壓選擇電路 15 的構成。圖 4 是表示閘極電壓選擇電路的電路圖。

閘極電壓選擇電路 15 是具備開關 41 ~ 44 及反相器 (Inverter) 45。又，閘極電壓選擇電路 15 具備第一輸入端子 IN1、第二輸入端子 IN2、控制端子 CNT、及、第一輸出端子 OUT1、第二輸出端子 OUT2。

開關 41 是設在閘極電壓選擇電路 15 的第一輸入端子

IN1與第一輸出端子OUT1之間，藉由電壓 V_c 來控制。開關42是設在閘極電壓選擇電路15的第二輸入端子IN2與第一輸出端子OUT1之間，藉由電壓 V_c 來控制。開關43是設在閘極電壓選擇電路15的第一輸入端子IN1與第二輸出端子OUT2之間，藉由電壓 V_c 來控制。開關44是設在閘極電壓選擇電路15的第二輸入端子IN2與第二輸出端子OUT2之間，藉由電壓 V_c 來控制。反相器45的輸入端子是被連接至閘極電壓選擇電路15的控制端子CNT。反相器45是輸入電壓 V_c ，輸出電壓 V_c 。開關41~44是例如圖6所示以MOS電晶體61~64來構成。

其次，說明有關傳輸閘10的動作。

輸入端子IN的輸入電壓 V_{in} 是被輸入至第一位準移位器13的輸入端子及第二位準移位器14的輸入端子。

由於第一位準移位器13是源極隨耦器，因此PMOS電晶體22的源極電壓是形成電壓 $(V_{in}+V_{s1})$ 。電壓 V_{s1} 是PMOS電晶體22的臨界值電壓 $(-V_{tp})$ 的絕對值與過驅電壓(overdrive voltage) V_{o1} 的合計電壓。第一位準移位器13是從輸出端子輸出此電壓 $(V_{in}+V_{s1})$ 。

由於第二位準移位器14是源極隨耦器，因此NMOS電晶體32的源極電壓是形成電壓 $(V_{in}-V_{s2})$ 。電壓 V_{s2} 是NMOS電晶體32的臨界值電壓 V_{tn} 與過驅電壓 V_{o2} 的合計電壓。第二位準移位器14是從輸出端子輸出此電壓 $(V_{in}-V_{s2})$ 。

第一位準移位器13及第二位準移位器14是分別設成式

(1) ~ (3) 會成立。

$$V_{tp} = V_{tn} \cdots (1)$$

$$V_{o1} = V_{o2} \cdots (2)$$

$$V_{s1} = V_{tp} + V_{o1} = V_{s2} = V_{tn} + V_{o2} \cdots (3)$$

在此，一旦高位準的電壓 V_c 被輸入至控制端子 CNT，則電壓 V_c 形成低位準。於是，開關 42 及 43 會開啓 (ON)，開關 41 及開關 44 會關閉 (OFF)。因此，閘極電壓選擇電路 15 從第一輸出端子 OUT1 輸出第二輸入端子 IN2 的電壓 ($V_{in} - V_{s2}$) 亦即電壓 ($V_{in} - V_{s1}$)。並且，閘極電壓選擇電路 15 從第二輸出端子 OUT2 輸出第一輸入端子 IN1 的電壓 ($V_{in} + V_{s1}$)。

因此，PMOS 電晶體 11 是閘極電壓會形成電壓 ($V_{in} - V_{s1}$)，PMOS 電晶體 11 的閘極・源極間電壓 V_{gsp} 是以其次的式 (4) 來表示。

$$V_{gsp} = -V_{s1} = - (V_{tp} + V_{o1}) \cdots (4)$$

由於 PMOS 電晶體 11 的閘極・源極間電壓 V_{gsp} 是比臨界值電壓 ($-V_{tp}$) 更低，所以 PMOS 電晶體 11 開啓 (ON)。

又，NMOS 電晶體 12 是閘極電壓會形成電壓 ($V_{in} + V_{s1}$)，NMOS 電晶體 12 的閘極・源極間電壓 V_{gsn} 是以其次的式 (5) 來表示。

$$V_{gsn} = V_{s2} = V_{tn} + V_{o2} = V_{s1} = V_{tp} + V_{o1} \cdots (5)$$

由於 NMOS 電晶體 12 的閘極・源極間電壓 V_{gsn} 是比臨界值電壓 V_{tn} 更高，所以 NMOS 電晶體 12 開啓 (ON)。

因此，傳輸閘 10 是形成導通狀態，將輸入電壓 V_{in} 作為輸出電壓 V_{out} 來輸出至輸出端子 OUT。

其次，一旦低位準的電壓 V_c 被輸入至控制端子 CNT，則電壓 V_c 形成高位準。於是，開關 42～43 會關閉（OFF），開關 41 及開關 44 會開啓（ON）。因此，閘極電壓選擇電路 15 從第一輸出端子 OUT1 輸出第一輸入端子 IN1 的電壓（ $V_{in}+V_{s1}$ ）。並且，閘極電壓選擇電路 15 從第二輸出端子 OUT2 輸出第二輸入端子 IN2 的電壓（ $V_{in}-V_{s2}$ ）亦即電壓（ $V_{in}-V_{s1}$ ）。

因此，PMOS 電晶體 11 是閘極電壓會形成電壓（ $V_{in}+V_{s1}$ ），PMOS 電晶體 11 的閘極・源極間電壓 V_{gsp} 是以其次的式（6）來表示。

$$V_{gsp}=V_{s1}=V_{tp}+V_{o1} \quad \dots (6)$$

由於 PMOS 電晶體 11 的閘極・源極間電壓 V_{gsp} 是比臨界值電壓（ $-V_{tp}$ ）更高，所以 PMOS 電晶體 11 關閉（OFF）。

又，NMOS 電晶體 12 是閘極電壓會形成電壓（ $V_{in}-V_{s1}$ ），NMOS 電晶體 12 的閘極・源極間電壓 V_{gsn} 是以其次的式（7）來表示。

$$V_{gsn}=-V_{s2}=-(V_{tn}+V_{o2})=-V_{s1}=-(V_{tp}+V_{o1}) \quad \dots (7)$$

由於 NMOS 電晶體 12 的閘極・源極間電壓 V_{gsn} 是形成比臨界值電壓 V_{tn} 更低，所以 NMOS 電晶體 12 關閉（OFF）。

因此，傳輸閘 10 是形成非導通，不會將輸入電壓 V_{in}

作為輸出電壓 V_{out} 來輸出至輸出端子 OUT。

在此，傳輸閘 10 是使 PMOS 電晶體 11 及 NMOS 電晶體 12 的閘極長與閘極寬和閘極氧化膜厚分別形成相等。於是，PMOS 電晶體 11 的閘極・源極間電容 C_{gsp} 與 NMOS 電晶體 12 的閘極・源極間電容 C_{gsn} 是形成相等。並且，根據式 (1)，PMOS 電晶體 11 的臨界值電壓 V_{tp} 與 NMOS 電晶體 12 的臨界值電壓 V_{tn} 是相等。又，當電壓 V_c 為高位準時，根據式 (4) ~ (5)，PMOS 電晶體 11 的閘極・源極間電壓 V_{gsp} 的絕對值與 NMOS 電晶體 12 的閘極・源極間電壓 V_{gsn} 是相等。

上述那樣構成的傳輸閘 10 因為根據在以往的技術所示的式 (11) 之式 (8) 會成立，所以時脈饋入的影響會減少，高 S/N 特性會被實現。

$$\begin{aligned} & (|V_{gsp}| - |V_{tp}|) \cdot C_{gsp} / (C_{gsp} + C_h) \\ & = (V_{gsn} - V_{tn}) \cdot C_{gsn} / (C_{gsn} + C_h) \quad \dots (8) \end{aligned}$$

C_{gsp} 是 PMOS 電晶體 11 的閘極・源極間電容， C_{gsn} 是 NMOS 電晶體 12 的閘極・源極間電容， C_h 是輸出端子寄生電容。

並且，根據式 (2)、式 (4) ~ (5) 及式 (8)，其次的式 (9) 會成立。

$$C_{gsp} / (C_{gsp} + C_h) = C_{gsn} / (C_{gsn} + C_h) \quad \dots (9)$$

此式 (9) 是不依存於輸入電壓 V_{in} 。亦即，傳輸閘 10 是無關於輸入電壓 V_{in} 的電壓值，時脈饋入的影響會減少，高 S/N 特性會被實現。

如此一來，構成傳輸閘 10 的 MOS 電晶體的閘極電壓是形成根據輸入電壓 V_{in} 的電壓，藉此即使輸入電壓 V_{in} 變動，還是可減少時脈饋入的影響，可實現高 S/N 特性。

另外，閘極電壓選擇電路 15 並非限於圖 4 的電路，例如亦可為圖 5 那樣構成的電路。

圖 5 的閘極電壓選擇電路是具備 PMOS 電晶體 51 及 52、NMOS 電晶體 53 及 54。又，此電路具備第一輸入端子 IN1、第二輸入端子 IN2、控制端子 CNT、及、第一輸出端子 OUT1、第二輸出端子 OUT2。

PMOS 電晶體 51 及 NMOS 電晶體 53 是構成以電壓 ($V_{in} + V_{s1}$) 作為電源電壓，以電壓 ($V_{in} - V_{s2}$) 作為接地電壓的第一反相器。PMOS 電晶體 52 及 NMOS 電晶體 54 是構成以電壓 ($V_{in} + V_{s1}$) 作為電源電壓，以電壓 ($V_{in} - V_{s2}$) 作為接地電壓的第二反相器，設在第一反相器的後段。第一反相器是將輸入端子連接至閘極電壓選擇電路 15 的控制端子 CNT，將輸出端子連接至閘極電壓選擇電路 15 的第一輸出端子 OUT1。第二反相器是將輸入端子連接至閘極電壓選擇電路 15 的第一輸出端子 OUT1，將輸出端子連接至閘極電壓選擇電路 15 的第二輸出端子 OUT2。

又，第一位準移位器 13 及第二位準移位器 14 是使用電流源 21 及電流源 31，但雖未圖示，亦可使用電阻。

又，第一位準移位器 13 及第二位準移位器 14 是以圖 2 及圖 3 所示的電路作為一例，但只要是將輸入電壓 V_{in} 輸入，而將輸出電壓 $V_{in} \pm V_{s1}$ 輸出的電路即可。例如圖 7 所示那

樣以緩衝放大器來構成。

【圖式簡單說明】

圖 1 是表示本實施形態的傳輸閘的電路圖。

圖 2 是表示第一位準移位器的電路圖。

圖 3 是表示第二位準移位器的電路圖。

圖 4 是表示閘極電壓選擇電路之一例的電路圖。

圖 5 是表示閘極電壓選擇電路的其他例的電路圖。

圖 6 是表示閘極電壓選擇電路的其他例的電路圖。

圖 7 是表示位準移位器的其他例的電路圖。

圖 8 是表示以往的傳輸閘的電路圖。

【主要元件符號說明】

10：傳輸閘

11：PMOS電晶體

12：NMOS電晶體

13：第一位準移位器

14：第二位準移位器

15：閘極電壓選擇電路

71：放大器

七、申請專利範圍：

1. 一種傳輸閘，係從輸出端子輸出從輸入端子輸入的輸入電壓之傳輸閘，其特徵為具備：

第一位準移位器，其係輸出預定電壓被加算於前述輸入電壓的第一電壓；

第二位準移位器，其係輸出從前述輸入電壓減算前述預定電壓的第二電壓；

閘極電壓選擇電路，其係具有：被輸入前述第一電壓及前述第二電壓，切換前述第一電壓及前述第二電壓，而互補性地輸出之第一輸出端子及第二輸出端子；

PMOS 電晶體，其係前述第一輸出端子被連接至閘極；及

NMOS 電晶體，其係前述第二輸出端子被連接至閘極，

前述 PMOS 電晶體與前述 NMOS 電晶體，係閘極長、閘極寬、閘極氧化膜厚及臨界值電壓的絕對值相等。

2. 申請專利範圍第 1 項之傳輸閘，其中，

前述第一位準移位器係具有：前述輸入電壓被輸入至閘極的第二 PMOS 電晶體，

前述第二位準移位器係具有：前述輸入電壓被輸入至閘極的第二 NMOS 電晶體，

前述第二 PMOS 電晶體與前述第二 NMOS 電晶體，係臨界值電壓的絕對值及過驅電壓相等，

前述預定電壓為該臨界值電壓的絕對值與該過驅電壓

的和。

3. 一種半導體裝置，其特徵係具備如申請專利範圍第 1 或 2 項所記載的傳輸閘。

圖 1

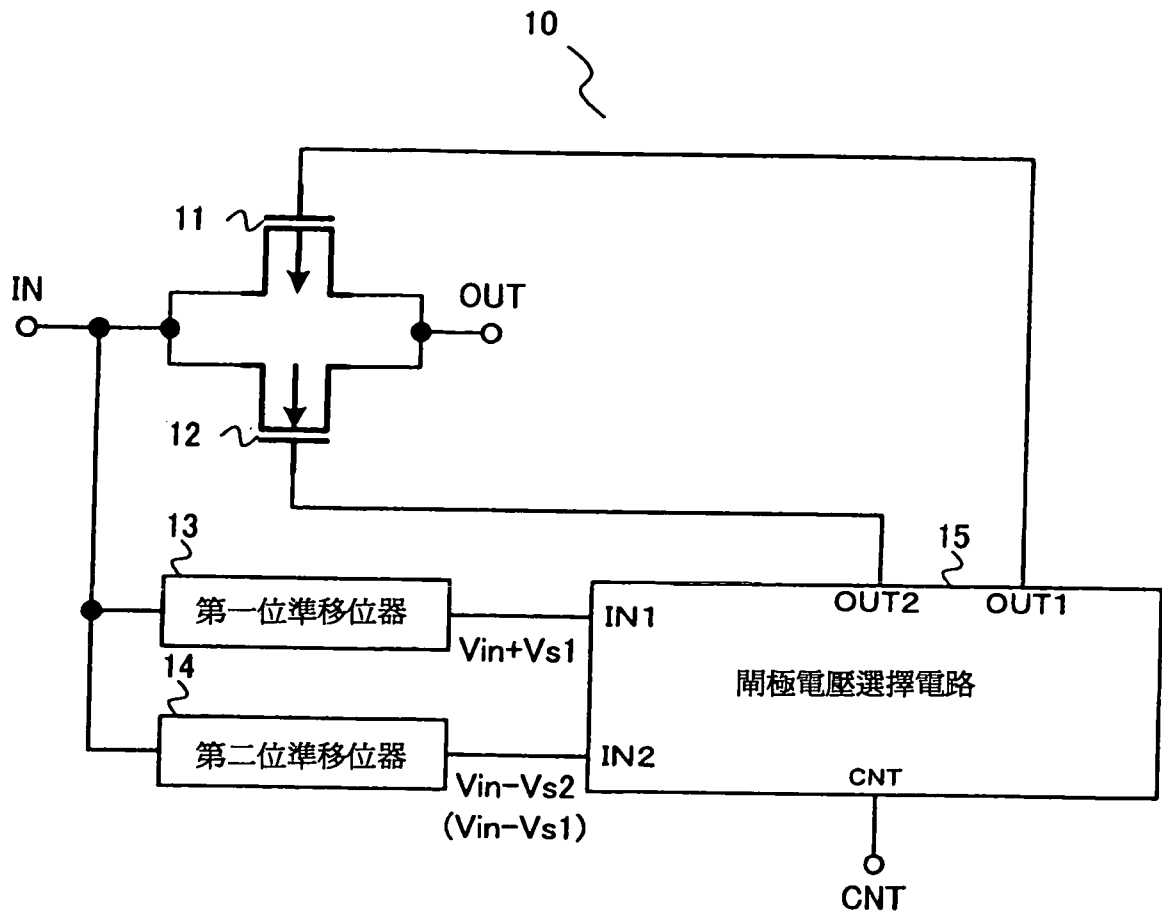


圖 2

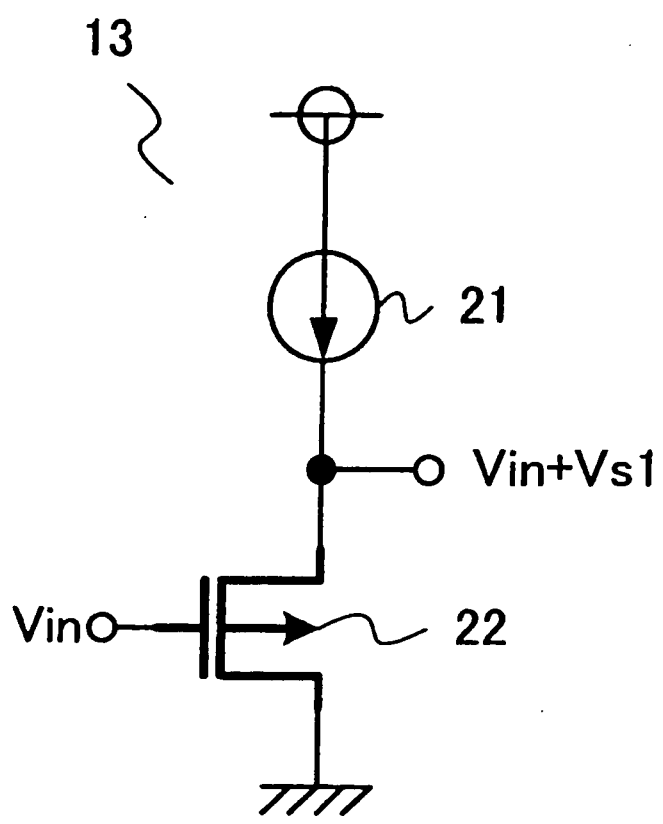


圖 3

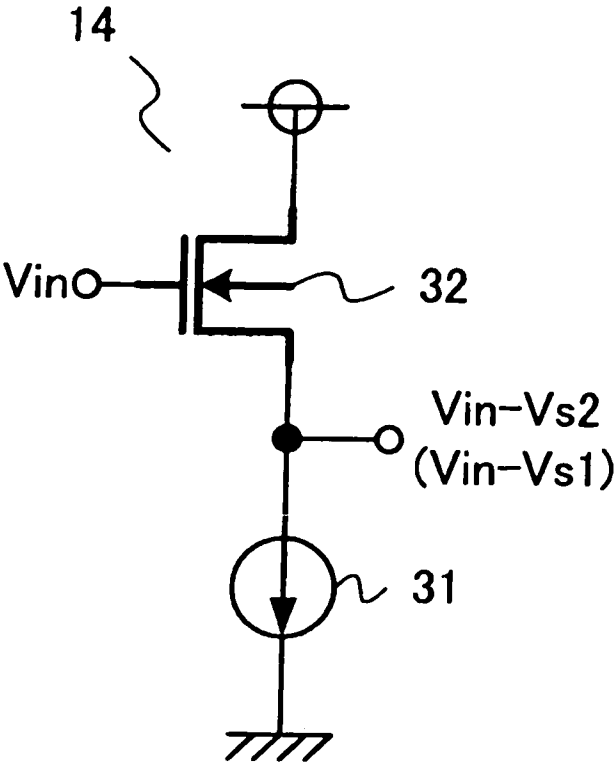


圖 4

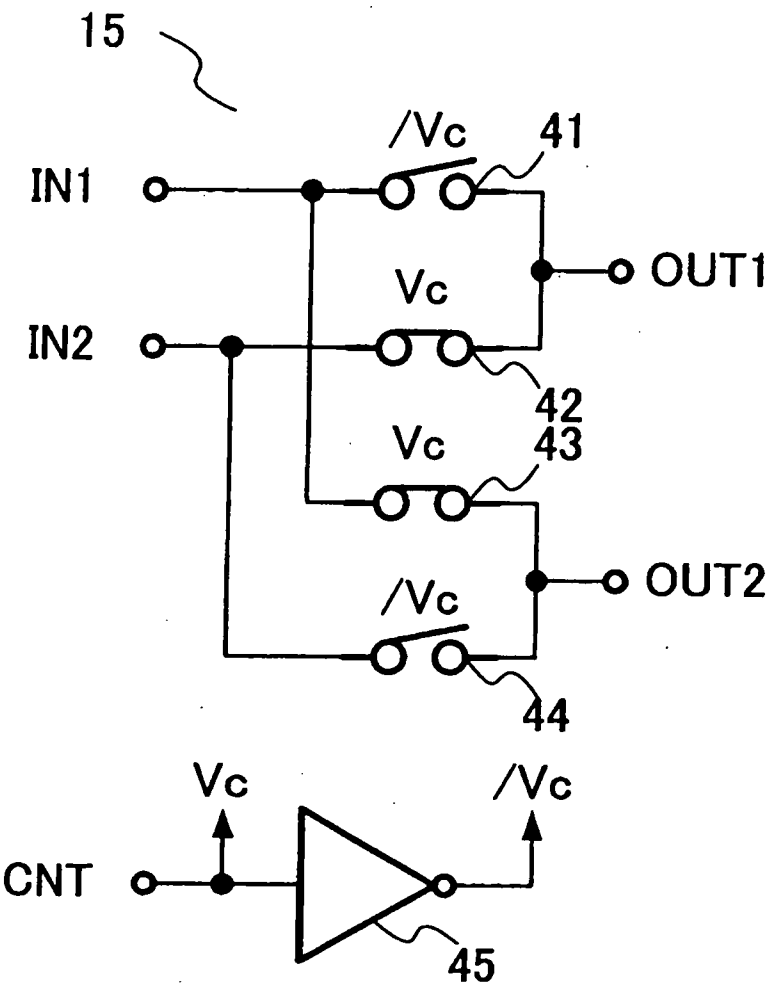


圖5

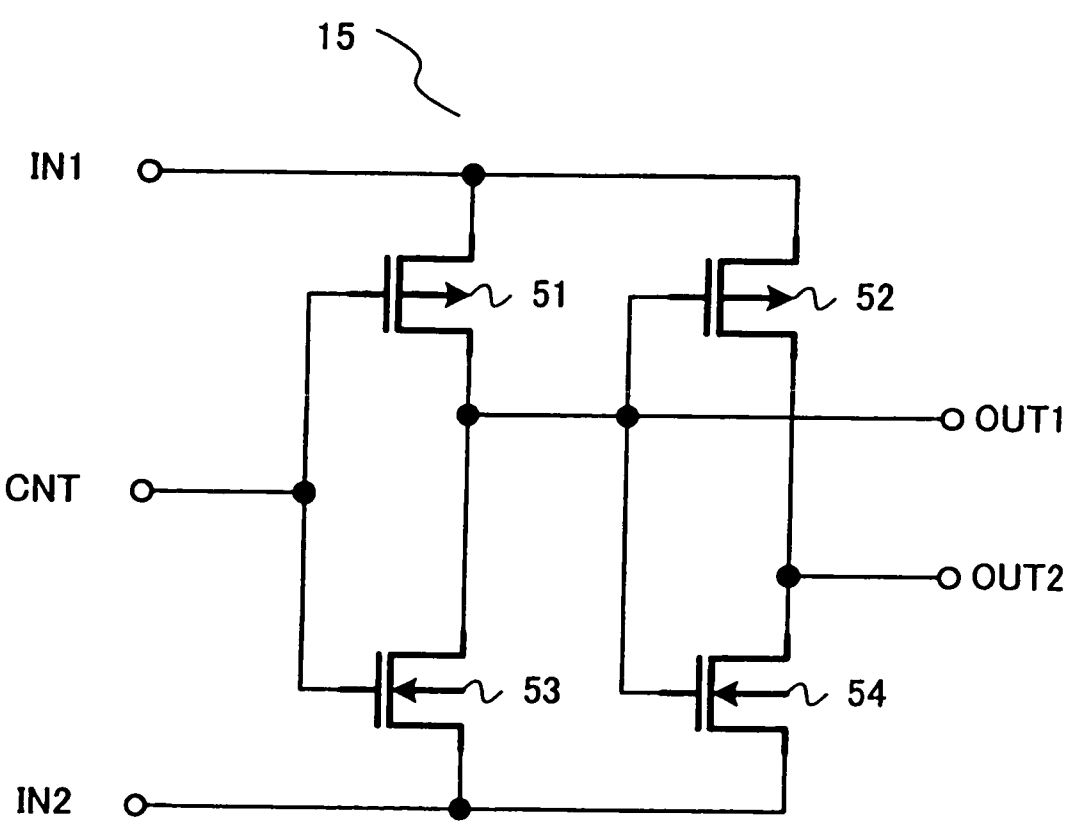


圖 6

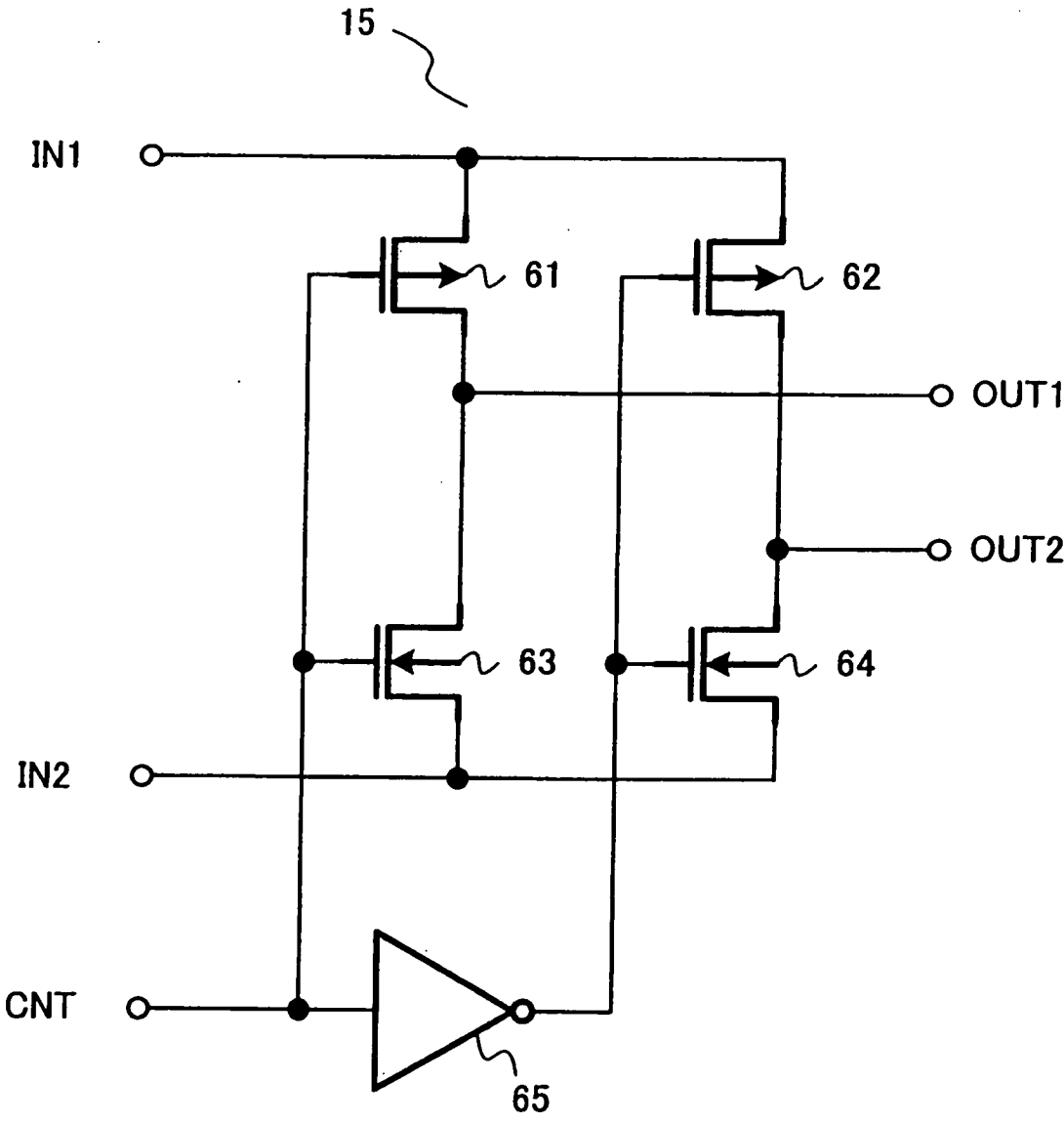


圖 7

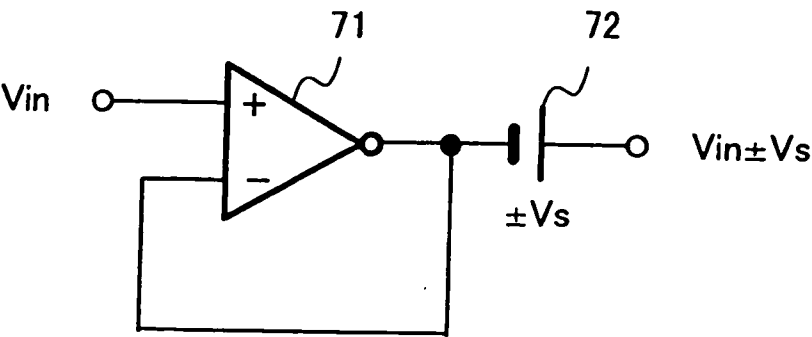


圖 8

