

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 1 月 9 日 (09.01.2014)



(10) 国际公布号
WO 2014/005370 A1

- (51) 国际专利分类号:
H01L 21/3065 (2006.01) *H01L 21/28* (2006.01)
- (21) 国际申请号: PCT/CN2012/081008
- (22) 国际申请日: 2012 年 9 月 5 日 (05.09.2012)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201210229309.9 2012 年 7 月 3 日 (03.07.2012) CN
- (71) 申请人 (对除美国外的所有指定国): **中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES)** [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): **孟令款 (MENG, Lingkuan)** [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (74) 代理人: **中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.)**; 中国北京市海淀区西三环北路 87 号国际财经中心 D 座 11 层, Beijing 100089 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

(54) Title: MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE

(54) 发明名称: 半导体器件制造方法

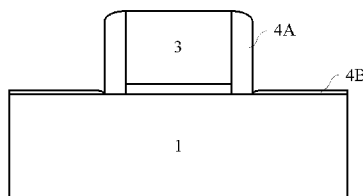


图3 / Fig. 3

(57) Abstract: Provided is a manufacturing method for a semiconductor device, comprising: forming a stacked gate structure on a substrate (1); depositing a dielectric material layer on the substrate (1) and the stacked gate structure; performing a main etching to etch the dielectric material layer to form a side wall (4A), and leaving residues (4B) of the dielectric material layer on the substrate (1); and performing an over-etching to remove the residues (4B) of the dielectric material layer. The provided manufacturing method for a semiconductor device performs a two-step etching using an etching gas containing helium without using a silicon oxide etching barrier layer, which reduces the complexity of the process while reducing damage to the substrate (1), and also can optimize the threshold voltage, effectively reduce EoT, and increase the grid-control capability and the drive current.

(57) 摘要: 提供了一种半导体器件制造方法, 包括: 在衬底(1)上形成栅极堆叠结构; 在衬底(1)及栅极堆叠结构上沉积介质材料层; 执行主刻蚀, 刻蚀介质材料层形成侧墙(4A), 并在衬底(1)上留有介质材料层的残留(4B); 执行过刻蚀, 去除介质材料层的残留(4B)。提供的半导体器件制造方法, 不采用氧化硅的刻蚀阻挡层, 而是采用含氦气的刻蚀气体进行两步刻蚀, 降低对衬底(1)的损伤的同时还降低了工艺复杂性, 此外还能优化阈值电压、有效降低 EoT、提高栅控能力以及驱动电流。

WO 2014/005370 A1

半导体器件制造方法

本申请要求了 2012 年 7 月 3 日提交的、申请号为 201210229309.9、发明名称为“半导体器件制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明涉及半导体集成电路制造领域，更具体地，涉及一种侧墙刻蚀方法。

背景技术

在超大规模集成电路制造中，在轻掺杂漏(LDD)注入工艺之前需要制作介质侧墙(spacer)，防止更大剂量的源漏注入过于接近沟道而导致源漏穿通，从而造成器件失效及良率降低。

当前应用于主流 65nm 甚至 45nm 侧墙制作工艺为：在轻掺杂漏(LDD)注入工艺之前，首先沉积或热生长一层二氧化硅薄膜，如采用快速热氧化法(RTO)生长 30Å 左右的二氧化硅，作为随后的刻蚀阻挡层，以保护衬底特别是源漏区靠近沟道区的界面处不受损伤，以避免缺陷密度增大；再沉积一层良好共形性的氮化硅薄膜，包围在多晶硅栅极周围。最后，采用等离子体刻蚀去掉衬底上及栅极上的氮化硅薄膜，停止在下面的氧化层上，形成侧墙。

另一方面，依据摩尔定律，随着器件关键尺寸的持续微缩，传统的栅氧/多晶硅栅结构越来越无法满足先进逻辑器件的要求，逐渐为高 K-金属栅结构所取代。并且，由于后栅工艺可以控制热效应及对阈值电压的良好控制，逐渐成为主流工艺，引出了许多新的工艺难点及挑战。对于第一道侧墙而言，如果仍然采用传统的二氧化硅结合氮化硅的技术，由于氮化硅会和高 K 发生反应，将引起 K 值降低，从而增大有效氧化层厚度。随之导致的结果是栅控能力降低，器件开关比不够理想。另外，栅的高度也要降低，以满足 CMOS 制造技术带来的金属栅填充的挑战。为使金属填充完全，需要降低栅条的深宽比。而且，由于栅间距的逐渐缩小，都使得第一道侧墙的厚度要持续降低。为了精确控制刻蚀工艺的重复性、可靠性及稳定性，必须降低刻蚀速率以满足刻蚀工艺日益增加的挑战，这往往使得侧墙刻蚀速率的均匀性变差。特别地，当前的

侧墙刻蚀技术一般基于 Ar 基气体，在纳米级器件条件下，易于造成对衬底的损伤。

发明内容

有鉴于此，本发明的目的在于提供一种创新性的侧墙刻蚀方法，避免损伤衬底的同时还能有效降低 EoT、提高栅控能力以及驱动电流。

实现本发明的上述目的，是通过提供一种半导体器件制造方法，包括：在衬底上形成栅极堆叠结构；在衬底以及栅极堆叠结构上沉积介质材料层；执行主刻蚀，刻蚀介质材料层形成侧墙，并在衬底上留有介质材料层的残留；执行过刻蚀，去除介质材料层的残留。

其中，栅极堆叠结构包括栅氧化层与栅电极层，栅氧化层包括二氧化硅、氮氧化硅、高 K 材料，栅电极层包括多晶硅、非晶硅、金属栅。

其中，介质材料层为氮化硅，采用 LPCVD 或 PECVD 的方法沉积形成。

其中，主刻蚀和/或过刻蚀的刻蚀气体包括氟基气体、氧化性气体以及氦基气体。

其中，在主刻蚀过程中，调节电极功率、腔体压力和反应气体流量比例，增强各向异性，形成陡直的侧墙。

其中，在过刻蚀过程中，调节极功率、腔体压力和反应气体流量比例，获得介质材料层对衬底的高选择比。

其中，选择比大于 10:1。

其中，氟基气体包括碳氟基气体、 NF_3 。

其中，主刻蚀的氟基气体包括 CF_4 、 CHF_3 、 CH_2F_2 。

其中，过刻蚀的氟基气体包括 CF_4 、 CH_3F 、 CH_2F_2 。

其中，氧化性气体包括 O_2 。

其中，氦基气体包括氦气、氦气与氩气的混合物。

其中，在主刻蚀过程中，通过反应物以及生成物的谱线变化，自动触发终点检测系统，结束主刻蚀而进入过刻蚀。

其中，在主刻蚀过程中，通过刻蚀速率计算所需的刻蚀时间直到接近衬底表面，结束主刻蚀而进入过刻蚀。

其中，主刻蚀和/或过刻蚀采用基于 CCP 或者 ICP 模式的刻蚀设备。

进一步包括：以侧墙为掩模，在两侧离子注入形成源漏区；去除假栅极堆叠结构，形成栅极沟槽；在栅极沟槽中填充高 k 材料的栅极绝缘层以及金属材料的栅极导电层，

形成高 k-金属栅极结构。

依照本发明的半导体器件制造方法，不采用氧化硅的刻蚀阻挡层，而是采用含氮气的刻蚀气体进行两步刻蚀，降低对衬底的损伤的同时还降低了工艺复杂性，此外还能优化阈值电压、有效降低 E_{OT} 、提高栅控能力以及驱动电流。

附图说明

以下参照附图来详细说明本发明的技术方案，其中：

图 1 至图 4 为依照本发明的半导体器件制造方法各步骤的剖面示意图；以及
图 5 为依照本发明的半导体器件制造方法的流程图。

具体实施方式

以下参照附图并结合示意性的实施例来详细说明本发明技术方案的特征及其技术效果。需要指出的是，类似的附图标记表示类似的结构，本申请中所用的术语“第一”、“第二”、“上”、“下”、“厚”、“薄”等等可用于修饰各种器件结构。这些修饰除非特别说明并非暗示所修饰器件结构的空间、次序或层级关系。

参照图5以及图1，在S501，在衬底上形成栅极堆叠结构，可以是前栅工艺的栅极堆叠结构，也可以是后栅工艺的假栅极堆叠结构。提供衬底1，其可以是体Si、SOI、体Ge、GeOI、SiGe、GeSb，也可以是III-V族或者II-VI族化合物半导体衬底，例如GaAs、GaN、InP、InSb等等。为了与现有的CMOS工艺兼容以应用于大规模数字集成电路制造，衬底1优选地为体Si或者SOI。在衬底1上通过LPCVD、PECVD、热氧化等沉积方法形成较薄的栅氧化层2，例如为薄SiO₂层，其厚度例如1-5nm，用于在稍后的后栅工艺去除假栅极时保护衬底。在栅氧化层2上通过LPCVD、扩散炉管等方法制备假栅极层3，其材质例如为多晶硅、非晶硅。随后采用光刻/刻蚀工艺图形化假栅极层3（优选地以及栅氧化层2），形成假栅极堆叠结构。刻蚀工艺可以包括等离子体刻蚀（采用Ar等惰性离子）、反应离子刻蚀（RIE，采用氟基气体）、或者各向异性的湿法腐蚀（例如TMAH腐蚀液刻蚀Si材质、HF基腐蚀液刻蚀SiO₂材质），刻蚀停止点可以在栅氧化层2与假栅极层3的界面处，也可以稍微过刻蚀直至暴露衬底1。假栅极堆叠2/3的布图不限于图1所示的单个线条，而是可以依照版图设计需要为多个平行或者局部相交的线条，具体地对应于以后将要形成的MOSFET的栅极位置处。假栅极堆叠结构的侧面基本是陡直的，也即假栅极堆叠结构与衬底之间的夹角基本等于90度（例如在90度

±2.5度范围内)。

参照图5以及图2，在S502，在假栅极堆叠结构上沉积介质材料。如果图1中未刻蚀栅氧化层2，则优选地先采用HF基湿法腐蚀去除假栅极堆叠之外的栅氧化层2。然后采用LPCVD、PECVD等常规沉积方法在整个衬底（晶片）上形成均匀厚度的介质材料4，介质材料4可以是氮化硅、氮氧化硅、类金刚石无定形碳等材质较硬且与之前沉积的各个材料具有较高刻蚀选择比的材质，除了用作栅极侧壁绝缘隔离之外还可以进一步为沟道区提供应力以增强器件驱动能力。优选地，通过PECVD沉积氮化硅薄膜。介质材料4的层如图2所示与假栅极堆叠结构共型，并且与之前的传统技术不同之处在于，介质材料4与假栅极堆叠结构之间并未包含任何氧化物薄层，不会增大后栅工艺器件的EoT，因此避免了驱动能力下降。介质材料4的厚度例如为20-40nm。

参照图5以及图3，在S503，执行主刻蚀，各向异性刻蚀介质材料，得到侧墙4A。例如采用等离子体刻蚀系统、基于CCP或者ICP模式的刻蚀设备，调整电极的功率、腔体的压力和反应气体的流量比例，增强各向异性刻蚀，使得假栅极堆叠结构顶部的介质材料完全被去除、假栅极堆叠结构侧壁的介质材料基本保留而构成侧墙4A、而有源区中衬底表面仅留下少量的介质材料的残余4B。刻蚀气体主要包括氟基气体，如碳氟基气体，此外还可以使用 NF_3 、 SF_6 等。为了实现陡直的刻蚀形貌，需要优化碳氟基气体的自由基及离子比例，并且需要调节聚合物量。本发明碳氟基气体可以包括 CF_4 、 CHF_3 、 CH_3F 、 CH_2F_2 。优选地，结合氧化性气体 O_2 、 CO 去除聚合物量。在实施例中，主刻蚀的刻蚀气体为 CF_4 与 CHF_3 、或 CF_4 与 CH_2F_2 、或仅为 CHF_3 ，氧化气体为 O_2 。

此外，为了精确控制刻蚀工艺的重复性、可靠性及稳定性，必须降低刻蚀速率。现有技术往往添加Ar作为稀释剂来降低刻蚀速率。然而由于氩气原子量大，动量大，对衬底的轰击明显。对于纳米级器件来讲，较易造成对下层材料的损伤，尤其当多晶硅栅极上的氧化硅衬层极薄的情况下，氧等离子体易于穿透薄氧化层而与衬底反应，造成大的硅损失值。因此，本发明的刻蚀气体成分中除了主要的氟基气体（和/或氧化性气体）之外，还引入了氦基气体，例如氦气、氦气/氩气混合物，可以明显降低对衬底的损伤。另外，由于氦气原子量小，碰撞截面小，因此单纯的氦气较难获得稳定的等子体，可用优选地采用氦气与氩气结合，使得易于在腔体内形成分散更均匀的等子体，提升刻蚀均匀性，也即氦基气体优选地为氦气与氩气的混合物。

当刻蚀到下面的硅衬底1表面时，通过反应物及生成物的谱线变化，自动触发终点检测系统，停止主刻蚀步骤，然后迅速转变到下一步骤的过刻蚀。此外，还可以通

过刻蚀速率计算所需的刻蚀时间直到接近半导致硅衬底表面，以实现无底脚（footing）的陡直形貌，然后进入下一步过刻蚀。侧墙4A的宽度基本等于原始介质材料4的厚度，或者减小的比例不大于10%，宽度具体地可以为20-40nm；而介质材料留在衬底1表面的残余4B的厚度远小于原始介质材料4的厚度，例如小于原厚度的20%，具体可以为3-5nm。侧墙4A基本是陡直的，也即侧墙4A与衬底1的夹角优选为90度。特别地，在侧墙4A与衬底1交接处，由于刻蚀停止条件的选择，拐角处可以基本或者完全没有介质材料4残余，也即此处局部的介质材料厚度可以为0。

参照图5以及图4，在S504，执行过刻蚀，去除残余的介质材料。在主刻蚀获得陡直侧墙4A形貌的基础上，需要去除整个晶片上残余的介质材料薄膜4B。由于介质材料4薄膜沉积的厚度在整个晶片上有差异，需要增加一定比例的过刻蚀。为了降低对衬底硅的损伤，必然要求介质材料4对衬底1的硅具有高的选择比，从而提升器件性能。例如采用等离子体刻蚀系统、基于CCP或者ICP模式的刻蚀设备。介质材料4（例如氮化硅）对衬底硅选择比的获得，主要依赖于反应气体的流量及其比例。与图3所示的主刻蚀类似，图4所示的过刻蚀主要采用氟基气体（与图3所示步骤相同，采用氟代烃，优选地包括CF₄、CH₂F₂、CH₃F）并结合氧化性气体（与前述相同，优选O₂）以及氦基气体（作为稀释剂），通过调节电极的功率、腔体的压力和反应气体的流量比例，以获得10:1以上的高选择比（更优选地为15:1以上），从而实现对半导体衬底有较小的损伤。在一个实施例中，过刻蚀的刻蚀气体为CF₄与CH₃F、或CF₄与CH₂F₂或仅为CH₃F，氧化气体为O₂。根据负载状况可以增加一定程度的过刻蚀（视需要而定）。

由于刻蚀设备制造厂商众多，其腔体设计亦有所不同，但基于的原理是一样的。这里，以LAM Exelan Hpt机台为基础，上述主刻蚀与过刻蚀推荐的工艺参数如下表1所示：

表1

条件	压力/ mtorr	HF/ W	LF/ W	CF ₄ / sccm	CHF ₃ / sccm	CH ₃ F/ sccm	O ₂ / sccm	Ar/ sccm	He/ sccm
主刻蚀	100-150	100-300	0-200	3-20	15-30		5-25	200-800	400-1200
过刻蚀	100-200	100-300	0-100	3-10		10-50	10-100	200-800	400-1200

其中HF、LF分别代表高频和低频功率。表1中仅给出了几种具体的刻蚀气体以及参数，但是也可以选用本说明书以上列出的其他气体并合理调整参数范围，只要能使得过刻蚀步骤中获得足够高的选择比（例如15:1以上）。

由此，最终形成了侧墙。之后可以参照后栅工艺，以侧墙为掩模进行源漏离子注入掺杂形成源漏区，在源漏区上/中形成金属硅化物以降低源漏电阻，在整个晶片上沉积层间介质层，干法刻蚀或者腐蚀去除假栅极堆叠形成栅极沟槽，在栅极沟槽中依次沉积高k材料的栅极绝缘层、以及金属材质的栅极导电层，刻蚀层间介质层直至暴露源漏区和/或金属硅化物形成源漏接触孔，在源漏接触孔中沉积填充金属材料形成源漏接触塞。

依照本发明的半导体器件制造方法，不采用氧化硅的刻蚀阻挡层，而是采用含氮气的刻蚀气体进行两步刻蚀，降低对衬底的损伤的同时还降低了工艺复杂性，此外还能优化阈值电压、有效降低E_oT、提高栅控能力以及驱动电流。

尽管已参照一个或多个示例性实施例说明本发明，本领域技术人员可以知晓无需脱离本发明范围而对形成器件结构的方法做出各种合适的改变和等价方式。此外，由所公开的教导可做出许多可能适于特定情形或材料的修改而不脱离本发明范围。因此，本发明的目的不在于限定在作为用于实现本发明的最佳实施方式而公开的特定实施例，而所公开的器件结构及其制造方法将包括落入本发明范围内的所有实施例。

权 利 要 求

1. 一种半导体器件制造方法，包括：
在衬底上形成栅极堆叠结构；
在衬底以及栅极堆叠结构上沉积介质材料层；
执行主刻蚀，刻蚀介质材料层形成侧墙，并在衬底上留有介质材料层的残留；
执行过刻蚀，去除介质材料层的残留。
2. 如权利要求 1 的半导体器件制造方法，其中，栅极堆叠结构包括栅氧化层与栅电极层，栅氧化层包括二氧化硅、氮氧化硅、高 K 材料，栅电极层包括多晶硅、非晶硅、金属栅。
3. 如权利要求 1 的半导体器件制造方法，其中，介质材料层为氮化硅，采用 LPCVD 或 PECVD 的方法沉积形成。
4. 如权利要求 1 的半导体器件制造方法，其中，主刻蚀和/或过刻蚀的刻蚀气体包括氟基气体、氧化性气体以及氨基气体。
5. 如权利要求 4 的半导体器件制造方法，其中，在主刻蚀过程中，调节电极功率、腔体压力和反应气体流量比例，增强各向异性，形成陡直的侧墙。
6. 如权利要求 4 的半导体器件制造方法，其中，在过刻蚀过程中，调节极功率、腔体压力和反应气体流量比例，获得介质材料层对衬底的高选择比。
7. 如权利要求 6 的半导体器件制造方法，其中，选择比大于 10:1。
8. 如权利要求 4 的半导体器件制造方法，其中，氟基气体包括碳氟基气体、 NF_3 。
9. 如权利要求 8 的半导体器件制造方法，其中，主刻蚀的氟基气体包括 CF_4 、 CHF_3 、 CH_2F_2 。
10. 如权利要求 8 的半导体器件制造方法，其中，过刻蚀的氟基气体包括 CF_4 、 CH_3F 、 CH_2F_2 。
11. 如权利要求 4 的半导体器件制造方法，其中，氧化性气体包括 O_2 。
12. 如权利要求 4 的半导体器件制造方法，其中，氨基气体包括氨气、氨气与氩气的混合物。
13. 如权利要求 1 的半导体器件制造方法，其中，在主刻蚀过程中，通过反应物以及生成物的谱线变化，自动触发终点检测系统，结束主刻蚀而进入过刻蚀。

14. 如权利要求 1 的半导体器件制造方法, 其中, 在主刻蚀过程中, 通过刻蚀速率计算所需的刻蚀时间直到接近衬底表面, 结束主刻蚀而进入过刻蚀。

15. 如权利要求 1 的半导体器件制造方法, 其中, 主刻蚀和/或过刻蚀采用基于 CCP 或者 ICP 模式的刻蚀设备。

16. 如权利要求 1 的半导体器件制造方法, 进一步包括:

以侧墙为掩模, 在两侧离子注入形成源漏区;

去除假栅极堆叠结构, 形成栅极沟槽;

在栅极沟槽中填充高 K 材料的栅极绝缘层以及金属材料的栅极导电层, 形成高 K-金属栅极结构。

1/2

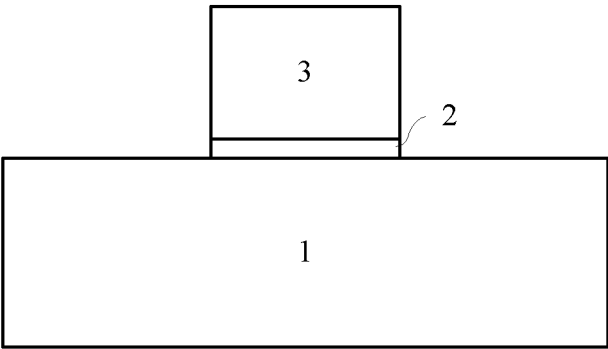


图1

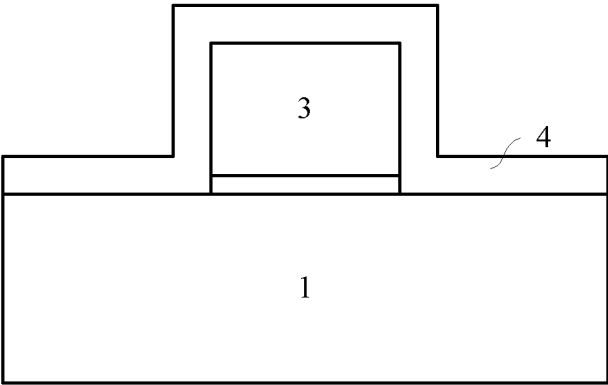


图2

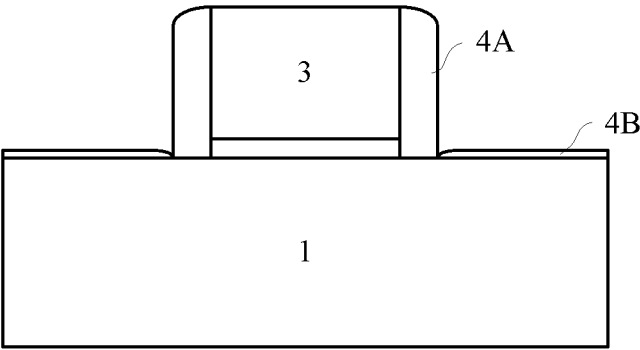


图3

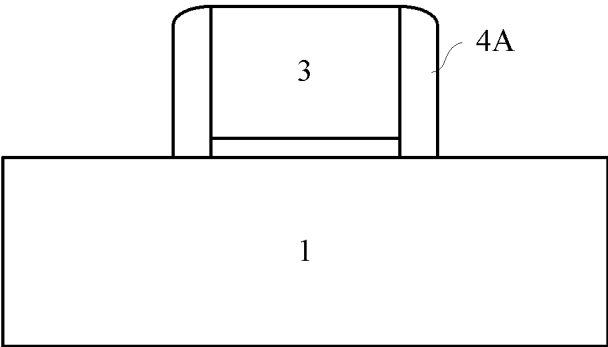


图4

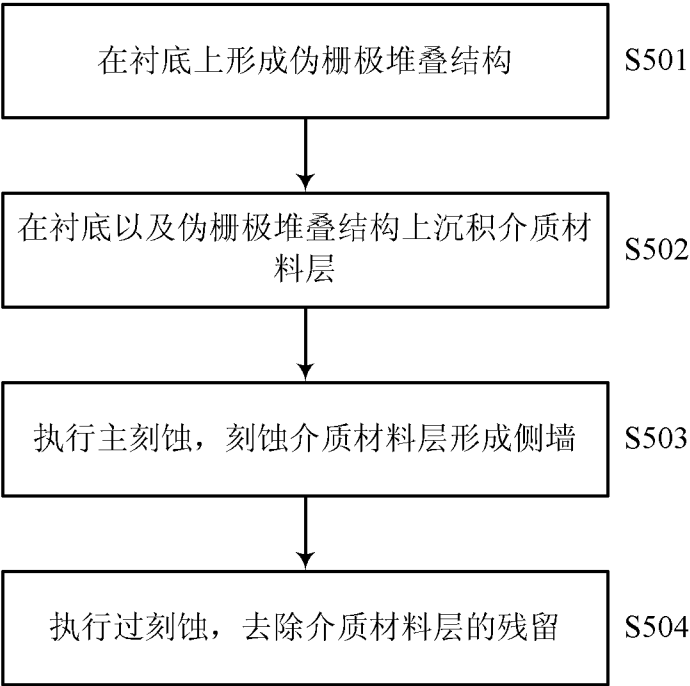


图5

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2012/081008

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L21/-; H01L27/-; H01L31/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC; gate, stack, dielectric, main, over, etch, sidewall, anisotropic, dummy

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2011186914 A1 (CHENG et al.) 04 August 2011 (04.08.2011) description, paragraphs [0027]-[0045], figures 2-12	1-3
Y		4-16
Y	US 2008153273 A1 (KIRMSE et al.) 26 June 2008 (26.06.2008) description, paragraphs [0014]-[0030], figures 1-4	4-15
Y	CN 102339752 A (INST MICROELECTRONICS CHINESE ACAD SCI) 01 February 2012 (01.02.2012) description, paragraphs [0017]-[0028], figures 1-4	16
A	CN 1601725 A (IBM CORP.) 30 March 2005 (30.03.2005) the whole document	1-16

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 28 March 2013 (28.03.2013)	Date of mailing of the international search report 11 April 2013 (11.04.2013)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer HUANG, Jinwei Telephone No. (86-10) 62411017

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/CN2012/081008

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 118898 2A(NEC CORP.) 29 July 1998 (29.07.1998) the whole document	1-16

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/081008

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US2011186914A1	04.08.2011	US2012168834A1	05.07.2012
US2008153273A1	26.06.2008	US7569464B2	04.08.2009
CN102339752A	01.02.2012	None	
CN1601725A	30.03.2005	US2005064635A1	24.03.2005
		KR20050029679A	28.03.2005
		KR100560577B1	14.03.2006
		JP2005123597A	12.05.2005
		US6991979B2	13.01.2006
		TW200514126A	16.04.2005
		TWI316263B	21.10.2009
CN1188982A	29.07.1998	JP10209443A	07.08.1998
		KR19980070637A	26.10.1998
		KR100307982B	17.12.2001

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/081008

In continuous of A. CLASSIFICATION OF SUBJECT MATTER of second sheet

H01L 21/3065 (2006.01) i

H01L 21/28 (2006.01) i

国际检索报告

国际申请号

PCT/CN2012/081008

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:H01L21/-;H01L27/-;H01L31/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI,EPODOC:gate,stack,dielectric,main,over,etch,sidewall,anisotropic,dummy

CPRS,CNPAT:栅, 堆叠, 叠层, 介电, 介质, 刻蚀, 蚀刻, 侧墙, 侧壁, 各向异性, 虚拟

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	US2011186914 A1(CHENG 等)04.8 月 2011(04.08.2011) [0027]-[0045];附图 2-12	1-3
Y		4-16
Y	US2008153273 A1(KIRMSE 等)26.6 月 2008(26.06.2008) [0014]-[0030];附图 1-4	4-15
Y	CN102339752 A(中国科学院微电子研究所)01.2 月 2012(01.02.2012) [0017]-[0028];附图 1-4	16
A	CN1601725 A(国际商业机器公司)30.3 月 2005(30.03.2005) 全文	1-16

☒ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
28.3 月 2013(28.03.2013)

国际检索报告邮寄日期
11.4 月 2013 (11.04.2013)

ISA/CN 的名称和邮寄地址:
中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451

受权官员

黄金卫
电话号码: (86-10) **62411017**

C(续). 相关文件		
类 型	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN1188982 A(日本电气株式会社)29.7 月 1998(29.07.1998) 全文	1-16

国际检索报告

关于同族专利的信息

国际申请号

PCT/CN2012/081008

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US2011186914 A1	04.08.2011	US2012168834 A1	05.07.2012
US2008153273 A1	26.06.2008	US7569464 B2	04.08.2009
CN102339752 A	01.02.2012	无	
CN1601725 A	30.03.2005	US2005064635 A1	24.03.2005
		KR20050029679 A	28.03.2005
		KR100560577 B1	14.03.2006
		JP2005123597 A	12.05.2005
		US6991979 B2	13.01.2006
		TW200514126 A	16.04.2005
		TWI316263 B	21.10.2009
CN1188982 A	29.07.1998	JP10209443 A	07.08.1998
		KR19980070637 A	26.10.1998
		KR100307982 B	17.12.2001

续: A. 主题的分类

H01L 21/3065(2006.01)i

H01L 21/28(2006.01)i