

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年12月27日(27.12.2018)



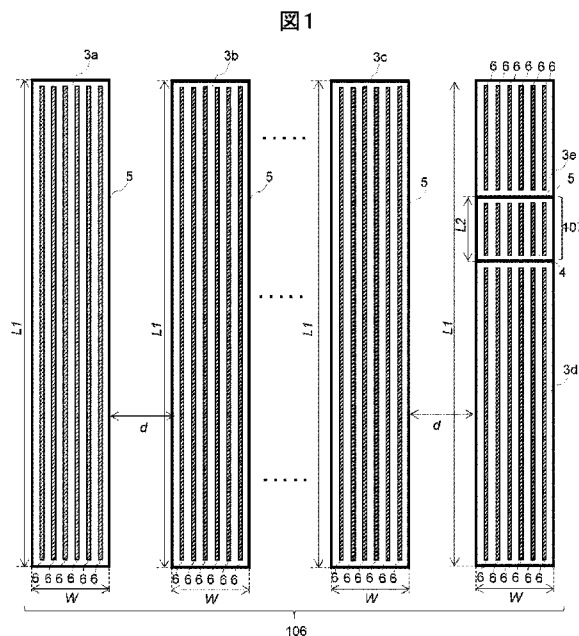
(10) 国際公開番号

WO 2018/235410 A1

- (51) 国際特許分類:
H01L 21/822 (2006.01) *H01L 27/088* (2006.01)
H01L 21/8234 (2006.01) *H03K 17/14* (2006.01)
H01L 27/04 (2006.01) *H03K 17/687* (2006.01)
- (21) 国際出願番号: PCT/JP2018/015647
- (22) 国際出願日: 2018年4月16日(16.04.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-119633 2017年6月19日(19.06.2017) JP
- (71) 出願人: 日立オートモティブシステムズ株式会社(HITACHI AUTOMOTIVE SYSTEMS, LTD.) [JP/JP]; 〒3128503 茨城県ひたちなか市高場2520番地 Ibaraki (JP).
- (72) 発明者: 和田 真一郎 (WADA Shinichirou); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 池ヶ谷 克己(IKEGAYA Katsumi); 〒3128503 茨城県ひたちなか市高場2520番地 日立オートモティブシステムズ株式会社内 Ibaraki (JP).
- (74) 代理人: 戸田 裕二(TODA Yuji); 〒1008220 東京都千代田区丸の内一丁目6番1号 株式会社日立製作所内 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) **Abstract:** The present invention suppresses a reduction in current detection accuracy caused by a temperature difference between an output MOS transistor and a sense MOS transistor and relaxes an arrangement limitation on the sense MOS transistor. This semiconductor device has: an output MOS transistor that has an output transistor unit including a source, a gate, and a drain formed in a semiconductor chip, and that outputs a current for driving an external load; and a sense MOS transistor for detecting the current outputted from the output MOS transistor, and having a sense transistor

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

unit that includes a source, a gate, and a drain formed in the semiconductor chip, and that has a width equal to that of the output transistor unit in the short direction.

(57) 要約: 出力MOSトランジスタとセンスMOSトランジスタの温度差に起因する電流検出精度の低下を抑制するとともに、センスMOSトランジスタの配置の制限を緩和する。半導体装置は、半導体チップに形成されたソース、ゲート、およびドレインを含む出力トランジスタ部を有し、外部負荷を駆動する電流を出力する出力MOSトランジスタと、前記半導体チップに形成されたソース、ゲート、およびドレインを含み、前記出力トランジスタ部の短手方向の幅と同じ幅のセンストランジスタ部を有し、前記出力MOSトランジスタから出力される前記電流を検出するためのセンスMOSトランジスタと、を有している。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、外部負荷に制御した電流を出力する半導体素子に流れる電流を検出する半導体装置に関する。

背景技術

[0002] ソレノイドなどの負荷の駆動に電流制御用半導体装置が用いられる。電流制御用半導体装置には、アンペアオーダの大電流を高い精度で制御することが求められる。高い精度で電流を制御するためには高い精度で電流を検出することが求められる。比較的低コストで、高い電流精度を検出する電流制御用半導体装置の電流検出部の回路として、電流を駆動する出力MOSトランジスタに、センスMOSトランジスタを用いた電流検出部を並列に接続したものが知られている（特許文献1参照）。センスMOSトランジスタのゲート幅を出力MOSトランジスタのゲート幅に対して、例えば $1/1000$ というように小さくすることにより、電流検出部で生じるエネルギー損失を小さくすることができる。

[0003] センスMOSトランジスタを用いた電流検出における電流検出精度は、出力MOSトランジスタとセンスMOSトランジスタの電流比の精度で決まる。出力MOSトランジスタの電流値に対するセンスMOSトランジスタの電流値をセンス比と呼ぶ。

[0004] 一般に、出力MOSトランジスタとセンスMOSトランジスタは、単位構造が同じであるため、電流駆動時には同じ電力密度となって自己発熱することになる。しかし、サイズの大きな出力MOSトランジスタの放熱性はサイズの小さいセンスMOSトランジスタと比べて悪い。そのため、出力MOSトランジスタの内部温度はセンスMOSトランジスタの内部温度と比べて大きくなる。その温度差は発熱量が大きくなるほど増大する。そのため、駆動電流量の増大と共にセンス比が小さくなり、電流検出の精度が低下してしま

う。

[0005] 出力MOSトランジスタとセンスMOSトランジスタの温度差による電流検出精度の低下を低減する技術として特許文献2に開示された技術がある。特許文献2に開示された技術では、出力MOSトランジスタを構成するマルチフィンガーMOSトランジスタの一部のチャネルをセンスMOSトランジスタ用のチャネルとして使用する。更に、前記マルチフィンガーMOSトランジスタの中心から、最も遠いチャネルまでの距離を L とすると、前記マルチフィンガーMOSトランジスタの中心から $(L / (\sqrt{3}))$ の位置に最も近いチャネルを、センスMOSトランジスタとする。これにより、センスMOSトランジスタの温度を出力MOSトランジスタの平均温度と等しくすることができる。その結果、電流駆動における出力MOSトランジスタとセンスMOSトランジスタの温度差を無くすることができるので、温度差による電流検出精度の低下を抑えられる。

先行技術文献

特許文献

[0006] 特許文献1：特開2006-203415号公報

特許文献2：特開2012-9763号公報

発明の概要

発明が解決しようとする課題

[0007] しかしながら、特許文献2の技術ではセンスMOSトランジスタの配置が制限される。特許文献2の半導体装置は、特許文献2の図3に示されているように、X方向とY方向にアレイ状にMOSトランジスタを配置し、その大部分のMOSトランジスタを出力MOSトランジスタとし、内側にある一部のMOSトランジスタをセンスMOSトランジスタとする構成となる。その構成では、センスMOSトランジスタから電極を外側に引き出すための配線により、出力MOSトランジスタの配線のレイアウトが不規則となってしまう。その結果、出力MOSトランジスタの配線の寄生抵抗が不均一となり、

MOSトランジスタ間で電流密度に偏りが生じる。これが出力MOSトランジスタにおける損失が増大したり、素子の信頼性を低下させる原因となったりする。

[0008] 本発明の目的は、出力MOSトランジスタとセンスMOSトランジスタの温度差に起因する電流検出精度の低下を抑制するとともに、センスMOSトランジスタの配置の制限を緩和する技術を提供することである。

課題を解決するための手段

[0009] 本発明のひとつの態様による半導体装置は、半導体チップに形成されたソース、ゲート、およびドレインを含む出力トランジスタ部を有し、外部負荷を駆動する電流を出力する出力MOSトランジスタと、前記半導体チップに形成されたソース、ゲート、およびドレインを含み、前記出力トランジスタ部の短手方向の幅と同じ幅のセンストランジスタ部を有し、前記出力MOSトランジスタから出力される前記電流を検出するためのセンスMOSトランジスタと、を有している。

発明の効果

[0010] 出力トランジスタ部とセンストランジスタ部とが同じ幅を有するので、出力MOSトランジスタとセンスMOSトランジスタの温度差に起因する電流検出精度の低下を抑制することができるとともに、センスMOSトランジスタを出力MOSトランジスタが配列された内側に配置する必要がないので、センスMOSトランジスタの配置の制限を緩和することができる。

図面の簡単な説明

[0011] [図1]実施例1の半導体装置の平面図である。

[図2]実施例1の半導体装置を含む電流駆動回路の回路図である。

[図3]実施例1の半導体装置を含む他の例による電流駆動回路の回路図である。

[図4]実施例2の半導体装置の平面図である。

[図5]実施例3の半導体装置の平面図である。

[図6]実施例3の半導体装置を含む電流駆動回路の回路図である。

[図7]実施例4の半導体装置の平面図である。

発明を実施するための形態

[0012] 以下、本発明の実施の形態について図面を参照して説明する。

実施例 1

[0013] 図1は、実施例1の半導体装置の平面図である。実施例1による半導体装置は、半導体チップに半導体素子を形成することにより、外部負荷（不図示）に制御した電流を出力する機能を実装した電流制御用の半導体装置である。本半導体装置は出力MOSトランジスタ106とセンスMOSトランジスタ107とを有している。

[0014] 出力MOSトランジスタ106は、半導体チップにソース、ゲート、およびドレインが形成された複数の出力トランジスタ部3a、3b、3c、3d、3eを有し、外部負荷を駆動する電流を出力する。以下、出力トランジスタ部3a、3b、3c、3d、3eを出力トランジスタ部3と総称する場合がある。

[0015] センスMOSトランジスタ107は、出力MOSトランジスタ106と同様、半導体チップにソース、ゲート、およびドレインが形成されたセンストランジスタ部4を有し、出力MOSトランジスタ106から出力される電流を検出する。センストランジスタ部4は、出力トランジスタ部3a～3eの短手方向の幅と同じ幅を有する。

[0016] なお、図中では、出力MOSトランジスタ106およびセンスMOSトランジスタ107の3電極のうちゲート電極6のみが表示されている。

[0017] 出力トランジスタ部3a、3b、3c、3d、3eはそれぞれがマルチフィンガーMOSトランジスタを有する。マルチフィンガーMOSトランジスタは、複数のチャネル（あるいはフィンガー）と呼ばれるMOSトランジスタが並列接続されたトランジスタである。以下、出力トランジスタ部3a、3b、3c、3d、3eのそれぞれを第1のトランジスタ群と呼ぶ場合がある。第1のトランジスタ群において複数のチャネルは半導体チップの配線層で接続されている。

- [0018] 出力トランジスタ部 3 a、3 b、3 c、3 d、3 e のそれぞれは絶縁膜が埋め込まれたトレンチ溝 5 で囲われている。出力トランジスタ部 3 はトレンチ溝 5 により外部から電氣的に絶縁されるとともに、外部からの熱の伝達および外部への熱の伝達が低減される。例えば、出力トランジスタ部 3 a は、長手方向の長さ（長辺長）が L_1 であり、短手方向の長さ（短辺長）が W である。
- [0019] 出力トランジスタ部 3 a、3 b、3 c、3 d、3 e は、長手方向を互いに平行にし、短手方向に並べて、互いに距離 d だけの間隔をおいて配置されている。距離 d は、出力トランジスタ部 3 a、3 b、3 c、3 d、3 e の互いの熱の干渉が十分に抑制されるような距離に設定される。距離 d は、例えば、出力トランジスタ部 3 a、3 b、3 c、3 d、3 e の短辺長 W 以上の値とされる。具体的には、距離 d は例えば $50\ \mu\text{m}$ といった値である。
- [0020] センストランジスタ部 4 は、出力トランジスタ部 3 と同様に、マルチフィンガー MOS トランジスタを有する。センストランジスタ部 4 のマルチフィンガー MOS トランジスタは、出力トランジスタ部 3 のマルチフィンガー MOS トランジスタとチャネルピッチが同じである。具体的には、センストランジスタ部 4 のマルチフィンガー MOS トランジスタは、出力トランジスタ部 3 のマルチフィンガー MOS トランジスタと同じ単位構造を有する。以下、センストランジスタ部 4 を第 2 のトランジスタ群と呼ぶ場合がある。第 2 のトランジスタ群において複数のチャネルは半導体チップの配線層で接続されている。
- [0021] センストランジスタ部 4 は、出力トランジスタ部 3 と同様に、絶縁膜が埋め込まれたトレンチ溝 5 で囲われている。センストランジスタ部 4 はトレンチ溝 5 により外部から電氣的に絶縁されるとともに、外部からの熱の伝達および外部への熱の伝達が低減される。
- [0022] センストランジスタ部 4 は、出力トランジスタ部 3 の短辺長 W と同じ幅を有しており、出力トランジスタ部 3 と隣接し幅を揃えて配置される。例えば、複数ある出力トランジスタ部 3 のうち一部の出力トランジスタ部 3 d、3

eと隣接して配置されている。

[0023] 上述した出力トランジスタ部3の短辺長Wは、長辺長L1に対してできるだけ小さくするのが望ましい。例えば、短辺長Wは長辺長L1の少なくとも $1/5$ 以下に設定する。これは、出力トランジスタ部3の面積に対する周辺長を大きくして短辺方向の放熱量を増やすことで、出力トランジスタ部3の温度を抑えて短辺方向の温度分布を平坦化し、出力MOSトランジスタ106とセンスMOSトランジスタ107との温度差を小さくすることを目的とする。さらに、短辺長Wを長辺長L1に対して小さくすれば、あるセンス比で設計されたセンスMOSトランジスタの長さL2を大きくできるので、出力MOSトランジスタ106とセンスMOSトランジスタ107の温度差を小さくすることができる。

[0024] 図2は実施例1の半導体装置を含む電流駆動回路の回路図である。図2を参照すると、センスMOSトランジスタ107のドレインと出力MOSトランジスタ106のドレインが共通接続され、外部負荷102の一方の端子に接続されている。外部負荷102の他方の端子は電源105の正極（電源電位VB）に接続されている。電源105の負極はGND（接地電位）に接続されている。センスMOSトランジスタ107のゲートと出力MOSトランジスタ106のゲートは共通接続され、制御部104の電流制御端子に接続されている。電流制御端子は制御部104が外部負荷102に流す電流を制御する制御信号を出力する端子である。出力MOSトランジスタ106のソースはGNDに接続されている。一方、センスMOSトランジスタ107のソースは電流検出回路103に接続されている。

[0025] 電流検出回路103は、センスMOSトランジスタ107を流れる電流を検出することにより、間接的に出力MOSトランジスタ106を流れる電流を検出する回路である。出力MOSトランジスタ106の電流値に対するセンスMOSトランジスタ107の電流値をセンス比と呼ぶ。センス比を小さい値に設定することにより、電流検出回路103でのエネルギー損失を小さくすることができる。出力MOSトランジスタ106を流れる電流が外部負

荷 102 を流れる電流と略等しい。

[0026] 電流検出回路 103 の内部では、オペアンプ（不図示）を用いてセンス MOS トランジスタ 107 のソースが出力 MOS トランジスタ 106 のソースと同電位に維持される。つまり、センス MOS トランジスタ 107 のソースと出力 MOS トランジスタ 106 のソースとがイマジナリーショート状態となる。イマジナリーショート状態とは 2 つまたはそれ以上の電極が直接的に接続されていないが常に同じ電位にされた状態である。電流検出回路 103 では、センス MOS トランジスタ 107 を流れる微弱な電流から、制御部 104 に入力する電流検出信号を生成するために例えばカレントミラー回路（不図示）が用いられる。電流検出回路 103 は検出した電流値を示す電流検出信号を制御部 104 に入力する。制御部 104 では、入力された電流検出信号が示す電流値を参照しながら外部負荷 102 に流す電流を制御する。このため高精度の電流制御を行うために高精度の電流検出が必要となる。

[0027] 上述したように、また図 2 に示したように、出力 MOS トランジスタ 106 とセンス MOS トランジスタ 107 は、外部負荷 102 にいずれもドレインが接続され、制御部 104 にいずれもゲートが接続される。一方、出力 MOS トランジスタ 106 のソースは GND（接地電位）に接続され、センス MOS トランジスタ 107 のソースは電流検出回路 103 を介して GND に接続されている。出力 MOS トランジスタ 106 のソースとセンス MOS トランジスタ 107 のソースは、電流検出回路 103 によりイマジナリーショート状態とされている。

[0028] 出力 MOS トランジスタ 106 とセンス MOS トランジスタ 107 は、同じチャネルピッチのマルチフィンガー MOS トランジスタからなるため、単位面積あたりのトランジスタの電力量が等しくなり、発熱密度も等しくなる。

[0029] また、図 1 に示したように、出力トランジスタ部 3 の長辺長 L_1 が短辺長 W に比べて大きいために、出力 MOS トランジスタ 106 とセンス MOS トランジスタ 107 による周辺領域への放熱において長手方向の端部の影響は

比較的小さく、この結果、出力トランジスタ部3内の温度分布は長手方向の端部を除けば長手方向にわたり略等しくなる。このため、図1に示したように、出力トランジスタ部3の長手方向の中間の一部を置き換えるようにセンストランジスタ部4を配置した場合に、出力MOSトランジスタ106の短手方向の温度分布を出力MOSトランジスタ106とセンスMOSトランジスタ107とで略等しくすることができる。この結果、出力MOSトランジスタ106およびセンスMOSトランジスタ107の自己発熱によるセンス比の変化を抑えることができる。

[0030] また、図1に示したように、センストランジスタ部4は、複数の出力トランジスタ部3のうち最も外側にある出力トランジスタ部3d、3eの長手方向に並べて配置することができる。この結果、センスMOSトランジスタ107のソース電極を取り出す配線のために出力MOSトランジスタ106の配線レイアウトの規則性を乱すことを抑えられる。

[0031] また、本実施例による出力MOSトランジスタ106およびセンスMOSトランジスタ107はLDMOS (Lateral Diffused MOS) トランジスタである。LDMOSトランジスタでは耐圧40V以上という高耐圧が可能である。一般的には、LDMOSトランジスタでは、センスMOSトランジスタを出力MOSトランジスタのアレイ内に埋め込むことで、センスMOSトランジスタと出力MOSトランジスタのドレインまたはソースは互いに半導体チップ上で電氣的に接続される。

[0032] しかし、センスMOSトランジスタと出力MOSトランジスタのドレインまたはソースは互いに半導体チップ上で電氣的に接続されることで、電流制御用半導体装置としての回路構成の自由度が低下する。電流制御用半導体装置では、メインMOSトランジスタのドレイン（またはソース）とセンスMOSトランジスタのドレイン（またはソース）の間に電流検出回路（図2における電流検出回路103）を配置するため、センスMOSトランジスタのドレイン（またはソース）と出力MOSトランジスタのドレイン（またはソース）が電氣的に接続されているとは不都合である。そのため、出力MOSト

ランジスタのドレインとセンスMOSトランジスタのドレインが電氣的に接続される構成では、出力MOSトランジスタのソースとセンスMOSトランジスタのソースの間に電流検出回路を配置する構成としなければならない。同様に、出力MOSトランジスタのソースとセンスMOSトランジスタのソースが電氣的に接続される構成では、出力MOSトランジスタのドレインとセンスMOSトランジスタのドレインの間に電流検出回路を配置する構成としなければならない。このように回路構成の自由度が低下する。

[0033] 本実施例では、図1に示したように、センストランジスタ部4と複数の出力トランジスタ部3をそれぞれトレンチ溝5で囲うことにより、センスMOSトランジスタ107と出力MOSトランジスタ106を半導体チップ上で電氣的に分離することができる。そのため、電流駆動回路の構成の自由度を高められている。

[0034] 図3は実施例1の半導体装置を含む他の例による電流駆動回路の回路図である。図2の電流駆動回路は、出力MOSトランジスタ106のドレインとセンスMOSトランジスタ107のドレインが共通接続（ショート）にされ、出力MOSトランジスタ106のソースとセンスMOSトランジスタ107のソースが同電位（イマジナリショート）にされる構成の回路であった。一方、図3の電流検出回路は、出力MOSトランジスタ106のソースとセンスMOSトランジスタ107のソースが共通接続（ショート）され、出力MOSトランジスタ106のドレインとセンスMOSトランジスタ107のドレインが同電位（イマジナリショート）にされる構成の回路である。

[0035] 図3を参照すると、センスMOSトランジスタ107のソースと出力MOSトランジスタ106のソースが共通接続され、外部負荷102の一方の端子に接続されている。外部負荷102の他方の端子はGNDに接続されている。センスMOSトランジスタ107のゲートと出力MOSトランジスタ106のゲートは共通接続され、制御部104の電流制御端子に接続されている。電流制御端子は制御部104が外部負荷102に流す電流を制御する制御信号を出力する端子である。出力MOSトランジスタ106のドレインは

電源 105 の正極（電源電位 V_B ）に接続されている。電源 105 の負極は GND（接地電位）に接続されている。一方、センス MOS トランジスタ 107 のドレインは電流検出回路 103 に接続されている。

[0036] 電流検出回路 103 は、センス MOS トランジスタ 107 を流れる電流を検出することにより、間接的に出力 MOS トランジスタ 106 を流れる電流を検出する回路である。出力 MOS トランジスタ 106 の電流値に対するセンス MOS トランジスタ 107 の電流値を示すセンス比を小さい値に設定することにより、電流検出回路 103 でのエネルギー損失を小さくすることができる。出力 MOS トランジスタ 106 を流れる電流が外部負荷 102 を流れる電流と略等しい。

[0037] 電流検出回路 103 の内部では、オペアンプ（不図示）を用いてセンス MOS トランジスタ 107 のドレインが出力 MOS トランジスタ 106 のドレインと同電位に維持される。つまり、センス MOS トランジスタ 107 のドレインと出力 MOS トランジスタ 106 のドレインとがイマジナリーショート状態となる。電流検出回路 103 では、センス MOS トランジスタ 107 を流れる微弱な電流から、制御部 104 に入力する電流検出信号を生成するために例えばカレントミラー回路（不図示）が用いられる。電流検出回路 103 は検出した電流値を示す電流検出信号を制御部 104 に入力する。制御部 104 では、入力された電流検出信号が示す電流値を参照しながら外部負荷 102 に流す電流を制御する。

[0038] 図 2 に示した実施例 1 の電流駆動回路では、出力 MOS トランジスタ 106 のソースを接地電位に接続し、センス MOS トランジスタ 107 のソースを電流検出回路 103 に接続し、出力 MOS トランジスタ 106 のソースとセンス MOS トランジスタ 107 のソースをイマジナリーショート状態にする回路例が採用された。しかし、上述したようにセンス MOS トランジスタ 107 と出力 MOS トランジスタ 106 を電氣的に分離することで、電流駆動回路の構成の自由度が高められているので、図 3 に示す実施例 2 の回路例のように、出力 MOS トランジスタ 106 のドレインを電源電位に接続し、

センスMOSトランジスタ107のドレインを電流検出回路103に接続し、出力MOSトランジスタ106のドレインとセンスMOSトランジスタ107のドレインをイマジナリーショート状態にする電流駆動回路を構成することも可能である。

[0039] 以上説明したように本実施例によれば、半導体装置は、半導体チップに形成されたソース、ゲート、およびドレインを含む出力トランジスタ部3を有し、外部負荷102を駆動する電流を出力する出力MOSトランジスタ106と、半導体チップに形成されたソース、ゲート、およびドレインを含み、出力トランジスタ部3の短手方向の幅と同じ幅のセンストランジスタ部4を有し、出力MOSトランジスタ106から出力される電流を検出するためのセンスMOSトランジスタ107と、を有する。したがって、出力トランジスタ部3とセンストランジスタ部4とが同じ幅を有するので、出力MOSトランジスタ106とセンスMOSトランジスタ107の温度差に起因する電流検出精度の低下を抑制することができるとともに、センスMOSトランジスタ107を出力MOSトランジスタ106が配列された内側に配置する必要がないので、センスMOSトランジスタ107の配置の制限を緩和することができる。

[0040] また、センストランジスタ部4が、出力トランジスタ部3の短手方向の辺とセンストランジスタ部4の出力トランジスタ部3の短手方向の幅と同じ幅を有する辺とを隣接させて、出力トランジスタ部3の長手方向に並べて配置される。したがって、出力トランジスタ部3とセンストランジスタ部4が幅を揃えて直線状に配置されるので、出力トランジスタ部3とセンストランジスタ部4の温度分布を近づけ、電流制度の低下を抑制することができる。

[0041] また、センスMOSトランジスタ107は、出力MOSトランジスタ106と同じ単位構造を有する。出力MOSトランジスタ106とセンスMOSトランジスタ107が同じ単位構造を有するので、出力MOSトランジスタ106とセンスMOSトランジスタ107とで、自身が発生する電力密度と外部から与えられる電力密度のどちらも同程度とすることができ、出力MO

Sトランジスタ106とセンスMOSトランジスタ107の温度差が生じるのを抑制することができる。

[0042] また、出力トランジスタ部3は複数個あり、センストランジスタ部4は、出力トランジスタ部3の短手方向の幅と同じ幅を有する辺をいずれかの出力トランジスタ部3d、3eの短手方向の辺と隣接させて配置される。出力トランジスタ部3が複数設けられ、センストランジスタ部4がいずれかの出力トランジスタ部3と長手方向に直線状に配列されるので、出力トランジスタ部3が長手方向に長くなり過ぎるのを抑制しつつ、出力MOSトランジスタ106とセンスMOSトランジスタ107とで短手方向の電力密度を同程度とすることができ、温度差が生じるのを抑制することができる。

[0043] また、複数の出力トランジスタ部3が長手方向を互いに平行にして短手方向に配列され、センストランジスタ部4は、短手方向の最も外側にある出力トランジスタ部3d、3eの長手方向に隣接して配置されている。センストランジスタ部4が短手方向の外側に配置されるので、センスMOSトランジスタ107の配線により出力MOSトランジスタ106の配線レイアウトが制限されるのを抑制することができる。

[0044] また、出力トランジスタ部3およびセンストランジスタ部4はそれぞれの四辺が絶縁性を有する断熱部であるトレンチ溝5により囲われている。出力トランジスタ部3とセンストランジスタ部4がそれぞれ断熱部で囲われて隔離されているので、相互に熱の影響を及ぼしあうのを抑制することができ、また出力MOSトランジスタ106とセンスMOSトランジスタ107を電氣的に分離することができる。出力MOSトランジスタ106とセンスMOSトランジスタ107との電氣的分離は電流駆動回路の構成の自由度を高める。

[0045] また、出力トランジスタ部3の短手方向の辺と、センストランジスタ部4の出力トランジスタ部3の短手方向の幅と同じ幅を有する辺とを隣接させて、2つの出力トランジスタ部3がセンストランジスタ部4を挟むように、出力トランジスタ部3の長手方向に並べて配置されている。センストランジスタ

タ部4を出力トランジスタ部3で挟むので、センストランジスタ部4と出力トランジスタ部3の内部温度に差異が生じるのを抑制することができる。

[0046] また、出力トランジスタ部3の短手方向の長さは長手方向の長さの $1/5$ 以下である。出力トランジスタ部3は長手方向に短手方向の5倍以上の長さを有するので、十分に長い長手方向に均一の出力トランジスタ部3の温度分布とすることができる。

[0047] また、出力MOSトランジスタ106およびセンスMOSトランジスタ107はLateral Diffused MOSトランジスタである。センスMOSトランジスタ107と出力MOSトランジスタ106のドレインまたはソースが半導体チップ上で電氣的に接続される高耐圧のMOSトランジスタを用いる構成において、出力MOSトランジスタ106とセンスMOSトランジスタ107の温度差に起因する電流検出精度の低下を抑制することができる。

実施例 2

[0048] 実施例1の半導体装置は2つの出力トランジスタ部3d、3eによりセンストランジスタ部4を挟むように構成されていたが、本発明がこれに限定されることはない。実施例2では、センストランジスタ部4は1つの出力トランジスタ部のみと隣接する構成の半導体装置を例示する。

[0049] 図4は、実施例2の半導体装置の平面図である。実施例2による電流駆動回路の回路図は図2に示した実施例1のものと同様である。

[0050] 図4を参照すると、実施例2の半導体装置は、センスMOSトランジスタ107のセンストランジスタ部4が出力MOSトランジスタ106の複数の出力トランジスタ部3a、3b、3c、3dのうち1つの出力トランジスタ部3dと一辺のみで隣接して配置されている点で図1に示した実施例1のものと異なる。そのため、図1における出力トランジスタ部3eがなくなり、出力トランジスタ部3dの長辺長が L_3 に伸びている。

[0051] また、センストランジスタ部4の出力トランジスタ部3dと隣接する辺の逆側の辺には、他の辺に設けられているトレンチ溝5よりも熱抵抗の大きい

トレンチ溝 7 が設けられている点でも異なる。トレンチ溝 7 の熱抵抗をトレンチ溝 5 の熱抵抗より大きくすることにより、センス MOS トランジスタ 107 で発生する熱がこの部分から放熱するのを抑えている。かかる構成によって、出力 MOS トランジスタ 106 とセンス MOS トランジスタ 107 の内部温度の差が増大するのを抑制してセンス比の駆動電流依存性を抑えながら、センストランジスタ部 4 を、センストランジスタ部 4 と出力トランジスタ部 3 を含む全体のトランジスタ部分の角部に配置することができる。その結果、出力 MOS トランジスタ 106 の配線レイアウトの規則性をより向上することができる。

[0052] 以上説明したように、本実施例によれば、出力トランジスタ部 3 とセンストランジスタ部 4 が、出力トランジスタ部 3 の短手方向の辺と、センストランジスタ部の出力トランジスタ部の短手方向の幅と同じ幅を有する辺とを隣接させて、出力トランジスタ部 3 の長手方向に並べて配置され、センストランジスタ部 4 の四辺の断熱部のうち、出力トランジスタ部 3 に隣接する辺の反対側の辺の断熱部であるトレンチ溝 7 は他の辺の断熱部（トレンチ溝 5）よりも熱抵抗が大きい。センストランジスタ部 4 の出力トランジスタ部 3 と隣接する辺の逆側の辺からより多くの熱が放出されてセンストランジスタ部 4 と出力トランジスタ部 3 の内部温度に差異が生じるのを抑制することができる。

実施例 3

[0053] 実施例 1 では、図 2 あるいは図 3 に示したように外部負荷 102 に正の電流を流す電流駆動回路に用いる半導体装置を例示した。実施例 3 では、外部負荷に正（ハイサイド）および負（ローサイド）の電流を流す電流駆動回路に用いる半導体装置を例示する。したがって、本実施例の半導体装置には、ハイサイド用の出力 MOS トランジスタおよびセンス MOS トランジスタと、ローサイド用の出力 MOS トランジスタおよびセンス MOS トランジスタがある。

[0054] 図 5 は、実施例 3 の半導体装置の平面図である。本半導体装置は、ローサ

イド出力MOSトランジスタ207と、ローサイドセンスMOSトランジスタ209と、ハイサイド出力MOSトランジスタ208と、ハイサイドセンスMOSトランジスタ210とを有している。ローサイドのMOSトランジスタ、つまりローサイド出力MOSトランジスタ207およびローサイドセンスMOSトランジスタ209に着目すると、図1に示した実施例1の出力MOSトランジスタ106およびセンスMOSトランジスタ107と同様の構成を有している。また、ハイサイドのMOSトランジスタ、つまりハイサイド出力MOSトランジスタ208およびハイサイドセンスMOSトランジスタ210に着目すると、やはり、図1に示した実施例1の出力MOSトランジスタ106およびセンスMOSトランジスタ107と同様の構成を有している。

[0055] ローサイド出力MOSトランジスタ207は、半導体チップにソース、ゲート、およびドレインが形成された複数のローサイド出力トランジスタ部10a、10b、10c、10dを有し、外部負荷を駆動する電流を出力する。以下、ローサイド出力トランジスタ部10a、10b、10c、10dをローサイド出力トランジスタ部10と総称する場合がある。

[0056] ローサイドセンスMOSトランジスタ209は、ローサイド出力MOSトランジスタ207と同様、半導体チップにソース、ゲート、およびドレインが形成されたローサイドセンストランジスタ部12を有し、ローサイド出力MOSトランジスタ207から出力される電流を検出する。ローサイドセンストランジスタ部12は、ローサイド出力トランジスタ部10a～10dの短手方向の幅と同じ幅Wを有する。

[0057] ハイサイド出力MOSトランジスタ208は、半導体チップにソース、ゲート、およびドレインが形成された複数のハイサイド出力トランジスタ部11a、11b、11c、11dを有し、外部負荷を駆動する電流を出力する。以下、ハイサイド出力トランジスタ部11a、11b、11c、11dをハイサイド出力トランジスタ部11と総称する場合がある。

[0058] ハイサイドセンスMOSトランジスタ210は、ハイサイド出力MOSト

ランジスタ208と同様、半導体チップにソース、ゲート、およびドレインが形成されたハイサイドセンストランジスタ部13を有し、ハイサイド出力MOSトランジスタ208から出力される電流を検出する。ハイサイドセンストランジスタ部13は、ハイサイド出力トランジスタ部11a~11dの短手方向の幅と同じ幅Wを有する。

[0059] なお、図中では、ローサイド出力MOSトランジスタ207、ローサイドセンスMOSトランジスタ209、ハイサイド出力MOSトランジスタ208およびハイサイドセンスMOSトランジスタ210の3電極のうちゲート電極6のみが表示されている。

[0060] 更に本実施例では、ローサイド出力MOSトランジスタ207を構成する複数のローサイド出力トランジスタ部（第3のトランジスタ群）10a、10b、10c、10dと、ハイサイド出力MOSトランジスタ208を構成する複数のハイサイド出力トランジスタ部（第4のトランジスタ群）11a、11b、11c、11dと、が互いの間隔に入り込むように交互に配置されている。どちらか一方についてみると、実施例1の間隔dと幅Wが等しい場合に相当する。本実施例では、ローサイド出力トランジスタ部10とハイサイド出力トランジスタ部11と隙間なく配置できるため、出力MOSトランジスタのチップ領域を効率よく利用することができる。

[0061] 図6は実施例3の半導体装置を含む電流駆動回路の回路図である。図6を参照すると、ローサイドセンスMOSトランジスタ209のドレインとローサイド出力MOSトランジスタ207のドレインが共通接続され、外部負荷202の一方の端子に接続されている。外部負荷202の他方の端子はGND（接地電位）に接続されている。

[0062] ローサイドセンスMOSトランジスタ209のゲートとローサイド出力MOSトランジスタ207のゲートは共通接続され、制御部104のローサイド電流制御端子に接続されている。ローサイド電流制御端子は制御部205が外部負荷202に流す電流を制御するローサイド制御信号を出力する端子である。ローサイド出力MOSトランジスタ207のソースはGNDに接続

されている。一方、ローサイドセンスMOSトランジスタ209のソースはローサイド電流検出回路203に接続されている。

[0063] ローサイド電流検出回路203は、ローサイドセンスMOSトランジスタ209を流れる電流を検出することにより、間接的にローサイド出力MOSトランジスタ207を流れる電流を検出する回路である。ローサイド出力MOSトランジスタ207の電流値に対するローサイドセンスMOSトランジスタ209の電流値でありセンス比を小さい値に設定することにより、電流検出回路203でのエネルギー損失を小さくすることができる。後述するハイサイド出力MOSトランジスタ208がオフの状態で、ローサイド出力MOSトランジスタ207を流れる電流が外部負荷202を流れる負の電流と略等しい。

[0064] ローサイド電流検出回路203の内部では、オペアンプ（不図示）を用いてローサイドセンスMOSトランジスタ209のソースがローサイド出力MOSトランジスタ207のソースと同電位に維持される。つまり、ローサイドセンスMOSトランジスタ209のソースとローサイド出力MOSトランジスタ207のソースとがイマジナリーショート状態となる。ローサイド電流検出回路203では、ローサイドセンスMOSトランジスタ209を流れる微弱な電流から、制御部205に入力するローサイド電流検出信号を生成するために例えばカレントミラー回路（不図示）が用いられる。ローサイド電流検出回路203は検出した電流値を示すローサイド電流検出信号を制御部205に入力する。制御部205では、入力されたローサイド電流検出信号が示す電流値を参照しながら外部負荷202に流す負の電流を制御する。なお、制御部205は、外部負荷202に負の電流を流すとき、後述するハイサイド出力MOSトランジスタ208をオフにする。

[0065] ハイサイドセンスMOSトランジスタ210のソースとハイサイド出力MOSトランジスタ208のソースが共通接続され、ローサイドセンスMOSトランジスタ209のドレインおよびローサイド出力MOSトランジスタ207のドレインが接続されているのと同じ外部負荷202の一方の端子に接

続されている。

[0066] ハイサイドセンスMOSトランジスタ210のゲートとハイサイド出力MOSトランジスタ208のゲートは共通接続され、制御部205のハイサイド電流制御端子に接続されている。ハイサイド電流制御端子は制御部205が外部負荷202に流す電流を制御するハイサイド制御信号を出力する端子である。ハイサイド出力MOSトランジスタ208のドレインは電源206の正極（電源電位VB）に接続されている。電源206の負極はGND（接地電位）に接続されている。一方、ハイサイドセンスMOSトランジスタ210のドレインはハイサイド電流検出回路204に接続されている。

[0067] ハイサイド電流検出回路204は、ハイサイドセンスMOSトランジスタ210を流れる電流を検出することにより、間接的にハイサイド出力MOSトランジスタ208を流れる電流を検出する回路である。ハイサイド出力MOSトランジスタ208の電流値に対するハイサイドセンスMOSトランジスタ210の電流値を示すセンス比を小さい値に設定することにより、ハイサイド電流検出回路204でのエネルギー損失を小さくすることができる。ハイサイド出力MOSトランジスタ208を流れる電流が外部負荷202を流れる正の電流と略等しい。

[0068] ハイサイド電流検出回路204の内部では、オペアンプ（不図示）を用いてハイサイドセンスMOSトランジスタ210のドレインがハイサイド出力MOSトランジスタ208のドレインと同電位に維持される。つまり、ハイサイドセンスMOSトランジスタ210のドレインとハイサイド出力MOSトランジスタ208のドレインとがイマジナリーショート状態となる。ハイサイド電流検出回路204では、ハイサイドセンスMOSトランジスタ210を流れる微弱な電流から、制御部205に入力するハイサイド電流検出信号を生成するために例えばカレントミラー回路（不図示）が用いられる。ハイサイド電流検出回路204は検出した電流値を示すハイサイド電流検出信号を制御部205に入力する。制御部205では、入力された電流検出信号が示す電流値を参照しながら外部負荷202に流す正の電流を制御する。な

お、制御部205は、外部負荷202に正の電流を流すとき、上述したローサイド出力MOSトランジスタ207をオフにする。

[0069] 上述したように、図6に示した実施例3の電流駆動回路では、接地電位GNDに接続されたローサイド出力MOSトランジスタ207と電源電圧VBに接続されたハイサイド出力MOSトランジスタ208があり、これら両トランジスタが外部負荷202に接続される。外部負荷202に電流を流す場合はハイサイド出力MOSトランジスタ208をオン状態にし、ローサイド出力MOSトランジスタ207をオフ状態にする。外部負荷202から電流を流す場合はローサイド出力MOSトランジスタ207をオン状態にし、ハイサイド出力MOSトランジスタ208をオフ状態にする。両トランジスタが同時にオン状態となることは無い。このため、一方の出力MOSトランジスタが発熱している状態のとき、もう一方の出力MOSトランジスタは発熱しない状態にある。

[0070] このため、本実施例よれば、ローサイド出力MOSトランジスタ207を構成するローサイド出力トランジスタ部（第3のトランジスタ群）10a、10b、10c、10dが略同じ環境におかれるため、それらのトランジスタの内部温度は略等しくなる。また、ローサイド出力トランジスタ部10c、10dに隣接して配置されたローサイドセンスMOSトランジスタ209を構成するローサイドセンストランジスタ部（第5のトランジスタ群）12のトランジスタの内部温度もローサイド出力トランジスタ部10のトランジスタの内部温度と略等しくすることができる。

[0071] 同様に、本実施例によれば、ハイサイド出力MOSトランジスタ208を構成するハイサイド出力トランジスタ部（第4のトランジスタ群）11a、11b、11c、11dが略同じ環境に置かれるため、それらのトランジスタの内部温度は略等しくなる。また、ハイサイド出力トランジスタ部11a、11bに隣接して配置されたハイサイドセンスMOSトランジスタ210を構成するハイサイドセンストランジスタ部（第6のトランジスタ群）13のトランジスタの内部温度もハイサイド出力トランジスタ部11のトランジ

スタの内部温度と略等しくすることができる。

[0072] 以上のように、ハイサイド出力MOSトランジスタ208とハイサイドセンスMOSトランジスタ210の内部温度を略等しくすることができる。かかる構成によって、センス比の駆動電流依存性を抑えながらも、センスMOSトランジスタ209、210を出力MOSトランジスタ207、208に対して、その短手方向の端部に配置することができるので、出力MOSトランジスタ207、208の配線レイアウトの規則性をより向上することができる。

[0073] 以上説明したように、本実施例によれば、複数の出力トランジスタ部10（あるいは11）は、短手方向の幅W以上の間隔dにおいて短手方向に並べて配置される。複数の出力トランジスタ部10（あるいは11）が短手方向にチャンネルの幅以上の間隔において配置されるので、MOSトランジスタ同士が相互に及ぼす熱の影響を十分に低減し、出力MOSトランジスタ207（あるいは208）、とセンスMOSトランジスタ209（あるいは210）に温度差が生じるのを抑制することができる。なお、本実施例では $d=W$ であるが、 $d>W$ であれば熱の影響を更に低減できる。

[0074] また、出力トランジスタ部として、電源電位VBと外部負荷202の間に配置されるハイサイド出力MOSトランジスタ208を有しトレンチ溝5で囲われた複数のハイサイド出力トランジスタ部11と、外部負荷202と接地電位GNDの間に配置されるローサイド出力MOSトランジスタ207を有しトレンチ溝5で囲われた複数のローサイド出力トランジスタ部10とを有している。そして、センストランジスタ部として、ハイサイド出力MOSトランジスタ208の電流を検出するハイサイドセンスMOSトランジスタ210を有しハイサイド出力トランジスタ部11の短手方向の幅と同じ幅を有しハイサイド出力トランジスタ部11に隣接して配置されているハイサイドセンストランジスタ部13と、ローサイド出力MOSトランジスタ207の電流を検出するローサイドセンスMOSトランジスタ209を有しローサイド出力トランジスタ部10の短手方向の幅と同じ幅を有しローサイド出力

トランジスタ部 10 に隣接して配置されているローサイドセンストランジスタ部 12 と、を有している。そして、ハイサイド出力トランジスタ部 11 とローサイド出力トランジスタ部 10 が互いに隣接して交互に配置されている。

[0075] したがって、ハイサイド出力トランジスタ部 11 とローサイド出力トランジスタ部 10 とが交互に配置され、ハイサイド出力トランジスタ部 11 とローサイド出力トランジスタ部 10 はどちらか一方がオンのとき他方がオフとなるので、高い面積効率を実現するとともに、放熱については一方にとって他方が出力トランジスタ部間に間隔を空けているのと同様に作用し、出力トランジスタ部同士が相互に及ぼす熱の影響を十分に低減することができる。

実施例 4

[0076] 実施例 3 では、ハイサイドとローサイドのそれぞれにおいて、2 つの出力トランジスタ部によりセンストランジスタ部を挟むように構成されていたが、本発明がこれに限定されることはない。実施例 4 では、実施例 2 の半導体装置のように、ハイサイドとローサイドのそれぞれにおいてセンストランジスタ部は 1 つの出力トランジスタ部のみと隣接する構成の半導体装置を例示する。

[0077] 図 7 は、実施例 4 の半導体装置の平面図である。実施例 4 による電流駆動回路の回路図は図 6 に示した実施例 3 のものと同様である。

[0078] 図 7 は、実施例 4 の構成を示す。実施例 4 の半導体装置は、ハイサイドセンス MOS トランジスタ 210 のハイサイドセンストランジスタ部 13 がハイサイド出力 MOS トランジスタ 208 の複数のハイサイド出力トランジスタ部 11 a、11 b、11 c、11 d のうち 1 つのハイサイド出力トランジスタ部 11 a と一辺のみで隣接して配置され、ローサイドセンス MOS トランジスタ 209 のローサイドセンストランジスタ部 12 がローサイド出力 MOS トランジスタ 207 の複数のローサイド出力トランジスタ部 10 a、10 b、10 c、10 d のうち 1 つのローサイド出力トランジスタ部 10 c と一辺のみで隣接して配置されている点で図 4 に示した実施例 3 のものと異なる。

る。実施例4では、実施例3と同様に、ハイサイド出力MOSトランジスタ208の複数のハイサイド出力トランジスタ部11とローサイド出力MOSトランジスタ207の複数のローサイド出力トランジスタ部10が互いに間隔に入り込むように交互に配置されている。どちらか一方についてみると、実施例2の間隔dと幅Wが等しい場合に相当する。本実施例では、ローサイド出力トランジスタ部10とハイサイド出力トランジスタ部11と隙間なく配置できるため、出力MOSトランジスタのチップ領域を効率よく利用することができる。

- [0079] 実施例4のこの点は実施例3と同様であるが、実施例4では、実施例2と同様に、ローサイドセンストランジスタ部12のローサイド出力トランジスタ部10cと隣接する辺の逆側の辺には、他の辺に設けられているトレンチ溝5よりも熱抵抗の大きいトレンチ溝7が設けられている。同じく、ハイサイドセンストランジスタ部13のハイサイド出力トランジスタ部11aと隣接する辺の逆側の辺には、トレンチ溝5よりも熱抵抗の大きいトレンチ溝7が設けられている。トレンチ溝7の熱抵抗をトレンチ溝5の熱抵抗より大きくすることにより、センスMOSトランジスタ107で発生する熱がこの部分から放熱するのを抑えている。かかる構成によって、ローサイド出力MOSトランジスタ207とローサイドセンスMOSトランジスタ209の内部温度の差が増大するのを抑制してセンス比の駆動電流依存性を抑えながら、ローサイドセンストランジスタ部12を、ローサイドセンストランジスタ部12とローサイド出力トランジスタ部10を含む全体のトランジスタ部分の角部に配置することができる。その結果、ローサイド出力MOSトランジスタ207の配線レイアウトの規則性をより向上することができる。
- また、ハイサイド出力MOSトランジスタ208とハイサイドセンスMOSトランジスタ210の内部温度の差が増大するのを抑制してセンス比の駆動電流依存性を抑えながら、ハイサイドセンストランジスタ部13を、ハイサイドセンストランジスタ部13とハイサイド出力トランジスタ部11を含む全体のトランジスタ部分の角部に配置することができる。その結果、ハイサ

イド出力MOSトランジスタ208の配線レイアウトの規則性をより向上することができる。

[0080] なお、実施例4では、ハイサイドおよびローサイドのいずれのセンストランジスタ部も全体のトランジスタ部分の角部に配置したが、いずれか一方のみのかかる構成を採用し、他方には実施例3と同様の構成を採用してもよい。

[0081] 以上説明した各実施例は本発明を説明するための例示であり、本発明の範囲を限定するものではない。当業者は、本発明の範囲を逸脱することなしに、他の様々な態様で本発明を実施することができる。

符号の説明

[0082] 3…出力トランジスタ部、4…センストランジスタ部、5…トレンチ溝、6…ゲート電極、7…トレンチ溝、10…ローサイド出力トランジスタ部、11…ハイサイド出力トランジスタ部、12…ローサイドセンストランジスタ部、13…ハイサイドセンストランジスタ部、103…電流検出回路、104…制御部、105…電源、106…出力MOSトランジスタ、107…センスMOSトランジスタ、202…外部負荷、203…ローサイド電流検出回路、204…ハイサイド電流検出回路、205…制御部、206…電源、207…ローサイド出力MOSトランジスタ、208…ハイサイド出力MOSトランジスタ、209…ローサイドセンスMOSトランジスタ、210…ハイサイドセンスMOSトランジスタ

請求の範囲

- [請求項1] 半導体チップに形成されたソース、ゲート、およびドレインを含む出力トランジスタ部を有し、外部負荷を駆動する電流を出力する出力MOSトランジスタと、
- 前記半導体チップに形成されたソース、ゲート、およびドレインを含み、前記出力トランジスタ部の短手方向の幅と同じ幅のセンストランジスタ部を有し、前記出力MOSトランジスタから出力される前記電流を検出するためのセンスMOSトランジスタと、を有する半導体装置。
- [請求項2] 前記センストランジスタ部が、前記出力トランジスタ部の短手方向の辺と前記センストランジスタ部の前記出力トランジスタ部の短手方向の幅と同じ幅を有する辺とを隣接させて、前記出力トランジスタ部の長手方向に並べて配置される、請求項1に記載の半導体装置。
- [請求項3] 前記センスMOSトランジスタは、前記出力MOSトランジスタと同じ単位構造を有する、請求項1に記載の半導体装置。
- [請求項4] 前記出力トランジスタ部は複数個あり、
- 前記センストランジスタ部は、前記出力トランジスタ部の短手方向の幅と同じ幅を有する辺をいずれかの出力トランジスタ部の短手方向の辺と隣接させて配置される、請求項2に記載の半導体装置。
- [請求項5] 前記複数の出力トランジスタ部が長手方向を互いに平行にして短手方向に配列され、
- 前記センストランジスタ部は、前記短手方向の最も外側にある出力トランジスタ部の前記長手方向に隣接して配置されている、請求項4に記載の半導体装置。
- [請求項6] 前記複数の出力トランジスタ部は、前記短手方向の幅以上の間隔において前記短手方向に並べて配置される、請求項5に記載の半導体装置。
- [請求項7] 前記出力トランジスタ部および前記センストランジスタ部はそれぞれ

れの四辺が絶縁性を有する断熱部により囲われている、請求項 1 に記載の半導体装置。

[請求項8] 前記出力トランジスタ部の短手方向の辺と、前記センストランジスタ部の前記出力トランジスタ部の短手方向の幅と同じ幅を有する辺とを隣接させて、2つの前記出力トランジスタ部が前記センストランジスタ部を挟むように、前記出力トランジスタ部の長手方向に並べて配置されている、請求項 7 に記載の半導体装置。

[請求項9] 前記出力トランジスタ部と前記センストランジスタ部が、前記出力トランジスタ部の短手方向の辺と、前記センストランジスタ部の前記出力トランジスタ部の短手方向の幅と同じ幅を有する辺とを隣接させて、前記出力トランジスタ部の長手方向に並べて配置され、

前記センストランジスタ部の四辺の断熱部のうち、前記出力トランジスタ部に隣接する辺の反対側の辺の断熱部は他の辺の断熱部よりも熱抵抗が大きい、請求項 7 に記載の半導体装置。

[請求項10] 前記出力トランジスタ部の前記短手方向の長さは前記長手方向の長さの $1/5$ 以下である、請求項 2 に記載の半導体装置。

[請求項11] 前記出力トランジスタ部として、電源電位と前記外部負荷の間に配置されるハイサイド出力MOSトランジスタを有しトレンチ溝で囲われた複数のハイサイド出力トランジスタ部と、前記外部負荷と接地電位の間に配置されるローサイド出力MOSトランジスタを有しトレンチ溝で囲われた複数のローサイド出力トランジスタ部とを有し、

前記センストランジスタ部として、前記ハイサイド出力MOSトランジスタの電流を検出するハイサイドセンスMOSトランジスタを有し前記ハイサイド出力トランジスタ部の短手方向の幅と同じ幅を有し該ハイサイド出力トランジスタ部に隣接して配置されているハイサイドセンストランジスタ部と、前記ローサイド出力MOSトランジスタの電流を検出するローサイドセンスMOSトランジスタを有し前記ローサイド出力トランジスタ部の短手方向の幅と同じ幅を有し該ローサ

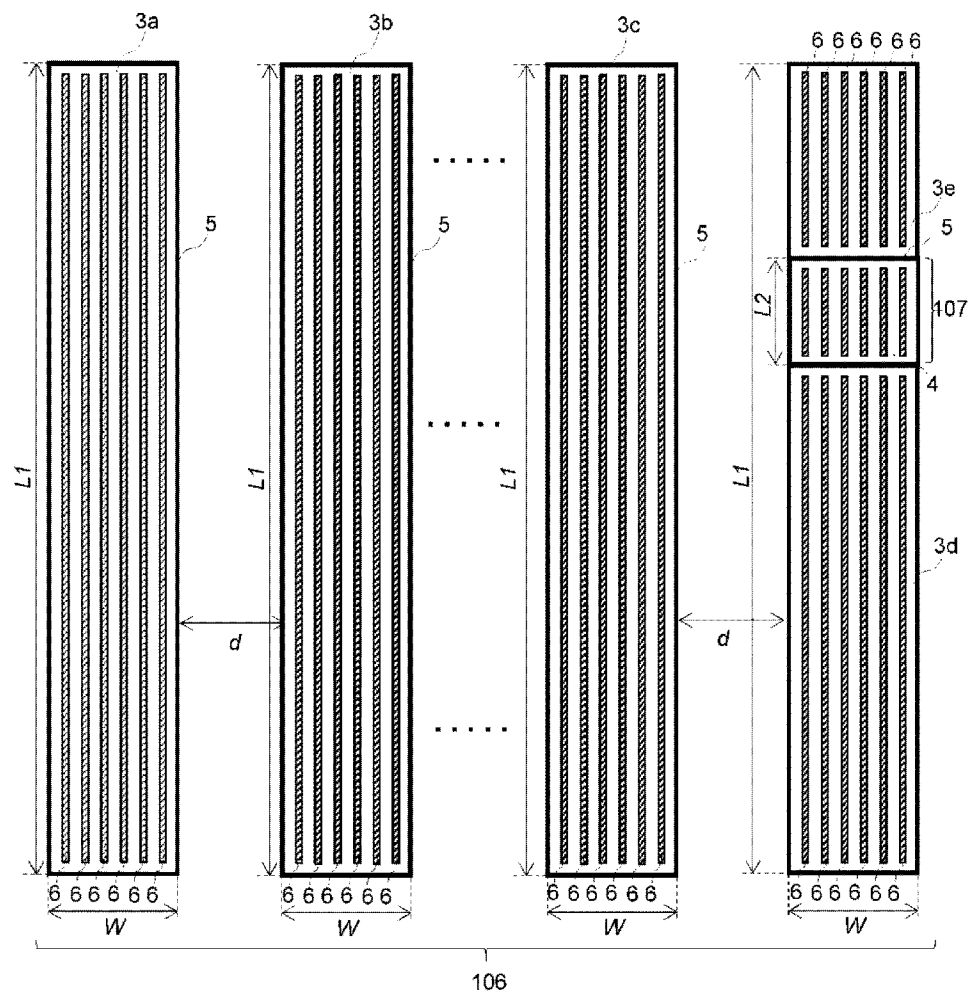
イド出力トランジスタ部に隣接して配置されているローサイドセンストランジスタ部と、を有し、

前記ハイサイド出力トランジスタ部と前記ローサイド出力トランジスタ部が互いに隣接して交互に配置されている、請求項 1 に記載の半導体装置。

[請求項12] 前記出力MOSトランジスタおよび前記センスMOSトランジスタはLateral Diffused MOSトランジスタである、請求項 1 に記載の半導体装置。

[図1]

図 1



[図2]

図2

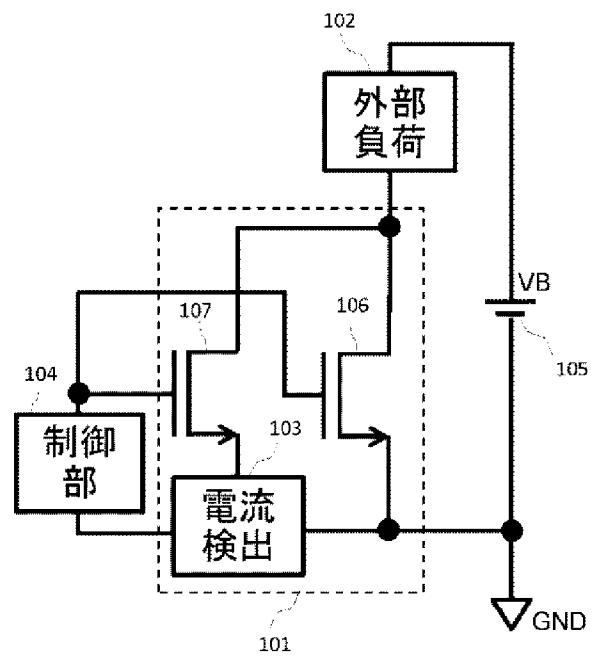
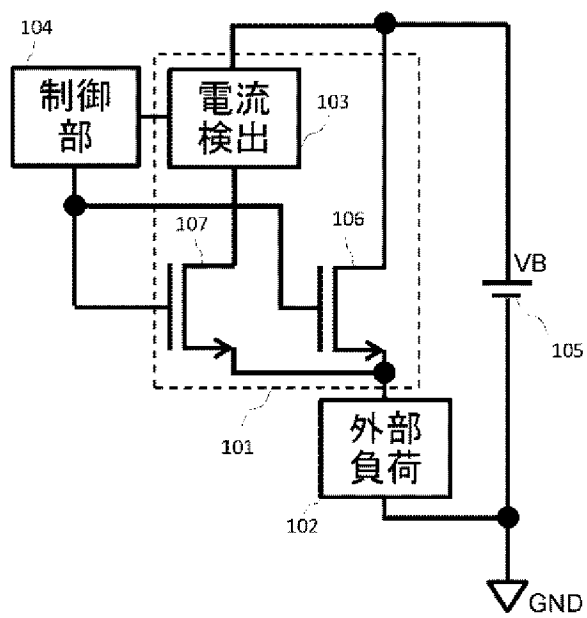
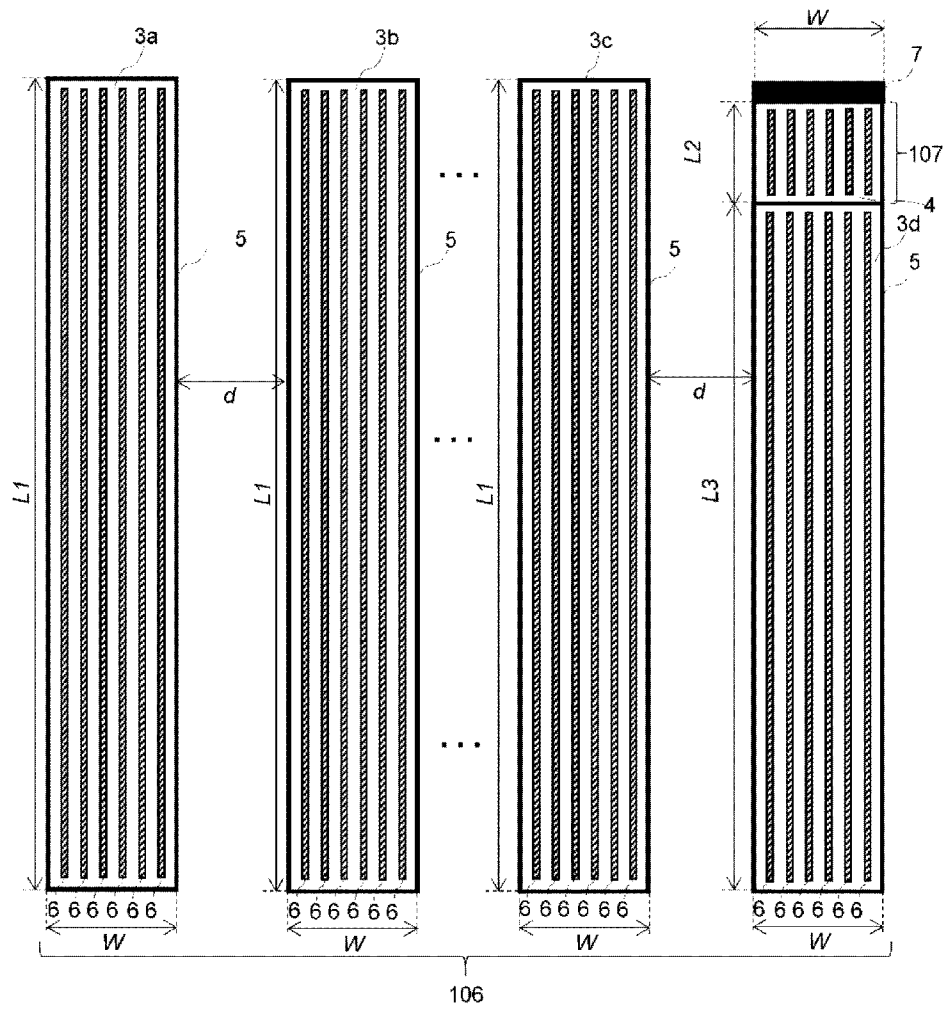


图 3



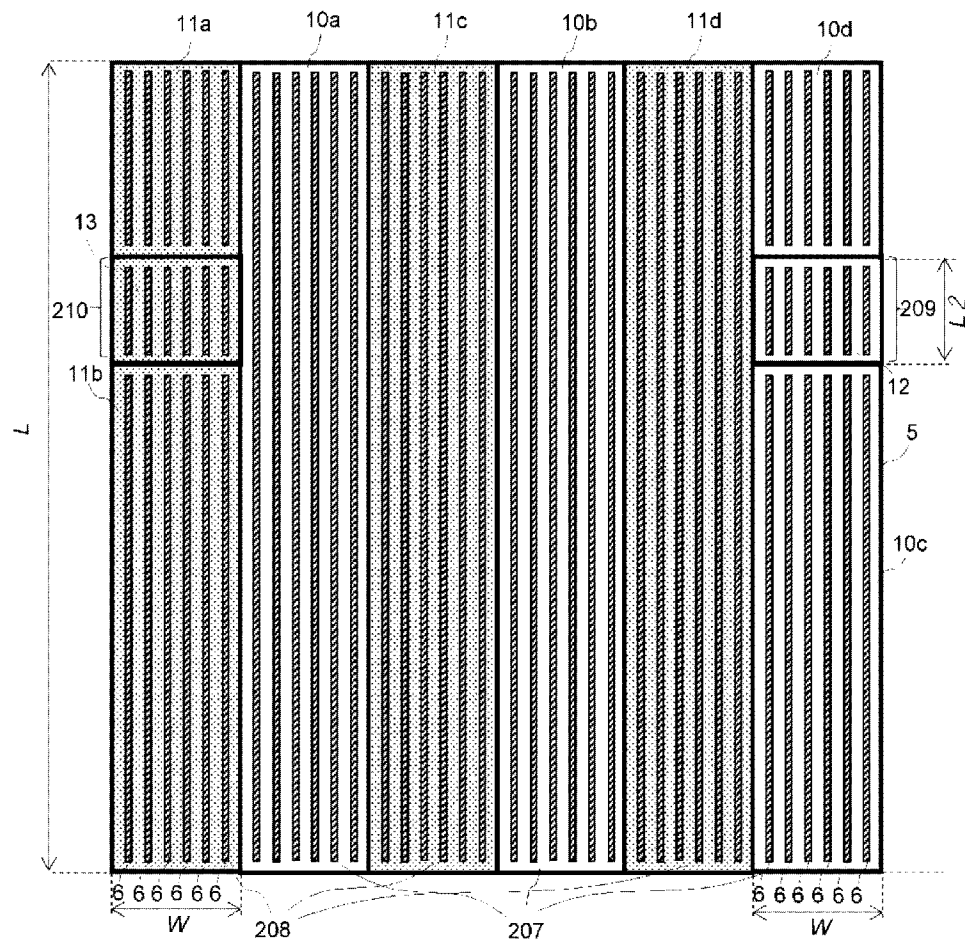
[図4]

図4



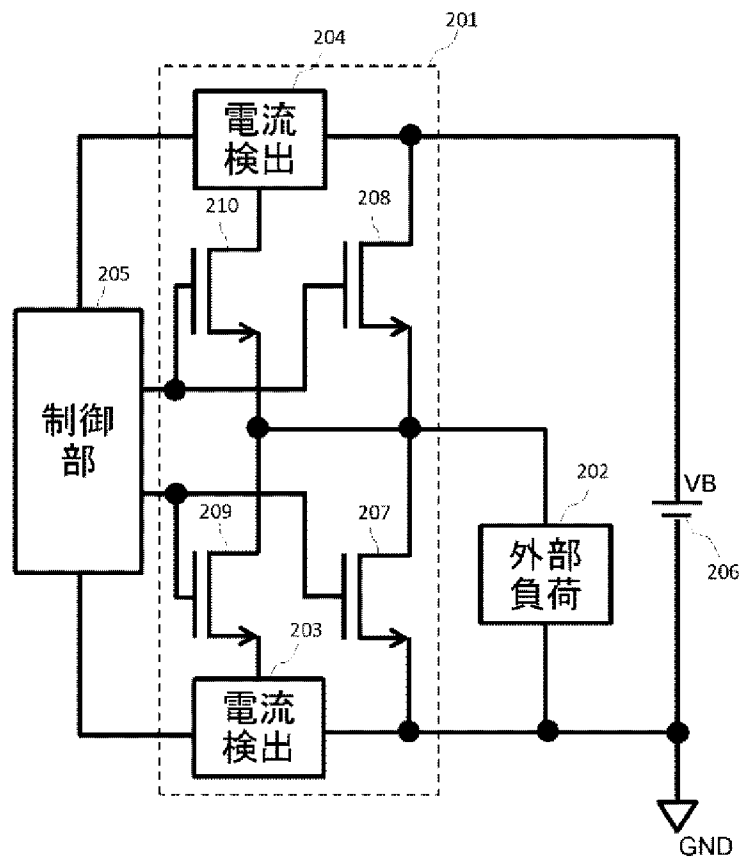
[図5]

图5



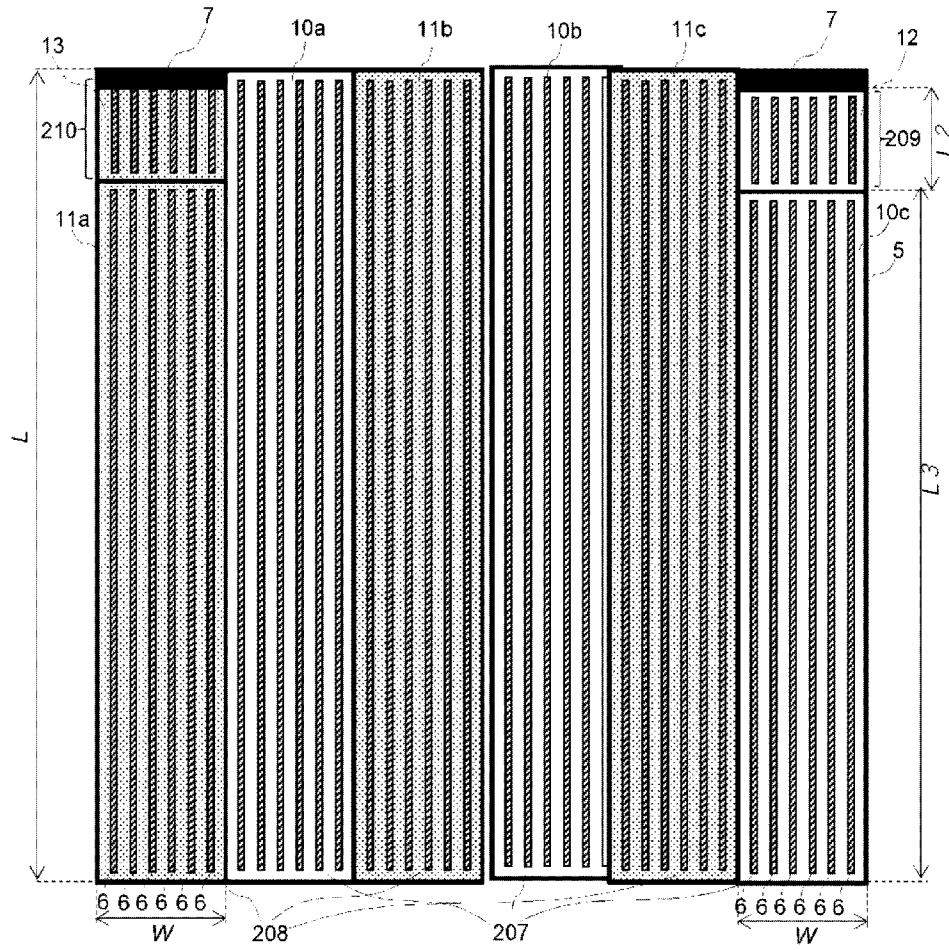
[図6]

図6



[図7]

図7



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/015647

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/822(2006.01)i, H01L21/8234(2006.01)i, H01L27/04(2006.01)i,
H01L27/088(2006.01)i, H03K17/14(2006.01)i, H03K17/687(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/822, H01L21/8234, H01L27/04, H01L27/088, H03K17/14,
H03K17/687

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 7-58326 A (FUJI ELECTRIC CO., LTD.) 03 March 1995, paragraph [0023], fig. 2, 9 (Family: none)	1-5, 10, 12 6-9, 11
A	JP 2012-256839 A (RENESAS ELECTRONICS CORP.) 27 December 2012 & US 2012/0292662 A1 & CN 102790082 A	1-12
A	JP 2007-287988 A (TOYOTA MOTOR CORP.) 01 November 2007 (Family: none)	1-12

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03 July 2018 (03.07.2018)

Date of mailing of the international search report
17 July 2018 (17.07.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/822(2006.01)i, H01L21/8234(2006.01)i, H01L27/04(2006.01)i, H01L27/088(2006.01)i, H03K17/14(2006.01)i, H03K17/687(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/822, H01L21/8234, H01L27/04, H01L27/088, H03K17/14, H03K17/687

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 7-58326 A (富士電気株式会社) 1995. 03. 03, [0023], 図 2, 9 (ファミリーなし)	1-5, 10, 12 6-9, 11
A	JP 2012-256839 A (ルネサスエレクトロニクス株式会社) 2012. 12. 27, & US 2012/0292662 A1 & CN 102790082 A	1-12
A	JP 2007-287988 A (トヨタ自動車株式会社) 2007. 11. 01, (ファミリーなし)	1-12

❑ C欄の続きにも文献が列挙されている。

❑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

03. 07. 2018

国際調査報告の発送日

17. 07. 2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宇多川 勉

5 F

3125

電話番号 03-3581-1101 内線 3516