

申請日期	89.2.16
案 號	465016
類 別	HOLL ^{1/26}

A4
C4

465016

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 新 型	中 文	形成使用於銅互連之障壁層之方法
	英 文	METHOD FOR FORMING A BARRIER LAYER FOR USE IN A COPPER INTERCONNECT
二、發明 人	姓 名	1.迪恩 J. 丹寧 2.山姆 S. 賈西亞 3.布萊利 P. 史蜜斯 4.丹尼爾 J. 陸普 5.葛羅利 諾曼 漢彌頓 6.MD. 雷魯爾 依斯籃 7.布萊恩 G. 安東尼
	國 籍	1.2.3.4.5.7.均美國 6.孟加拉
	住、居所	1.美國德州丹爾瓦爾市皮爾斯路12007號 2.美國德州奧斯汀市懷德利夫路6900號 3.美國德州奧斯汀市凱夫雪克利克路604號 4.美國德州奧斯汀市斯達唯路2502號 5.美國德州普夫葛唯爾市馬普伍德路1101號 6.美國德州奧斯汀市葛利斯頓路3500號 7.美國德州奧斯汀市布爾康尼斯路4118號
三、申請人	姓 名 (名稱)	美商摩托羅拉公司
	國 籍	美國
	住、居所 (事務所)	美國伊利諾州史堪伯市東阿崗崑路1303號摩托羅拉中心
	代 表 人 姓 名	F. 強 莫辛格

裝 訂 線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： 有 無主張優先權

美國 1999年3月2日 09/261,879 有 無主張優先權

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

參考之已申請專利案

本專利已經申請美國專利，其專利申請號碼為09/261,879，申請日期為1999年2月。

發明領域

本發明是有關於一種半導體製程，尤其是有關於銅互連的阻障層/晶種沉積製程。

發明背景

在積體電路(IC)工業中，目前已經在將銅發展成是取代互連中鋁的材料。銅互連比鋁互連更好，因為銅的製造成本較低。此外，銅互連的電阻比鋁互連低，所以產生的熱也較低。而且，銅所降低的電阻可以改善IC在較高操作頻率下的操作能力，進而改善其性能。同時與鋁比較起來，銅也改善了電漂移電阻。

雖然銅有這些優點，然而如果要變成有用的取代品，仍有許多缺點必須克服。銅的缺點包括會變成離子污染源。銅離子很容易擴散穿過製造半導體所使用到的傳統介電材料。如果沒有適當的阻止，銅會擴散到元件的主動區內，而影響到元件的可靠度。此外，銅不容易蝕刻。因此需要形成埋植結構的互連，該結構會更複雜且需要使用化學機械研磨(CMP)製程。另外，銅製程需要用到新的材料以及新的製程，如果沒有適當的結合到製造製程中，是會有很多的問題發生，而且會很複雜。

例如，當使用銅互連時，一般都需要阻障層。該阻障層在包圍銅的周邊形成，進而保護而不受到相鄰層與主動區

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(2)

的污染。鋁製程中不需要的阻障層會開發出需要特別說明的新製程以及結合問題。形成這些阻障層的材料與製程目前並不十分了解。因此，進一步改良形成阻障層所需的這些材料與製程，具有大幅加強晶圓良率，元件可靠度以及裝備更新的潛力。

許多銅製程中阻障層所使用的材料(如高溫金屬)也能負面的影響到元件的可靠度。這些可靠度問題有一部分是來自於相對於相鄰薄層的阻障層應力。因此，阻障層應力控制也有改善整體IC良率與可靠度的潛力。

此外，目前用沉積出互連中銅的製程與處理室，在厚度與均一性控制上並不是最佳化。缺少控制是一個問題。如果沉積銅層的均一性變化夠多，其良率便會受到不良的影響及/或後續的製程會變得更為複雜，以便調節來補償非均一性的沉積層。

另外，缺少銅與銅阻障層材料對處理室元件之間的黏著力，會在沉積以及晶圓輸送時產生問題。這些材料是潛在的污染顆粒源。將沉積製程作最佳化以改善這些材料的黏著力，會有改善良率以及降低處理室受污染的優點。

許多銅製程具有步階覆蓋率的問題，其中介窗與溝溝側壁是被銅層所覆蓋的程度，比起較平的表面來說會較差。此外，如果開口上半部上的沉積層沉積速率太快時，也會造成銅的空洞問題。這會使得在頂部的該層在完全填滿該開口之前被夾止住，並造成在開口內形成空洞的結果。改善步階覆蓋率並極小化空洞的方法，具有加強銅互連元件

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

之良率與可靠度的潛力。

此外，在前金屬沉積製程時的材料反向濺鍍處理，對鋁來說不是問題，但是因為之前所提及的游移離子，對銅來說卻是個問題。如果鋁是反向濺鍍到曝露的晶圓表面上時，有現成的化學藥劑與製程可以清除掉。另外，鋁不容易擴散穿過不同的薄層。相反的，反向濺鍍的銅不容易清除掉，不管是化學方法或其它方法。除非是包含在阻障層內，否則很容易擴散穿過相鄰薄層，而影響良率與可靠度。因此，會曝露出底下銅層的任何互連製程，都必須確保銅從曝露區移開是在最小程度內。

因此，工業界需要改良金屬化製程，使得銅互連能在大量且低成本下製造，以改善良率以及可靠度。

圖式的簡單說明

從以下的詳細說明以及相關圖式中，將對本發明的特點與優點有更清楚的了解，圖式中相同的參考數號代表相同的部分，其中：

圖1是依據本發明多處理室積體電路沉積系統的上視圖。

圖2是依據本發明圖1中無線電(RF)預清洗處理室的側視圖。

圖3是依據本發明圖1中阻障層沉積處理室的側視圖。

圖4是依據本發明圖1中銅晶種層沉積處理室的側視圖。

圖5是依據本發明圖4中特定放大夾具部分的側視圖。

圖6是依據本發明圖5中夾具的上視圖。

圖7是使用不適合形狀之夾具時不當影響的側視圖。

五、發明說明(4)

圖8-11顯示出使用依據本發明圖1-6之系統所形成銅互連之方法的側視圖。

圖12是依據本發明形成阻障層與晶種層供銅互連使用之方法的流程圖。

圖13是習用技術之鋁預清洗方法以及本發明新的銅預清洗方法的比較表。

圖14是供阻障層沉積處理室中線圈，靶材與晶圓用，以形成本發明阻障層之供電序列的XY圖。

技術純熟的人士可以了解到，圖式中的單元是用來做簡單且清楚的說明，而不是按實際大小來繪製。例如，相對於其它的單元來看，圖式中有些單元的尺寸是被誇大，以便有助於改善對本發明實施例的了解。

較佳實施例的詳細說明

一般，圖1-14顯示出形成銅埋植互連結構的改良方法。該方法顯示出改良的埋植或雙埋植結構之前金屬沉積製程，改良的埋植結構內銅阻障層之沉積製程，以及改良的阻障層上晶種層之沉積製程。

特別的是，在習用阻障層沉積處理室中，電氣偏壓單元被安置在靠近其它電氣導電單元的地方。在某些情形下，會造成短路並使得偏壓改變，結果產生不一致的製程。為避免在電氣偏壓晶圓基座(支撐處理室)以及其它導電處理室部分之間發生這種情況，在基座與其它導電處理室單元之間安置介電或陶瓷的絕緣環。絕緣環除了保護晶圓避免電弧與短路之外，還能確保外加偏壓能接到晶圓上，而不

五、發明說明⁽⁵⁾

會接到靠近晶圓的處理室其它導電部分上。進而確保該晶圓被正確且有效的處理，並得到所需的結果。

當使用鉭(Ta)來形成阻障層時，已經發現到，不是能很好的黏著到陶瓷絕緣環上。這會造成鉭顆粒從陶瓷絕緣環中剝落，而落在晶圓上。這些顆粒大幅的影響到積體電路的良率。為降低這些顆粒的程度，有一種設計是在陶瓷絕緣環上，以火燄噴發或電弧噴發的方式噴上一層鋁塗層。該鋁塗層會改善鉭對絕緣環的黏著性，並大幅降低污染顆粒的數目。

此外，已經發現到，在銅晶種層沉積製程時用來扣住晶圓的傳統夾具是不夠的。該夾具的上升陰影區是被設計得比晶圓的表面還高，進而使銅能在該陰影區下大量的沉積在晶圓上。這會產生銅節及/或在晶圓內造成銅厚度以漸進方式減少的區域，如同向晶圓邊緣延伸一樣(漸變銅區)。在後續的電鍍及/或化學機械研磨(CMP)操作中，這些銅節以及漸變銅區是污染顆粒源，並降低晶粒的良率，因為很容易從晶圓表面分裂成細層。此外，如果夾具接觸到晶圓中用銅濺鍍的區域，濺鍍的銅能黏著到夾具表面以及晶圓表面，使得濺鍍的銅在夾具與晶圓分開時，會被撕裂開或扯開。為避免這個問題，已經發展出一種改良夾具，在此並將說明，能避免上述的負面現象，進而大幅改善良率。

另外，在處理室保養後，將氮化鉭(TaN)塗層加到阻障沉積處理室的元件上，因為污染顆粒，能大幅的減少處理室下降時間。當處理室被塗佈上Ta₂N₃時，濺鍍在處理室內

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(6)

部元件上的殘留鈹很容易剝離，並在處理室內與晶圓上產生污染顆粒。這需要增加清洗處理室的頻率以及增加設備的關閉時間。週期性的TaN處理室塗佈/烘乾會改善鈹對內部處理室單元的黏著力，並減少污染顆粒，進而縮短處理室關閉時間，且改善半導體裝置晶粒的良率。

在習用製程中，介窗蝕刻與前金屬沉積製程一般並不是最佳化，以確保較少移除掉曝露的底下鋁層。較少移除掉鋁層通常不是一個問題，因為再沉積鋁不容易擴散穿過相鄰層，而且鋁很容易利用後續的化學處理來清除掉。然而，銅層是不同的。此時，其優點是發展出蝕刻與前金屬沉積製程，該製程伴隨著所需的任務，不會清除掉大量的曝露銅，因為銅有產生可移動離子污染的可能性。因此，在此提出新的介窗製程技術，可以降低從反向濺鍍的銅污染問題，以及從曝露互連區清除銅的問題，進而改善良率以及可靠度。此外，雖然前金屬沉積製程中所清除的銅並沒有大幅的降低，但是仍需要對開口角落進行足夠的預清洗以及磨邊或圓角處理，以改善接觸電阻，步階覆蓋率，並減少後續金屬沉積製程時空洞的形成。

另外，許多用來形成銅阻障層的高溫金屬，其薄膜應力特性相對於覆蓋以及底下的導電層與介電層，會有大幅度的變化。這種應力差距造成很嚴重的可靠度與良率問題。在此提出一種方法，說明如何沉積出複合的鈹阻障層，其中相對的來說，該層有一部分的抗張強度較強，而另一部分較弱，以降低與應力相關的相容性問題。相對於供給阻

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(7)

障層處理室目標靶的電源，改變供給阻障層處理室線圈的電源工作週期，來形成抗張強度工程複合層。另外，也使用該線圈來結合該目標靶，當作是濺鍍到晶圓上的濺鍍材料源，以形成複合薄膜(比如一種是從線圈而來，而另一種材料是從目標靶而來)，及/或改善晶圓上整體沉積層的均一性。

因此，結合以上的改善情形可以大幅度的改良阻障層以及晶種層製程，給銅互連使用。上述所結合的改善情形可以參閱圖1-14而得到進一步的了解。

圖1是多處理室積體電路沉積系統1。該沉積系統1包括二個自動控制傳送處理室，將晶圓從一個定點移動到另一個定點。第一自動處理室是緩衝處理室3，而第二自動處理室是傳送處理室2。

將晶圓安置在其中一個載入氣閘7內而進入該沉積系統1中，如圖1所示。當載入氣閘7在適當的溫度，壓力等條件下穩定後，緩衝處理室3將晶圓從載入氣閘7移到排氣與對齊處理室5。排氣與對齊處理室5使用半導體晶圓上所形成的平板或凹槽，對該晶圓做旋轉對齊，供沉積系統1用。此外，排氣與對齊處理室5對晶圓加熱，或施加能量到晶圓上，以便在將晶圓安置到不同處理室之前，去除掉晶圓上的有機污染物，水或其它不需要的物質。完成這種清除處理來降低沉積系統1中任何處理室被污染的範圍。

在排氣與對齊處理室5處理過後，經由緩衝處理室3，將晶圓移動無線電頻率(RF)預清洗處理室10內，如圖1所示

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(8)

(同時參閱2)。利用RF預清洗處理室10來對埋植介窗及/或漕溝開口的角落部分進行圓角處理。另外，預清洗處理室會清洗半導體晶圓的曝露導電部分，準備形成後續的銅阻障層以及銅晶種層。

經過預清洗處理室10的處理後，將晶圓從傳送處理室9傳送到傳送室2。傳送室2接著將晶圓安置到阻障層沉積處理室40內(見圖3)。晶圓是在控制的環境中完成經由傳送室2到處理室的傳送過程，以降低晶圓傳送時對晶圓的污染。阻障層沉積處理室40在進行銅沉積處理之前，便在晶圓上沉積出銅阻障層。該阻障層最好是鈦或其它的高溫金屬，或高溫金屬氮化物。另外，也可以使用其它型式的單一或複合材料，來形成阻障層。

形成阻障層後，晶圓被送到晶種層沉積處理室70(見圖4)。在晶種層沉積處理室70中，形成銅晶種層，而在該銅晶種層上，可以用電鍍，非電電鍍，沉積，濺鍍及/或其它方式，鍍上一層銅。形成銅晶種層後，經由傳送處理室9，將晶圓送入冷卻處理室(未顯示)內，以便在移動到緩衝處理室3之前將晶圓冷卻。緩衝處理室3接著將晶圓由傳送處理室9送到載入氣閥7內，使得晶圓離開沉積系統1。在移開晶圓時，處理過的半導體晶圓具有導電性的阻障層以及覆蓋到曝露表面上的銅晶種層，以準備進行總體銅沉積與CMP處理。

多處理室積體電路沉積系統1內特定的處理室以及次要單元將在圖3-7中做詳細說明。在此，利用圖8-11來進一步

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(9)

說明上述中經過這些處理序列後的沉積系統1對半導體晶圓的影響。此外，沉積系統1對半導體晶圓所進行的步驟，如圖1所示，將參閱圖12-14來進一步說明。因此，圖2-14的說明能讓上述的製程更容易了解。

圖2更清楚的顯示出圖1中RF預清洗處理室10。預清洗處理室10包括一圓錐體12，用來包含RF預清洗處理室10內的RF清洗環境。一般，圓錐體12是用珠狀石英做成，以加強污染顆粒的黏著力。另外，石英是介電材料，能讓外加電場(比如從線圈16而來的電場)影響到預清洗處理環境以及對晶圓的處理。因此，石英是最佳的材料，也可使用其它不會阻止外加電場通道的材料。

圓錐體12沿著邊緣與頂部，由外殼14封住，並且沿著底部，由基板18封住。單元14與18一般都是用鋁或其它能阻擋無線電波(RF)的類似金屬做成。線圈16位於外殼14與圓錐體12之間。線圈16是圓柱狀，圍繞石英圓錐體12。線圈16是經由線圈電源26而由低頻RF電源來供電。

如圖2所示，半導體晶圓22是放在晶圓基座20(晶圓夾扣)上，在此將進行進一步處理。晶圓基座20是經由基座電源24而由高頻RF電源來供電。利用真空機械夾具，靜電力或其它類似結構，將晶圓22扣在晶圓基座20上。另外，在有些系統中，晶圓可以不用扣住。圖2顯示出氣體供應線28，提供氣體到包含石英圓錐體12的內部處理室環境。提供給內部處理室的氣體環境一般是惰性濺鍍氣體，通常包括氫氣，氮氣或Xe氣。此外，圖2顯示排氣口30，從處理

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(10)

室10中移開反應後副產物與未反應的副產物，並保持晶圓處過程中的壓力。一般，處理室10會預先處理並預清洗該晶圓22，將埋植開口做圓角處理，並在沉積出阻障層與晶種層之前，清洗開口內曝露的導電表面。預清洗製程將參閱圖9與圖12做更詳細的說明。

圖3是圖1中阻障層沉積處理室40更詳細的圖式。圖3中的阻障層沉積處理室40包括用鋁或鋁電弧噴鍍不鏽鋼做成的外殼42。外殼42頂部上是頂板44。頂板44包含或支撐住旋轉磁性組合體46。當阻障層材料從濺鍍目標靶48被濺鍍到晶圓22上時，旋轉磁性組合體46將原子導入濺鍍目標靶48。濺鍍目標靶48是貼在頂板44的底部，最好是鈿(Ta)做成。另外，阻障層目標靶可以由其它材料構成，比如氮化鈿(TaN)，氮化鈦(TiN)，鈦化鈦(TiW)活其它類似材料。濺鍍目標靶48通常是由目標靶電源50，用直流電(DC)來供電，如圖3所示。

外殼42的内部周邊支撐住線圈52。線圈52連接到線圈電源54，以便在進行晶圓處理時，能對線圈做偏壓。晶圓22安置在晶圓基座56(晶圓夾扣)上的處理室40內。可以利用真空機械夾具，靜電力或其它類似結構，將晶圓22扣在晶圓基座56上。然而，在本實施例中，晶圓並未扣在晶圓基座56上。晶圓基座56被基座電源58所偏壓。特定的偏壓條件將參閱圖14做詳細說明。

供應到處理室的輸入氣體源62，所穿過的開口是在基板60內，如圖3所示。輸入氣體源口62提供不同的氣體給處

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (11)

理室40，比如氮氣，氬氣及/或Xe氣，以便更有效的進行濺鍍操作。此外，圖3顯示出排氣口64，用來清除掉濺鍍操作時所殘留的副產物，並在進行晶圓22的濺鍍處理時，調節處理室內的壓力。

為確保晶圓22能被基座電源58有效的偏壓，圖3的介電絕緣環53被用來防止晶圓與其它導電處理室單元之間的電氣接觸。最好是用陶瓷材料做成。然而，已經發現到，從鈿目標靶48所濺鍍而出的鈿(Ta)，並不能在介電絕緣環53上黏著的很好，使得鈿從介電絕緣環53剝落的情形會很頻繁，增加晶圓22的顆粒污染。這種顆粒污染會大幅降低晶粒的良率。因此，依據本發明的實施例，陶瓷或介電絕緣環53所曝露的頂部表面上，被塗佈上一層電弧噴鍍鋁或火蝕噴鍍鋁。加到陶瓷絕緣環53上的這種結構能改善在進行鈿沉積時，鈿對絕緣環53的黏著力，使得處理室內污染顆粒的控制比起習用技術的絕緣環，能大幅的獲得改善。

此外，已經發現到，從目標靶48所濺鍍而出的鈿(Ta)也很容易沉積在處理室40內的其它元件上。例如，鈿可以沉積在外殼42，夾具55，或處理室40內的其它元件上。一般，鈿是無法直接充分的黏著到這些元件上太久。如果濺鍍的鈿沒有黏著的很好，就會剝落下來，增加污染顆粒的數目，而影響做良率並增加系統的關機時間。

為避免出現這種問題，已經發現到，在清洗處理室40時，必須在將晶圓重新送回處理室40之前，就要對處理室40進行調節步驟。該調節步驟是經過氣體輸入線62，將氮

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (¹²)

氣加到處理室40內，在氮氣環境下，從目標靶48中反應性的濺鍍出鈮。例如，在其中一實施例中，這是在反應性濺鍍沉積系統中完成，經由電源50，54，及/或58，對目標靶48供給約1300-1700瓦(W)電力，對線圈52供給約1300-1700W電力，及/或對基座56供給電力，使得處理室40及其元件的部分內表面上，能形成氮化鈮薄膜的沉積。氮化鈮薄膜是沉積到厚度約0.25-0.75微米。在調節步驟時，基座上安置一片金屬板，避免濺鍍材料沉積到加熱器上。該調節步驟用Ta₂N₅塗佈在內部處理室元件上，以改善晶圓製程時鈮沉積在處理室元件上的黏著力。在特定數目的晶圓經過處理室40處理過後，要再次進行將氮化鈮(Ta₂N₅)沉積到內部處理室元件上的另一處理室保養清洗步驟以及另一調節操作。在另一實施例中，複合Ta₂N₅目標靶也可以用來將氮化鈮層沉積到內部處理室元件上，而非在氮氣環境下，將Ta從目標靶上濺鍍出來，形成Ta₂N₅層。

圖4是圖1中阻障層沉積處理室70的詳細圖式。在圖3中，沉積處理室70包括外殼72，頂板74，旋轉磁性組合體76，銅目標靶78，目標靶電源80，線圈82，線圈電源84，晶圓基座86，基座電源88，底板90，氣體輸入源92，排氣口94，類似於上述的單元。然而，圖4的晶圓支撐架與夾具結構是不同於圖3的處理室40。圖3的晶圓是不在處理室40內，圖4的晶圓是利用改良的夾具85，被夾到圖4的晶圓基座86內。

在操作中，目標靶電源80，84，88會供電給系統，而氮

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (¹³)

氣(Ar)或其它惰性氣體經過氣體輸入源92而加到處理室70中。造成銅目標靶78得銅被濺鍍到晶圓22上。在此說明的改善程度並比不上圖4中使用特定改良夾具85所得到的改善程度。因此，將藉圖5-7來詳細說明夾具85。

圖4所示的夾具85是用來降低晶圓周邊區上的銅被剝離掉，進而降低污染性顆粒，以及製造IC時與污染性顆粒有關的良率問題。圖5是圖4中夾具內部周邊部分的放大側視圖，並進一步顯示出與晶圓22有關的位置以及功能。夾具85的接觸部分100是用來扣住晶圓到底下的晶圓基座，或支撐架(未顯示)。位於夾具內徑上的上升區是指陰影區。是位於區域102上，在晶圓22的周邊部分上。圖5顯示出夾具85的陰影區是位於晶圓22表面上的距離104上。夾具設計中的很重要的一點是，如圖5中，夾具85所接觸到或是很接近晶圓22的點105。通常，如果點105沒有正確的配合夾具其它元件的尺寸大小，則將會遭受濺鍍銅的沉積。這在取出晶圓時會造成問題。當取出晶圓時，接近點105上在晶圓與夾具所連續形成的銅很容易從這二面撕開。這會產生污染顆粒，同時在稍後的處理期間，也是後續從晶圓上銅層剝離的來源。

參閱圖7中習用技術的夾具99，將更能了解到圖5所得到的改善。夾具99扣住晶圓22，銅或銅晶種層108是從底下的目標靶上濺鍍上去的。如果陰影部分的高度114太高，銅會沿著如路徑116的路徑濺鍍出去，並在陰影部分下區域的晶圓上形成。這些區域所形成的銅具有漸變厚度(從厚

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (¹⁴)

到薄)，最後到陰影部分115底下最外區的銅節為止。該陰影部分是位於朝晶圓22的周邊部分。銅節110以及漸變銅部分112會造成問題，因為在後續的銅電鍍操作中，被以非均勻的方式電鍍上去。此外，對銅節110所進行的銅電鍍與化學機械研磨(CMP)操作，可能會大幅的且負面的從晶圓上剝落下來。因此，需要儘可能的降低銅節110以及漸變銅部分112的形成。

另外，圖7中的習用夾具有時會產生不夠寬的陰影部分115。如果陰影部分115太窄及/或高度114太高，則一般讓夾具99接觸到晶圓22的點117，也有可能具有沉積在其上以及周圍的銅。最後，有足夠的銅在點117上形成，造成當分開夾具與晶圓時，點117上銅層108的撕裂或剝離，使得良率受到影響。因此，為了發展出改良且功能性的夾具，用來形成銅或銅晶種層，尺寸115與114必須以超越目前的技術來小心設計。

圖5也顯示出這種的改良夾具85，使得尺寸104小於圖7的高度114。更特別是，習用技術的夾具沒有低於8 mil之高度114的陰影部分。晶圓22上的這種“高”陰影部分至少部分是上述夾具99的問題來源。在較佳實施例中，尺寸104是小於5 mil，而在某些情形下，是小於3 mil。通常在很多情形下，圖5的尺寸104是2到5 mil之間的某個值。很重要的是，不會讓晶圓接觸到圖5夾具的內部周邊107。這是很重要的，會發生上述相對於圖7中點117的撕裂問題，除非是這次這種銅的建立與撕裂是發生在點107上，並與

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(¹⁵)

圖5的點105相反。因此，有很好的理由不會降低尺寸104到比隨晶圓表面與沉積阻障層以及晶種層及/或銅層的厚度而變化之臨界值還低的點。

此外，圖5的尺寸102通常是設定成20 mil或大於20 mil，以確保對角沉積路徑116(如圖7所示)不會在點105上產生不利的銅材料。比起尺寸104，延長尺寸102的相對大小，進一步確保可以避免掉或是降低晶種層周邊部分被撕裂。摘要的來說，改良夾具85降低銅漸變區112以及銅節110，如圖7所示，使得周邊的銅剝離與污染顆粒都降低。此外，新設計的夾具85確保接觸到晶圓的夾具85近銅表面不會發生，使得銅在形成銅晶種層時，不會從晶圓22的表面撕裂開。

在本質上，圖7的問題是因為由尺寸115與114所定義出的矩形二度空間形狀所產生。改變圖5所定義矩形區域的形狀，經由距離102與104，而形成改良的銅晶種層。因此，不是說明上述經由特定尺寸102與104所得到的夾具改良情形，而是以另一種方式來說明，上面的尺寸102必須是晶圓表面上陰影部分高度之尺寸104的2.5倍大。保守的來說，距離102必須至少是4.0倍於距離104。這種幾何關係確保圖7銅漸變區112以及銅節110的形成會降低或避免掉，同時確保銅晶種層不會從圖5的點105或周邊點107上的晶圓撕開。

圖6是圖4中處理室70所使用到的夾具85之上視圖。大部分的半導體晶圓22都包含有數字識別區106，通常是在晶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(16)

圓表面上，包含雷射刻劃文字。在圖3的處理室40中，這些數字是利用Ta阻障層來進行並覆蓋的。阻障層很薄，但數字卻很深，使得數字不會被數字形狀內的內阻障層沉積造成變形，填滿或蝕刻掉。然而，厚度可能超過0.4微米的銅晶種層，會完全將數字識別區106模糊掉或破壞掉。因此，圖4與圖5的夾具85在圖6中做成環形，當夾具是在晶圓上方時，其中有一部分是覆蓋到數字識別區106。因此，銅晶種層是在數字識別區以外的區域形成，使得這些識別符號在即使發生銅電鍍後，都還能保存下來。

因此，總結的來說，圖5-6顯示出一種改良夾具結構，在圖4的晶種層沉積處理室70內使用，以改善銅互連製程。

圖8-11以剖示圖顯示出利用上述圖1-6的系統來形成雙埋植銅互連結構的方法。

圖8顯示在基底上形成的介電區200。該基底的較佳形式是矽晶圓。然而，其它基底也可以依據在此所提出的方法來使用，比如碳化矽，鍺矽，鍺，砷化鍺，其它III-V族化合物，絕緣體上矽(SOI)基底，以及其它類似的基底。在基底上形成不同的導電層與介電層。這些導電層與介電層包括金屬，高溫金屬，矽化物，多晶矽，氮化物，氧化物，及/或其它類似材料，但並無以此為限。基底上的這些導電層與介電層形成不同的主動元件，被動元件，以及基底表面上電氣元件之間的互連區。

圖8的互連202是其中一種互連區。互連202的較佳形式是用銅材料做成，最好是雙埋植或單埋植結構，具有適當

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

的阻障層(不在圖8內特別顯示出)。在互連202上形成蝕刻阻止層204，比如氮化矽，多量矽的氮化矽，氧氮化矽，電漿蝕刻氮化物。及或其它類似的材料或複合物。在蝕刻阻止層204上形成一層或多層的介電層206。介電層206包含一個或多個四乙基正矽酸(TEOS)，矽酸硼磷玻璃(BPSG)，矽酸磷玻璃(PSG)，氟摻雜TEOS，低k介電質，氧但化物，及/或其它類似介電材料或複合物。在介電層206上形成第二蝕刻阻止層以及抗反射塗層(ARC)208。形成抗反射塗層208所使用的材料類似於形成蝕刻阻止層204所使用的材料。在抗反射塗層208上是另一介電層210，用類似上述介電層206所使用的材料與方法來形成並進行處理。

形成上述的各層204-210後，利用微影蝕刻方法，配合蝕刻製程，來形成單一埋植或雙埋植開口，穿過各層204-210，如圖8所示。在圖8中，雙埋植開口具有漕溝部分212a以及介窗部分212b。可以利用"介窗第一/漕溝最後"，"漕溝第一/介窗最後"或任何的形式，來形成開口212，產生圖8所示最後的整體結構。

在形成圖8的結構後，晶圓22被安置在系統1的載入氣閥7內，如圖1所示。將晶圓傳送到RF預清洗處理室10，如上所述。在RF預清洗處理室10內，且在電場的情形下，將氬氣或Xe氣的情性氣體離子化，來對晶圓22進行蝕刻，該電場會將離子化顆粒214導入晶圓表面上，如圖9所示。離子化顆粒214轟擊各層210，206與202的表面，如圖9所

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(¹⁸)

示。然而，離子化顆粒214是以一種特別的方式供電，使得圓角後的角落210a與206a能在不需濺鍍或從曝露表面202a去除掉部分的曝露銅晶種層202的情形下形成。這種基於深度的選擇性去除方式是利用線圈電源26，將高準位RF電源功率供電給線圈16，並利用基座電源24，將低準位RF電源功率供電給晶圓基座(見圖13)來達成的。不同的供電電源能確保沿著相對於下部曝露表面部分的上部曝露表面部分，其離子轟擊會有較高蝕刻速率(亦即，比起角落206a，角落210a被大幅度的圓角化，因為表面210是比表面206，在較高蝕刻速率下蝕刻的)。另外，在開口底部的曝露表面202承受最低程度的離子轟擊，並且還是只有極少量材料會被去除掉或濺鍍掉的開口部分。此外，從角落210a與206a上被去除掉的材料數量是大於從表面202a去除掉的材料。這些角落的圓角化改善了後續沉基阻障層與導電層的步階覆蓋率，並讓這些薄層在開口內更均一的沉積，幫助降低開口底部的空洞。

在習用技術中，線圈電源以及晶圓基座電源(晶圓電源)通常被設定成相同的功率準位，比如200瓦(見圖13的實例)。使用相同的功率準位，因為鋁互連中曝露鋁的去除與濺鍍並不會對積體電路的良率與可靠度造成不良影響。然而，圖9中被反向濺鍍並從表面202a上去除掉，接著又再沉積到介電層210與206上的銅，會影響到良率，不像習用技術中的鋁。介電層210與206上的任何沉積銅很容易擴散穿過介電層210與206，有可能污染到裝置，並造成良率降

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

低。此外，不容易用處理鋁時所使用的化學處理或蝕刻來去除掉銅污染物。因此，對裝置的可靠度來說，其優點是圖9的製程會降低從互連202的表面202a上去除掉銅的速率。

摘要的說，對圖2的處理室10所進行的圖9製程，會形成圓角角落210a與206a，改善步階覆蓋率並降低後續銅互連空洞，同時利用降低銅從表面202a上的濺鍍速率，而達到減少造成良率降低之銅污染的可能性。

在圖9所述的預清洗製程進行完後，晶圓22被移出圖1的處理室10，到圖1的阻障層沉積處理室40內。要注意的是，圖1的阻障層沉積處理室40比圖3更為詳細。圖10顯示出阻障層220是沉積在之前所述圖9中使用處理室40的晶圓表面上，如圖1與圖3所示。通常，阻障層220的厚度約為200埃到750埃之間，最好是用鈹(Ta)層。較佳的情形是，有些部分的介電層210具有較差的抗張強度，而其它部分的介電層210具有較高的抗張強度，以便調節複合阻障層220的應力大小。亦即，在圖10中至少有一部分的介電層210具有較高的抗張強度，且至少有一部分的介電層210具有較差的抗張強度，形成完整的Ta阻障層。這種阻障層220能降低在IC製造中與應力有關的可靠度問題，一般是會改善IC的良率。用來形成複合式高抗張強度以及低抗張強度的阻障層220之特定方法，特別參閱圖12與圖14來提出說明。

在圖1的處理室40內形成阻障層220後，晶圓22從處理室

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

竣

五、發明說明(20)

40移到處理室70。要注意的是，圖4進一步詳細顯示出處理室70。在圖4中，上述圖5與圖6的改良夾具被用來在圖10的阻障層220上形成改良銅晶種層222。一般，銅晶種層222是當作銅層，並且其厚度是在100埃與2000埃之間。有時，特別是接近垂直介窗側壁，該晶種層的厚度會大於側壁上平面厚度。然而，上述圖9中圓角後的角落210a與206a能改善步階覆蓋率。此外，比起習用技術所使用的硬體與製程，在圖10製程中使用圖5與圖6的改良夾具可以大幅改善良率，尤其是晶圓的周邊。

另外，已經發現到，從處理室線圈以及處理示目標靶所濺鍍的晶種層及/或阻障層會大幅改善其均一性。此外，結晶顆粒尺寸小於50微米的銅晶種層線圈，會改善銅晶種層的品質，並且對於電子漂移以及可靠度來說具有優點。一般在習用技術中，相信線圈的結晶顆粒尺寸對銅晶種層品質的影響較小。

此外，從線圈以及目標靶的濺鍍材料進一步控制應改善銅晶種層的均一性。與從線圈上不需發生的殘留濺鍍是不一樣的。該材料是不用從線圈上濺鍍，因為這種濺鍍沒有任何優點而只會限制住線圈的使用壽限。然而在任何的濺鍍系統中，從處理室上都會有一些微小的濺鍍材料出來，使得沉積層有一部分是從線圈上移過來的材料。例如，本發明的實施例提供銅晶種層材料中至少5%的材料是從線圈過來的，而一般在習用技術中，銅晶種層材料中只有1-2%的材料是從線圈過來的。此外，線圈以及目標靶都是用銅

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

五、發明說明(²¹)

或銅合金做成，或是不相同的材料，以便在晶圓上形成複合阻障層。摘要的來說，從線圈上的供電以及濺鍍可以提供額外的優點，進一步控制沉積層的均一性。

圖11進一步顯示在沉積出銅填滿材料並形成雙埋植互連結構後的圖10雙埋植開口。在圖11中，使用無電電鍍，電鍍或CVD製程，在晶種層222上以及雙埋植開口內沉積出銅層224。因此，填滿開口並降低或沒有空洞的銅層224會在晶種層222上形成。通常，銅層224的厚度在5000埃與1.2微米之間。形成銅層224後，進行化學機械研磨(CMP)製程，去除掉部分的銅層224，晶種層222以及不在雙埋植開口內的阻障層。這種研磨製程會產生雙埋植互連結構，如圖10所示。

圖12以流程圖顯示出由圖1中系統1安置晶圓的位置，到圖1中該晶圓被移開的地方的集積化製程。第一步驟400中，晶圓22是被安置在圖1的載入氣閥7內。在步驟402中，該晶圓由載入氣閥7被移到排氣處理室5。在緩衝室3內，對晶圓加熱，從晶圓表面上去除掉有機物以及水氣，準備給其它處理室進行後續處理用。此外，處理室5在空間上將該晶圓對齊到晶圓凹槽或晶圓平板。

在步驟406中，晶圓由處理室5經由緩衝室3，傳送到處理室10。處理室10對晶圓22進行RF預清洗處理。步驟408中的特定預清洗處理條件與圖13的習用技術預清洗條件進行比較。該製程以及其影響進一步在圖9的剖示圖中說明。在圖13中，習用技術預清洗製程會將線圈以及晶圓的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

始

五、發明說明(22)

供電功率設定到大約相同的功率準位。這種供電功率的設定是基於產量的考量來完成的。當線圈以及晶圓電源都設定到高功率(比如200瓦)時，該預清洗製程會以高速率去除掉晶圓所有表面上的材料。因此，基於產量的考量便需要高功率製程，使得開口內底下大量曝露的鋁也被濺鍍到晶圓表面上。然而，習用技術製程並不考慮鋁的濺鍍，因為濺鍍的鋁會被去除掉，而且鋁不會造成污染問題。

然而，圖12中的步驟408是在表面202a上出現曝露銅時的預清洗製程，如圖9所示。依據本發明的實施例，線圈功率增加到300瓦，或大於300瓦，而晶圓功率降低到100瓦或更低，造成功率梯度。這些功率是保守的數目，而且只是需要用來保持線圈功率與晶圓功率之間大約2:1的功率比率。這種功率梯度確保從介電層210的曝露表面上材料的濺鍍或去除，會比從介電層206的曝露表面上材料的濺鍍或去除來的更為激烈，也比從圖9底下開口的曝露銅表面202a所濺鍍的材料量更多。因此，也會發生圖9中角落210a與206a的圓角化優點(角落210a比角落206a稍微圓)，其中這種圓角化會改善步階覆蓋率並降低空洞。除了提供圓角化外形的優點以外，功率梯度還會極小化從圖9表面202a上對銅的去除，進而對於銅互連來說，習用技術鋁製程中不用考慮的問題會被極小化。

從圖13回到圖12，步驟410接在步驟408之後。步驟410將圖1-2的預清洗處理室10內之晶圓22傳送到圖13的處理室40中。在步驟412中，圖3的處理室40沉積出圖10中的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

位

五、發明說明 (²³)

阻障層 220。依據圖 14 的處理程序，進行阻障層的沉積製程。

在圖 14 中，當晶圓被安置到處理室 40 內以及處理室達到穩定後，將 1000 瓦(目標靶偏壓)的功率加到圖 3 的目標靶 48。在圖 10 的阻障層 220 沉積過程中，持續提供電源功率。雖然目標靶電源功率為 1000 瓦，但是可以使用其它任何的電源功率設定值，視所需處理結果以及沉積設備型式而定。在阻障層沉積過程中的起動時間之內，加到目標靶偏壓的功率是 1000 瓦，而經由圖 3 的基座電源 58 加到晶圓 22(晶圓偏壓)的功率則設定成低功率或零。起動時間過後，晶圓偏壓從大約零瓦改變到 450 瓦，從互連開口底部，將阻障層材料反向濺鍍到開口的側壁上，以改善開口內阻障層的整體覆蓋率。加到晶圓偏壓的波形與圖 14 所示的可以不相同。此外，可以上升到另一功率準位，而非 450 瓦，視所需處理結果以及沉積設備型式而定。有一些系統在阻障層沉積過程中，無法對晶圓進行偏壓。

圖 14 顯示出，結合較佳的目標靶偏壓功率波形以及晶圓偏壓波形，可以使用三個線圈功率波形 600，602 與 604 的其中之一。第一線圈功率波形 600 顯示，圖 3 線圈 52 的供電與目標靶 48 的供電幾乎是在相同時間。因此，功率波形 600 指出該線圈是被加上約 1500 瓦的功率，而目標靶 48 在同時一開始是被加上約 1000 瓦的功率。雖然功率波形 600 代表大約 1500 瓦的功率，但是如果有需要的話，也可以使用其它的功率準位，以便應付不同的製程與設備。經過一

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (²⁴)

段特定的時間後，如圖14的功率波形600所示，在停止阻障層沉積製程之前，線圈功率會被關掉或降低。亦即，圖10中阻障層220的起始部分，一開始時是在高線圈功率處理程序下進行沉積的，而阻障層220的另一部分是在低線圈功率或零功率處理程序下進行沉積的。高線圈功率處理程序下所沉積的鉭阻障層與低線圈功率處理程序下所沉積的鉭阻障層，在應力特性上是不相同的。在線圈功率過程中，所沉積的鉭阻障層具有較低的抗張強度。因此選擇性的控制阻障層沉積時的線圈功率，使得阻障層的應力能應付其上層與下層的相對應應力，進而改善黏著力以及整體的IC良率。

上述不同阻障層之間應力特性的差距，相信是因為當遞增的功率加到線圈上時，氬氣(或其它類似的情性氣體)對阻障層的結合速率不同所造成。特別是，當供電給該線圈時，處理室內的氬氣被離子化到很高的程度，並在阻障層內大量的沉積下來。當不供電給線圈時，處理室40內(見圖3)只有較少的氬氣會被離子化，使得只有較少的氬氣結合到阻障層上。因此阻障層中不同深度的氬氣差距/梯度是正比於線圈工作週期曲線(圖14功率波形600，602與604的其中之一)。據信，最後阻障層內氬氣的梯度會改善圖10阻障層220的應力特性。

圖14顯示另一可能的線圈功率波形602，使得圖3的線圈52在目標靶電源加上的一開始時，便被關掉。在沒有加上線圈功率的起始阻障層沉積期間之後，便起動該線圈電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

五、發明說明 (25)

源，如圖14的功率波形602所示。因此，功率波形602基本上是功率波形600的相反，使得功率波形602所產生的阻障層，與經由功率波形600所形成的阻障層來做比較，具有相反的應力分佈。使用功率波形602的處理程序時，沉積製程的第一階段一開始便沉積出抗張強度更強的鉍阻障層，而沉積製程的第二階段則沉積出抗張強度較低的鉍阻障層。

圖14還顯示第三種功率波形604，可以用來形成圖10的阻障層220。功率波形604顯示，加到線圈52的脈衝功率(週期性或非週期性)。當使用圖14的脈衝線圈功率波形時，會持續在晶圓22上沉積出具有抗張強度較差以及更強的鉍，成交互變化的阻障層，以便形成圖10的阻障層220。因此，已經決定出，在沉積處理時，對線圈選擇性的至少供電以及關電一次，可以調節阻障層的應力，以便應付複數個不同限制以及條件。此外，雖然圖14主要是顯示出步階覆蓋率波形，但是也可以應用到線圈，目標靶，及/或晶圓上的該波形，並無需要是步階功能曲線。例如，可能使用三角(鋸齒)波形，正弦波形，對數功率曲線，指數功率曲線，這些曲線的結合，或任何其它的類比，連續，或量化的波形，以便產生圖10中不同應力特性的鉍阻障層220。另外，這種製程方法也可以用不同的導電層，比如金屬，高溫金屬，以及容易產生與應力有關問題的高溫金屬氮化物。另外，雖然整個說明書中是使用抗張強度較差以及較強來說明材料的相對應應力，但是熟知該技術

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

收

五、發明說明(²⁶)

領域的人士會了解到，抗張強度較差以及更容易壓縮都可以交互使用。

回到圖12，一旦以圖14中以及上述的方式完成步驟412後，在步驟414中將晶圓22從處理室40傳送到處理室70。圖1顯示出處理室70而且在圖4中做更詳細的說明。當晶圓22經由步驟414而被傳送到處理室70後，利用步驟416在晶圓22上沉積出圖10的銅晶種層222。這種沉積製程使用上述圖4-6中的改良夾具85。因此，沉積出銅晶種層，而且該半導體裝置會有較佳的良率，因為在CMP及/或銅電鍍操作期間，接近晶圓周邊的後續銅層的剝離情形已經被降低。

在步驟418中，當銅晶種層416沉積後，晶圓22從處理室70，經由處理室2，而被傳送到處理室3，然後回到圖1的載入氣閥7。此時，載入氣閥7對於大氣條件已經穩定，而晶圓22從系統1中被取出。該晶圓再傳送到銅電鍍，非電氣電鍍，或CVD處理室(未顯示)，進而沉積出銅互連。在這種金屬製程完成後，利用化學機械研磨(CMP)製程，形成埋植或雙埋植互連結構，如圖11所示。

雖然本發明已經參閱特定的實施例做了說明，進一步的修改以及改良對於熟知該技術領域的人士來說是會發生的。因此要了解的是，本發明包括所有這些不偏離本發明精神與範圍下的修改，如所附申請專利範圍中所述。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

收

四、中文發明摘要(發明之名稱:形成使用於銅互連之障壁層之方法)

一種形成改良銅埋植互連(圖11)的方法，由處理室(10)內的埋植結構開始，進行RF預清洗操作(408)。RF預清洗操作會旋轉該結構的角落(210a與206a)，以降低空洞的產生，並改善步階覆蓋率，而不會從底下曝露的銅互連表面(202a)上大幅的移除掉銅原子。接著沉積出鈹阻障層(220)，其中有一部分鈹阻障層的抗張強度比鈹阻障層的另一部分還強。形成鈹阻障層(220)後，在阻障層的頂部上形成銅晶種層(222)。該銅層的形成是使用改良的夾具(85)夾住晶圓，以降低對晶圓邊緣上銅的刮傷以及損害。接著利用銅電鍍與化學機械研磨(CMP)製程，來完成銅互連結構。

英文發明摘要(發明之名稱:METHOD FOR FORMING A BARRIER LAYER FOR USE IN A COPPER INTERCONNECT)

A method for forming an improved copper inlaid interconnect (FIG. 11) begins by performing an RF preclean operation (408) on the inlaid structure in a chamber (10). The RF preclean rounds corners (210a and 206a) of the structure to reduce voiding and improve step coverage while not significantly removing copper atoms from the underlying exposed copper interconnects surfaces (202a). A tantalum barrier (220) is then deposited where one portion of the tantalum barrier is more tensile than another portion of the tantalum barrier. After formation of the barrier layer (220), a copper seed layer (222) is formed over a top of the barrier layer. The copper layer is formed while clamping the wafer with an improved clamp (85) which reduces copper peeling and contamination at wafer edges. Copper electroplating and chemical mechanical polishing (CMP) processes are then used to complete the copper interconnect structure.

六、申請專利範圍

1. 一種在晶圓(200)上形成阻障層(220)的方法，該方法包括：
 - 將晶圓(200)安置在處理室(40)內；
 - 對濺鍍目標靶(48)供電，經過第一時距的時間；
 - 對線圈(52)供電，經過第二時距的時間，其中該第二時距是不同於第一時距；以及
 - 在沉積出阻障層(220)的期間，對濺鍍目標靶(48)以及線圈(52)的供電功率進行控制。
2. 一種在晶圓(200)上形成鉍阻障層(220)的方法，該方法包括：
 - 形成具有第一抗張強度的第一部分鉍阻障層(220)；
 - 形成具有第二抗張強度的第二部分鉍阻障層(220)，其中該第二抗張強度與該第一抗張強度是不相同；以及
 - 在鉍阻障層(220)上形成導電層(222)，其中導電層(222)大部分是包括銅。
3. 一種在至少一晶圓(200)上形成阻障層(220)的方法，該方法包括：
 - 將處理室(40)的表面，塗佈上一層高溫金屬氮化物；
 - 至少一晶圓(200)上形成阻障層(220)，其中阻障層(220)包括高溫金屬；以及
 - 經過一段時間後，再次將處理室(40)的表面，塗佈上另一層高溫金屬氮化物。
4. 一種在晶圓(200)上形成薄層的方法，該方法包括：
 - 將晶圓安置在處理室(70)內，該處理室具有目標靶

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

六、申請專利範圍

(78)以及線圈(82)；以及

從目標靶(78)上去除掉第一材料，並從線圈(82)上去除掉第二材料，將第一材料以及第二材料沉積在晶圓(200)上。

5. 如申請專利範圍第4項之方法，其中該第二材料的結晶顆粒大小低於約50微米。

6. 一種在晶圓(200)上形成薄層(220)的方法，該方法包括：

在介電層內形成開口(212)，其中該開口曝露出底下的互連(202)，而且該開口(212)具有角落部分，是在介電層開口交接面的側壁部分之區域內形成，該介電層是垂直於側壁部分；以及

對該開口(212)進行蝕刻，其中加到線圈(26)上的第一電源功率至少是加到晶圓基座(24)上的第二電源功率的二倍，而且其中對該開口所進行的蝕刻處理，會將角落部分(206a，210a)圓角化。

7. 如申請專利範圍第6項之方法，進一步包括：

當該開口(212)的蝕刻處理完後，在該開口(212)內，形成阻障層(220)；以及

形成含銅層(222)，覆蓋住阻障層(220)。

8. 一種在晶圓(200)上形成薄層(222)的方法，該方法包括：

將具有曝露阻障區(220)的晶圓(200)安置在處理室(70)內；以及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

將晶圓(200)扣住，固定到底下支撐架(86)上，其中扣住晶圓(200)的操作包括使用夾具(85)，該夾具(85)具有接觸部分(100)，該接觸部分(100)接觸到晶圓，而且接觸到位於晶圓(200)上方且相鄰到接觸部分的陰影部分，該陰影部分是位於晶圓(200)表面上距離至少8微米的地方。

9. 如申請專利範圍第8項之方法，其中該夾具(85)能避免在晶圓(200)的數字識別區(106)上形成該薄層(222)。
10. 一種在晶圓(200)上形成薄層(220)的方法，該方法包括：

將晶圓(200)安置在處理室(40)內的基座(56)上，其中該處理室(40)包括絕緣環(53)，位於基座(56)的周邊，且其中該基座(56)是偏壓到第一偏壓電源；以及

將處理室的第二區偏壓到第二偏壓電源，其中該絕緣環(53)以電氣方式，將第一偏壓電源與第二偏壓電源隔絕開，且其中該絕緣環(53)在形成該薄層(220)時，會曝露到處理室環境中，並在晶圓(200)上形成該薄層(220)之前，被塗佈上一層導電材料。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

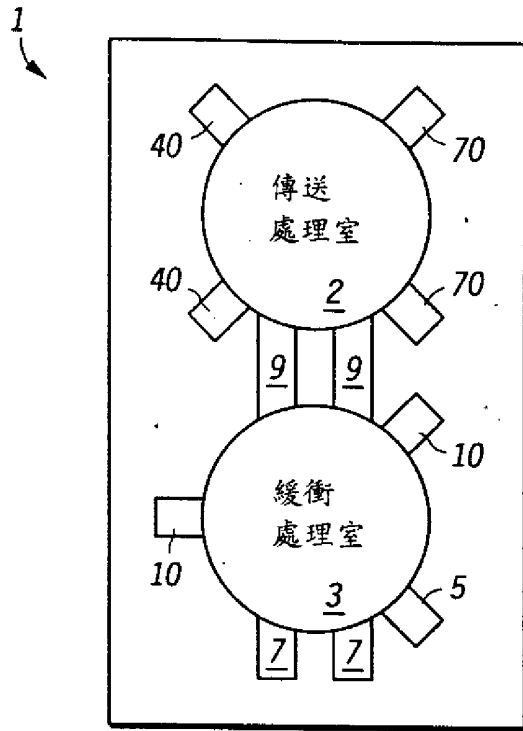


圖 1

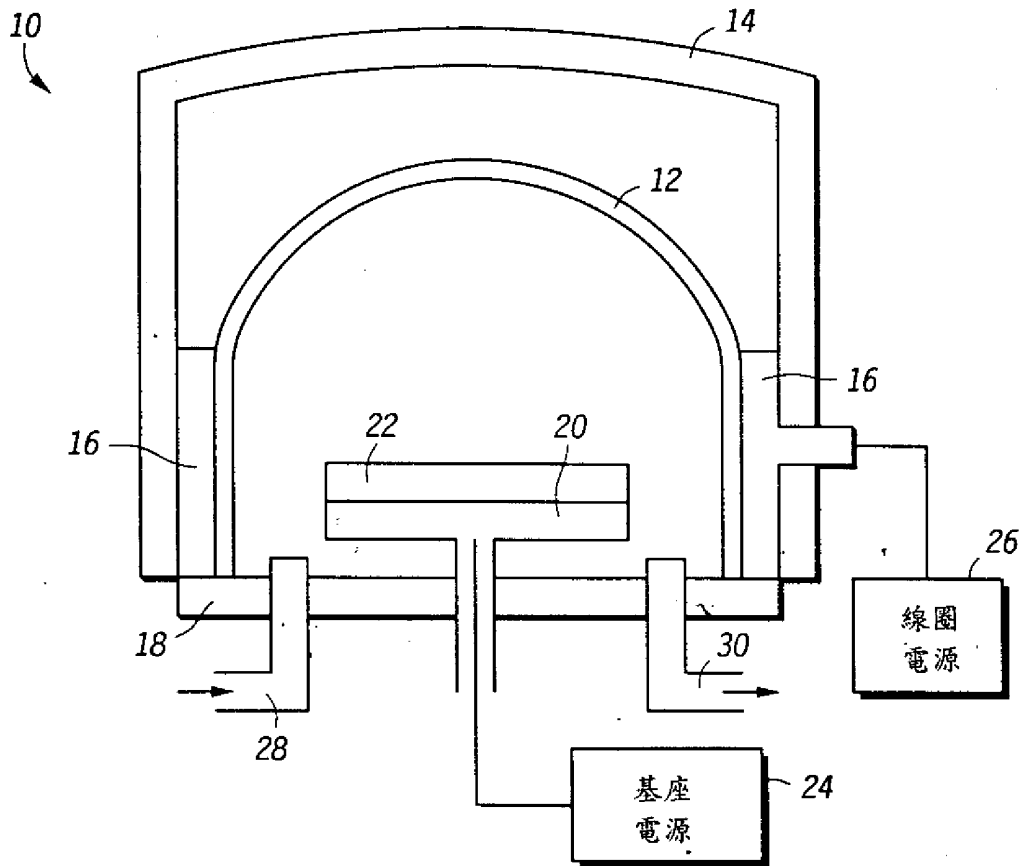


圖 2

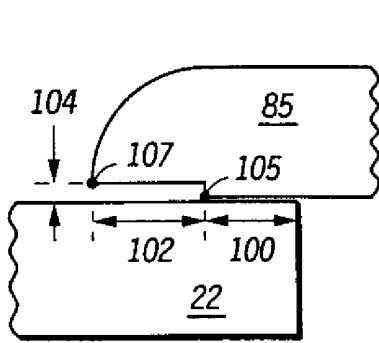


圖 5

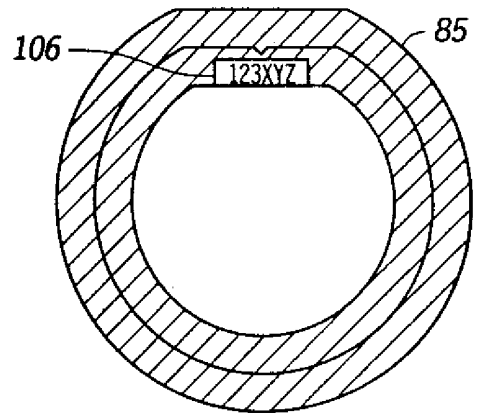


圖 6

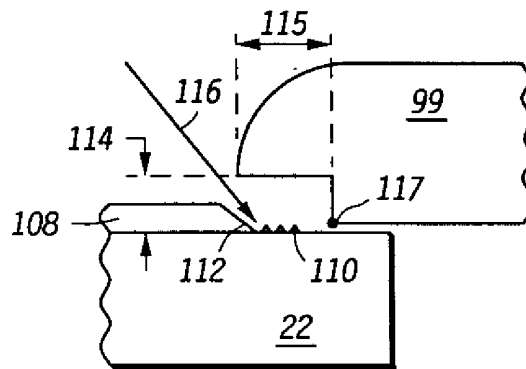


圖 7

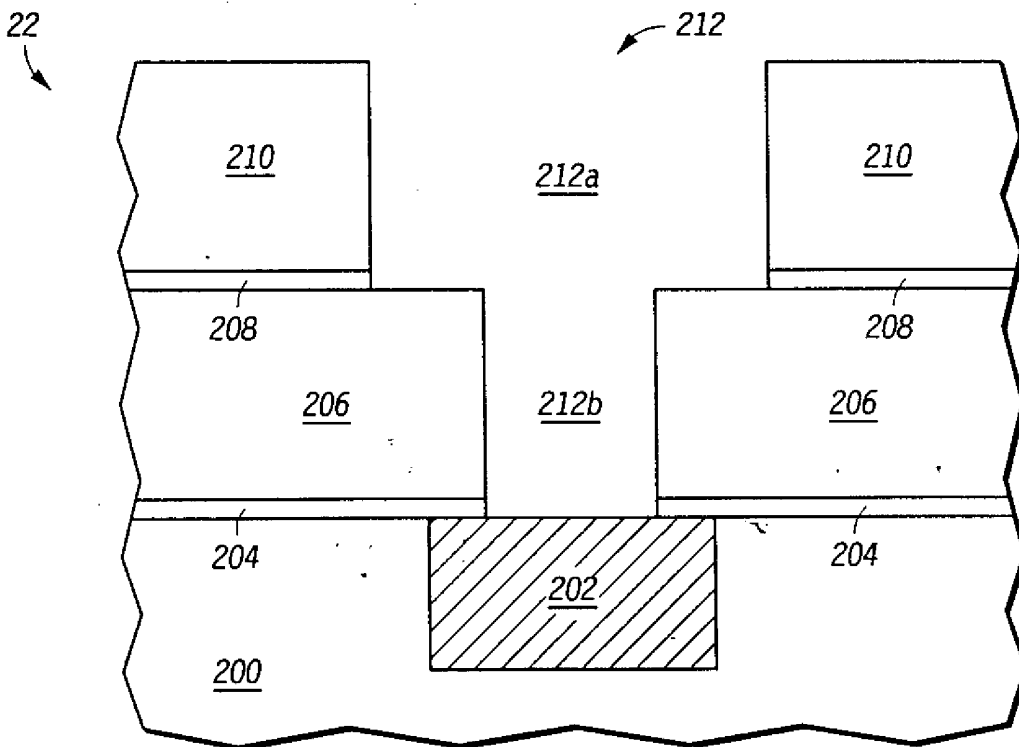


圖 8

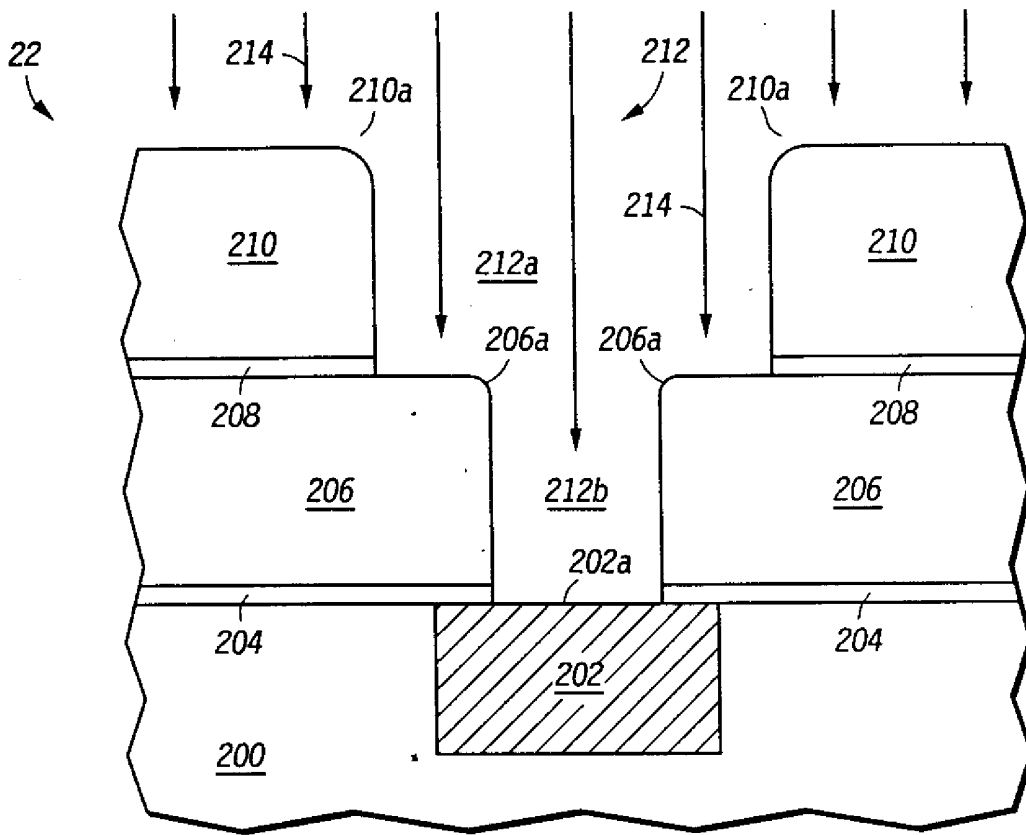


圖 9

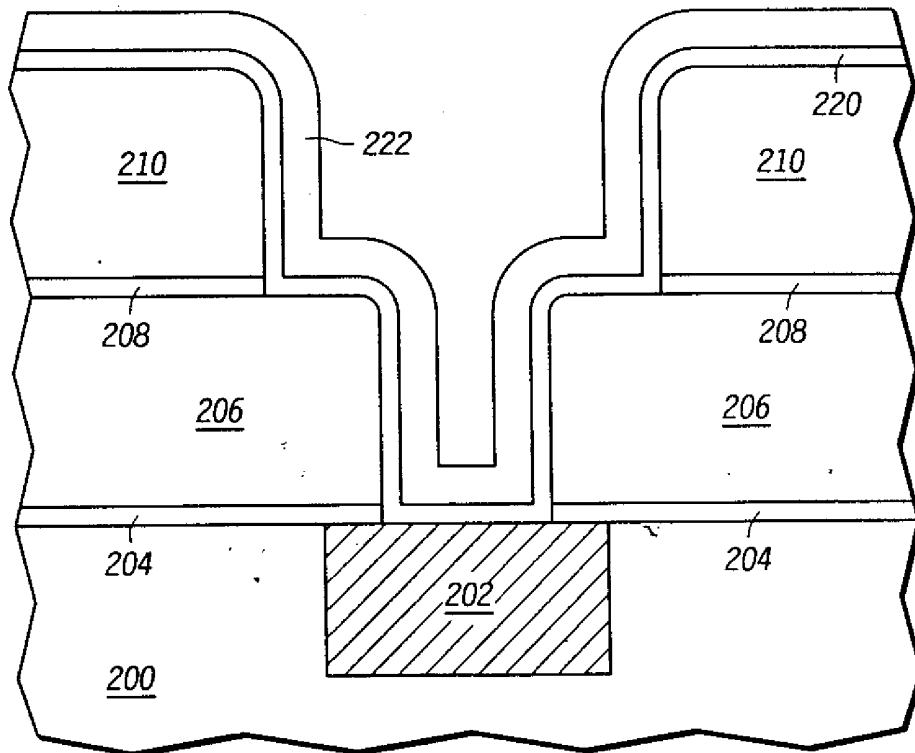


圖 10

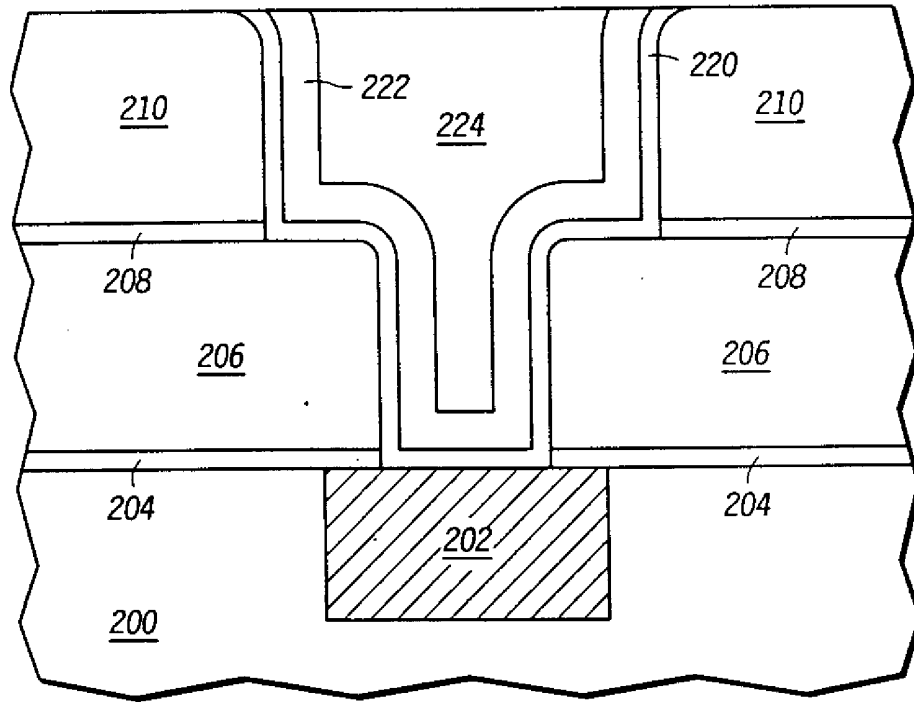


圖 11

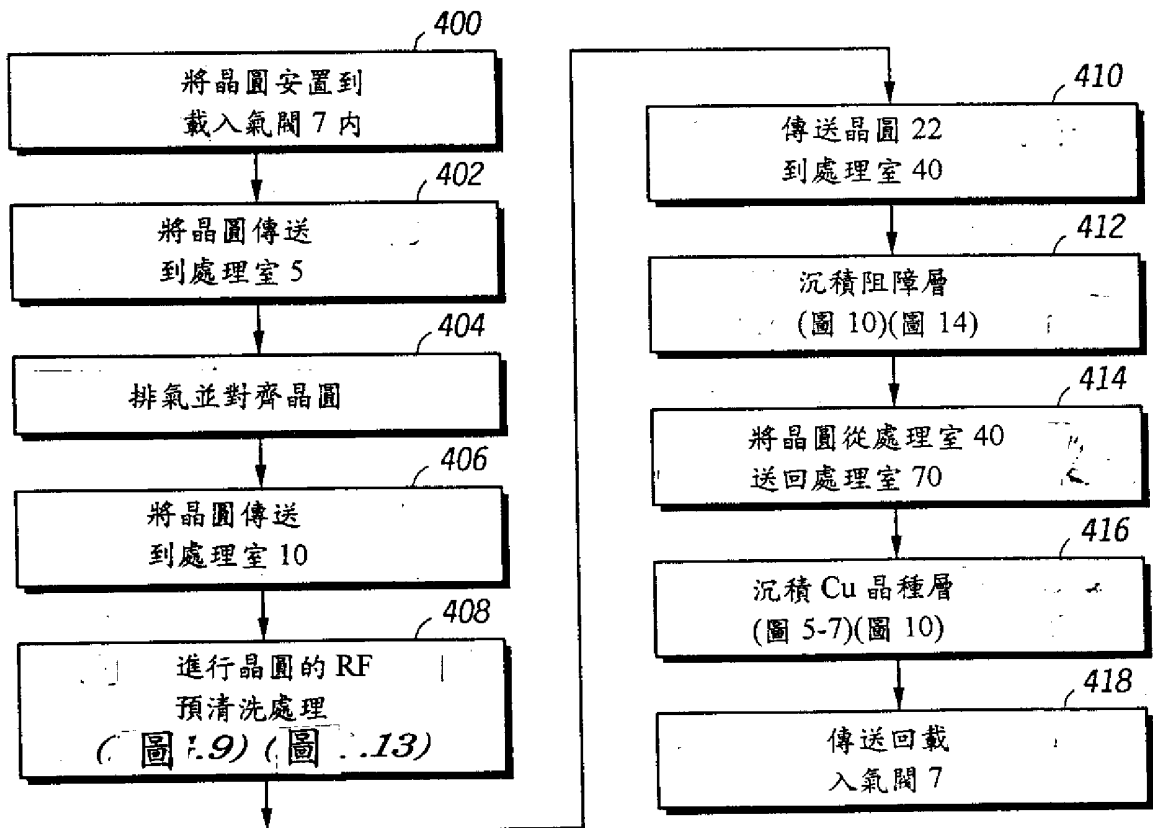


圖 12

RF 預清洗條件		
	習用技術 預清洗處理	步驟 408 預 清洗處理
線圈功率	200W	$\geq 300W$
晶圓功率	200W	$\leq 100W$
晶圓電壓	250V	50V

圖 13

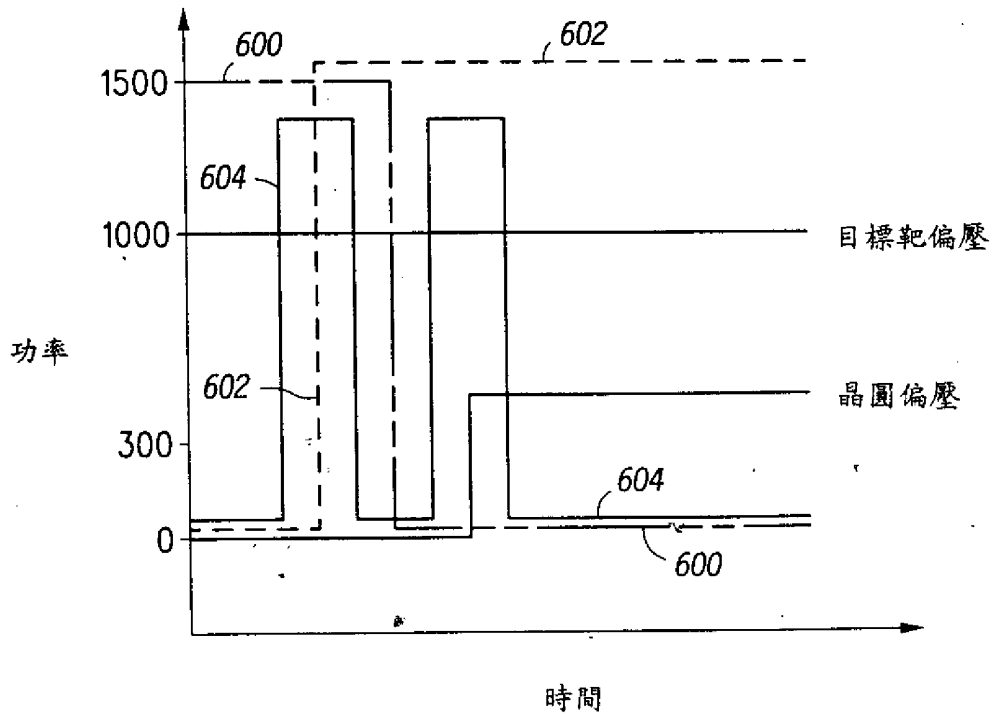


圖 14