



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I464788 B

(45)公告日：中華民國 103 (2014) 年 12 月 11 日

(21)申請案號：100147969

(22)申請日：中華民國 100 (2011) 年 12 月 22 日

(51)Int. Cl. : H01L21/28 (2006.01)

H01L23/485 (2006.01)

H01L27/12 (2006.01)

(71)申請人：財團法人工業技術研究院(中華民國) INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE (TW)

新竹縣竹東鎮中興路 4 段 195 號

(72)發明人：賴志明 LAI, CHIH MING (TW)；葉永輝 YEH, YUNG HUI (TW)

(74)代理人：詹銘文；葉璟宗

(56)參考文獻：

TW 201021219A1

US 7456922B2

US 8063856B2

US 2010/0225609A1

審查人員：王人毅

申請專利範圍項數：28 項 圖式數：23 共 54 頁

(54)名稱

感測元件陣列及其製作方法

SENSOR ELEMENT ARRAY AND METHOD OF FABRICATING THE SAME

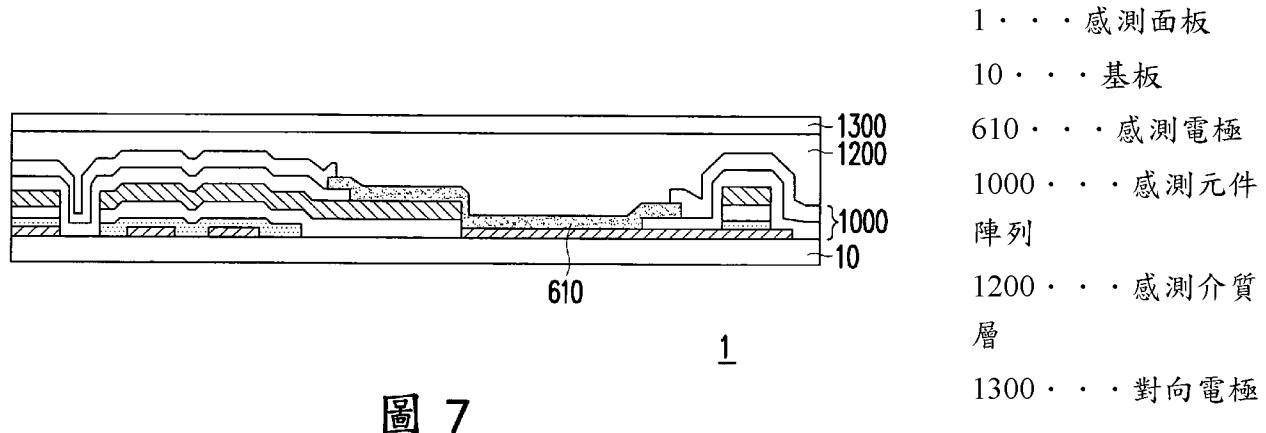
(57)摘要

一種感測元件陣列及其製作方法。感測元件陣列配置於一基板上並包括一第一圖案化導電層、一通道層、一第一絕緣層、一第二圖案化導電層、一第二絕緣層以及一第三圖案化導電層。第一圖案化導電層包括一感測線、一第一電源線、一源汲極圖案以及一分支圖案。通道層包括一第一通道以及一第二通道。第一絕緣層與第二圖案化導電層的邊緣實質上彼此切齊。第二圖案化導電層包括一選擇線、一閘極圖案以及一閘極連接圖案。第二絕緣層具有一第一連接開口以暴露出閘極連接圖案。第三圖案化導電層包括電性連接於閘極連接圖案的一感測電極。

A sensor element array and method of fabricating the same are provided. The sensor element array is disposed on a substrate and includes a first patterned conductive layer, a channel layer, a first insulation layer, a second patterned conductive layer, a second insulation layer, and a third patterned conductive layer. The first patterned conductive layer includes a first channel and a second channel. Margins of the first insulation layer and the second patterned conductive layer are substantially overlapped. The second patterned conductive layer includes a selecting line, a gate pattern, and a gate connecting pattern. The second insulation layer has a first connecting opening for exposing the gate connecting pattern. The third patterned conductive layer includes a sensing electrode electrically connected to the gate connecting pattern.

I464788

TW I464788 B



發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：100147969

HolL 21/28 (2006.01)

※ 申請日： 100. 12. 22

※IPC 分類：H01L 23/485 (2006.01)

一、發明名稱：

感測元件陣列及其製作方法/SENSOR ELEMENT ARRAY AND METHOD OF FABRICATING THE SAME

二、中文發明摘要：

一種感測元件陣列及其製作方法。感測元件陣列配置於一基板上並包括一第一圖案化導電層、一通道層、一第一絕緣層、一第二圖案化導電層、一第二絕緣層以及一第三圖案化導電層。第一圖案化導電層包括一感測線、一第一電源線、一源汲極圖案以及一分支圖案。通道層包括一第一通道以及一第二通道。第一絕緣層與第二圖案化導電層的邊緣實質上彼此切齊。第二圖案化導電層包括一選擇線、一閘極圖案以及一閘極連接圖案。第二絕緣層具有一第一連接開口以暴露出閘極連接圖案。第三圖案化導電層包括電性連接於閘極連接圖案的一感測電極。

三、英文發明摘要：

A sensor element array and method of fabricating the same are provided. The sensor element array is disposed on a substrate and includes a first patterned conductive layer, a

channel layer, a first insulation layer, a second patterned conductive layer, a second insulation layer, and a third patterned conductive layer. The first patterned conductive layer includes a first channel and a second channel. Margins of the first insulation layer and the second patterned conductive layer are substantially overlapped. The second patterned conductive layer includes a selecting line, a gate pattern, and a gate connecting pattern. The second insulation layer has a first connecting opening for exposing the gate connecting pattern. The third patterned conductive layer includes a sensing electrode electrically connected to the gate connecting pattern.

四、指定代表圖：

(一) 本案之指定代表圖：圖 7

(二) 本代表圖之元件符號簡單說明：

1：感測面板

10：基板

610：感測電極

1000：感測元件陣列

1200：感測介質層

1300：對向電極

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本揭露是有關於一種感測元件陣列，且特別是有關於一種可利用捲對捲製程製作的感測元件陣列。

【先前技術】

由於可撓性電子元件具有輕薄、可撓曲、耐衝擊、安全性高以及方便攜帶等特性，因此可撓性電子元件勢必會成為下一世代的主流。一般而言，製作電子元件於可撓性基板上的方式，需先藉由黏著層將可撓性基板貼附於硬質基板上。之後，直接於黏著於硬質基板上的可撓性基板上製作所需之電子元件。最後，再將可撓性基板及可撓性基板上的電子元件從硬質基板上取下。

然而，可撓性基板通常具有較大的熱膨脹係數，在可撓式電子裝置的製程中，可撓性基板會因環境溫度變化而膨脹或收縮。特別是，硬質基板與可撓性基板之間的膨脹係數差異更會造成額外的應力累積於電子元件中。因此，在可撓性基板上製作薄膜電晶體之類的電子元件時往往需要克服對位精準度不高以及溫度限制相關的問題。因此，一種利用捲對捲製程(roll-to-roll process)在可撓性基板上製作薄膜電晶體的技術遂被提出。捲對捲連續式製程具有低建廠成本、大面積化之優勢，極適合應用於薄膜電晶體陣列製程。

【發明內容】

本揭露提供一種感測元件陣列的製作方法，可應用捲對捲製程製作低成本、大面積的感測元件陣列。

本揭露提供一種感測元件陣列，由主動式的感測元件所構成以感測所承受的壓力的變化。

本揭露提出一種感測元件陣列的製作方法。於一基板上形成一第一圖案化導電層。第一圖案化導電層包括一感測線、一第一電源線、一源汲極圖案以及一分支圖案。感測線、第一電源線以及源汲極圖案各自分離，而分支圖案連接於第一電源線。源汲極圖案包括一第一部份以及一第二部份，且第一部份與感測線相鄰而第二部分與分支圖案相鄰。於第一圖案化導電層上形成一通道層。通道層包括一第一通道以及一第二通道，其中第一通道連接於第一部份與感測線之間，而第二通道連接於第二部分與分支圖案之間。於基板上依序形成一絕緣材料層以及一導電材料層並且圖案化絕緣材料層以及導電材料層以形成一第一絕緣層以及一第二圖案化導電層。第一絕緣層與第二圖案化導電層的邊緣實質上彼此切齊。第二圖案化導電層包括一選擇線、一閘極圖案以及一閘極連接圖案。選擇線橫越感測線以及源汲極圖案的第一部份並位於第一通道上。閘極圖案位於第二通道上，而閘極連接圖案連接於閘極圖案。於第二圖案化導電層上形成一第二絕緣層。第二絕緣層具有一第一連接開口以暴露出閘極連接圖案。於第二絕緣層上形成一第三圖案化導電層。第三圖案化導電層包括電性連

接於閘極連接圖案的一感測電極。

本揭露另提出一種感測元件陣列，其配置於一基板上。感測元件陣列包括一第一圖案化導電層、一通道層、一第一絕緣層、一第二圖案化導電層、一第二絕緣層以及一第三圖案化導電層。第一圖案化導電層包括一感測線、一第一電源線、一源汲極圖案以及一分支圖案。感測線、第一電源線以及源汲極圖案各自分離，而分支圖案連接於第一電源線。源汲極圖案包括一第一部份以及一第二部份，其中第一部份與感測線相鄰而第二部分與分支圖案相鄰。通道層包括一第一通道以及一第二通道。第一通道連接於第一部份與感測線之間，第二通道連接於第二部分與分支圖案之間。第一絕緣層與第二圖案化導電層的邊緣實質上彼此切齊。第二圖案化導電層包括一選擇線、一閘極圖案以及一閘極連接圖案。選擇線橫越感測線以及源汲極圖案的第一部份並位於第一通道上。閘極圖案位於第二通道上，而閘極連接圖案連接於閘極圖案。第二絕緣層具有一第一連接開口以暴露出閘極連接圖案。第三圖案化導電層包括電性連接於閘極連接圖案的一感測電極。

為讓本揭露之上述特徵能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

圖 1A 至圖 6A 繪示為本揭露第一實施例的感測元件陣列的製作流程上視圖，而圖 1B 至圖 6B 分別為圖 1A 至

圖 6A 沿剖線 I-I'所繪示的剖面示意圖。請同時參照圖 1A 與圖 1B，本實施例的製作方法可以是於一基板 10 上形成一第一圖案化導電層 100。第一圖案化導電層 100 包括一感測線 110、一第一電源線 120、一源汲極圖案 130、一分支圖案 140 以及一感測電極連接圖案 150。感測線 110、第一電源線 120、源汲極圖案 130、以及感測電極連接圖案 150 各自分離，而分支圖案 140 連接於第一電源線 120。另外，源汲極圖案 130 包括一第一部份 130A 以及一第二部份 130B，其中第一部份 130A 與感測線 110 相鄰而第二部分 130B 與分支圖案 140 相鄰。感測電極連接圖案 150 則包括一連接部 150A 與連接於連接部 150A 的一第一延伸部 150B。第一延伸部 150B 鄰近於第一電源線 120。

具體來說，基板 10 可以是可撓性基板，且本實施例可以採用捲對捲製程在基板 10 上製作第一圖案化導電層 100，其中基板 10 的材質例如是塑膠、金屬、不鏽鋼或是表面塗佈塑膠薄膜之不鏽鋼等可撓性的材質。因此，第一圖案化導電層 100 的製作過程不需高製程溫度而可以避免基板 10 因過高的製程溫度而變形或是損壞。

然而，本揭露不以此為限，在其他的實施例中，基板 10 可以是硬質基板，而第一圖案化導電層 100 可以採用既有的成膜製程(例如化學沉積製程、物理沉積製程)來製作。另外，基板 10 為可撓性基板時也可以將可撓性基板暫時地貼附於硬質基板上以便於採用既有的成膜製程(例如化學沉積製程、物理沉積製程)來製作第一圖案化導電層

100。或是，第一圖案化導電層 100 可以採用片對片(sheet to sheet)的製作方式形成於基板 10 上。值得一提的是，本實施例的其他構件也可以採用上述的各種方式來製作，而不需特別地侷限於捲對捲製程或是其他成膜製程。

第一圖案化導電層 100 的材質可選自於由鈦、鋁、鉬、鉻、鉬鎢合金、銦錫氧化物(ITO)或上述組合所構成的族群。在一實施例中，第一圖案化導電層 100 可以是單層材料層所構成，也可選擇以多層材料層堆疊而成。舉例而言，第一圖案化導電層 100 可以由鈦/鋁、鈦/鉬、鈦/鋁/鈦、鈦/鋁/鉬、鉬/鋁/鉬、鋁/ITO 的疊層所構成。

接著，請參照圖 2A 與圖 2B，於第一圖案化導電層 100 上形成預圖案化通道層 200'，其中預圖案化通道層 200'包括有第一預圖案化通道 210'、第二預圖案化通道 220'以及第三預圖案化通道 230'。第一預圖案化通道 210'連接於源汲極圖案 130 的第一部份 130A 與感測線 110 之間。第二預圖案化通道 220'連接於源汲極圖案 130 的第二部分 130B 與分支圖案 140 之間。第三預圖案化通道 230'連接於感測電極連接圖案 150 的第一延伸部 150B 與第一電源線 120 之間。

預圖案化通道層 200'的材質包括氧化鋅、銦鎵鋅氧化物、銦鋁鋅氧化物、銦鉻鋅氧化物或銦鋅錫氧化物。更具體而言，預圖案化通道層 200'還選擇性地具有一摻質，且本實施例所採用的摻質選自於由鉬、鋁、鎵、錫、鉻或上述之組合所構成的族群。也就是說，預圖案化通道層 200'

可以是摻雜有銦、鋁、鎵、錫、鉿或上述之組合的氧化鋅金屬氧化物半導體薄膜(doped ZnO)。另外，預圖案化通道層 200' 可採用捲對捲製程或是其他成膜製程加以製作。

隨之，請參照圖 3A 與圖 3B，於基板 10 上依序形成一絕緣材料層以及一導電材料層並且圖案化絕緣材料層以及導電材料層以形成一第一絕緣層 300 以及一第二圖案化導電層 400。本實施例的第二圖案化導電層 400 可以選用的材質與疊層結構相似於第一圖案化導電層 100。絕緣材料層的材料可以為 Si₃N₄, SiO₂ 或 Al₂O₃, Ta₂O₅, HfO₂, TiO₂ 等絕緣薄膜，或將上述絕緣薄膜材料以雙層或三層薄膜堆疊組合來形成第一絕緣層 300。當然，第一絕緣層 300 與第二圖案化導電層 400 的形成方式也可以是捲對捲濺鍍製程或是其他的成膜製程。

在此步驟中，圖案化絕緣材料層以及導電材料層的方法包括先將導電材料層圖案化成第二圖案化導電層 400，。隨之，以第二圖案化導電層為罩幕將絕緣材料層圖案化成圖案化第一絕緣層 300。此時，第一絕緣層 300 與第二圖案化導電層 400 的邊緣實質上彼此切齊。也就是說，本實施例的製作方法使得第二圖案化導電層 400 與第一絕緣層 300 自行對準(self-aligned)而讓兩膜層有大致相同的圖案。

另外，由於圖 2A 與圖 2B 中的預圖案化通道層 200' 與第二圖案化導電層 400 是藉由不同遮罩(光罩)圖案化而成。所以，如圖 3B 所繪示的虛線部份，預圖案通道層 200'

的一暴露部 240' 可能被暴露出來。因此，本步驟可以進一步以第二圖案化導電層 400 為罩幕移除暴露出的暴露部 240' 以形成通道層 200。在此步驟中，圖 2A 與圖 2B 中的第一預圖案化通道 210'、第二預圖案化通道 220' 以及第三預圖案化通道 230' 分別被圖案化成圖 3A 與圖 3B 中所繪示的第一通道 210、第二通道 220 以及第三通道 230。如此一來，通道層 200 的邊緣與第二圖案化導電層 400 的邊緣有一部分是彼此重疊的，而可視為自行對準的設計。

在本實施例中，第二圖案化導電層 400 包括一選擇線 410、一閘極圖案 420 以及一閘極連接圖案 430。選擇線 410 橫越感測線 110 以及源汲極圖案 130 的第一部份 130A 並位於第一通道 210 上以定義出第一電晶體 T1。閘極圖案 420 位於第二通道 220 上並橫越源汲極圖案 130 的第二部分 130B 與分支圖案 140 以定義出第二電晶體 T2。閘極連接圖案 430 連接於閘極圖案 420 並且具有一第二延伸部 430A，其中第二延伸部 430A 位於第三通道 230 上方，並且橫越感測電極連接圖案 150 的第一延伸部 150B 與第一電源線 120 以構成第三電晶體 T3。

在此，第一圖案化導電層 100 接觸於第一通道 210、第二通道 220 以及第三通道 230 的部份可以作為第一電晶體 T1、第二電晶體 T2 以及第三電晶體 T3 的源極/汲極。第一電晶體 T1 的源極/汲極其中一者與第二電晶體 T2 的源極/汲極其中一者共同地由源汲極圖案 130 所構成，而使第一電晶體 T1 與第二電晶體 T2 連接在一起。另外，第二電

晶體 T2 的閘極由閘極圖案 420 構成，而第三電晶體 T3 的閘極由閘極連接圖案 430 的第二延伸部 430A 構成，所以第二電晶體 T2 的閘極與第三電晶體 T3 的閘極彼此連接在一起。

更進一步而言，本實施例可以藉由圖案化製程的控制使第二圖案化導電層 400 以及第一絕緣層 300 暴露出感測電極連接圖案 150 的連接部 150A 並使閘極連接圖案 430 鄰近於被暴露的感測電極連接圖案 150 的連接部 150A。也就是說，第一絕緣層 300 的開口 W300 與第二圖案化導電層 400 的開口 W400 可以彼此重疊並且同時地暴露出感測電極連接圖案 150 的連接部 150A。特別是，由圖 3A 的上視圖來看，感測電極連接圖案 150 的連接部 150A 與閘極連接圖案 430 在基板 10 上構成併排的兩個構件。

隨後，請參照圖 4A 圖 4B，於第二圖案化導電層 400 上形成一第二絕緣層 500，其中第二絕緣層 500 具有一連接開口 W500。本實施例的第二絕緣層 500 可以選用的材質與製程相似於第一絕緣層 300。在本實施例中，連接開口 W500 至少同時地暴露出閘極連接圖案 430 以及感測電極連接圖案 150 的連接部 150A。

接著，請參照圖 5A 與圖 5B，於第二絕緣層 500 上形成一第三圖案化導電層以構成感測電極 610。藉由連接開口 W500 以及開口 W400 與 W300 的設計，感測電極 610 可以同時地連接於閘極連接圖案 430 以及感測電極連接圖案 150 的連接部 150A。此時，第二電晶體 T2 的閘極與第

三電晶體 T3 的閘極可以藉由感測電極 610 連接至第三電晶體 T3 的源/汲極。

另外，請參照圖 6A 與圖 6B，為了保護第一電晶體 T1、第二電晶體 T2 以及第三電晶體 T3，本實施例可以於基板 10 上形成一第三絕緣層 700 以覆蓋住第一電晶體 T1、第二電晶體 T2 以及第三電晶體 T3。另外，第三絕緣層 700 中設置有開口 W700 以將感測電極 610 暴露出來以構成感測元件陣列 1000。本實施例的第三絕緣層 700 可以選用的材質與製程方法相似於第一絕緣層 300，或者是使用適合塗佈製程的有機絕緣薄膜材料例如聚乙烯吡咯烷 (polyvinyl pyrrolidone, PVP)、聚乙稀醇(polyvinyl alcohol, PVA)、聚丙烯酸酯 (polyacrylates)、Cinnamate-based polyvinylphenols (Ci-PVP)、聚對二甲苯 parylenes、photoacryl (JSR 公司(JSR co.) 的 PC403)。

在本實施例中，第一電晶體 T1、第二電晶體 T2 與第三電晶體 T3 的連接方式可以實現一種主動式陣列感測元件的讀取電路，其中第一電晶體 T1 為感測電路單元中之切換電晶體，第二電晶體 T2、第三電晶體 T3 與感測元件組成一個電流鏡(current mirror)之電路架構，不過本揭露不以此為限。另外，本實施例之第二電晶體 T2 與第三電晶體 T3 的連接藉由感測電極 610 實現，而不需設置額外的連接構件。在沒有額外的連接構件的設計下，兼具感測與連接作用的感測電極 610 可以具有較大的配置面積而有助於增加感測元件的感測面積。也就是說，感測元件陣 1000

具備有高感測開口率。

圖 7 繪示為本揭露第一實施例的感測面板的剖面示意圖。請參照圖 7，感測面板 1 包括有形成於基板 10 上的感測元件陣列 1000、一感測介質層 1200 以及一對向電極層 1300，其中對向電極 1300 與感測元件陣列 1000 的感測電極 610 分別位於感測介質層 1200 之相對兩側。在此，感測元件陣列 1000 例如是藉由前述圖 1A~6A 以及圖 1B~6B 所繪示的步驟製作而成，因此感測元件陣列 1000 所具有的構件可以參照於前述段落。另外，感測介質層 1200 的材質可以是例如碳膠等可以因所承受的壓力而發生電性變化的材料。所以，使用者按壓感測面板 1 時，感測介質層 1200 的電性變化可以由感測元件陣列 1000 測得而實現壓力的感測。此時，感測面板 1 例如是電阻式感測面板。

圖 8A 至圖 13A 繪示為本揭露第二實施例的感測元件陣列的製作流程上視圖，而圖 8B 至圖 13B 分別為圖 8A 至圖 13A 沿剖線 II-II' 所繪示的剖面示意圖。請同時參照圖 8A 與圖 8B，本實施例的製作方法可以是於一基板 10 上形成一第一圖案化導電層 102。第一圖案化導電層 102 包括一感測線 110、一第一電源線 120、一源汲極圖案 130、一分支圖案 140 以及一感測電極連接圖案 152。在本實施例中，感測線 110、第一電源線 120、源汲極圖案 130 以及分支圖案 140 的配置關係與前述第一實施例相似，而不在此重複描述。另外，基板 10 與第一圖案化導電層 102 的材質以及製作方式可以參照前述實施例的描述。

具體而言，本實施例的第一圖案化導電層 102 與前述第一實施例的第一圖案化導電層 100 間主要的差異在於，第一圖案化導電層 102 的感測電極連接圖案 152 包括連接部 152A、第一延伸部 152B 以及感測部 152C。第一延伸部 152B 連接於感測部 152C 與連接部 152A 之間，而第一延伸部 152B 鄰近於第一電源線 120。

接著，請參照圖 9A 與圖 9B，於第一圖案化導電層 100 上形成預圖案化通道層 200'，其中預圖案化通道層 200' 包括有第一預圖案化通道 210'、第二預圖案化通道 220' 以及第三預圖案化通道 230'。本實施例之預圖案化通道層 200' 實質上相似於第一實施例的預圖案化通道層 200'，因此預圖案化通道層 200' 的材質、配置位置及製作方式不再重複描述。

隨之，請參照圖 10A 與圖 10B，於基板 10 上依序形成一絕緣材料層以及一導電材料層並且圖案化絕緣材料層以及導電材料層以形成一第一絕緣層 302 以及一第二圖案化導電層 402。相似於第一實施例，圖案化絕緣材料層以及導電材料層的方法包括先將導電材料層圖案化成第二圖案化導電層 402，隨之以第二圖案化導電層為罩幕將絕緣材料層圖案化成圖案化第一絕緣層 302。此時，第一絕緣層 302 與第二圖案化導電層 402 的邊緣實質上彼此切齊。

與第一實施例相似地，本步驟可以進一步以第二圖案化導電層 402 為罩幕移除預圖案通道層 200' 被暴露出來的部份以形成通道層 200。在此，圖 9A 與圖 9B 中的第一預

圖案化通道 210'、第二預圖案化通道 220'以及第三預圖案化通道 230'分別被圖案化成第一通道 210、第二通道 220 以及第三通道 230。

在本實施例中，第二圖案化導電層 402 包括一選擇線 412、一閘極圖案 422、一閘極連接圖案 432 以及一第二電源線 442。選擇線 412 橫越感測線 110 以及源汲極圖案 130 的第一部份 130A 並位於第一通道 210 上以定義出第一電晶體 T1。閘極圖案 422 位於第二通道 220 上並橫越源汲極圖案 130 的第二部分 130B 與分支圖案 140 以定義出第二電晶體 T2。另外，第二電源線 442 位於第三通道 230 上方，並且橫越感測電極連接圖案 152 的第一延伸部 152B 與第一電源線 120 以構成第三電晶體 T3。

此外，本實施例可以藉由圖案化製程的控制使第二圖案化導電層 402 以及第一絕緣層 302 暴露出感測電極連接圖案 152 的連接部 152A 與感測部 152C 並使閘極連接圖案 432 鄰近於被暴露的感測電極連接圖案 152 的連接部 152A。此時，由圖 10A 的上視圖來看，感測電極連接圖案 152 的連接部 152A 與閘極連接圖案 432 在基板 10 上構成併排的兩個構件。

隨後，請參照圖 11A 圖 11B，於第二圖案化導電層 402 上形成一第二絕緣層 502，其中第二絕緣層 502 具有第一連接開口 W502A 與第二連接開口 W502B。第一連接開口 W502A 暴露出閘極連接圖案 432 以及感測電極連接圖案 152 的連接部 152A。第二連接開口 W502B 則暴露出感測

電極連接圖案 152 的感測部 152C。

接著，請參照圖 12A 與圖 12B，於第二絕緣層 502 上形成一第三圖案化導電層 602 以定義出感測電極 612 與連接電極 622。在本實施例中，感測電極 612 透過第二連接開口 W502B 連接於感測電極圖案 152 的感測部 152C，而連接電極 622 則透過第一連接開口 W502A 連接於感測電極圖案 152 的連接部 152A 以及閘極連接圖案 432。如此一來，第二電晶體 T2 的閘極可以連接於第三電晶體 T3 的源/汲極其中一者，而第一電晶體 T1 的源/汲極其中一者藉由源汲極圖案 130 的設計而連接於第二電晶體 T2 的源/汲極其中一者，藉以構成電流讀取電路。不過，本揭露不以此為限。

之後，請參照圖 13A 與圖 13B，為了保護第一電晶體 T1、第二電晶體 T2、第三電晶體 T3 以及連接電極 622，本實施例可以於基板 10 上形成一第三絕緣層 702 以覆蓋住第一電晶體 T1、第二電晶體 T2、第三電晶體 T3 以及連接電極 622。值得一提的是，第三絕緣層 702 中設置有開口 W702 以將感測電極 612 暴露出來以構成感測元件陣列 2000。在本實施例中，第一電晶體 T1、第二電晶體 T2 與第三電晶體 T3 的連接方式可以實現一種主動式陣列感測元件的讀取電路，第一電晶體 T1 為感測電路單元中之切換電晶體，第二電晶體 T2、第三電晶體 T3 與感測元件組成一個反相器之電路架構，不過本揭露不以此為限。

圖 14 繪示為本揭露第二實施例的感測面板的剖面示

意圖。請參照圖 14，感測面板 2 包括有形成於基板 10 上的感測元件陣列 2000、一感測介質層 1200 以及一對向電極層 1300，其中對向電極 1300 與感測元件陣列 2000 的感測電極 612 分別位於感測介質層 1200 之相對兩側。在此，感測元件陣列 2000 例如是藉由前述圖 8A~13A 以及圖 8B~13B 所繪示的步驟製作而成，因此感測元件陣列 2000 所具有的構件可以參照於前述段落。另外，感測介質層 1200 的材質可以是例如碳膠等可以因承受的壓力而發生電性變化的材料。所以，使用者按壓感測面板 2 的過程中，感測介質層 1200 的電性變化可以由感測元件陣列 2000 測得而實現壓力的感測。此時，感測面板 2 例如是電阻式感測面板。

圖 15A 至圖 20A 繪示為本揭露第三實施例的感測元件陣列的製作流程上視圖，而圖 15B 至圖 20B 分別為圖 15A 至圖 20A 沿剖線 III-III' 所繪示的剖面示意圖。請同時參照圖 15A 與圖 15B，本實施例的製作方法可以是於一基板 10 上形成一第一圖案化導電層 104。第一圖案化導電層 102 包括一感測線 110、一第一電源線 120、一源汲極圖案 130 以及一分支圖案 140。在本實施例中，感測線 110、第一電源線 120、源汲極圖案 130 以及分支圖案 140 的配置關係與前述第一實施例相似，而不在此重複描述。具體而言，本實施例的第一圖案化導電層 104 未包括第一實施例所描述的感測電極連接圖案 150。

接著，請參照圖 16A 與圖 16B，於第一圖案化導電層

104 上形成預圖案化通道層 204'，其中預圖案化通道層 204'包括有第一預圖案化通道 214'以及第二預圖案化通道 224'。第一預圖案化通道 214'連接於感測線 110 與源汲極圖案 130 的第一部份 130A 之間，而第二預圖案化通道 224'連接於分支圖案 140 與源汲極圖案 130 的第二部份 130B 之間。

隨之，請參照圖 17A 與圖 17B，於基板 10 上依序形成一絕緣材料層以及一導電材料層並且圖案化絕緣材料層以及導電材料層以形成一第一絕緣層 304 以及一第二圖案化導電層 404。相似於第一實施例，圖案化絕緣材料層以及導電材料層的方法包括先將導電材料層圖案化成第二圖案化導電層 404，隨之以第二圖案化導電層為罩幕將絕緣材料層圖案化成圖案化第一絕緣層 304。此時，第一絕緣層 304 與第二圖案化導電層 402 的邊緣實質上彼此重疊。

另外，本步驟可以進一步以第二圖案化導電層 404 為罩幕移除預圖案通道層 204'被暴露出來的部份以形成通道層 204。在此，圖 16A 與圖 16B 中的第一預圖案化通道 214'以及第二預圖案化通道 224'分別被圖案化成第一通道 214 以及第二通道 224。

在本實施例中，第二圖案化導電層 404 包括一選擇線 414、一閘極圖案 424、一閘極連接圖案 434 以及一電容圖案 444。選擇線 414 橫越感測線 110 以及源汲極圖案 130 的第一部份 130A 並位於第一通道 214 上以定義出第一電晶體 T1。閘極圖案 424 位於第二通道 224 上並橫越源汲極

圖案 130 的第二部分 130B 與分支圖案 140 以定義出第二電晶體 T2。另外，本實施例的第二圖案化導電層 404 中，電容圖案 444 連接於閘極圖案 424 並疊置於分支圖案 140 遠離基板 10 的一側。電容圖案 444 與分支圖案 140 之間夾有第一絕緣層 304 而構成一電容器結構，以提供感測時的參考電容值。不過，本揭露不以此為限。在其他實施例中，第二圖案化導電層 404 可以未包括有電容圖案 444。

隨後，請參照圖 18A 圖 18B，於第二圖案化導電層 404 上形成一第二絕緣層 504，其中第二絕緣層 504 具有一連接開口 W504，其中連接開口 W504 暴露出閘極連接圖案 434。

接著，請參照圖 19A 與圖 19B，於第二絕緣層 504 上形成一第三圖案化導電層以定義出感測電極 614。在本實施例中，感測電極 614 透過連接開口 W504 連接於閘極連接圖案 434。

之後，請參照圖 20A 與圖 20B，為了保護第一電晶體 T1 以及第二電晶體 T2，本實施例可以於基板 10 上形成一第三絕緣層 704 以覆蓋住第一電晶體 T1、第二電晶體 T2、第三電晶體 T3。另外，第三絕緣層 704 中設置有開口 W704 以將感測電極 614 暴露出來以構成感測元件陣列 3000。在本實施例中，第一電晶體 T1、第二電晶體 T2 的連接方式可以實現一種主動式陣列感測元件的讀取電路，第一電晶體 T1 為感測電路單元中之切換電晶體，第二電晶體 T2 與電容感測元件組成一個可偵測感測元件之電容值變化之電

路架構，不過本揭露不以此為限。

圖 21 繪示為本揭露第三實施例的感測面板的剖面示意圖。請參照圖 21，感測面板 3 包括有形成於基板 10 上的感測元件陣列 3000、一感測介質層 1204 以及一對向電極層 1300，其中對向電極 1300 與感測元件陣列 3000 的感測電極 614 分別位於感測介質層 1204 之相對兩側。在此，感測元件陣列 3000 例如是藉由前述圖 15A~20A 以及圖 15B~20B 所繪示的步驟製作而成，因此感測元件陣列 3000 的設計可以參照於前述段落。另外，對向電極層 1300 可以對應於感測電極 614 配置，而感測介質層 1204 的材質可以是絕緣材料，例如具壓電特性的聚偏二氟乙烯 PVDF(Polyvinylidene fluoride)薄膜、聚丙烯 PP(polypropylene)薄膜。所以，使用者按壓感測面板 3 的過程中，對向電極 1300 與感測元件陣列 3000 的感測電極 614 間的電容變化可以由感測元件陣列 3000 測得而實現壓力的感測。換言之，感測面板 3 為電容式感測面板。

圖 22A 繪示為本揭露第四實施例的感測元件陣列的上視示意圖，而圖 22B 為圖 22A 沿剖線 IV-IV'、V-V'所繪示的剖面示意圖。請參照圖 22A 與圖 22B，感測元件陣列 4000 實質上相似於感測元件陣列 2000，因此兩實施例中相同的元件將以相同的元件符號標示。此外，感測元件陣列 4000 的製作方法可以參照前述之感測元件陣列 2000 的製作方法。具體而言，本實施例與第二實施例的差異主要在於，分支圖案 144 的面積大於第二實施例中分支圖案 140

的面積，且感測元件陣列 4000 的第二圖案化導電層 406 更包括有電容圖案 446。此外，電容圖案 446 與分支圖案 144 之間夾有第一絕緣層 306 而構成一電容器結構，以提供感測時的參考電容值。在本實施例中，第一電晶體 T1、第二電晶體 T2 與第三電晶體 T3 的連接方式可以實現一種主動式陣列感測元件的讀取電路，第一電晶體 T1 為感測電路單元中之切換電晶體，第二電晶體 T2、第三電晶體 T3 與電容感測元件組成一個可偵測感測元件之電容值變化之電路架構，不過本揭露不以此為限。

圖 23 繪示為本揭露第四實施例的感測面板的剖面示意圖。請參照圖 23，感測面板 4 包括有形成於基板 10 上的感測元件陣列 4000、一感測介質層 1204 以及一對向電極層 1300，其中對向電極 1300 與感測元件陣列 4000 的感測電極 612 分別位於感測介質層 1204 之相對兩側。在此，感測介質層 1204 的材質可以是絕緣材料，例如具壓電特性的聚偏二氟乙烯 PVDF(Polyvinylidene fluoride)薄膜、聚丙烯 PP(polypropylene)薄膜。所以，使用者按壓感測面板 4 的過程中，對向電極 1300 與感測元件陣列 4000 的感測電極 612 間的電容變化可以由感測元件陣列 4000 測得而實現壓力的感測。換言之，感測面板 4 為電容式感測面板。

綜上所述，本揭露的感測元件陣列及其製作方法使得第二絕緣層具有連接開口以暴露出第二金屬層所構成的閘極連接圖案甚至暴露出第一金屬層所構成的感測電極連接圖案。同時，閘極連接圖案連接於電晶體的閘極而感測電

極連接圖案連接於另一電晶體的源/汲極。因此，第三圖案化金屬層可以透過第一絕緣層中的連接開口連接於閘極連接圖案或是感測電極連接圖案或是同時連接於閘極連接圖案與感測電極連接圖案以實現感測元件之製作。

雖然本揭露已以實施例揭露如上，然其並非用以限定本揭露，任何所屬技術領域中具有通常知識者，在不脫離本揭露之精神和範圍內，當可作些許之更動與潤飾，故本揭露之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1A 至圖 6A 繪示為本揭露第一實施例的感測元件陣列的製作流程上視圖。

圖 1B 至圖 6B 分別為圖 1A 至圖 6A 沿剖線 I-I' 所繪示的剖面示意圖。

圖 7 繪示為本揭露第一實施例的感測面板的剖面示意圖。

圖 8A 至圖 13A 繪示為本揭露第二實施例的感測元件陣列的製作流程上視圖。

圖 8B 至圖 13B 分別為圖 8A 至圖 13A 沿剖線 II-II' 所繪示的剖面示意圖。

圖 14 繪示為本揭露第二實施例的感測面板的剖面示意圖。

圖 15A 至圖 20A 繪示為本揭露第三實施例的感測元件陣列的製作流程上視圖。

圖 15B 至圖 20B 分別為圖 15A 至圖 20A 沿剖線 III-III' 所繪示的剖面示意圖。

圖 21 繪示為本揭露第三實施例的感測面板的剖面示意圖。

圖 22A 繪示為本揭露第四實施例的感測元件陣列的上視示意圖。

圖 22B 為圖 22A 沿剖線 IV-IV'、V-V' 所繪示的剖面示意圖。

圖 23 繪示為本揭露第四實施例的感測面板的剖面示意圖。

【主要元件符號說明】

1~4：感測面板

10：基板

100、102、104：第一圖案化導電層

110：感測線

120：第一電源線

130：源汲極圖案

130A：第一部分

130B：第二部分

140、144：分支圖案

150、152：感測電極連接圖案

150A、152A：連接部

150B、152B：第一延伸部

- 152C：感測部
200、204：通道層
200'、204'：預圖案化通道層
210、214：第一通道
210'、214'：第一預圖案化通道
220、224：第二通道
220'、224'：第二預圖案化通道
230：第三通道
●
230'：第三預圖案化通道
300、302、304、306：第一絕緣層
400、402、404、406：第二圖案化導電層
410、412：選擇線
420、422：閘極圖案
430、432：閘極連接圖案
430A：第二延伸部
442：第二電源線
●
444、446：電容圖案
500、502、504：第二絕緣層
602：第三圖案化導電層
610、612、614：感測電極
622：連接電極
700、702、704：第三絕緣層
1000、2000、3000、4000：感測元件陣列
1200、1204：感測介質層

1300：對向電極層

W300、W400、W700、W702、W704：開口

W500、W504：連接開口

W502A：第一連接開口

W502B：第二連接開口

七、申請專利範圍：

1. 一種感測元件陣列的製作方法，包括：

於一基板上形成一第一圖案化導電層，該第一圖案化導電層包括一感測線、一第一電源線、一源汲極圖案以及一分支圖案，該感測線、該第一電源線以及該源汲極圖案各自分離，而該分支圖案連接於該第一電源線，其中該源汲極圖案包括一第一部份以及一第二部份，該第一部份與該感測線相鄰而該第二部分與該分支圖案相鄰；

於該第一圖案化導電層上形成一通道層，該通道層包括一第一通道以及一第二通道，該第一通道連接於該第一部份與該感測線之間，該第二通道連接於該第二部分與該分支圖案之間；

於該基板上依序形成一絕緣材料層以及一導電材料層並且圖案化該絕緣材料層以及該導電材料層以形成一第一絕緣層以及一第二圖案化導電層，使該第一絕緣層與該第二圖案化導電層的邊緣實質上彼此切齊，其中該第二圖案化導電層包括一選擇線、一閘極圖案以及一閘極連接圖案，該選擇線橫越該感測線以及該源汲極圖案的該第一部份並位於該第一通道上，該閘極圖案位於該第二通道上，而該閘極連接圖案連接於該閘極圖案；

於該第二圖案化導電層上形成一第二絕緣層，該第二絕緣層具有一第一連接開口以暴露出該閘極連接圖案；以及

於該第二絕緣層上形成一第三圖案化導電層，該第三

圖案化導電層包括電性連接於該閘極連接圖案的一感測電極。

2. 如申請專利範圍第1項所述之感測元件陣列的製作方法，其中該感測電極係直接形成於該第一連接開口所暴露出來的該閘極連接圖案上。

3. 如申請專利範圍第1項所述之感測元件陣列的製作方法，其中形成該第二圖案化金屬層的方法更包括形成一電容圖案，該電容圖案連接於該閘極圖案並疊置於該分支圖案遠離該基板的一側。

4. 如申請專利範圍第1項所述之感測元件陣列的製作方法，其中圖案化該絕緣材料層以及該導電材料層的方法更包括：

將該導電材料層圖案化成該第二圖案化導電層；以及以該第二圖案化導電層為罩幕將該絕緣材料層圖案化成圖案化該第一絕緣層。

5. 如申請專利範圍第4項所述之感測元件陣列的製作方法，其中形成形成該通道層的方法包括：

於該基板上形成一預圖案化通道層，其中形成該第二圖案化導電層與該第一絕緣層之後，該預圖案化通道層的一暴露部被暴露出來；以及

以該第二圖案化導電層為罩幕移除暴露出的該暴露部以形成該通道層。

6. 如申請專利範圍第1項所述之感測元件陣列的製作方法，其中形成該第一圖案化導電層的方法更包括形成

一感測電極連接圖案，該感測線、該第一電源線、該源汲極圖案以及該感測電極連接圖案各自分離，且該感測電極連接圖案包括一連接部與連接於該連接部的一第一延伸部，該第一延伸部鄰近於該第一電源線，且形成該通道層的方法更包括形成一第三通道連接於該第一延伸部與該第一電源線之間。

7. 如申請專利範圍第6項所述之感測元件陣列的製作方法，其中圖案化該導電材料層以及該絕緣材料層的方法包括使該第二圖案化導電層以及該第一絕緣層暴露出該感測電極連接圖案並使該閘極連接圖案鄰近於被暴露的該感測電極連接圖案。

8. 如申請專利範圍第7項所述之感測元件陣列的製作方法，其中形成該第二絕緣層的方法包括使該第一連接開口同時地暴露出該閘極連接圖案以及該感測電極連接圖案。

9. 如申請專利範圍第8項所述之感測元件陣列的製作方法，其中形成該第三圖案化導電層的方法包括使該感測電極同時地藉由該第一連接開口接觸該感測電極連接圖案以及該閘極連接圖案。

10. 如申請專利範圍第6項所述之感測元件陣列的製作方法，其中形成該第二圖案化導電層的方法更包括使該閘極連接圖案具有一第二延伸部，該第二延伸部橫越該第一延伸部以及該第一電源線，且該第二延伸部位於該第三通道上方。

11. 如申請專利範圍第 6 項所述之感測元件陣列的製作方法，其中形成該第一圖案化導電層的方法更包括使該感測電極連接圖案更包括一感測部，該第一延伸部連接於該感測部與該連接部之間，且形成該第二絕緣層的方法更包括於該第二絕緣層中形成暴露出該連接部的一第二連接開口。

12. 如申請專利範圍第 11 項所述之感測元件陣列的製作方法，其中形成該第二圖案化導電層的方法更包括形成一第二電源線，橫越該第一延伸部以及該第一電源線，且該第二電源線遮蓋於該第三通道。

13. 如申請專利範圍第 11 項所述之感測元件陣列的製作方法，其中形成該第三圖案化導電層的方法更包括使該感測電極藉由該第二連接開口連接該感測電極連接圖案的該感測部以及形成一連接電極，使該連接電極藉由該第一連接開口連接該感測電極連接圖案的該連接部以及該閘極連接圖案。

14. 如申請專利範圍第 1 項所述之感測元件陣列的製作方法，更包括於該基板上形成一感測介質層以及一對向電極層，其中該對向電極與該感測電極分別位於該感測介質層之相對兩側。

15. 如申請專利範圍第 1 項所述之感測元件陣列的製作方法，其中形成該第一圖案化導電層、該通道層、該第一絕緣層以及該第二圖案化導電層的方法包括捲對捲製程。

16. 一種感測元件陣列，配置於一基板上，該感測元件陣列包括：

一第一圖案化導電層，包括一感測線、一第一電源線、一源汲極圖案以及一分支圖案，該感測線、該第一電源線以及該源汲極圖案各自分離，而該分支圖案連接於該第一電源線，其中該源汲極圖案包括一第一部份以及一第二部份，該第一部份與該感測線相鄰而該第二部分與該分支圖案相鄰；

一通道層，包括一第一通道以及一第二通道，該第一通道連接於該第一部份與該感測線之間，該第二通道連接於該第二部分與該分支圖案之間；

一第一絕緣層；

一第二圖案化導電層，該第一絕緣層與該第二圖案化導電層的邊緣實質上彼此切齊，其中該第二圖案化導電層包括一選擇線、一閘極圖案以及一閘極連接圖案，該選擇線橫越該感測線以及該源汲極圖案的該第一部份並位於該第一通道上，該閘極圖案位於該第二通道上，而該閘極連接圖案連接於該閘極圖案；

一第二絕緣層，具有一第一連接開口以暴露出該閘極連接圖案；以及

一第三圖案化導電層，包括電性連接於該閘極連接圖案的一感測電極。

17. 如申請專利範圍第 16 項所述之感測元件陣列，其中該感測電極係直接連接於該第一連接開口所暴露出來

的該閘極連接圖案上。

18. 如申請專利範圍第 16 項所述之感測元件陣列，其中該第二圖案化金屬層更包括一電容電極，該電容電極連接於該閘極圖案並疊置於該分支圖案遠離該基板的一側。

19. 如申請專利範圍第 16 項所述之感測元件陣列，其中該第一圖案化導電層的方法更包括一感測電極連接圖案，該感測線、該第一電源線、該源汲極圖案以及該感測電極連接圖案各自分離，且該感測電極連接圖案包括一連接部與連接於該連接部的第一延伸部，該延伸部鄰近於該第一電源線，且該通道層包括一第三通道連接於該第一延伸部與該第一電源線之間。

20. 如申請專利範圍第 19 項所述之感測元件陣列，其中該第二圖案化導電層以及該第一絕緣層暴露出該感測電極連接圖案並且該閘極連接圖案鄰近於被暴露的該感測電極連接圖案。

21. 如申請專利範圍第 20 項所述之感測元件陣列，其中該第一連接開口同時地暴露出該閘極連接圖案以及該感測電極連接圖案。

22. 如申請專利範圍第 21 項所述之感測元件陣列，其中該感測電極藉由該第一連接開口同時地連接於該感測電極連接圖案以及該閘極連接圖案。

23. 如申請專利範圍第 19 項所述之感測元件陣列，其中該閘極連接圖案具有一第二延伸部，該第二延伸部橫

越該第一延伸部以及該第一電源線，且該第二延伸部遮蓋於該第三通道。

24. 如申請專利範圍第 19 項所述之感測元件陣列，其中該感測電極連接圖案更包括一感測部，該第一延伸部連接於該感測部與該連接部之間，且該第二絕緣層更具有暴露出該連接部的一第二連接開口。

25. 如申請專利範圍第 24 項所述之感測元件陣列，其中該第二圖案化導電層更包括一第二電源線，橫越該第一延伸部以及該第一電源線，且該第二電源線遮蓋於該第三通道。

26. 如申請專利範圍第 24 項所述之感測元件陣列，其中該感測電極藉由該第二連接開口連接該感測電極連接圖案的該感測部且該第三圖案化導電層更包括一連接電極，該連接電極藉由該第一連接開口連接該感測電極連接圖案的該連接部以及該閘極連接圖案。

27. 如申請專利範圍第 16 項所述之感測元件陣列，更包括一感測介質層以及一對向電極層，配置於該第三圖案化導電層遠離該基板的一側，其中該對向電極與該感測電極分別位於該感測介質層之相對兩側。

28. 如申請專利範圍第 16 項所述之感測元件陣列，其中該基板為一可撓性基板。

八、圖式：

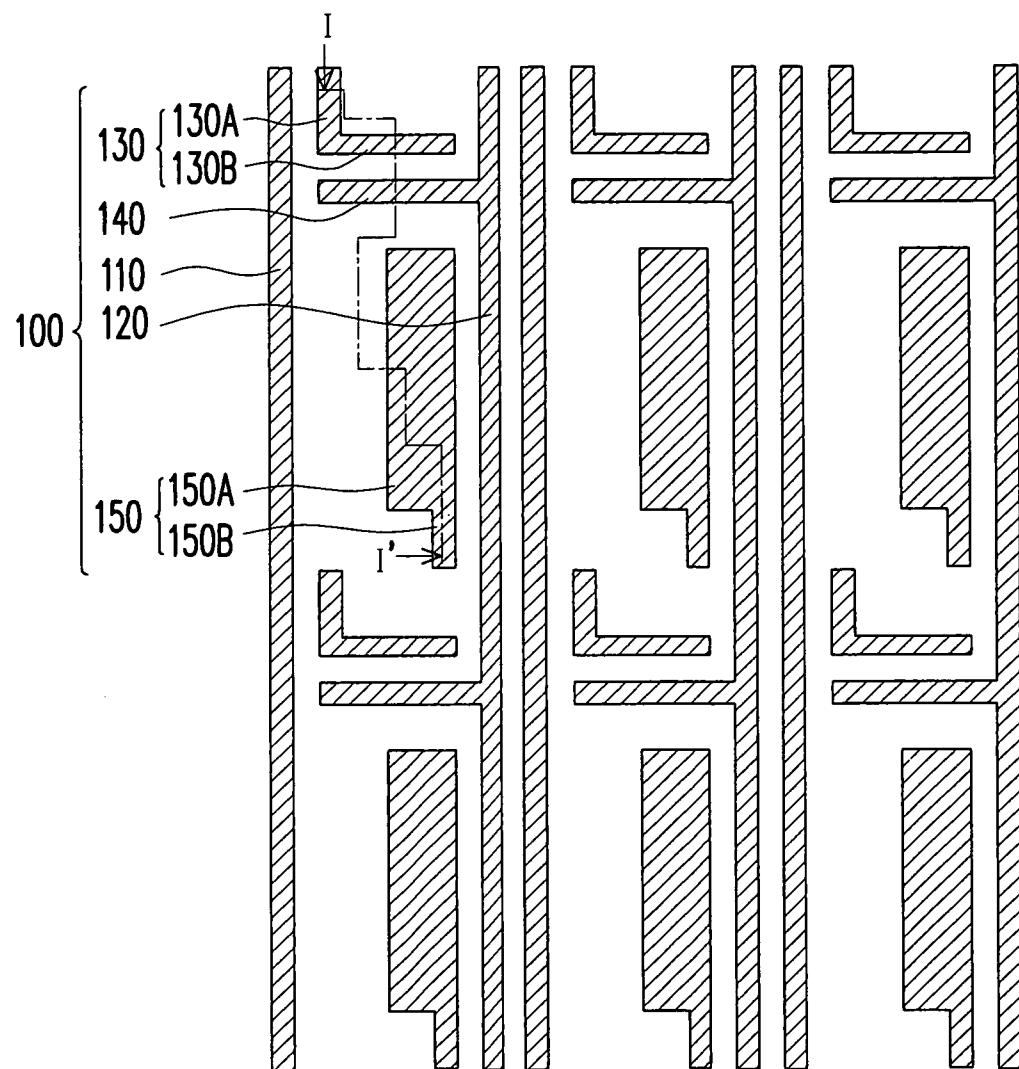


圖 1A

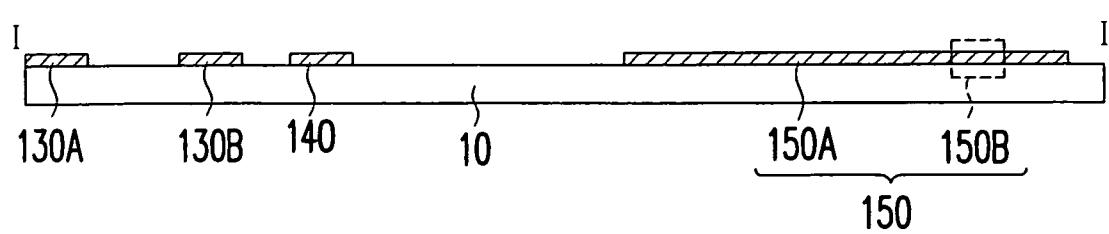


圖 1B

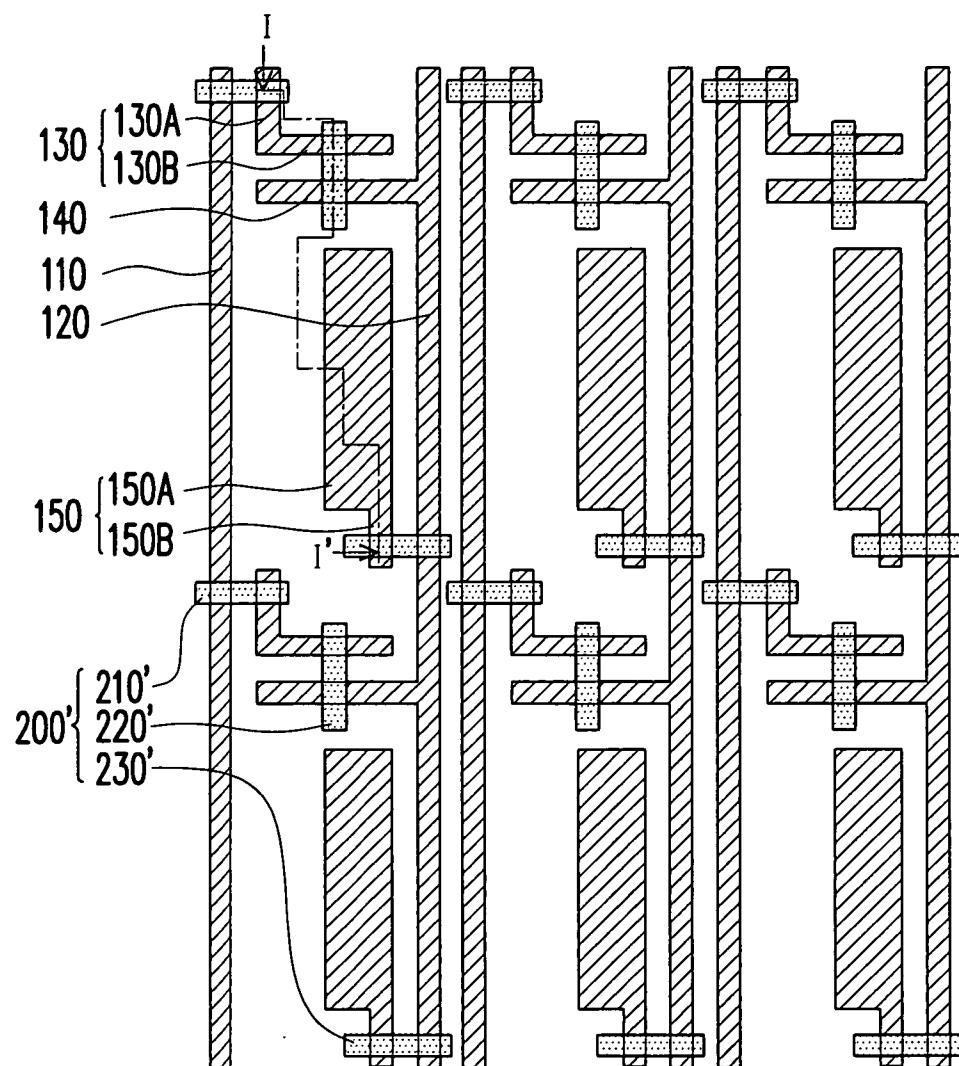


圖 2A

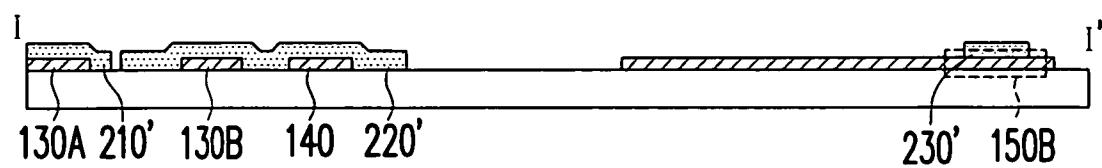


圖 2B

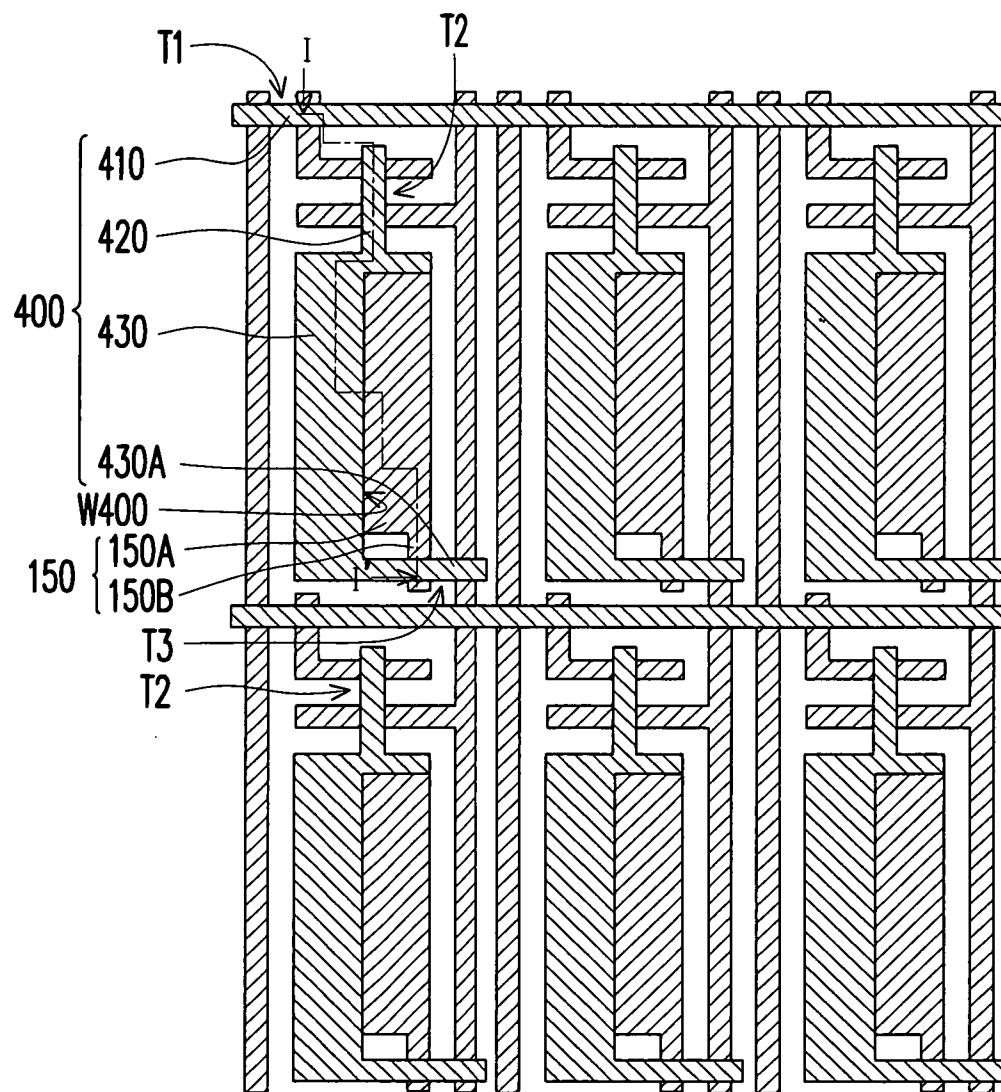


圖 3A

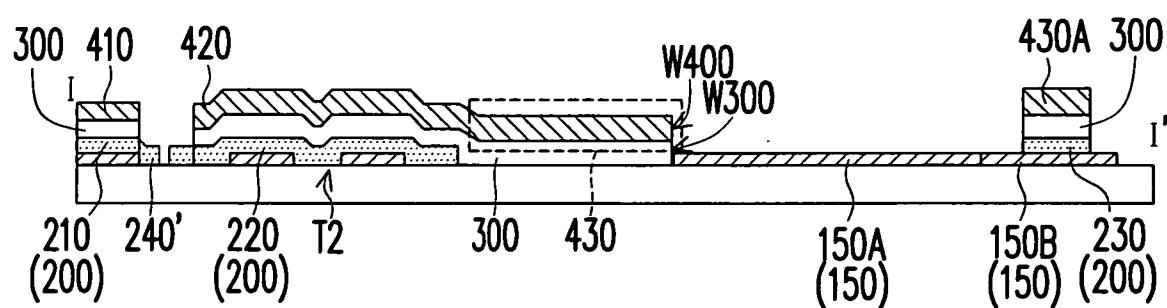


圖 3B

I464788

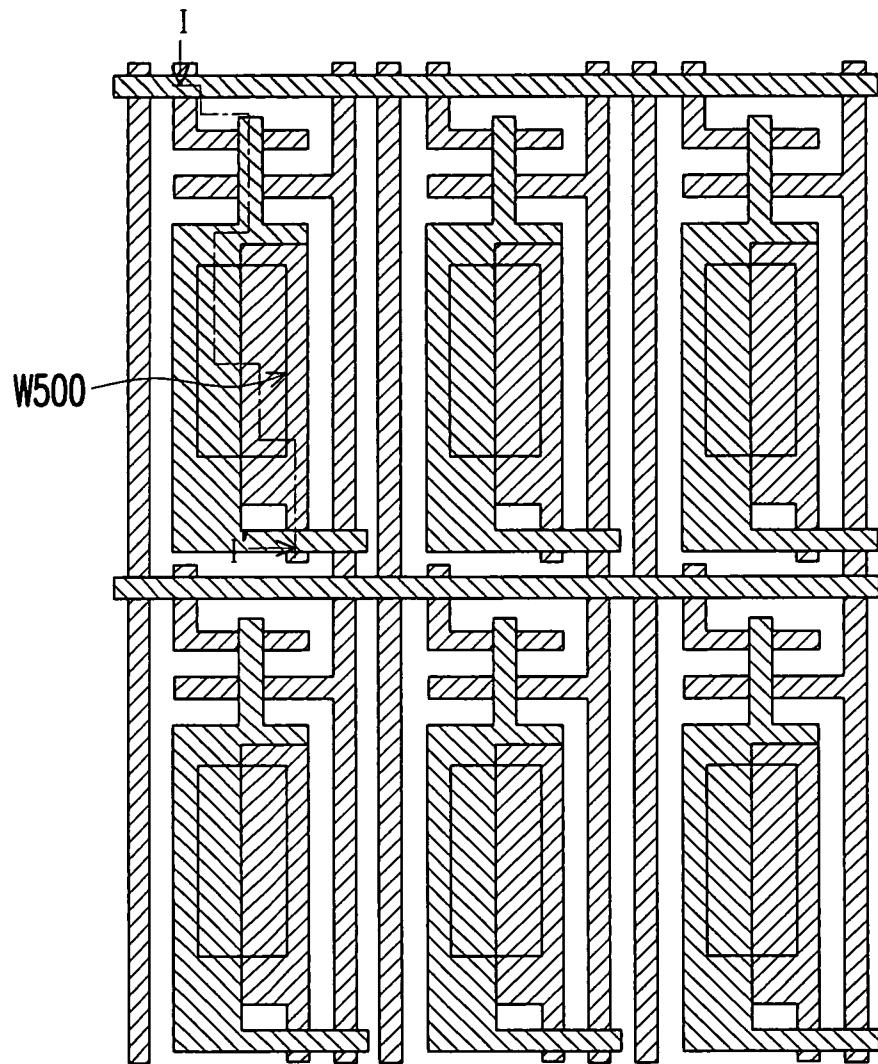


圖 4A

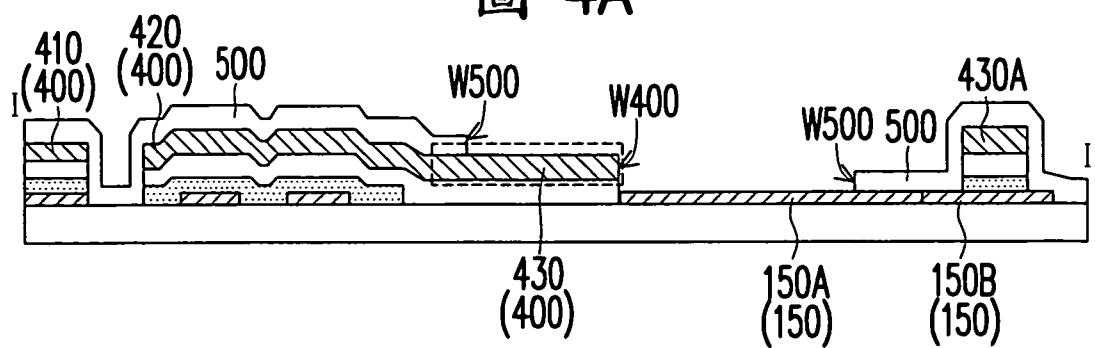


圖 4B

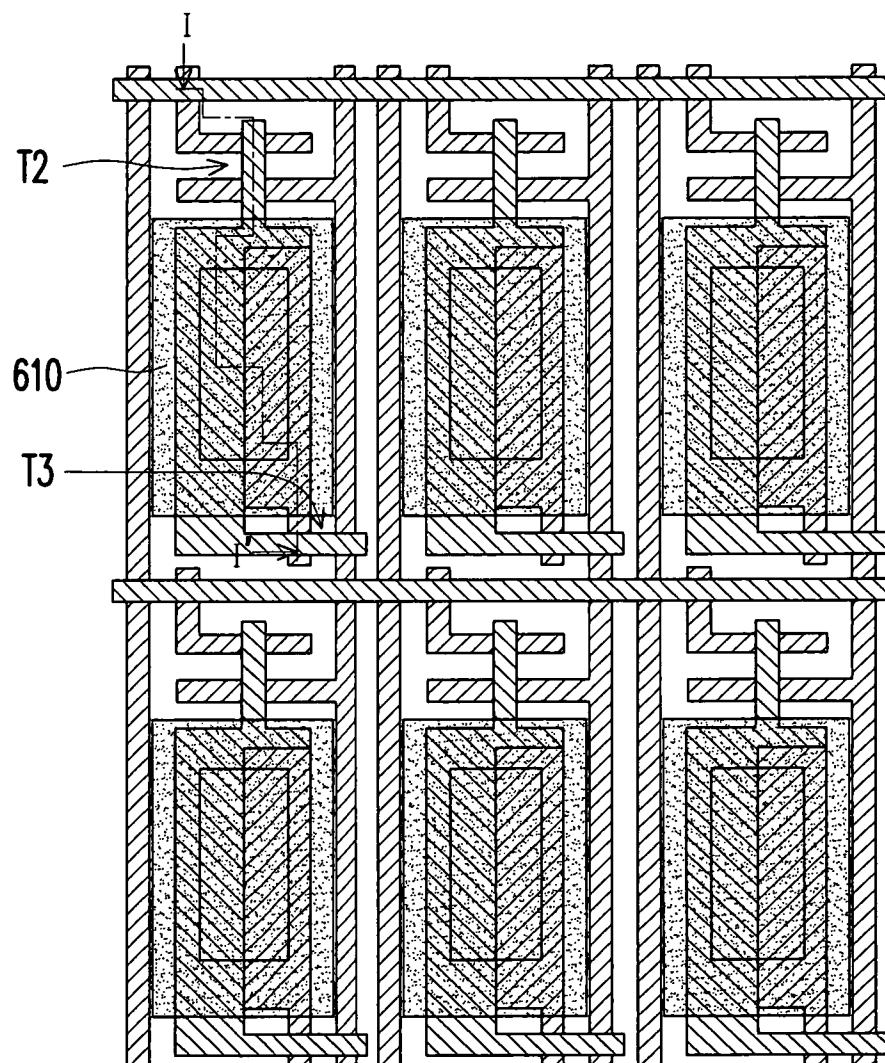


圖 5A

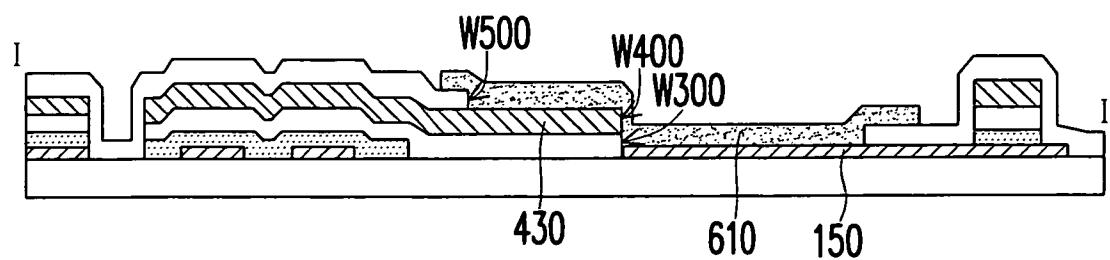


圖 5B

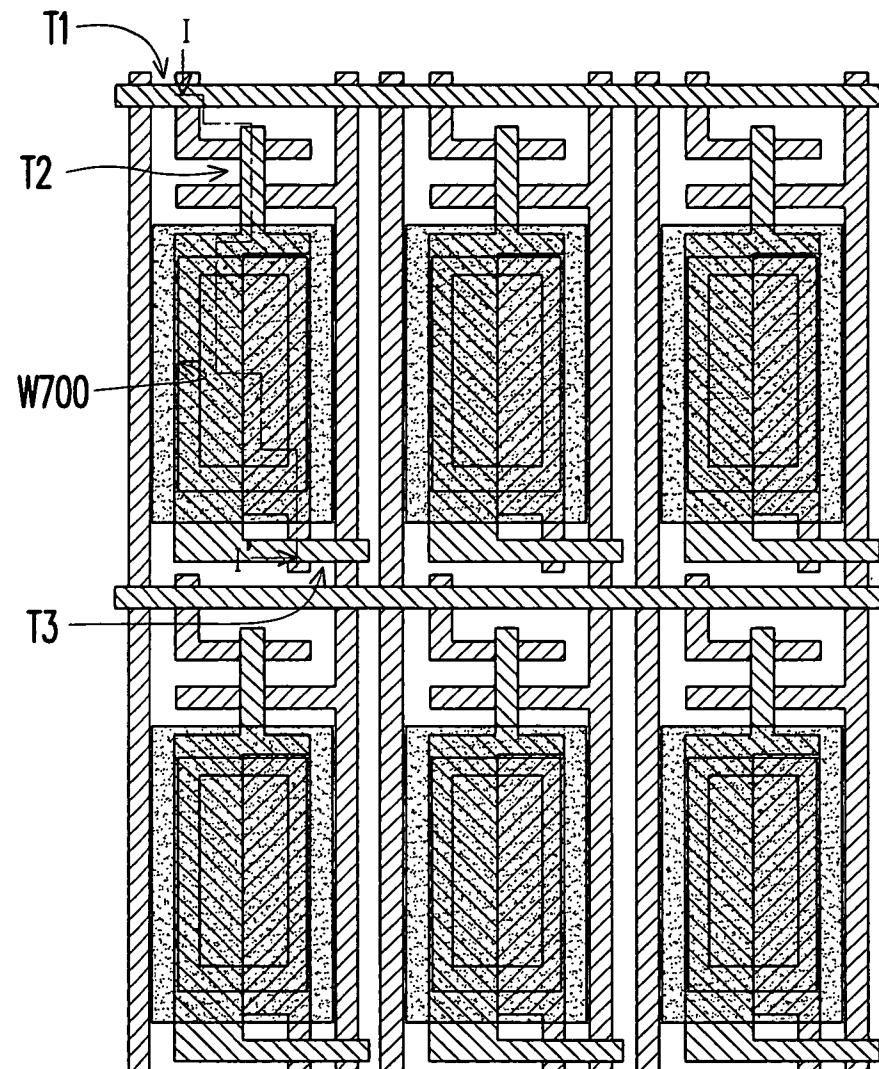
1000

圖 6A

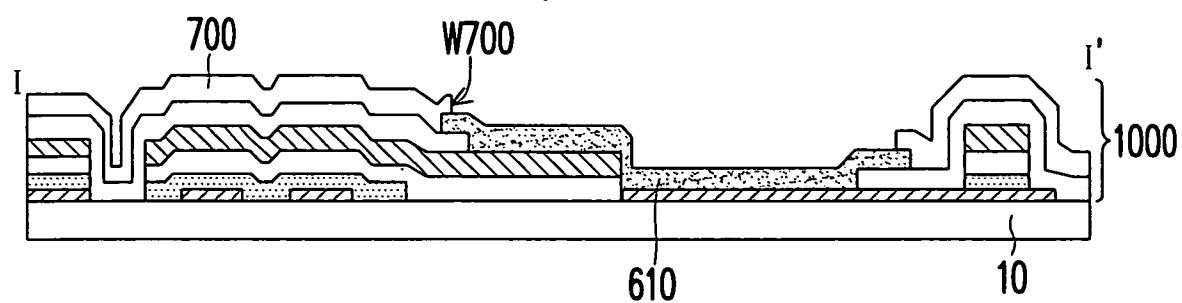
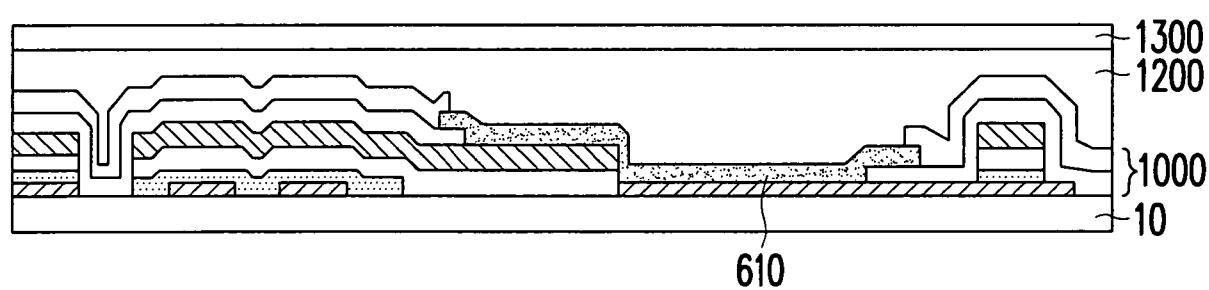


圖 6B

I464788



1

圖 7

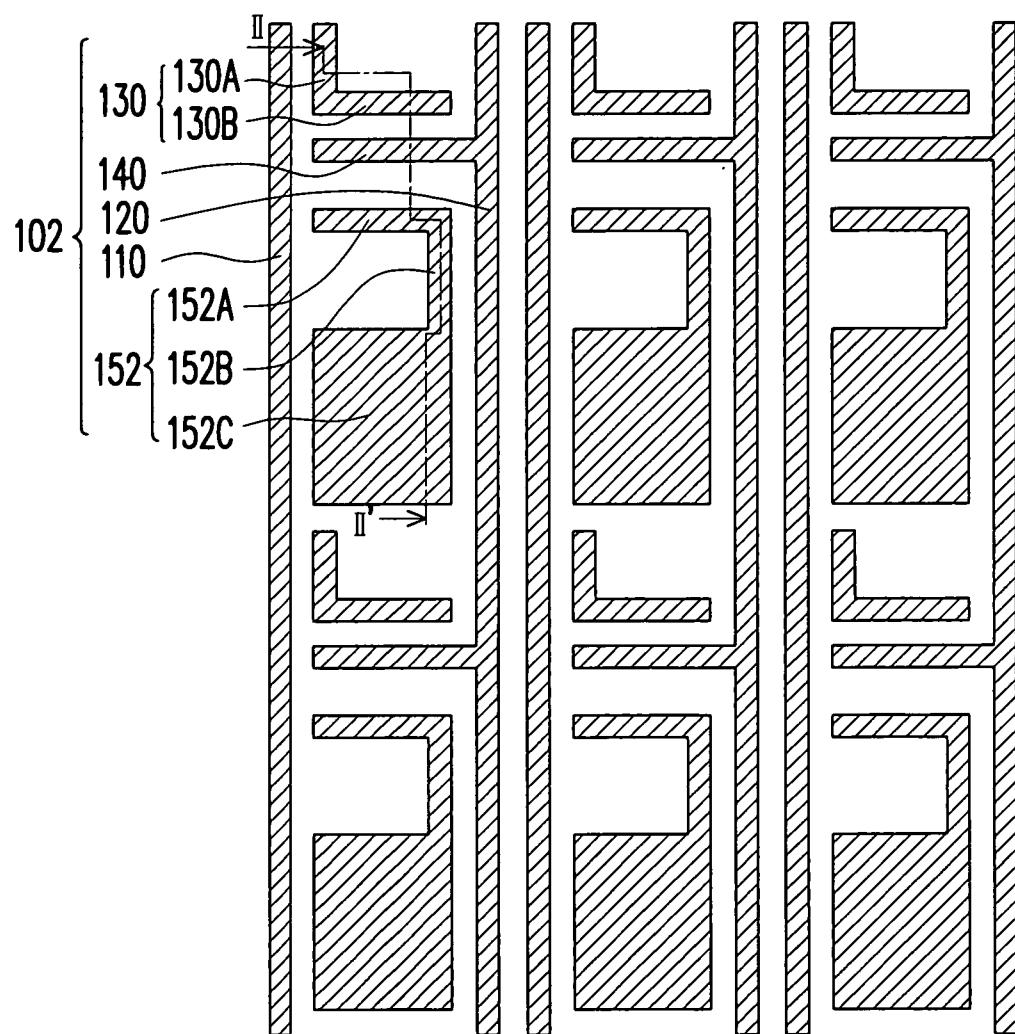


圖 8A

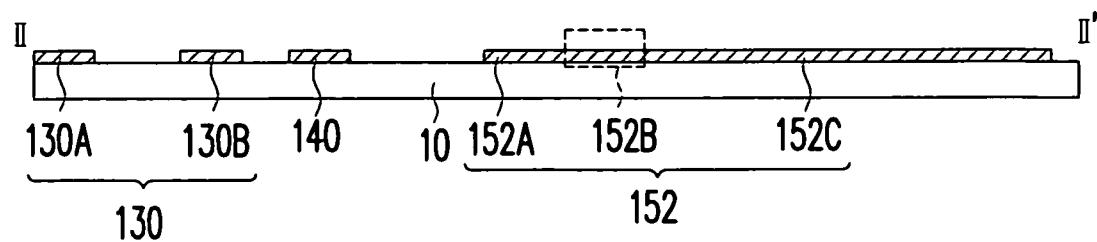


圖 8B

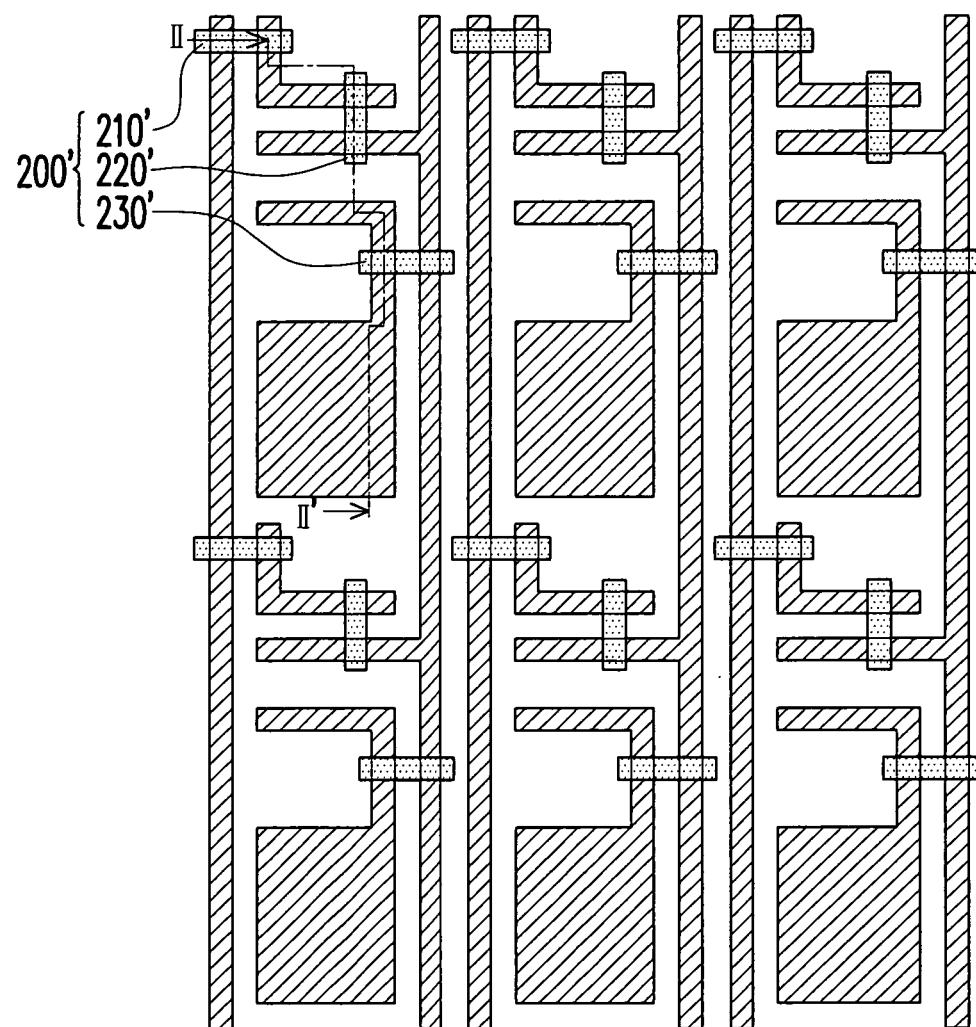


圖 9A

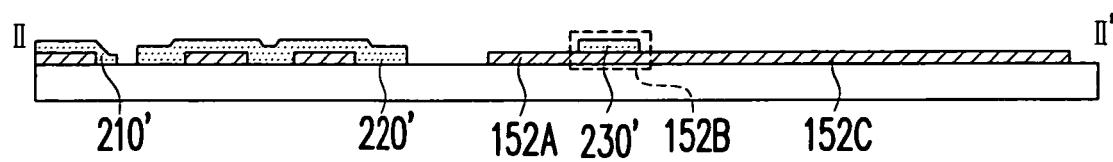


圖 9B

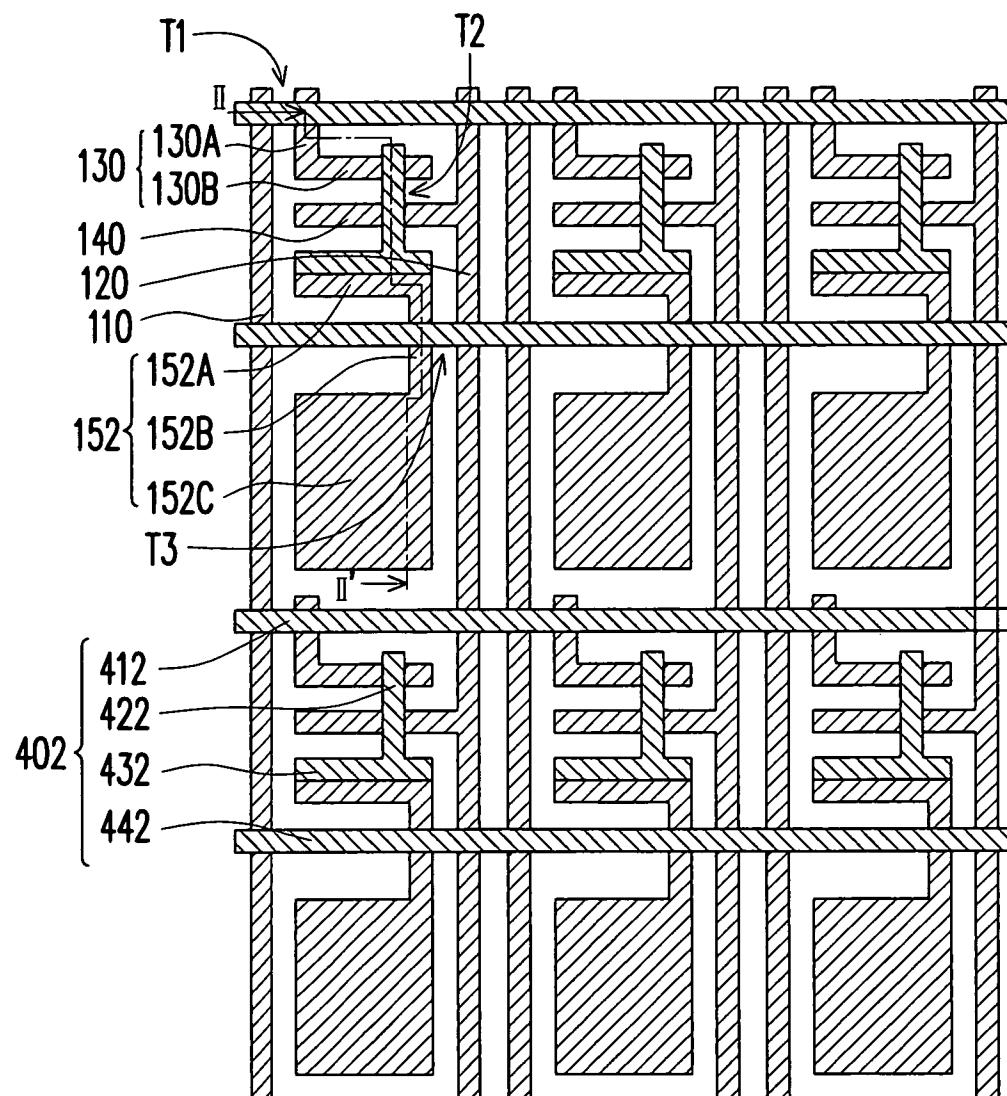


圖 10A

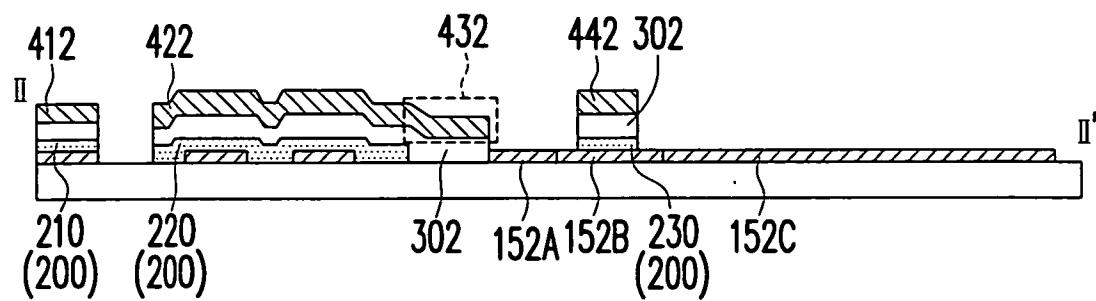


圖 10B

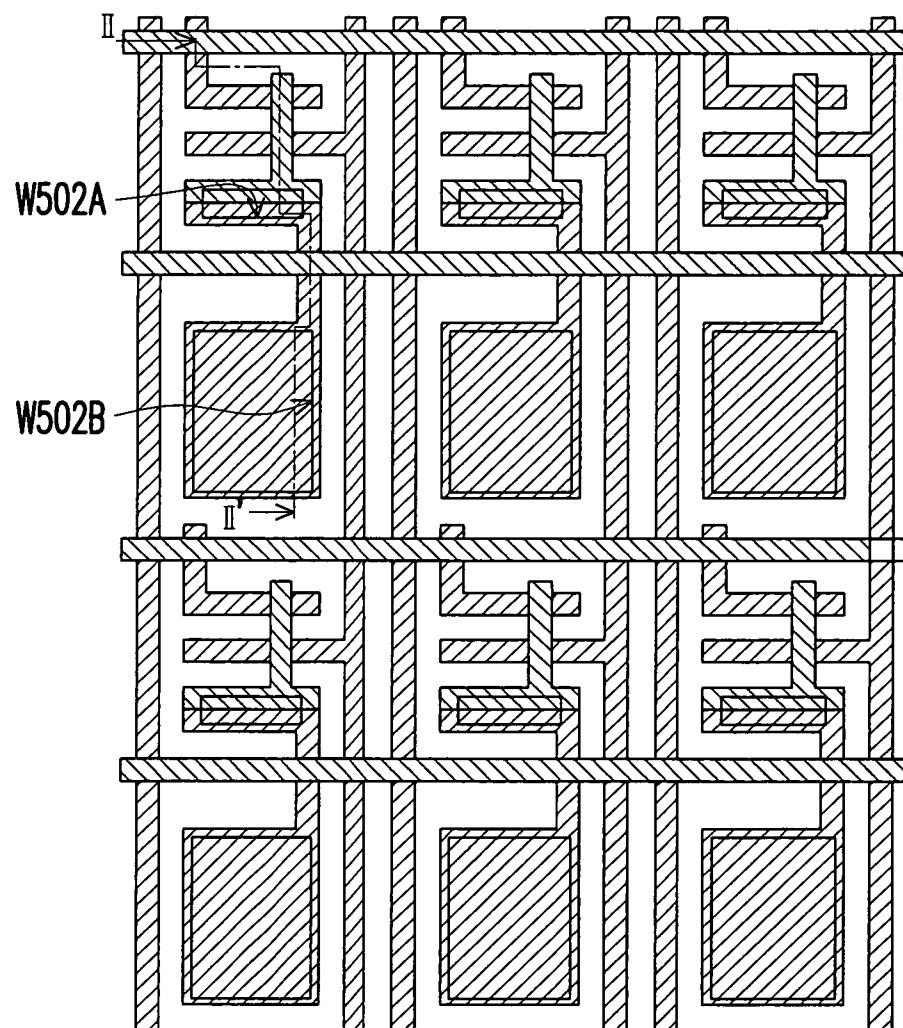


圖 11A

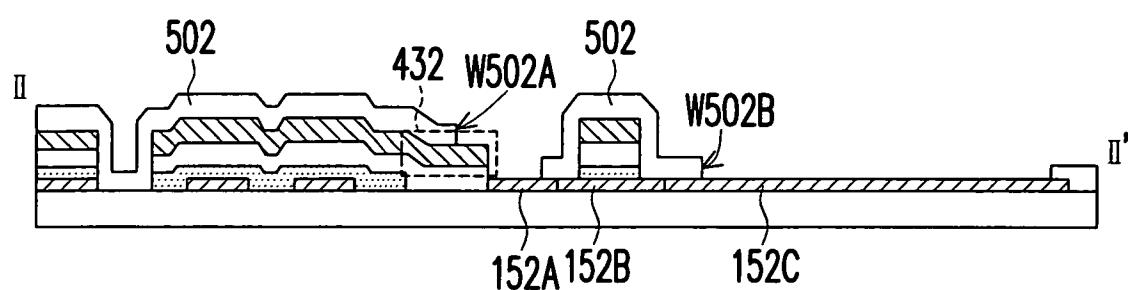


圖 11B

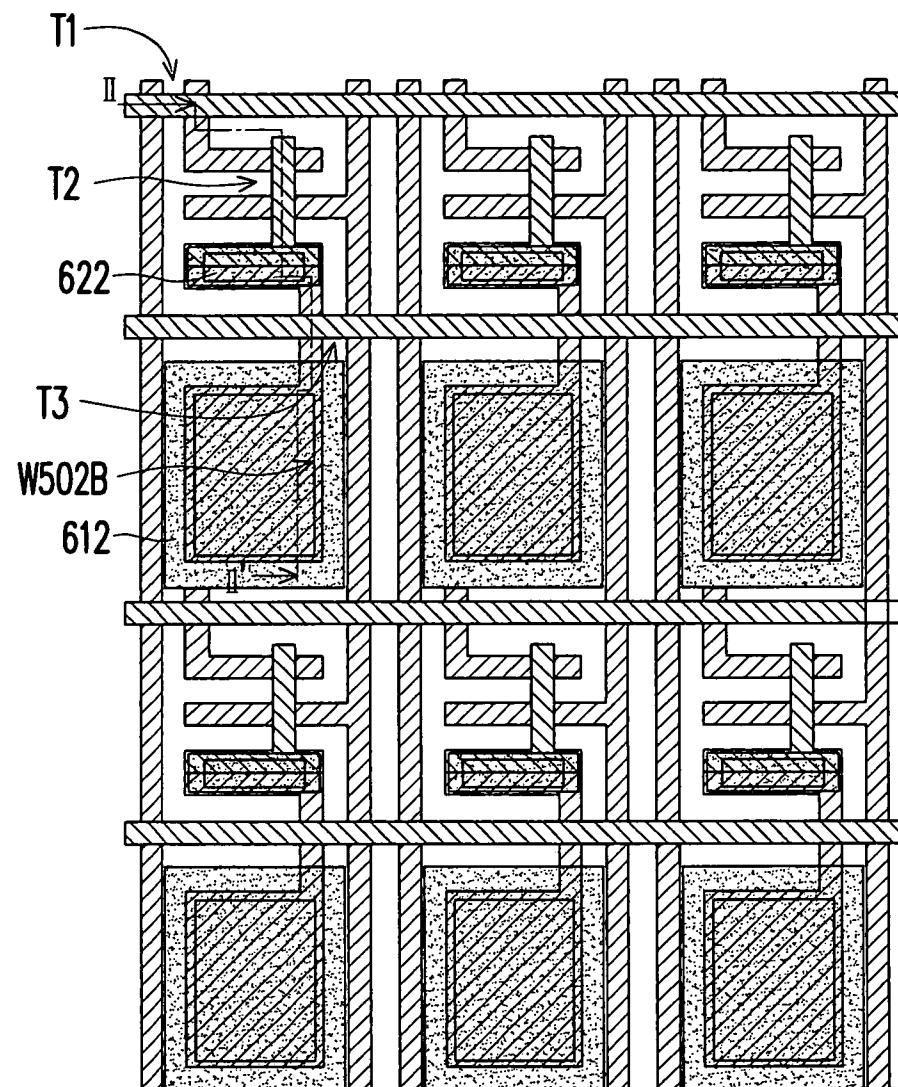


圖 12A

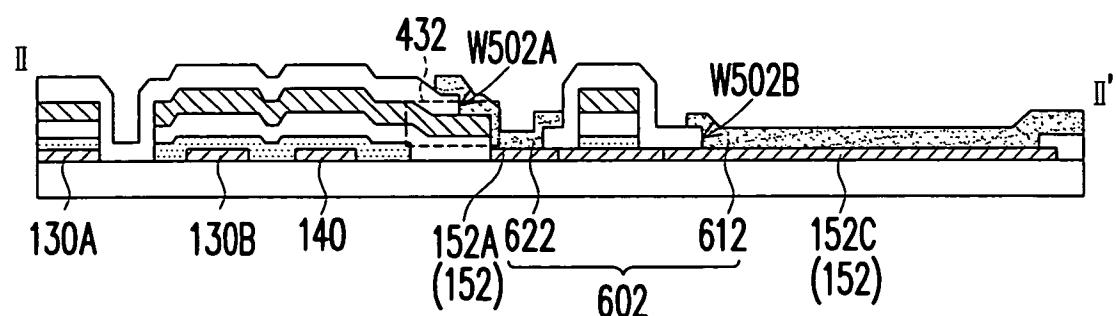


圖 12B

I464788

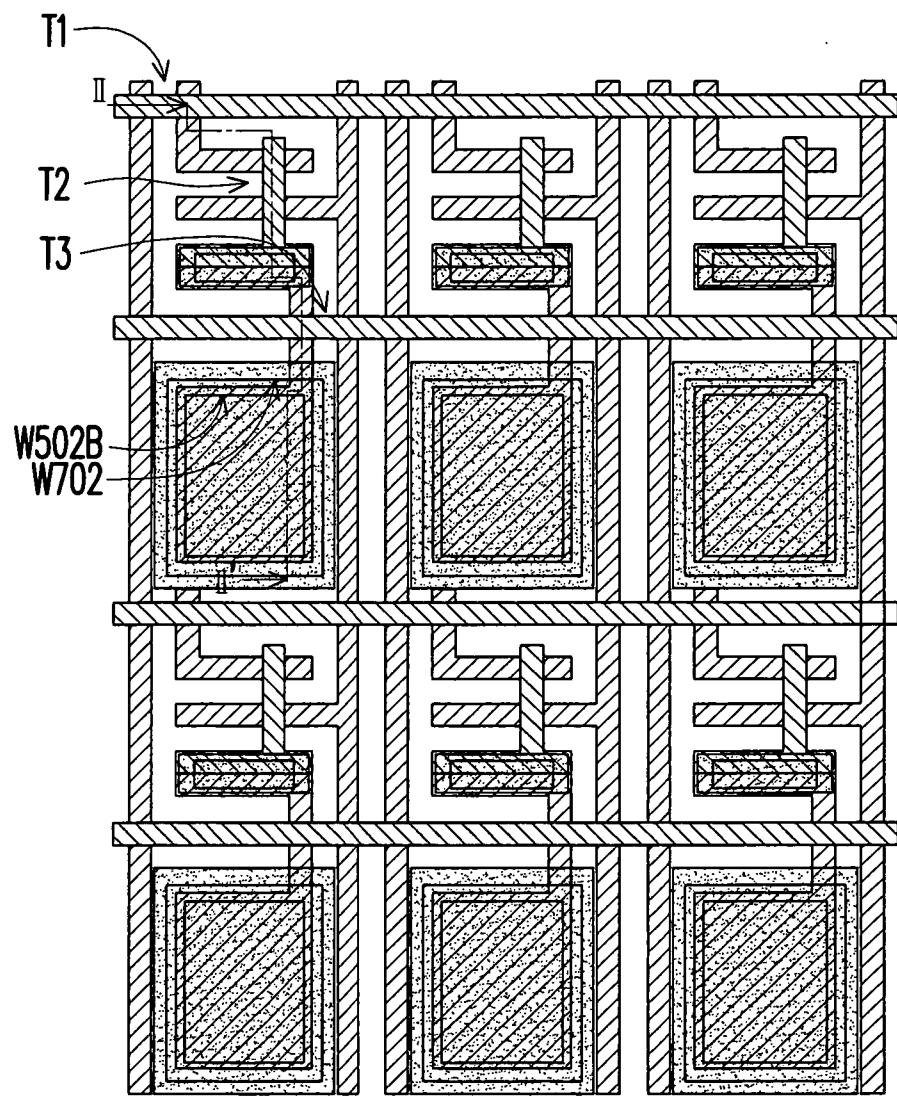


圖 13A 2000

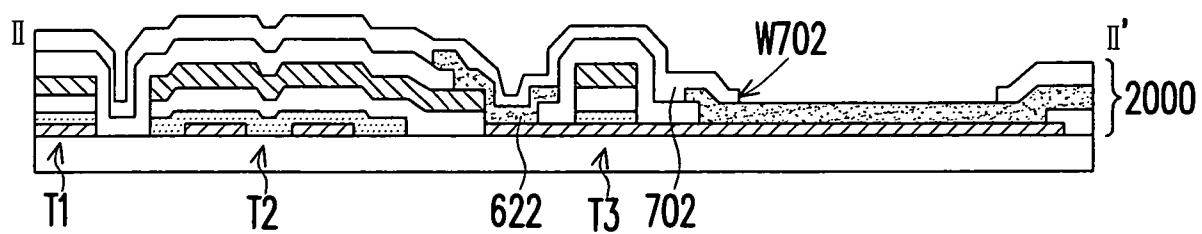


圖 13B

I464788

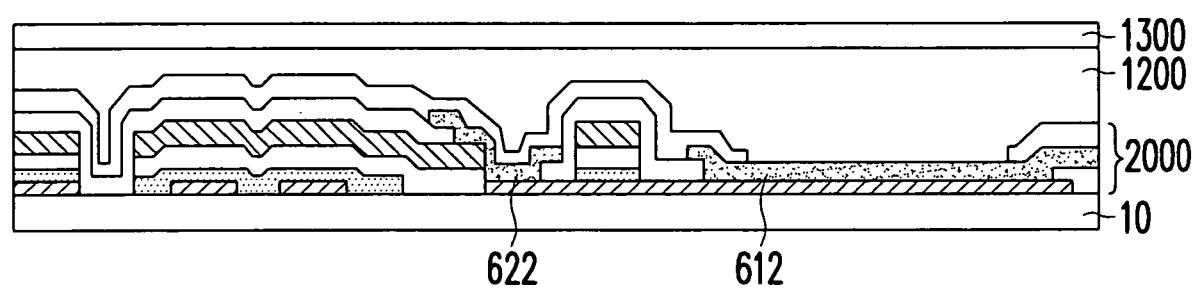


圖 14

2

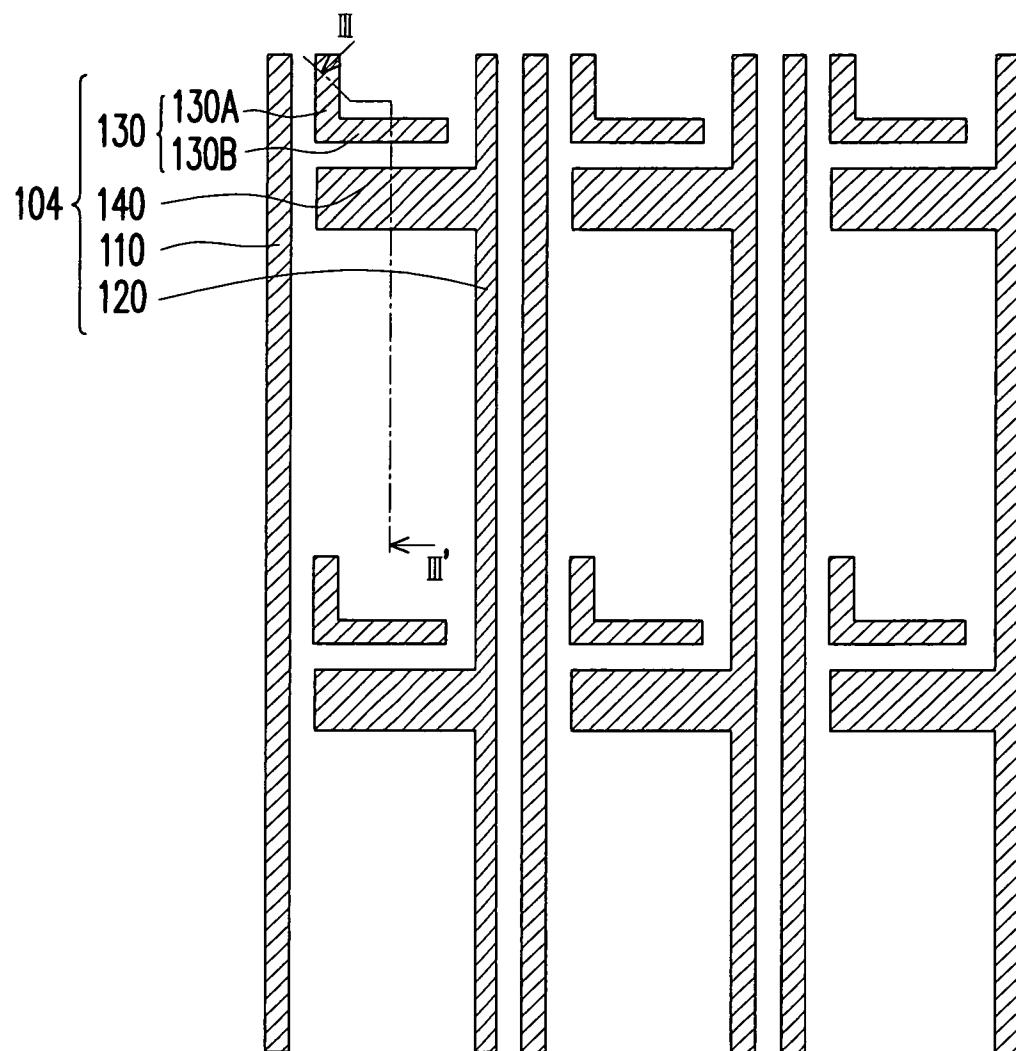


圖 15A

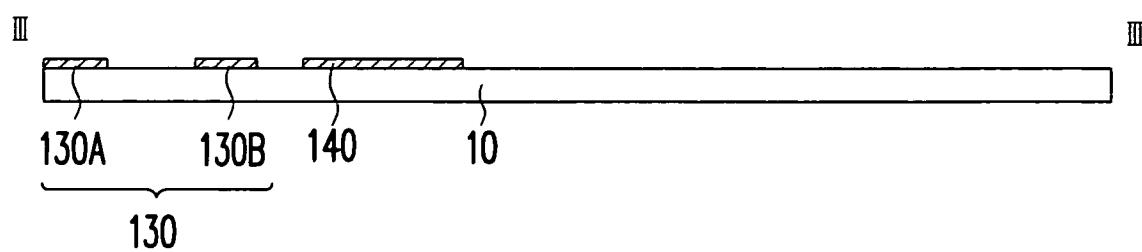


圖 15B

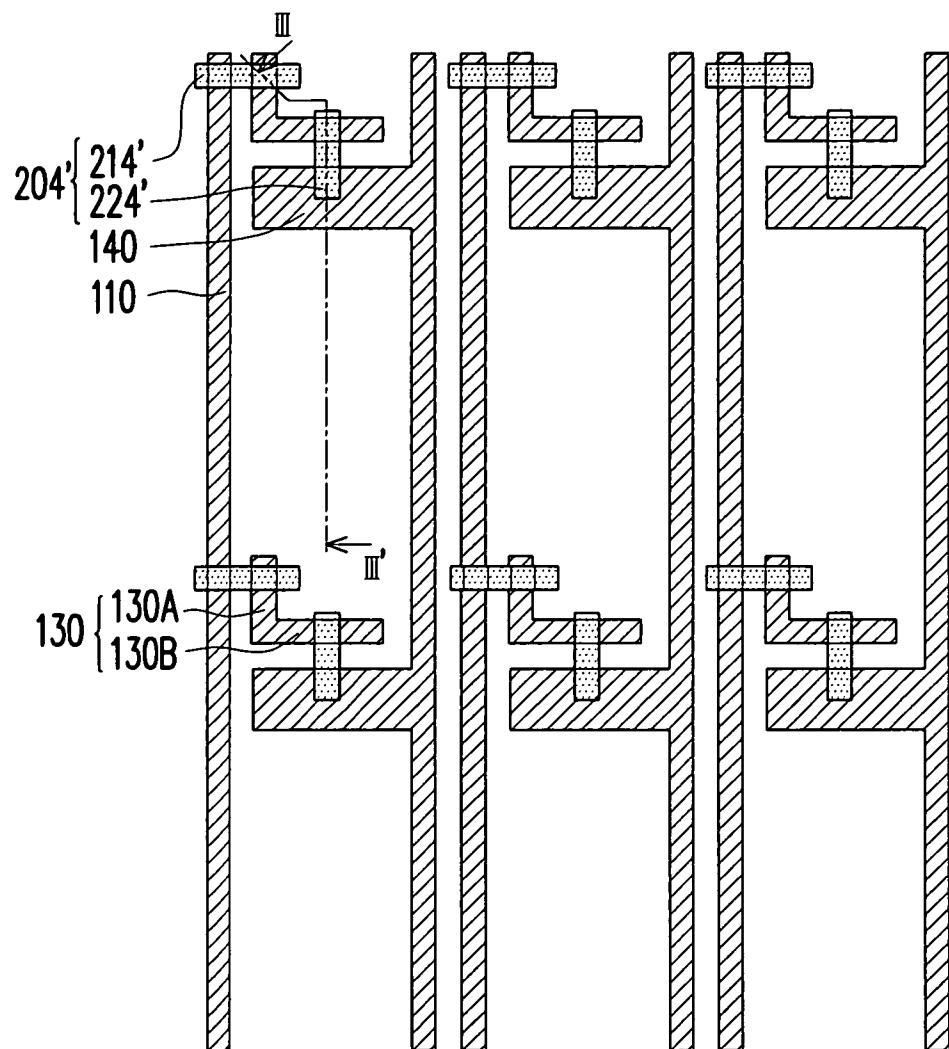


圖 16A

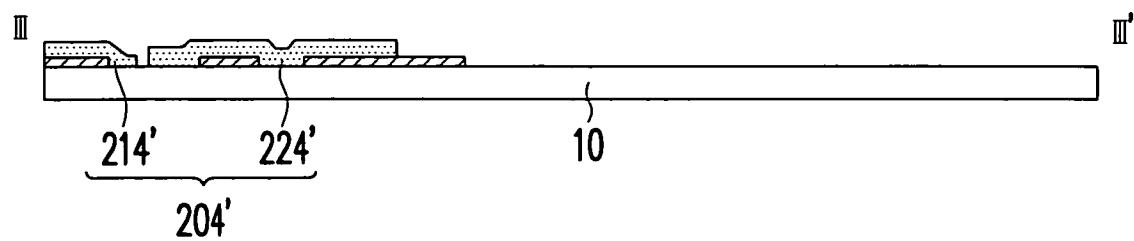


圖 16B

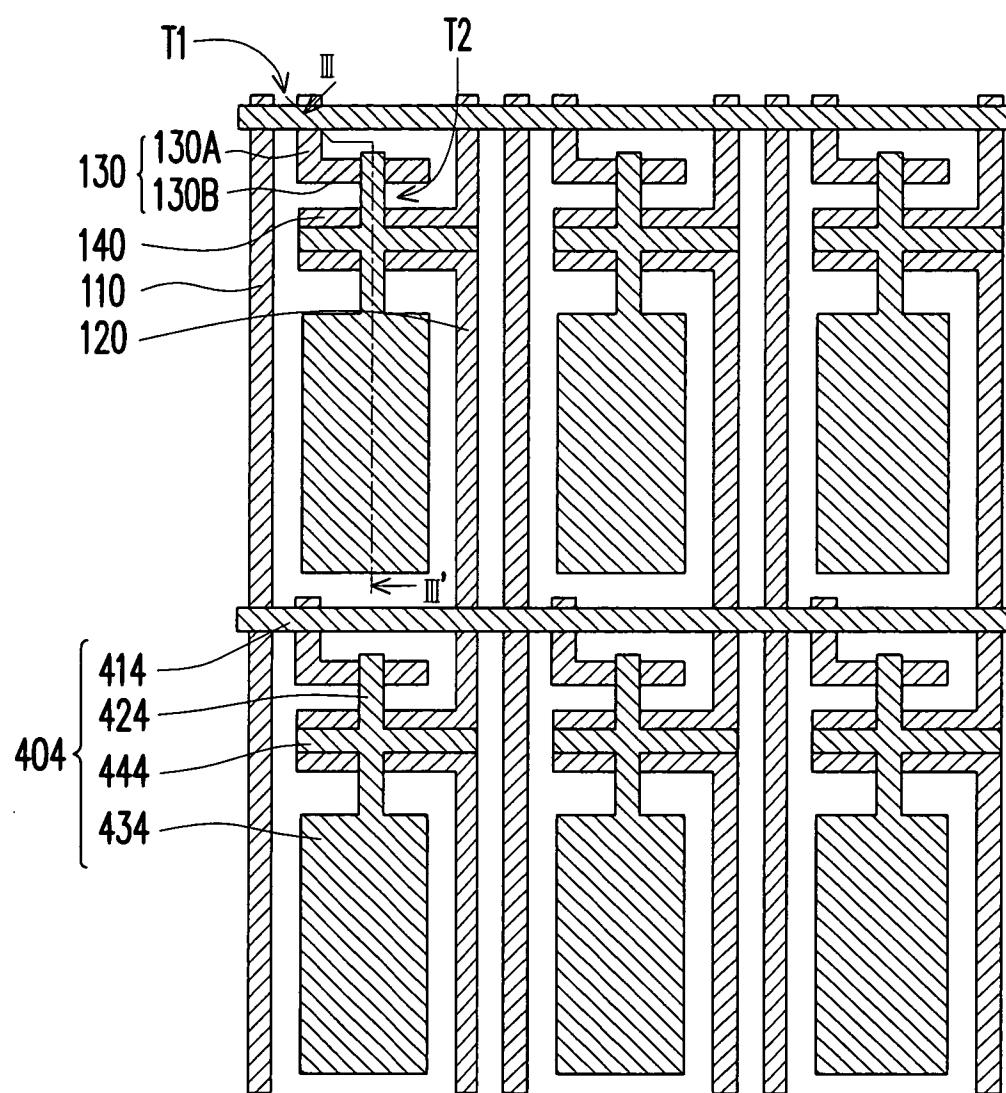


圖 17A

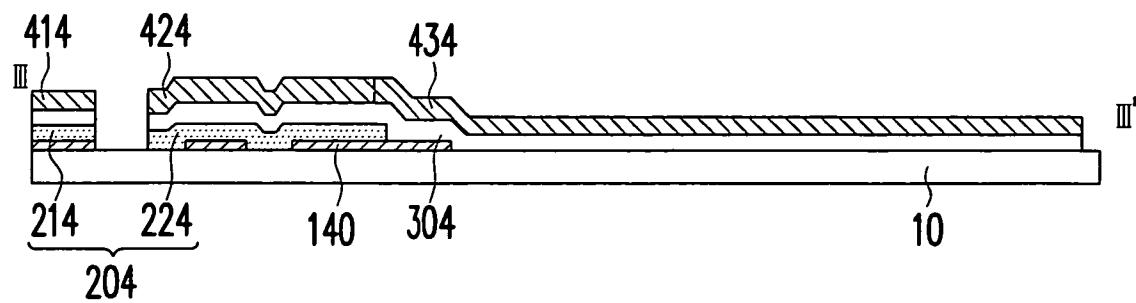


圖 17B

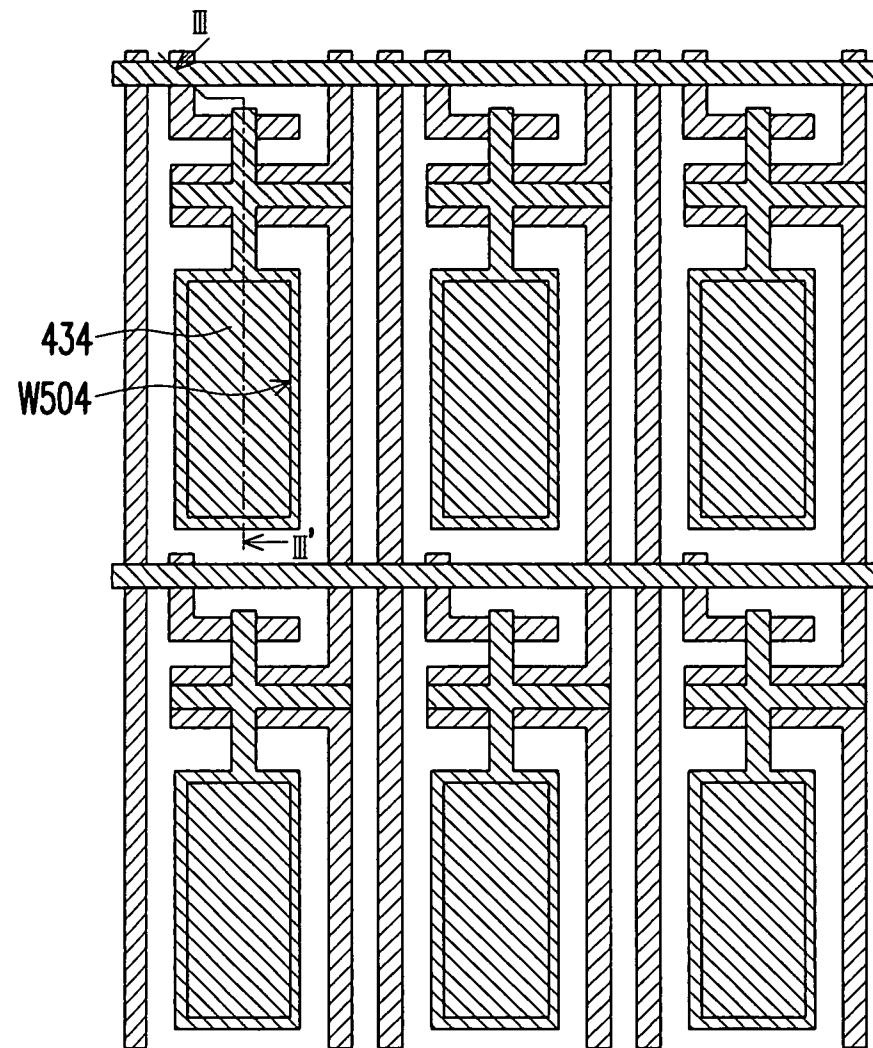


圖 18A

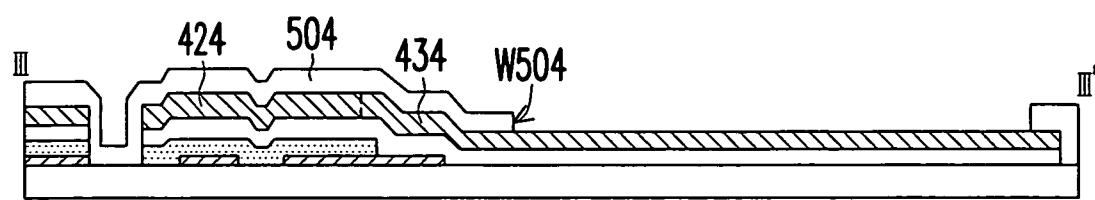


圖 18B

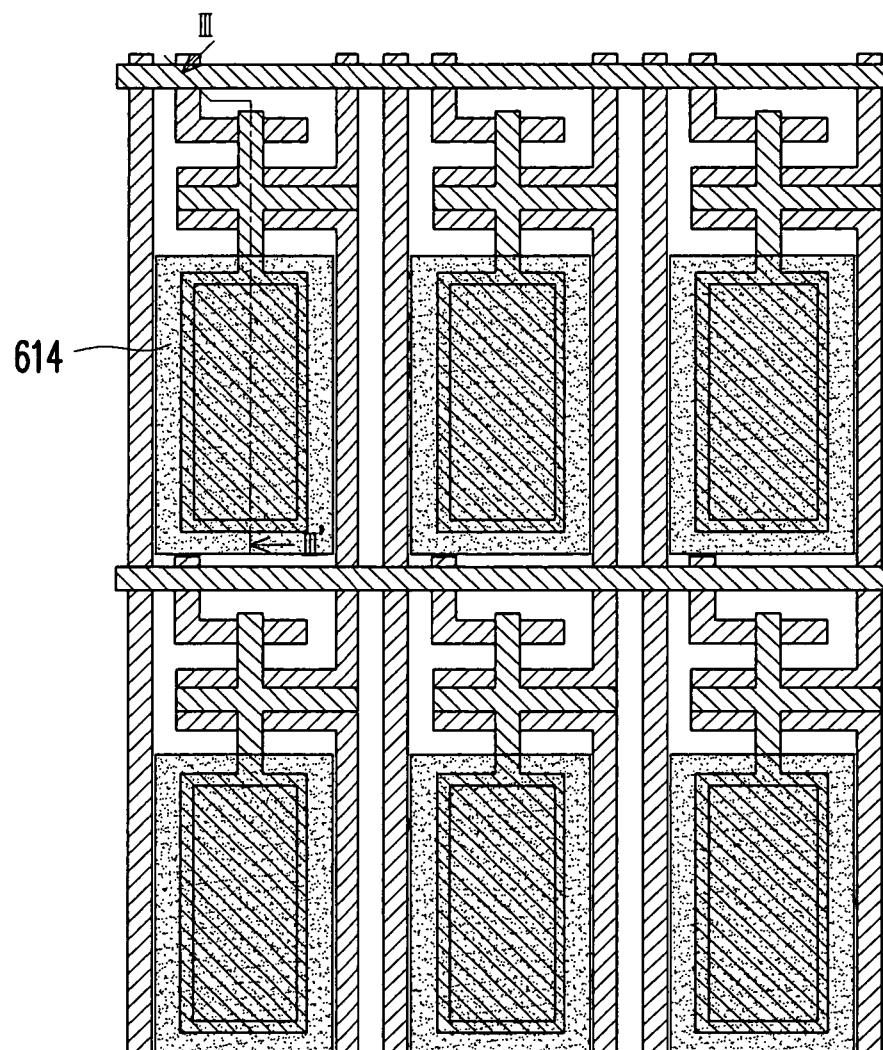


圖 19A

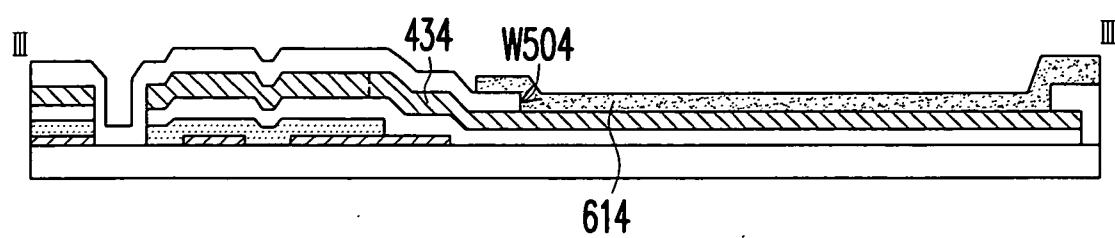


圖 19B

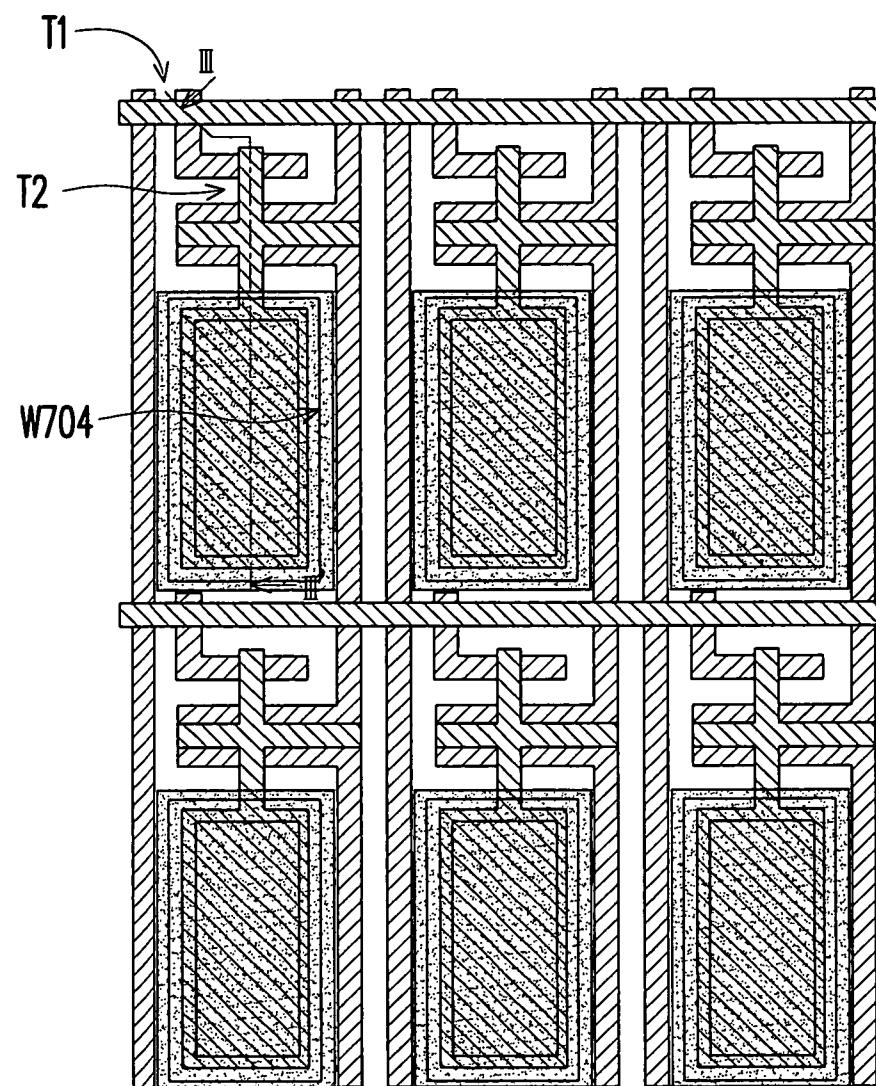


圖 20A

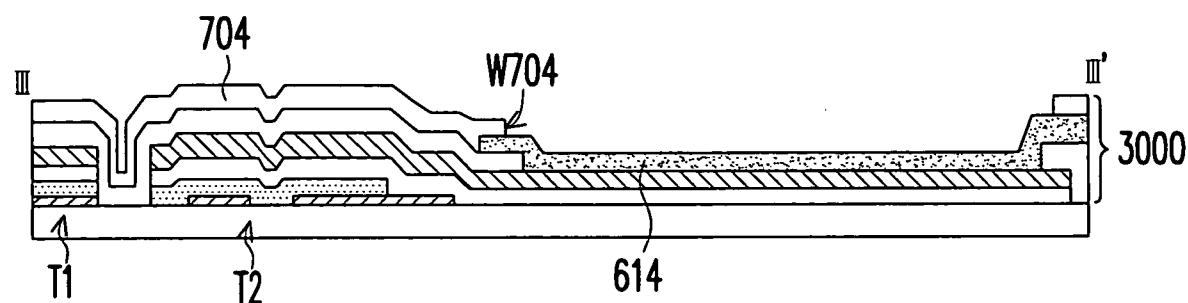
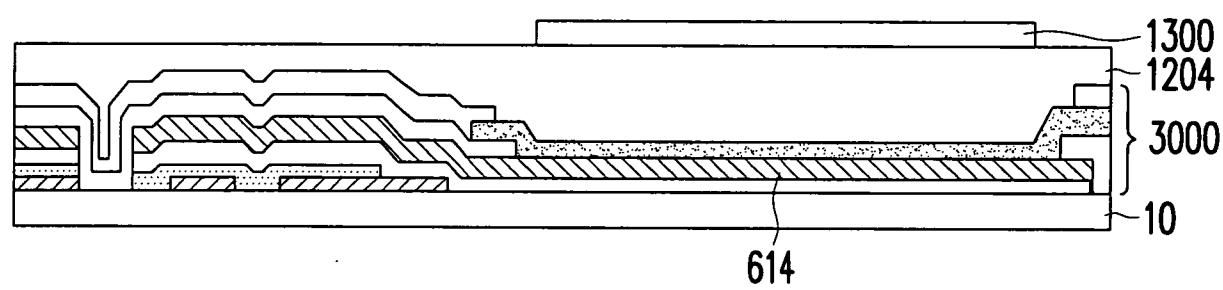
3000

圖 20B

I464788



3

圖 21

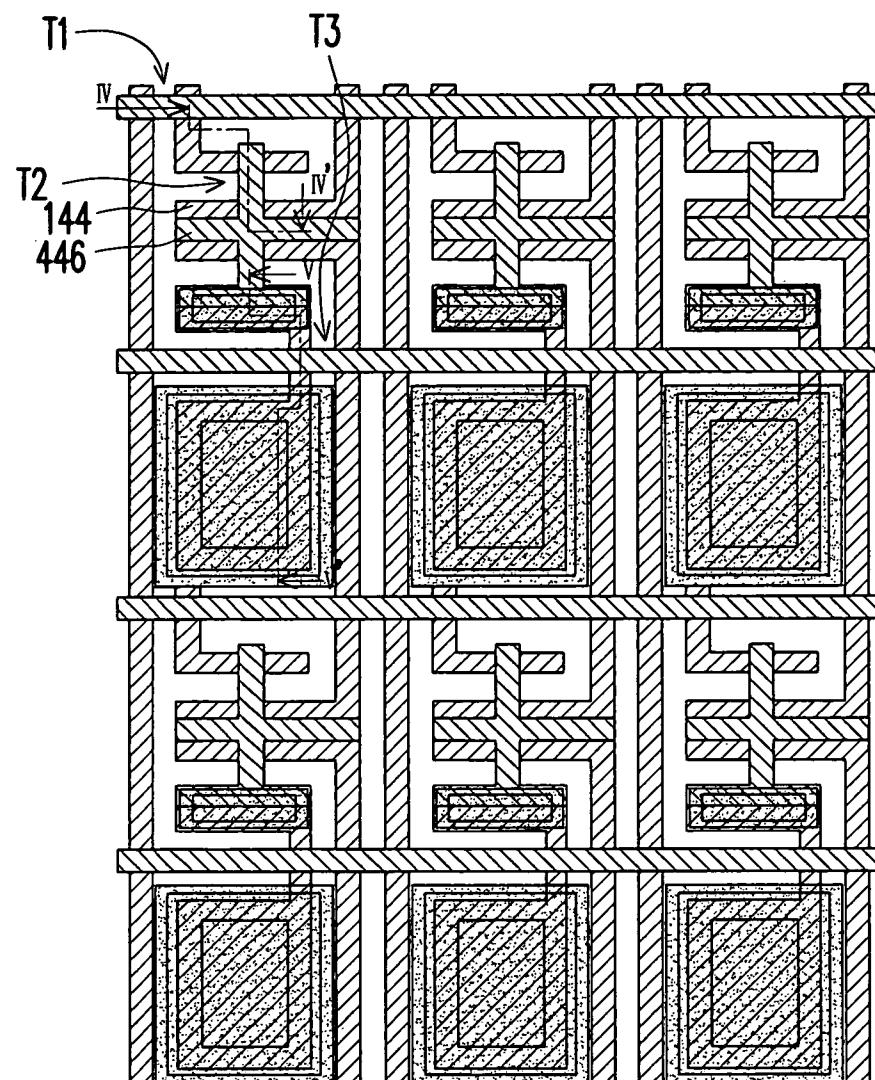
4000

圖 22A

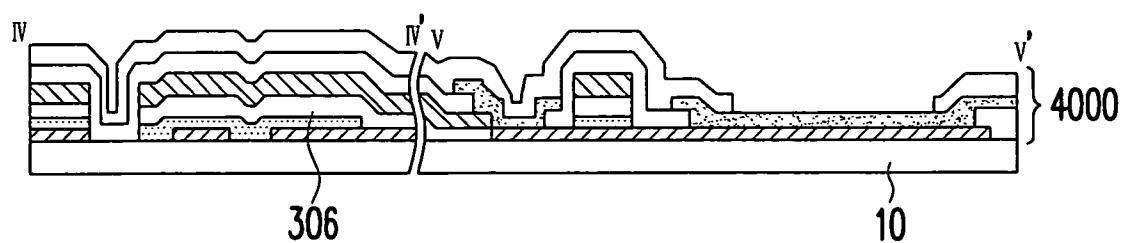
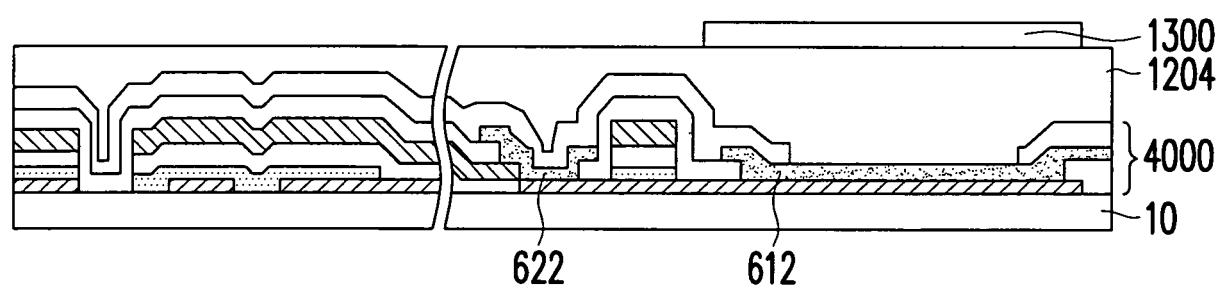


圖 22B

I464788



4

圖 23