(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)公表番号
特表2024-526566
(P2024-526566A)
(43)公表日　令和6年7月19日(2024.7.19)

(51)国際特許分類		FI			テーマコード（参考）
Ｈ０１Ｌ　23/12　(2006.01)		Ｈ０１Ｌ	23/12	Ｅ	５Ｅ３３８
Ｈ０５Ｋ　1/02　(2006.01)		Ｈ０１Ｌ	23/12	Ｑ	
		Ｈ０５Ｋ	1/02	Ｎ	
		Ｈ０５Ｋ	1/02	Ｃ	

審査請求　未請求　予備審査請求　未請求　（全22頁）

(21)出願番号　特願2023-578158(P2023-578158)
(86)(22)出願日　令和4年6月14日(2022.6.14)
(85)翻訳文提出日　令和5年12月19日(2023.12.19)
(86)国際出願番号　PCT/US2022/072935
(87)国際公開番号　WO2023/288164
(87)国際公開日　令和5年1月19日(2023.1.19)
(31)優先権主張番号　17/375,676
(32)優先日　令和3年7月14日(2021.7.14)
(33)優先権主張国・地域又は機関
米国(US)
(81)指定国・地域　AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,
最終頁に続く

(71)出願人　595020643
クゥアルコム・インコーポレイテッド
ＱＵＡＬＣＯＭＭ　ＩＮＣＯＲＰＯＲＡＴＥＤ
アメリカ合衆国、カリフォルニア州　９２１２１－１７１４、サン・ディエゴ、モアハウス・ドライブ　５７７５
(74)代理人　110003708
弁理士法人鈴榮特許綜合事務所
(72)発明者　パティル、アニケット
アメリカ合衆国、カリフォルニア州　９２１２１－１７１４、サン・ディエゴ、モアハウス・ドライブ　５７７５、クゥアルコム・インコーポレイテッド内
(72)発明者　ブオト、ジョアン・レイ・ビリャルバ
最終頁に続く

(54)【発明の名称】　インピーダンスが低減された基板

(57)【要約】
基板を備える装置と、装置を製造するための技術とが開示される。基板は、基板の第１の側上に信号相互接続部を有する第１の金属層を含むことができる。第２の金属層が、基板の第２の側上にグランドプレーン部分を含むことができる。導電性チャネルが、基板内に形成され、グランドプレーン部分に結合され得る。導電性チャネルは、個々の信号相互接続部から個々の導電性チャネルまでの距離を短くするために、グランドプレーン部分を信号相互接続部に向けて延ばすように構成されている。距離は、第１の金属層と第２の金属層との間の基板厚さの７５％～５０％の範囲内であってもよい。

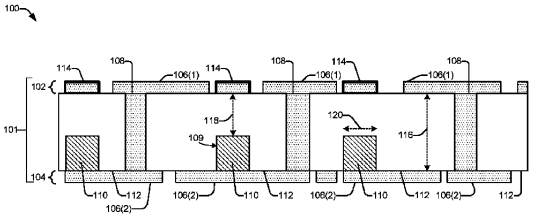


FIG. 1

【特許請求の範囲】
【請求項１】
基板を備える装置であって、前記基板は、
前記基板の第１の側上に複数の信号相互接続部を備える第１の金属層と、
前記基板の第２の側上に複数のグランドプレーン部分を備える第２の金属層と、
個々の信号相互接続部から個々の導電性チャネルまでの距離を短くするために、前記信号相互接続部に向けて前記複数のグランドプレーン部分を延ばすように構成されている前記複数のグランドプレーン部分に結合された前記基板内の複数の導電性チャネル、ここにおいて、前記距離が、前記第１の金属層と前記第２の金属層との間の基板厚さの７５％～５０％の範囲内である、と、
を備える、
装置。
【請求項２】
前記複数の信号相互接続部は、高速データ信号を伝送するように構成されている、請求項１に記載の装置。
【請求項３】
前記複数の信号相互接続部がダイナミックランダムアクセスメモリ（ＤＲＡＭ）に結合されている、請求項２に記載の装置。
【請求項４】
前記基板によって前記ＤＲＡＭに結合されたプロセッサダイ、
を更に備える、請求項３に記載の装置。
【請求項５】
前記プロセッサダイ、前記基板、及び前記ＤＲＡＭを備えるモールド埋め込みパッケージ（ＭＥＰ）、
を更に備える、請求項４に記載の装置。
【請求項６】
前記第１の金属層、前記第２の金属層、及び前記複数の導電性チャネルは、銅（Ｃｕ）、コバルト（Ｃｏ）、ルテニウム（Ｒｕ）、ウォルフラム（Ｗ）、モリブデン（Ｍｏ）、金（Ａｕ）、銀（Ａｇ）、アルミニウム（Ａｌ）、スズ（Ｓｎ）、又はこれらの任意の組み合わせのうちの少なくとも１つを備える、請求項１に記載の装置。
【請求項７】
前記基板が、コア付き基板である、請求項１に記載の装置。
【請求項８】
前記基板厚さが、４０マイクロメートル～１．２ミリメートルの範囲内である、請求項７に記載の装置。
【請求項９】
前記複数の導電性チャネルが、前記コア付き基板のコア内に形成されており、前記基板厚さが、約４０マイクロメートルであり、前記距離が、約２０マイクロメートル～約３０マイクロメートルである、請求項７に記載の装置。
【請求項１０】
前記基板は、前記第１の金属層と前記第２の金属層との間に誘電体を有するコアレス基板である、請求項１に記載の装置。
【請求項１１】
前記基板厚さが、２５マイクロメートル～５０マイクロメートルの範囲内である、請求項１０に記載の装置。
【請求項１２】
前記複数の導電性チャネルが、前記コアレス基板の前記誘電体内に形成されており、前記基板厚さが約２５マイクロメートルであり、前記距離が約１２．５マイクロメートル～約１９マイクロメートルである、請求項１０に記載の装置。
【請求項１３】

前記複数の信号相互接続部の各々のインピーダンスが、５０オーム未満である、請求項１に記載の装置。
【請求項１４】
複数の導電性チャネルの各々の幅は、前記複数の信号相互接続部の各々の幅よりも５マイクロメートル以下広い、請求項１に記載の装置。
【請求項１５】
前記装置は、パッケージ、モールド埋め込みパッケージ（ＭＥＰ）、音楽プレーヤ、ビデオプレーヤ、エンターテイメントユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、携帯電話、スマートフォン、携帯情報端末、定置端末、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス、モノのインターネット（ＩｏＴ）デバイス、ラップトップコンピュータ、サーバ、基地局、及び自動車内のデバイスから成る群から選択される、請求項１に記載の装置。
【請求項１６】
装置を製造する方法であって、
第１の金属層及び第２の金属層を備える基板を用意することと、
前記基板の第１の側上に複数の信号相互接続部を形成することと、
前記基板の第２の側上に複数のグランドプレーン部分を形成することと、
個々の信号相互接続部から個々の導電性チャネルまでの距離を短くするために、前記信号相互接続部に向けて前記複数のグランドプレーン部分を延ばすように構成されている前記複数のグランドプレーン部分に結合される複数の導電性チャネルを前記基板内に形成すること、ここにおいて、前記距離が、前記第１の金属層と前記第２の金属層との間の基板厚さの７５％～５０％の範囲内である、と、
を備える、方法。
【請求項１７】
前記複数の信号相互接続部は、高速データ信号を伝送するように構成される、請求項１６に記載の方法。
【請求項１８】
前記複数の信号相互接続部がダイナミックランダムアクセスメモリ（ＤＲＡＭ）に結合される、請求項１７に記載の方法。
【請求項１９】
前記基板を使用して前記ＤＲＡＭにプロセッサダイを結合すること、
を更に含む、請求項１８に記載の方法。
【請求項２０】
前記プロセッサダイ、前記基板、及び前記ＤＲＡＭを備えるモールド埋め込みパッケージ（ＭＥＰ）を形成すること、
を更に含む、請求項１９に記載の方法。
【請求項２１】
前記第１の金属層、前記第２の金属層、及び前記複数の導電性チャネルは、銅（Ｃｕ）、コバルト（Ｃｏ）、ルテニウム（Ｒｕ）、ウォルフラム（Ｗ）、モリブデン（Ｍｏ）、金（Ａｕ）、銀（Ａｇ）、アルミニウム（Ａｌ）、スズ（Ｓｎ）、又はこれらの任意の組み合わせのうちの少なくとも１つを備える、請求項１６に記載の方法。
【請求項２２】
前記基板が、コアを有するコア付き基板である、請求項１６に記載の方法。
【請求項２３】
前記基板厚さが、４０マイクロメートル～１．２ミリメートルの範囲内である、請求項２２に記載の方法。
【請求項２４】
前記複数の導電性チャネルが、前記コア付き基板のコア内に形成され、前記基板厚さが、約４０マイクロメートルであり、前記距離が、約２０マイクロメートル～約３０マイクロメートルである、請求項２３に記載の方法。

【請求項２５】
前記基板は、前記第１の金属層と前記第２の金属層との間に誘電体を有するコアレス基板である、請求項１６に記載の方法。
【請求項２６】
前記基板厚さが、２５マイクロメートル～５０マイクロメートルの範囲内である、請求項２５に記載の方法。
【請求項２７】
前記複数の導電性チャネルが、前記コアレス基板の前記誘電体内に形成され、前記基板厚さが約２５マイクロメートルであり、前記距離が約１２．５マイクロメートル～約１９マイクロメートルである、請求項２５に記載の方法。
【請求項２８】
前記複数の信号相互接続部の各々のインピーダンスが、５０オーム未満である、請求項１６に記載の方法。
【請求項２９】
複数の導電性チャネルの各々の幅は、前記複数の信号相互接続部の各々の幅よりも５マイクロメートル以下広い、請求項１６に記載の方法。
【請求項３０】
前記装置は、パッケージ、モールド埋め込みパッケージ（ＭＥＰ）、音楽プレーヤ、ビデオプレーヤ、エンターテイメントユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、携帯電話、スマートフォン、携帯情報端末、定置端末、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス、モノのインターネット（ＩｏＴ）デバイス、ラップトップコンピュータ、サーバ、基地局、及び自動車内のデバイスから成る群から選択される、請求項１６に記載の方法。
【発明の詳細な説明】
【技術分野】
【０００１】
１．開示の分野
［0001］本開示の態様は、概して、集積回路（ＩＣ）に関し、特に、高速データ信号のために基板上のインピーダンスを低減することに関する。
【０００２】
２．関連技術の説明
［0002］半導体（チップ又は集積回路（ＩＣ）としても知られる）は、積層基板を伴うモールド埋め込みパッケージ（ＭＥＰ）を含むことができる。ＭＥＰは、ダイナミックランダムアクセスメモリ（ＤＲＡＭ）のための接続部を伴うパッケージオンパッケージ（ＰＯＰ）を含み得る。従来の設計では、メモリ（例えば、ＤＲＡＭ）とプロセッサとの間の接続を形成する基板は、メモリをプロセッサに結合する信号相互接続部の高インピーダンスによって制限され得る。
【０００３】
［0003］したがって、以下の開示において本明細書で提供される方法、システム及び装置を含む従来の基板設計の欠点を克服するシステム、装置及び方法が必要とされている。
【発明の概要】
【０００４】
［0004］以下は、本明細書で開示する１つ以上の態様に関係する簡略化された概要を提示する。したがって、以下の概要は、すべての企図される態様に関する広範な概観と見なされるべきではなく、また、以下の概要は、すべての企図される態様に関する主要もしくは重要な要素を特定するか、又は任意の特定の態様に関連する範囲を定めるものと見なされるべきではない。したがって、以下の概要の唯一の目的は、以下で提示される詳細な説明に先立って、本明細書において開示される機構に関する１つ以上の態様に関するいくつかの概念を、簡略化された形態で提示することである。

【０００５】
［0005］ 少なくとも１つの態様は、基板を備える装置を含む。基板は、基板の第１の側上に複数の信号相互接続部を備える第１の金属層と、基板の第２の側上に複数のグランドプレーン部分を備える第２の金属層と、複数のグランドプレーン部分に結合された、基板内の複数の導電性チャネルであって、個々の信号相互接続部から個々の導電性チャネルまでの距離を短くするために、信号相互接続部に向けて複数のグランドプレーン部分を延ばすように構成されており、距離が、第１の金属層と第２の金属層との間の基板厚さの７５％～５０％の範囲内である、複数の導電性チャネルと、を備える。
【０００６】
［0006］ 少なくとも１つの他の第２の態様は、装置を製造する方法を含む。方法は、第１の金属層及び第２の金属層を備える基板を用意することと、基板の第１の側上に複数の信号相互接続部を形成することと、基板の第２の側上に複数のグランドプレーン部分を形成することと、複数のグランドプレーン部分に結合される複数の導電性チャネルであって、個々の信号相互接続部から個々の導電性チャネルまでの距離を短くするために、信号相互接続部に向けて複数のグランドプレーン部分を延ばすように構成され、距離が、第１の金属層と第２の金属層との間の基板厚さの７５％～５０％の範囲内である、複数の導電性チャネルを基板内に形成することと、を含む。
【０００７】
［0007］ 本明細書で開示する態様に関連する他の目的及び利点は、添付の図面及び詳細な説明に基づいて、当業者に明らかとなろう。
【図面の簡単な説明】
【０００８】
［0008］ 添付の図面は、本開示の様々な態様の説明を助けるために提示されており、態様を限定するものではなく、態様の例示のためにのみ提供されている。本開示のより完全な理解は、添付図面と併せて以下の詳細な説明を参照することによって得ることができる。図において、参照番号の最も左の桁（１つ又は複数）は、その参照番号が最初に表示された図を識別する。異なる図における同じ参照番号は、類似又は同一の項目を示す。
【図１】［0009］ 本開示の様々な態様に係る、コアを有する例示的なパッケージを示す。
【図２】［0010］ 本開示の様々な態様に係る、例示的なコアレスパッケージを示す。
【図３】［0011］ 本開示の様々な態様に係る、積層基板を有するモールド埋め込みパッケージ（ＭＥＰ）を含む例示的なパッケージを示す。
【図４Ａ】［0012］本開示の様々な態様に係る、パッケージのコア付き基板を形成するためのステージの第１のセットを示す。
【図４Ｂ】本開示の様々な態様に係る、パッケージのコア付き基板を形成するためのステージの第１のセットを示す。
【図４Ｃ】本開示の様々な態様に係る、パッケージのコア付き基板を形成するためのステージの第１のセットを示す。
【図４Ｄ】本開示の様々な態様に係る、パッケージのコア付き基板を形成するためのステージの第１のセットを示す。
【図５Ａ】［0013］ 本開示の様々な態様に係る、パッケージのコア付き基板を形成するためのステージの第２のセットを示す。
【図５Ｂ】本開示の様々な態様に係る、パッケージのコア付き基板を形成するためのステージの第２のセットを示す。
【図５Ｃ】本開示の様々な態様に係る、パッケージのコア付き基板を形成するためのステージの第２のセットを示す。
【図５Ｄ】本開示の様々な態様に係る、パッケージのコア付き基板を形成するためのステージの第２のセットを示す。
【図６】［0014］ 本開示の様々な態様に係る、パッケージのコア付き基板を形成することを含むプロセスを示す。
【図７】［0015］ 本開示の１つ以上の態様に係る、集積デバイス又は半導体デバイスと

一体化され得る様々な電子デバイスを示す。
【発明を実施するための形態】
【０００９】
［0016］ 本開示の態様は、例示の目的で提供される様々な例を対象とする以下の説明及び関連する図面において提供される。本開示の範囲を逸脱することなく、代替の態様が考案されてもよい。加えて、本開示のよく知られている要素は、本開示の関連する詳細を不明瞭にしないように、詳細には説明されない、又は省略される。
【００１０】
［0017］ 「例」及び／又は「例」という用語は、本明細書では「例、事例、又は例示としての役割を果たす」ことを意味するために使用される。「例」及び／又は「例」として本明細書に記載される任意の態様は、必ずしも他の態様よりも好ましい又は有利であると解釈されるべきではない。同様に、「本開示の態様」という用語は、本開示のすべての態様が、説明される特徴、利点、又は動作モードを含むことを必要とするとは限らない。
【００１１】
［0018］ 本明細書に開示される様々な態様は、高速信号、例えば、約２００メガヘルツ（ＭＨｚ）～１２ギガヘルツ（ＧＨｚ）で送信される信号の使用を可能にするために基板（コア付き又はコアレス）のインピーダンスを低減するためのデバイス及び技術を含む。幾つかの態様において、高速信号は、ダイナミックランダムアクセスメモリ（ＤＲＡＭ）にアクセスするために使用される高速データ（ＤＱ）信号を含み得る。例えば、パッケージオンパッケージ（ＰＯＰ）ＤＲＡＭは、メモリアレイへの及びメモリアレイからのデータ転送のために高速ＤＱ信号を使用する。本明細書に開示される様々な態様は、高速通信を容易にするために基板内のインピーダンスを制御するためのデバイス及び技術を含む。
【００１２】
［0019］ 本明細書に記載のデバイス及び技術は、コア付き基板又はコアレス基板（例えば、プリプレグ）を有するパッケージと共に使用することができる。樹脂を予備含浸させたガラス繊維は、プリプレグと呼ばれる。コア付き基板内のコアは、例えば、銅張積層板（ＣＣＬ）、例えば、ガラス繊維で強化されたエポキシ材料を有する銅を使用して形成することができる。銅張積層板がガラス繊維（又は他の補強材料）と共に樹脂に浸され、銅クラッドが片面又は両面のいずれかに追加される。幾つかの例示的な態様において、コア厚さは、４０マイクロメートル（ｕｍ又はミクロン）～１．２ミリメートル（ｍｍ）の範囲であり得る。
【００１３】
［0020］ 幾つかの態様において、半導体（チップ又は集積回路（ＩＣ）としても知られる）は、積層基板を有するモールド埋め込みパッケージ（ＭＥＰ）を含むことができる。ＭＥＰは、ダイナミックランダムアクセスメモリ（ＤＲＡＭ）のための接続部を有するパッケージオンパッケージ（ＰＯＰ）を含み得る。幾つかの態様では、ＭＥＰは、２層基板を使用し、第１の層（Ｍ１）は、信号ルーティングに使用され、第２の層（Ｍ２）は、一般に、グランドシールドプレーンとして使用される。例えば、コア付き基板の厚さが典型的に約４０マイクロメートル（μｍ又はミクロン）である場合、コア付き基板は少なくとも５０オーム（Ω）のインピーダンスを有することができる。そのような比較的高いインピーダンスは、信号ルーティングにおける信号の速度に影響を及ぼし得る。
【００１４】
［0021］ 高速信号の場合、特にＤＲＡＭアクセス速度が増加するため、５０オーム未満のインピーダンスが好ましい。インピーダンスを低下させる１つの方法は、高速信号（例えば、第１の層）とグランドプレーン（例えば、第２の層）との間の距離を短くすることである。しかしながら、厚さが約４０ミクロンのコア付き基板の場合、コアが薄くなると反りが生じる可能性があるため、より薄いコアを使用することは選択肢ではない場合がある。本明細書に記載のデバイス及び技術は、基板の厚さを変更することなく、高速信号（例えば、第１の層）とグランドプレーン（例えば、第２の層）との間の距離を短くする

ことによってインピーダンスを低減するために使用され得る。様々な態様が前述の例示的な構成に限定されないことが理解されるであろう。例えば、幾つかの構成では、層が反転される場合、幾つかの信号及び／又は電力線がＭ２層に含まれる場合、コアが異なる厚さである場合などがある。

【００１５】

［0022］ 図1は、本開示の様々な態様に係る、コア付き基板１０１を有する例示的なパッケージ１００を示す。パッケージ１００は、コア１１２と、コア１１２の上方の第１の金属層１０２（Ｍ１とも称される）と、コア１１２の下方の第２の金属層１０４（Ｍ２とも称される）と、を有するコア付き基板１０１を含む。

【００１６】

［0023］ 第１の金属層１０２は、信号相互接続部１１４などの構造体を含んでもよく、信号相互接続部は、第１の金属層内のトレース又はラインであってもよい。第１の金属層は、複数の信号相互接続部と、隣接するグランド１０６（１）、パッドなどの他の金属構造体と、を含む。第２の金属層１０４は、信号相互接続部１１４の反対側にあってもよいグランドプレーン部分１０６（２）を含んでもよい。グランドプレーン部分１０６（２）は、グランド電位に結合され、集合的にグランド基準プレーンを形成する。ビア１０８が、基板ビアを通してめっき又は充填されてもよく、第１の金属層１０２内の隣接するグランド１０６（１）を第２の金属層１０４内のグランドプレーン部分１０６（２）に電気的に結合するように構成されてもよい。様々な態様では、金属プレーン１０６が電力線（Ｖｄｄ）又はグランドに結合されてもよく、図１に示される金属プレーン１０６がグランドプレーン部分であると理解されるべきであることが分かる。

【００１７】

［0024］ 導電性チャネル１１０が、コア付き基板１０１のコア１１２内に配置されている。１つの金属層（例えば、１０２、１０４）が示されるが、開示された様々な態様がこの構成に限定されないことが理解されるであろう。幾つかの態様において、コア付き基板１０１は、コア１１２の両側に２つ以上の金属層を有することができる。幾つかの態様では、図１に示されるように、第１の金属層１０２（Ｍ１）、メッキスルービア１０８、導電性チャネル１１０、及び第２の金属層１０４（Ｍ２）は、例えば、銅（Ｃｕ）、コバルト（Ｃｏ）、ルテニウム（Ｒｕ）、タングステン（Ｗ）、モリブデン（Ｍｏ）、金（Ａｕ）、銀（Ａｇ）、アルミニウム（Ａｌ）、スズ（Ｓｎ）、又はこれらの任意の組み合わせなどの任意の高導電性材料を使用することができる。

【００１８】

［0025］ 図１に示される例において、各導電性チャネル１１０は、信号相互接続部１１４の各々の下方に配置され、信号相互接続部１１４の各々とほぼ整列している。導電性チャネルは、導電性チャネル１１０の境界としてのみ示されるトレンチ１０９内に形成されている。信号相互接続部１１４は、高速信号を伝送するように構成され得る。幾つかの態様において、高速信号は、ダイナミックランダムアクセスメモリ（ＤＲＡＭ）のためのＤＱ（データ）信号を含み得る。幾つかの態様において、コア１１２は、約４０ミクロンの厚さ１１６（例えば、基板厚さ）を有する。幾つかの態様において、各導電性チャネル１１０は、各信号相互接続部１１４とほぼ同じ幅から各信号相互接続部１１４よりも約５ミクロン広いチャネル幅１２０を有する。追加の幅は、信号相互接続部１１４と導電性チャネル１１０との間のわずかな位置ずれを補償するために使用され得る。本明細書で説明するように、グランドプレーン部分１０６（２）に電気的に結合された導電性チャネル１１０の追加は、信号相互接続部１１４とグランドプレーン部分１０６（２）との間の距離１１８の効果的な縮小をもたらす。更に、信号相互接続部１１４の下方の部分では、コア１１２が、厚さ１１６から距離１１８まで低減される。距離１１８は、厚さ１１６よりも約２５％～５０％小さい、又は第１の金属層１０２と第２の金属層１０４との間の基板厚さの７５％～５０％（すなわち、２５％～５０％の減少）であると考えることができる。例えば、厚さ１１６が約４０ミクロンである場合、距離１１８は、約２０～３０ミクロン、又は一般に約３０ミクロン未満であってもよい。

【００１９】
［0026］ 幾つかの態様において、基板１０１は、プリント回路基板（ＰＣＢ）であってもよく、プリプレグ及びコア１１２を含んでもよい。コア１１２は、ＦＲ４などのプリプレグを使用することができ、この場合、ＦＲは難燃性材料を示し、「４」はガラス織物強化エポキシ樹脂を示し、また、コア１１２は、均一な指定された厚さ（例えば、４０ミクロン）を有する。コア１１２は、構造安定性（例えば、反り、変形などを防止する）を提供するために使用され、信号が、第１の層１０２上の信号相互接続部１１４及び第２の層１０４上のグランドプレーンを移動する。コア１１２の均一な厚さは、均一なインピーダンスをもたらす。導電性チャネル１１０は、コア１１２の厚さ１１６を減少させることなく、又は構造安定性を実質的に減少させることなく、インピーダンスを低下させることができる。
【００２０】
［0027］ 導電性チャネル１１０は、グランドプレーン部分１０６（２）に電気的に結合され、高速データを伝送するように構成された信号相互接続部１１４の下方のコア１１２内に形成される。これにより、信号相互接続部１１４とグランドプレーン部分１０６（２）との間の距離を導電性チャネル１１０を介して効果的に小さくすることができるという技術的利点が与えられる。低減された距離１１８は、本明細書で説明するように、より低いインピーダンスを提供する。より低いインピーダンスは、ＤＲＡＭにアクセスするために使用されるＤＱ信号などの高速データ信号を伝送するように信号相互接続部１１４を構成することを可能にするという技術的利点を提供する。このようにして、信号相互接続部１１４を使用して（例えば、導電性チャネルを含まない基板と比較して）より高速なＤＲＡＭにアクセスすることができ、それにより、所与の基板設計に関して改善された性能が与えられる。
【００２１】
［0028］ 開示された様々な態様によれば、本明細書に記載されたデバイス及び技術は、コアレス基板と共に使用されてもよい。図２は、本開示の様々な態様に係る、パッケージ２００の例示的なコアレス基板２０１を示す。パッケージ２００は、誘電体２１２と、誘電体２１２の上方の第１の金属層２０２（Ｍ１とも称する）と、誘電体２１２の下方の第２の金属層２０４（Ｍ２とも称する）とを有するコアレス基板２０１を含む。
【００２２】
［0029］ 第１の金属層２０２は、信号相互接続部２１４などの構造体と、隣接するグランド２０６（１）などの他の金属構造体と、を含むことができる。第２の金属層２０４は、信号相互接続部２１４の反対側にあってもよいグランドプレーン部分２０６（２）を含んでもよい。グランドプレーン部分２０６（２）はグランド電位に接続される。ビア２０８が、第１の金属層２０２内の隣接するグランド２０６（１）を第２の金属層２０４内のグランドプレーン部分２０６（２）に接続することができる。
【００２３】
［0030］ 導電性チャネル２１０が、コアレス基板２０１の誘電体２１２内に配置されている。１つの金属層（例えば、２０２、２０４）が示されるが、開示された様々な態様がこの構成に限定されないことが理解されるであろう。幾つかの態様において、コアレス基板２０１は、誘電体２１２の両側に２つ以上の金属層を有することができる。幾つかの態様では、図２に示されるように、第１の金属層２０２（Ｍ１）、ビア２０８、導電性チャネル２１０、及び第２の金属層２０４（Ｍ２）は、例えば、銅（Ｃｕ）、コバルト（Ｃｏ）、ルテニウム（Ｒｕ）、タングステン（Ｗ）、モリブデン（Ｍｏ）、金（Ａｕ）、銀（Ａｇ）、アルミニウム（Ａｌ）、スズ（Ｓｎ）、又はこれらの任意の組み合わせなどの任意の高導電性材料を使用することができる。
【００２４】
［0031］ 図２に示される例において、各導電性チャネル２１０は、各信号相互接続部２１４の下方に配置され、信号相互接続部２１４の各々とほぼ整列している。信号相互接続部２１４は、高速信号を伝送するように構成され得る。幾つかの態様において、高速信

号は、ダイナミックランダムアクセスメモリ（ＤＲＡＭ）のためのＤＱ（データ）信号を含み得る。幾つかの態様において、各導電性チャネル２１０は、各信号相互接続部２１４とほぼ同じ幅から各信号相互接続部２１４よりも約５ミクロン広いチャネル幅２２０を有する。追加の幅は、信号相互接続部２１４と導電性チャネル２１０との間のわずかな位置ずれを補償するために使用され得る。本明細書で説明するように、グランドプレーン部分２０６（２）に電気的に結合された導電性チャネル２１０の追加は、信号相互接続部２１４とグランドプレーン部分２０６（２）との間の距離２１８の効果的な縮小をもたらす。更に、信号相互接続部２１４の下方の部分では、誘電体２１２が、厚さ２１６（基板厚さ）から距離２１８まで低減される。距離２１８は、厚さ２１６よりも約２５％～５０％小さい、又は厚さ２１６の７５％～５０％である。例えば、厚さ２１６が約２５ミクロンである場合、距離２１８は、約１２．５～１９ミクロンであってもよい。

【００２５】

［0032］ コアレス基板２０１の厚さ２１６は、約２５ミクロン～５０ミクロンであってもよい。コアレス基板２０１は、幾つかの態様では、誘電体２１２の１つ以上の層を含むことができる。幾つかの態様において、誘電体２１２は、約２５ミクロン～５０ミクロンの厚さを有するプリプレグであってもよい。導電性チャネル２１０の幅２２０は、約８μｍ～１００μｍであってもよく、幾つかの態様では、基板厚さの２５％～７５％の範囲内であってもよい。幾つかの態様において、導電性チャネル２１０は、約１２ミクロンの深さを有し、前述のコア付き基板に関して上述した様式と同様の様式で、信号相互接続部２１４のインピーダンスを低下させるために誘電体２１２内に配置されてもよい。

【００２６】

［0033］ 図３は、本開示の様々な態様に係る、積層基板を有するモールド埋め込みパッケージ（ＭＥＰ）３０４を含む例示的なパッケージ３００を示す。パッケージ３００は、ＭＥＰ３０４に電気的に結合されるダイナミックランダムアクセスメモリ（ＤＲＡＭ）３０２を有する。ＭＥＰ３０４は、基板３１０と、アプリケーションプロセッサ（ＡＰ）ダイ３０６と、パッケージ基板３０８とを含む。幾つかの態様において、基板３１０は、ＡＰダイ３０６をＤＲＡＭ３０２に結合するためのインターポーザとして構成されてもよく、図１のコア付き基板１０１又は図２のコアレス基板２０１に従って設計されてもよい。図示された構成は、本明細書に開示された様々な態様の例示を助けるための構成の一例としてのみ提供され、他の構成は、開示された様々な態様に含まれることが理解されるであろう。例えば、ＡＰダイ３０６は、ＭＥＰ３０４の一部ではなくスタンドアロンデバイスであってもよく、それでもなお基板３１０を利用してＤＲＡＭ３０２に結合することができる。したがって、開示された様々な態様は、図示された例に限定されると解釈されるべきではなく、様々な構成要素の他の配置及び構成は、本明細書の開示から明らかになるであろう。

【００２７】

［0034］ 図４Ａ、図４Ｂ、図４Ｃ、及び図４Ｄは、本開示の１つ以上の態様に係る部分的な製造プロセスを示す。図４Ａにおいて、製造プロセスは、第１の金属層４０２、第２の金属層４０４及びコア４１２（例えば、ＦＲ４）を含む銅コア積層体（ＣＣＬ）基板４０１を用意することによって開始し得る。図４Ｂにおいて、製造プロセスでは、第２の金属層４０４に金属開口を形成してコア４１２を露出させるために、第２の金属層４０４上にパターニング及びエッチング４０５を実行することを続けることができる。更に、幾つかの態様において、エッチング４０５は、第２の金属層４０４に他の金属構造体を形成してもよい。図４Ｃにおいて、製造プロセスでは、第２の金属層４０４の開口を介して、コア４１２内でのトレンチ４０９のパターニングを続けることができる。図４Ｄにおいて、製造プロセスでは、エッチング４０５が実行された第２の金属層４０４にフォトレジスト４０７の層を塗布することを続けることができる。フォトレジスト４０７の層は、第２の金属層４０４の開口を介してトレンチ４０９を充填してもよい。

【００２８】

［0035］ 図５Ａ、図５Ｂ、図５Ｃ、及び図５Ｄは、本開示の１つ以上の態様に係る、

部分的な製造プロセスを示す。図５Ａにおいて、製造プロセスでは、フォトレジスト４０７をトレンチ４０９及び第２の金属層４０４の開口から除去することを、図４Ｄから続けることができる。図５Ｂにおいて、製造プロセスでは、金属充填プロセス５１０を続ける。金属は、銅などであってもよく、導電性チャネル４１０を形成するためにトレンチ４０９の各々を充填するために使用される。導電性チャネル４１０を形成することに加えて、金属充填プロセス５１０は、第２の金属層４０４の開口を充填してもよい。図５Ｂに示されるように、導電性チャネル４１０が第１の金属層４０２により近いことが理解されるであろう。図５Ｃにおいて、製造プロセスでは、フォトレジストの残りの部分を除去することを続けることができる。ここで、基板４０１は、第１の金属層４０２、第２の金属層４０４及びコア４１２と共に導電性チャネル４１０を含む。図５Ｄにおいて、製造プロセスでは、基板４０１上に従来の処理を続けることができる。例えば、ビア４０８は、第１の金属層４０２と第２の金属層４０４との間にビア４０８を形成するために穴を開けて充填又はめっきすることによって形成される。リソグラフィプロセスを実行し、第１の金属層４０２をパターニング及びエッチングして、信号相互接続部４１４、隣接するグランド４０６（１）、及び任意の他の金属構造体を第１の金属層４０２内に形成することができる。同様に、リソグラフィプロセスを実行し、第２の金属層４０４をパターニング及びエッチングして、グランドプレーン部分４０６（２）及び任意の他の金属構造体を第１の金属層４０２に形成することができる。基板４０１（図５Ｄ）は、１８０度回転され、第１の金属層４０２が底部にあり、第２の金属層４０４が上部にあることを除いて、基板１０１（図１）と同様であることが理解されるであろう。したがって、基板４０１の様々な態様の詳細な説明は提供されない。

【００２９】

[0036] したがって、前述の開示から理解されるように、本明細書に開示された様々な態様を製造するための追加のプロセスが当業者には明らかであり、様々なプロセスの各々の文字通りの表現は、含まれる図面に提供又は図示されない。例えば、幾つかの態様において、コアレス基板の製造プロセスは、一般に、上述の製造プロセスに従うことができることが理解されるであろう。更に、製造プロセスの順序は必ずしも任意の順序ではなく、開示される様々な態様を説明する便宜上、後のプロセスを先に説明することができることが分かる。

【００３０】

[0037] 以上から分かるように、本明細書に開示されるデバイスを製造するための様々な方法がある。図６は、本開示の少なくとも一態様に係る、低インピーダンス基板を含むデバイス／装置を製造するための方法／プロセス６００のフローチャートを示す。図６のフロー図において、各ブロックは、ハードウェア、ソフトウェア、又はこれらの組み合わせで実施され得る１つ以上の動作を表わす。ソフトウェアのコンテキストにおいて、ブロックは、１つ以上のプロセッサによって実行されたときにプロセッサに列挙された動作を実行させるコンピュータ実行可能命令を表わす。ブロックが記載される順序は、限定として解釈されることを意図するものではなく、任意の数の記載された動作を任意の順序で及び／又は並列に組み合わせてプロセスを実施することができる。説明の目的で、プロセス６００は、前述のように図１、図２、図３、図４Ａ、図４Ｂ、図４Ｃ、図４Ｄ、図５Ａ、図５Ｂ、図５Ｃ、及び図５Ｄに関連して説明されるが、他のモデル、構成、システム、及び環境を使用してプロセスを実施することができる。幾つかの態様において、プロセス６００は、半導体製造プロセス中に部分的に実行されてもよい。

【００３１】

[0038] ブロック６０２において、プロセス６００は、第１の金属層及び第２の金属層を備える基板を用意することから始まる。ブロック６０４において、プロセス６００では、基板の第１の側上に複数の信号相互接続部を形成することを続ける。例えば、図５Ｄでは、パターニングを使用して、第１の金属層１０２又は２０２に信号相互接続部１１４又は２１４を作成する。ブロック６０６において、プロセス６００では、基板の第２の側上に複数のグランドプレーン部分を形成することを続ける。例えば、第１の金属層１０２

、２０２におけるグランドプレーン部分１０６（２）、２０６（２）である。ブロック６０８において、プロセス６００では、複数のグランドプレーン部分に結合される複数の導電性チャネルを基板内に形成することを続ける。複数の導電性チャネルは、個々の信号相互接続部から個々の導電性チャネルまでの距離を短くするために、複数のグランドプレーン部分を信号相互接続部に向けて延ばすように構成されている。例えば、図５Ａ、図５Ｂ、及び図５Ｃでは、導電性チャネル４１０が、作成されて、金属でめっき又は充填され、グランドプレーン部分（例えば、図５Ｄの４０６（２））と接触する導電性チャネル４１０が作成される。個々の導電性チャネルは、個々の信号相互接続部の下方に配置されている。更に、ブロック６０８において、幾つかの態様における距離は、第１の金属層と第２の金属層との間の基板厚さの７５％～５０％の範囲内である。例えば、図１に示されるように、導電性チャネル１１０の各々は、信号相互接続部１１４のうちの１つの下方に配置されている。導電性チャネル１１０の各々から各導電性チャネル１１０の上に直接配置された信号相互接続部１１４までの距離１１８は、コア１１２の厚さ１１６よりも少なくとも２５％小さい、又は基板厚さの７５％～５０％であると考えることができる。例えば、コア１１２の基板厚さ１１６が４０ミクロンである場合、信号相互接続部１１４と信号相互接続部１１４の下方に配置された導電性チャネルとの間の距離１１８は、約２０～３０ミクロン、例えば、コア１１２の厚さ１１６の５０％～２５％である。別の例として、図２では、導電性チャネル２１０の各々は、信号相互接続部２１４のうちの１つの下方に配置されている。導電性チャネル２１０の各々から各導電性チャネル２１０の上に直接配置された信号相互接続部２１４までの距離２１８は、基板２０１の基板厚さ２１６の７５％～５０％未満である。

【００３２】

［0039］ したがって、グランドプレーンと接触する導電性チャネルが、高速データを伝送することができる信号相互接続部の下方の基板（例えば、コア付き、又はコアレス）内に配置され、信号相互接続部とグランドプレーンとの間の距離を縮小するという技術的利点を提供する。距離が短くなると、インピーダンスがより低くなるという更なる技術的利点をもたらす。より低いインピーダンスは、信号相互接続部がＤＲＡＭにアクセスするために使用されるＤＱ信号などの高速データ信号を伝送することを可能にするという技術的利点を提供する。このようにして、信号相互接続部を使用して（例えば、導電性チャネルを含まない基板と比較して）より高速なＤＲＡＭにアクセスすることができ、それによって、より高速な性能を可能にする。

【００３３】

［0040］ 他の技術的利点は、本明細書に開示された様々な態様から認識され、これらの技術的利点は単なる例として提供され、本明細書に開示された様々な態様のいずれかを限定すると解釈されるべきではない。

【００３４】

［0041］ 前述の開示されたデバイス及び機能は、コンピュータ可読媒体上に記憶されたコンピュータファイル（例えば、レジスタ転送レベル（ＲＴＬ）、ジオメトリックデータストリーム（ＧＤＳ）ガーバーなど）に設計及び記憶することができる。そのようなファイルの一部又はすべてが、そのようなファイルに基づいてデバイスを製作する製作業者に提供されてもよい。結果として得られる製品は、半導体ウェハを含む様々な構成要素を含むことができ、半導体ウェハは、その後、半導体ダイに切断され、半導体パッケージ、集積デバイス、パッケージオンパッケージデバイス、システムオンチップデバイスなどへとパッケージングされ、これらは、その後、本明細書に記載の様々なデバイスで使用することができる。

【００３５】

［0042］ 本明細書で開示する様々な態様は、当業者によって説明され及び／又は認識される構造、材料、及び／又はデバイスの機能的均等物として説明できることが諒解されよう。例えば、一態様では、装置は、上述した様々な機能を実行するための手段を備えてもよい。前述の態様は例として提供されたにすぎず、請求される様々な態様が、例として

引用される特定の内容及び／又は図に限定されないことが理解されよう。
【００３６】
［0043］ 図７は、本開示の様々な例に係る、前述のパッケージ又は半導体デバイスのいずれかと一体化することができる様々な電子デバイスを示す。例えば、携帯電話デバイス７０２、ラップトップコンピュータデバイス７０４、及び定置端末デバイス７０６は各々が、一般にユーザ機器（ＵＥ）と見なされてもよく、本明細書で説明されるように、コア付き基板を有するパッケージ７００を含んでもよい。パッケージ７００は、例えば、本明細書に記載の集積回路、ダイ、集積デバイス、集積デバイスパッケージ、集積回路デバイス、デバイスパッケージ、集積回路（ＩＣ）パッケージ、パッケージオンパッケージデバイスのいずれかであってもよい。図７に示されるデバイス７０２、７０４、７０６は、例にすぎない。他のデバイスは、モバイルデバイス、ハンドヘルドパーソナル通信システム（ＰＣＳ）ユニット、携帯情報端末などのポータブルデータユニット、全地球測位システム（ＧＰＳ）対応デバイス、ナビゲーションデバイス、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテイメントユニット、メータ読み取り機器などの定置データユニット、通信デバイス、スマートフォン、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス、サーバ、ルータ、自動車（例えば、自律型車両）に実装された電子デバイス、モノのインターネット（ＩｏＴ）デバイス、又はデータもしくはコンピュータ命令を記憶もしくは取り出す任意の他のデバイス、あるいはこれらの任意の組み合わせを含むデバイス（例えば、電子デバイス）のグループを含むが、これらに限定されない、パッケージ７００も含むことができる。
【００３７】
［0044］ 特定の周波数、集積回路（ＩＣ）、ハードウェア、及び他の特徴が本明細書の態様に記載されているが、代替の態様は変化し得ることに留意されたい。すなわち、代替の態様は、追加の又は代替の周波数（例えば、他の６０ＧＨｚ及び／又は２８ＧＨｚ周波数帯域）、アンテナ素子（例えば、異なるサイズ／形状のアンテナ素子アレイを有する）、走査期間（静的走査期間及び動的走査期間の両方を含む）、電子デバイス（例えば、ＷＬＡＮＡＰ、セルラ基地局、スマートスピーカー、ＩｏＴデバイス、携帯電話、タブレット、パーソナルコンピュータ（ＰＣ）など）、及び／又は他の特徴を利用することができる。当業者であれば、そのような変形形態を理解されよう。
【００３８】
［0045］ 「第１の」、「第２の」などの呼称を使用する本明細書の要素へのいかなる言及も、一般に、それらの要素の数量又は順序を限定するものではないことを理解されたい。むしろ、これらの呼称は、本明細書では、２つ以上の要素又は要素のインスタンスを区別する好都合な方法として使用され得る。したがって、第１の要素及び第２の要素への言及は、そこで２つの要素のみが採用され得ること、又は何らかの形で第１の要素が第２の要素に先行しなければならないことを意味しない。また、別段に記載されていない限り、要素のセットは１つ以上の要素を備えてよい。加えて、本説明又は特許請求の範囲で使用する「Ａ、Ｂ、又はＣのうちの少なくとも１つ」又は「Ａ、Ｂ、又はＣのうちの１つ以上」又は「Ａ、Ｂ、及びＣからなる群のうちの少なくとも１つ」という形の用語は、「Ａ又はＢ又はＣ又はこれらの要素の任意の組み合わせ」を意味する。例えば、この用語は、Ａ、又はＢ、又はＣ、又はＡ及びＢ、又はＡ及びＣ、又はＡ及びＢ及びＣ、又は２Ａ、又は２Ｂ、又は２Ｃなどを含んでよい。
【００３９】
［0046］ 上記の記述及び説明に鑑みて、本明細書で開示する態様に関して説明した様々な例示的な論理ブロック、モジュール、回路、及びアルゴリズムステップは、電子ハードウェア、コンピュータソフトウェア、又はその両方の組み合わせとして実装され得ることを当業者は理解されよう。ハードウェアとソフトウェアのこの互換性を明確に示すために、様々な例示的な構成要素、ブロック、モジュール、回路、及びステップについて、それらの機能に関して概略的に上記で説明した。そのような機能がハードウェアとして実装されるのか又はソフトウェアとして実装されるのかは、具体的な適用例及び全体的なシス

テムに課される設計制約に依存する。当業者は、説明する機能を特定の適用例ごとに様々な方法で実装し得るが、そのような実装の決定は、本開示の範囲からの逸脱を引き起こすものと解釈されるべきではない。

【００４０】

［0047］ 上記の発明を実施するための形態では、各例において様々な特徴がグループ化されることが分かる。開示のこの方式は、例示的な条項が、各条項の中で明示的に述べられるよりも多くの特徴を有するという意図として、理解されるべきでない。むしろ、本開示の様々な態様は、開示される個々の例示的な条項のすべての特徴よりも少数の特徴を含むことがある。したがって、以下の条項は、説明に組み込まれるものと見なされるべきであり、各条項は、別個の例として単独で有効であり得る。各従属条項は、その条項の中で、他の条項のうちの１つとの特定の組み合わせに言及し得るが、その従属条項の態様は、その特定の組み合わせに限定されない。他の例示的な条項も、任意の他の従属条項もしくは独立条項の主題との従属条項の態様の組み合わせ、又は他の従属条項及び独立条項との任意の特徴の組み合わせを含み得ることが理解されるだろう。特定の組み合わせが意図されないこと（例えば、絶縁体と導体の両方として要素を規定することなどの、矛盾する態様）が明示的に表現されないか又は容易に推測できない限り、本明細書で開示される様々な態様は、これらの組み合わせを明確に含む。更に、条項が独立条項に直接従属しない場合でも、条項の態様が任意の他の独立条項に含まれ得ることも意図される。以下の番号付きの条項において、実装例について説明する。

【００４１】

［0048］ 条項１．基板を備える装置であって、基板は、基板の第１の側上に複数の信号相互接続部を備える第１の金属層と、基板の第２の側上に複数のグランドプレーン部分を備える第２の金属層と、複数のグランドプレーン部分に結合された、基板内の複数の導電性チャネルであって、個々の信号相互接続部から個々の導電性チャネルまでの距離を短くするために、信号相互接続部に向けて複数のグランドプレーン部分を延ばすように構成されており、距離が、第１の金属層と第２の金属層との間の基板厚さの７５％～５０％の範囲内である、複数の導電性チャネルと、を備える、装置。

【００４２】

条項２．複数の信号相互接続部は、高速データ信号を伝送するように構成されている、条項１に記載の装置。

【００４３】

条項３．複数の信号相互接続部がダイナミックランダムアクセスメモリ（ＤＲＡＭ）に結合されている、条項２に記載の装置。

【００４４】

条項４．基板によってＤＲＡＭに結合されたプロセッサダイを更に備える、条項３に記載の装置。

【００４５】

条項５．プロセッサダイ、基板、及びＤＲＡＭを備えるモールド埋め込みパッケージ（ＭＥＰ）を更に備える、条項４に記載の装置。

【００４６】

条項６．第１の金属層、第２の金属層、及び複数の導電性チャネルは、銅（Ｃｕ）、コバルト（Ｃｏ）、ルテニウム（Ｒｕ）、ウォルフラム（Ｗ）、モリブデン（Ｍｏ）、金（Ａｕ）、銀（Ａｇ）、アルミニウム（Ａｌ）、スズ（Ｓｎ）、又はこれらの任意の組み合わせのうちの少なくとも１つを含む、条項１～５のいずれか一項に記載の装置。

【００４７】

条項７．基板が、コア付き基板である、条項１～６のいずれか一項に記載の装置。

【００４８】

条項８．基板厚さが、４０マイクロメートル～１．２ミリメートルの範囲内である、条項７に記載の装置。

【００４９】

条項９．複数の導電性チャネルが、コア付き基板のコア内に形成されており、基板厚さが、約４０マイクロメートルであり、距離が、約２０マイクロメートル～約３０マイクロメートルである、条項７又は８に記載の装置。

【００５０】

条項１０．基板は、第１の金属層と第２の金属層との間に誘電体を有するコアレス基板である、条項１～９のいずれか一項に記載の装置。

【００５１】

条項１１．基板厚さが、２５マイクロメートル～５０マイクロメートルの範囲内である、条項１０に記載の装置。

【００５２】

条項１２．複数の導電性チャネルが、コアレス基板の誘電体内に形成されており、基板厚さが約２５マイクロメートルであり、距離が約１２．５マイクロメートル～約１９マイクロメートルである、条項１０又は１１に記載の装置。

【００５３】

条項１３．複数の信号相互接続部の各々のインピーダンスが、５０オーム未満である、条項１～１２のいずれか一項に記載の装置。

【００５４】

条項１４．複数の導電性チャネルの各々の幅は、複数の信号相互接続部の各々の幅よりも５マイクロメートル以下広い、条項１～１３のいずれか一項に記載の装置。

【００５５】

条項１５．装置は、パッケージ、モールド埋め込みパッケージ（ＭＥＰ）、音楽プレーヤ、ビデオプレーヤ、エンターテイメントユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、携帯電話、スマートフォン、携帯情報端末、定置端末、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス、モノのインターネット（ＩｏＴ）デバイス、ラップトップコンピュータ、サーバ、基地局、及び自動車内のデバイスから成る群から選択される、条項１～１４のいずれか一項に記載の装置。

【００５６】

条項１６．装置を製造する方法であって、第１の金属層及び第２の金属層を備える基板を用意することと、基板の第１の側上に複数の信号相互接続部を形成することと、基板の第２の側上に複数のグランドプレーン部分を形成することと、複数のグランドプレーン部分に結合される複数の導電性チャネルをであって、個々の信号相互接続部から個々の導電性チャネルまでの距離を短くするために、信号相互接続部に向けて複数のグランドプレーン部分を延ばすように構成され、距離が、第１の金属層と第２の金属層との間の基板厚さの７５％～５０％の範囲内である、複数の導電性チャネルを基板内に形成することと、を含む、方法。

【００５７】

条項１７．複数の信号相互接続部は、高速データ信号を伝送するように構成される、条項１６に記載の方法。

【００５８】

条項１８．複数の信号相互接続部が、ダイナミックランダムアクセスメモリ（ＤＲＡＭ）に結合される、条項１７に記載の方法。

【００５９】

条項１９．基板を使用してプロセッサダイをＤＲＡＭに結合することを更に含む、条項１８に記載の方法。

【００６０】

条項２０．プロセッサダイ、基板、及びＤＲＡＭを備えるモールド埋め込みパッケージ（ＭＥＰ）を形成することを更に含む、条項１９に記載の方法。

【００６１】

条項２１．第１の金属層、第２の金属層、及び複数の導電性チャネルは、銅（Ｃｕ）、コバルト（Ｃｏ）、ルテニウム（Ｒｕ）、ウォルフラム（Ｗ）、モリブデン（Ｍｏ）、金

（Ａｕ）、銀（Ａｇ）、アルミニウム（Ａｌ）、スズ（Ｓｎ）、又はこれらの任意の組み合わせのうちの少なくとも１つを含む、条項１６～２０のいずれか一項に記載の方法。

【００６２】

条項２２．基板が、コアを有するコア付き基板である、条項１６～２１のいずれか一項に記載の方法。

【００６３】

条項２３．基板厚さが、４０マイクロメートル～１．２ミリメートルの範囲内である、条項２２に記載の方法。

【００６４】

条項２４．複数の導電性チャネルが、コア付き基板のコア内に形成され、基板厚さが、約４０マイクロメートルであり、距離が、約２０マイクロメートル～約３０マイクロメートルである、条項２３に記載の方法。

【００６５】

条項２５．基板は、第１の金属層と第２の金属層との間に誘電体を有するコアレス基板である、条項１６～２４のいずれか一項に記載の方法。

【００６６】

条項２６．基板厚さが、２５マイクロメートル～５０マイクロメートルの範囲内である、条項２５に記載の方法。

【００６７】

条項２７．複数の導電性チャネルが、コアレス基板の誘電体内に形成され、基板厚さが約２５マイクロメートルであり、距離が約１２．５マイクロメートル～約１９マイクロメートルである、条項２５又は２６に記載の方法。

【００６８】

条項２８．複数の信号相互接続部の各々のインピーダンスが、５０オーム未満である、条項１６～２７のいずれか一項に記載の方法。

【００６９】

条項２９．複数の導電性チャネルの各々の幅は、複数の信号相互接続部の各々の幅よりも５マイクロメートル以下広い、条項１６～２８のいずれか一項に記載の方法。

【００７０】

条項３０．装置は、パッケージ、モールド埋め込みパッケージ（ＭＥＰ）、音楽プレーヤ、ビデオプレーヤ、エンターテイメントユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、携帯電話、スマートフォン、携帯情報端末、定置端末、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス、モノのインターネット（ＩｏＴ）デバイス、ラップトップコンピュータ、サーバ、基地局、及び自動車内のデバイスから成る群から選択される、条項１６～２９のいずれか一項に記載の方法。

【００７１】

[0049] 例えば、装置又は装置の任意の構成要素が、本明細書で教示するような機能を提供するように構成され得る（又は動作可能にされ得る、もしくは適合され得る）ことが理解されよう。これは、例えば、機能を提供するように装置又は構成要素を製作する（例えば、製造する）ことによって、機能を提供するように装置又は構成要素をプログラミングすることによって、又は、何らかの他の適切な実装技術を使用することによって、達成され得る。一例として、集積回路は、必須の機能を提供するように製造され得る。別の例として、集積回路は、必須の機能をサポートするように製造されてもよく、次いで、必須の機能を提供するように（例えば、プログラミングによって）構成されてよい。更に別の例として、プロセッサ回路が、コードを実行して必要な機能を提供することができる。

【００７２】

[0050] その上、本明細書で開示する態様に関して説明した方法、シーケンス、及び／又はアルゴリズムは、直接ハードウェアで、プロセッサによって実行されるソフトウェアモジュールで、又はこの２つの組み合わせで具現され得る。ソフトウェアモジュールは、ランダムアクセスメモリ（ＲＡＭ）、フラッシュメモリ、リードオンリーメモリ（ＲＯ

Ｍ）、消去可能プログラマブルＲＯＭ（ＥＰＲＯＭ）、電気的消去可能プログラマブルＲＯＭ（ＥＥＰＲＯＭ（登録商標））、レジスタ、ハードディスク、リムーバブルディスク、ＣＤ－ＲＯＭ、又は当技術分野で知られている任意の他の形態の記憶媒体中に存在し得る。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み取ること及び記憶媒体に情報を書き込むことができるように、プロセッサに結合されている。代替として、記憶媒体は、プロセッサと一体であってよい（例えば、キャッシュメモリ）。

【００７３】

［0051］上記の開示は様々な例示的な態様を示すが、添付の特許請求の範囲によって定義される範囲から逸脱することなく、図示の例に様々な変更及び修正が加えられてよいことに留意されたい。本開示は、具体的に図示した例のみに限定されるものではない。例えば、別段に明記されていない限り、本明細書で説明した本開示の態様による方法の請求項の機能、ステップ、及び／又はアクションは、特定の順序で実行される必要はない。更に、いくつかの態様は、単数形で記載又は特許請求されることがあるが、単数形への限定が明示的に述べられていない限り、複数形が企図される。

【図面】

【図１】

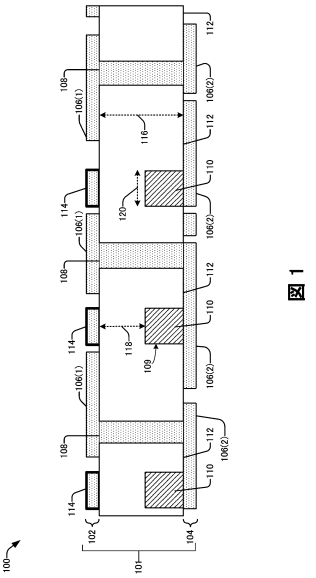


図１

【図２】

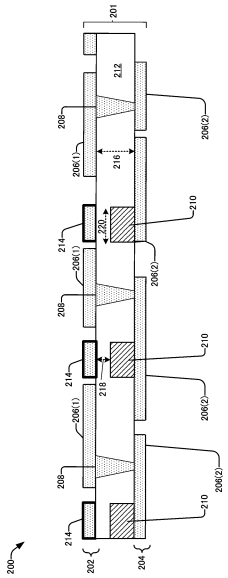


図２

【図３】

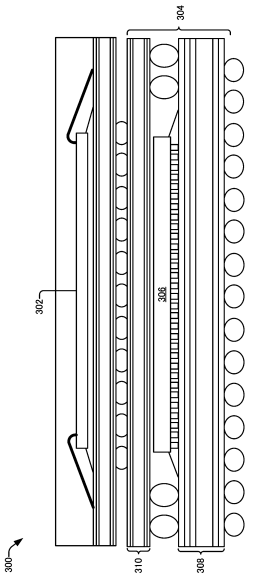


図３

【図４Ａ】

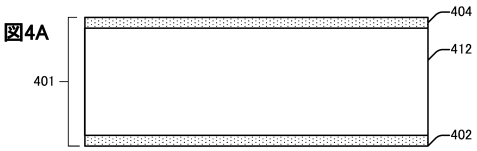


図4A

【図４Ｂ】

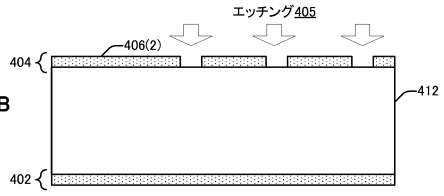


図4B

【図４Ｃ】

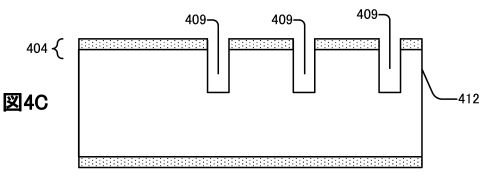


図4C

【図４Ｄ】

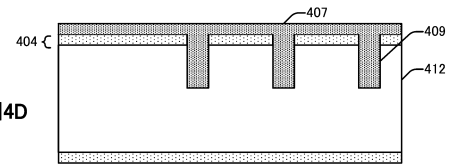


図4D

【図５Ａ】

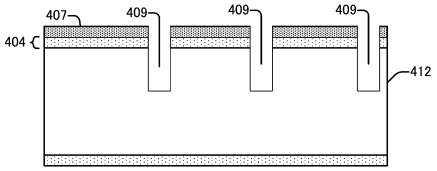


図5A

【図５Ｂ】

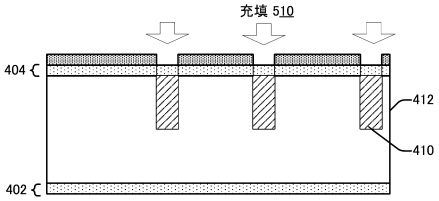


図5B

【図５Ｃ】

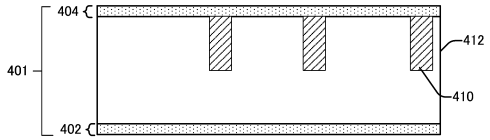


図5C

【図５Ｄ】

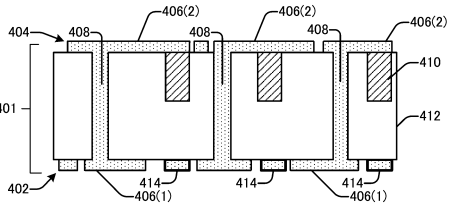


図5D

【図６】

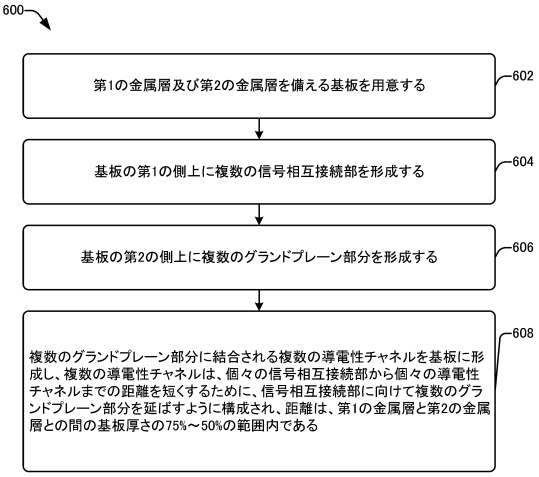


図6

【図７】

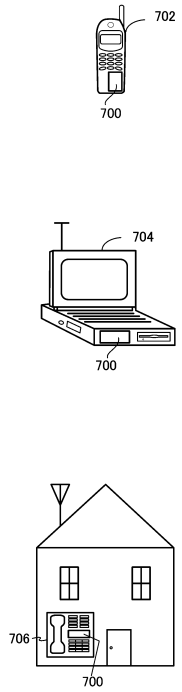


図7

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2022/072935

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L23/66 H05K1/02
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L H05K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	US 2014/124124 A1 (LEE CHIEN-CHENG [TW]) 8 May 2014 (2014-05-08) paragraphs [0006] - [0007] paragraphs [0030] - [0036] figures 1-6 -----	1-13, 15-28,30 14,29
A	US 2006/081990 A1 (HSU CHI-HSING [TW]) 20 April 2006 (2006-04-20) paragraphs [0022] - [0024] figure 2B -----	1-30
A	US 2006/081960 A1 (WU SUNG-MAO [TW]) 20 April 2006 (2006-04-20) figure 1 paragraphs [0010] - [0012] -----	1-30

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance;; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance;; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
13 October 2022	21/10/2022

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Deconinck, Eric

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/US2022/072935

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2014124124 A1	08-05-2014	NONE	
US 2006081990 A1	20-04-2006	TW I286916 B	11-09-2007
		US 2006081990 A1	20-04-2006
US 2006081960 A1	20-04-2006	TW I242889 B	01-11-2005
		US 2006081960 A1	20-04-2006

Form PCT/ISA/210 (patent family annex) (April 2005)

フロントページの続き

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,IT,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

アメリカ合衆国、カリフォルニア州 ９２１２１－１７１４、サン・ディエゴ、モアハウス・ドライブ ５７７５、クゥアルコム・インコーポレイテッド内

(72)発明者 ウェー、ホン・ボク

アメリカ合衆国、カリフォルニア州 ９２１２１－１７１４、サン・ディエゴ、モアハウス・ドライブ ５７７５、クゥアルコム・インコーポレイテッド内

Ｆターム（参考） 5E338 AA02 AA16 BB19 BB25 CC01 CC06 CD03 EE11