



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0029184
(43) 공개일자 2016년03월15일

(51) 국제특허분류(Int. Cl.)
H03K 5/13 (2014.01) H03F 3/45 (2006.01)
(21) 출원번호 10-2014-0117608
(22) 출원일자 2014년09월04일
심사청구일자 2014년09월04일

(71) 출원인
인하대학교 산학협력단
인천광역시 남구 인하로 100, 인하대학교 (용현동)
(72) 발명자
공인석
경기 고양시 일산동구 무궁화로75번길 45, 306동 105호 (정발산동, 양지마을3단지건영빌라)
강진구
서울특별시 서초구 잠원로12길 5, 335동 1003호(잠원동, 신반포아파트)
(74) 대리인
양성보

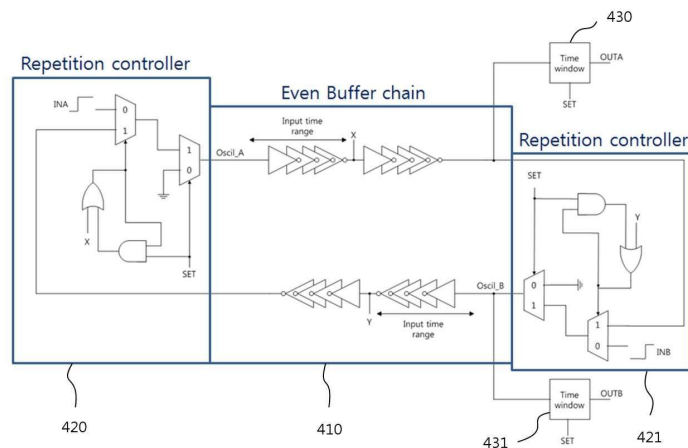
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 시간차 반복 구조를 이용한 시간 증폭회로의 자동 오프셋 제거 시스템 및 그 방법

(57) 요약

시간차 반복 구조를 이용한 시간 증폭회로의 자동 오프셋 제거 시스템 및 그 방법이 개시된다. 시간차 반복 구조를 이용한 시간 증폭회로의 자동 오프셋 제거 시스템에 있어서, 짝수 개의 버퍼로 구성된 버퍼 체인(Buffer chain); 상기 버퍼 체인의 양측 노드에 각각 배치되어 입력신호의 제어가 가능한 제1, 제2 반복 컨트롤러를 포함하고, SET이 0인 경우 상기 버퍼 체인의 신호 경로가 차단되며, 상기 제1, 제2 반복 컨트롤러의 노드는 0으로 초기화되고, SET이 1인 경우 0으로 초기화 되어 있는 X와 Y 노드로 인해 신호를 입력할 수 있다.

대표도 - 도4



이 발명을 지원한 국가연구개발사업

과제고유번호 1711014036

부처명 미래창조과학부

연구관리전문기관 정보통신산업진흥원

연구사업명 정보통신기술인력양성사업

연구과제명 정보기기용 시스템반도체 핵심 설계 기술 개발 및 인력 양성

기 여 율 1/2

주관기관 서울시립대학교 산학협력단

연구기간 2014.01.01 ~ 2014.12.31이 발명을 지원한 국가연구개발사업

과제고유번호 NRF-2010-0022670

부처명 교육부

연구관리전문기관 한국연구재단

연구사업명 기본연구

연구과제명 CMOS 초미세 지연회로를 이용한 시스템 회로설계

기 여 율 1/2

주관기관 인하대학교 산학협력단

연구기간 2014.09.01 ~ 2015.08.31

명세서

청구범위

청구항 1

시간차 반복 구조를 이용한 시간 증폭회로의 자동 오프셋 제거 시스템에 있어서,

짝수 개의 버퍼로 구성된 버퍼 체인(Buffer chain);

상기 버퍼 체인의 양측 노드에 각각 배치되어 입력신호의 제어가 가능한 제1, 제2 반복 컨트롤러를 포함하고,

SET이 0인 경우 상기 버퍼 체인의 신호 경로가 차단되며, 상기 제1, 제2 반복 컨트롤러의 노드는 0으로 초기화되고, SET이 1인 경우 0으로 초기화 되어 있는 X와 Y 노드로 인해 신호를 입력할 수 있는 것

을 특징으로 하는 시간차 반복 구조를 이용한 시간 증폭회로의 자동 오프셋 제거 시스템.

청구항 2

제1항에 있어서,

상기 버퍼 체인과 각각 연결되어 오프셋(Offset)이 생기는 펄스 지점을 필터링하는 제1, 제2 타임 윈도우(time window) 블록

을 더 포함하고,

최종 출력은 상기 제1, 제2 타임 윈도우 블록 중 적어도 하나를 통과하는 것

을 특징으로 하는 시간차 반복 구조를 이용한 시간 증폭회로의 자동 오프셋 제거 시스템.

청구항 3

제1항에 있어서,

입력된 상승 에지로 순간 충전된 상기 X와 Y 노드에 의해 해당 블록은 신호 입력 모드에서 신호 순환 모드로 변하게 되고, 두 개의 상기 입력신호의 상승 에지(rising edge)가 반복되어 들어오는 것

을 특징으로 하는 시간차 반복 구조를 이용한 시간 증폭회로의 자동 오프셋 제거 시스템.

청구항 4

제3항에 있어서,

두 개의 상기 입력신호는 노드 지점만 다르나, 통과하는 버퍼의 경로는 공유하는 것

을 특징으로 하는 시간차 반복 구조를 이용한 시간 증폭회로의 자동 오프셋 제거 시스템.

청구항 5

시간차 반복 구조를 이용한 시간 증폭회로의 자동 오프셋 제거 방법에 있어서,

짝수 개의 버퍼로 구성된 버퍼 체인(Buffer chain)의 양측 노드에 제1, 제2 반복 컨트롤러 각각 배치하여 회로를 구성하고 입력신호를 제어하는 단계;

SET이 1인 경우, 0으로 초기화 되어 있는 X와 Y 노드로 인해 신호 입력 모드가 되어 두 개의 상기 입력신호를 입력하는 단계;

입력된 상승 에지로 순간 충전된 상기 X와 Y 노드에 의해 신호 순환 모드로 변경되어, 두 개의 상기 입력신호의 상승 에지(rising edge)가 반복되어 들어오는 단계; 및

상기 버퍼 체인과 각각 연결되어 오프셋(Offset)이 생기는 펄스 지점에 제1, 제2 타임 윈도우(time window) 블

록을 배치하여 필터링된 두 개의 최종 출력을 얻는 단계

를 포함하는 시간차 반복 구조를 이용한 시간 증폭회로의 자동 오프셋 제거 방법.

발명의 설명

기술 분야

[0001] 본 발명은 시간차 반복 구조를 이용한 시간 증폭회로의 자동 오프셋 제거 시스템 및 그 방법에 관한 것이다. 더욱 상세하게는, 소자 부정합에 영향을 받지 않는 시간차 반복 구조를 이용한 시간 증폭회로의 자동 오프셋 제거 시스템 및 그 방법에 관한 것이다.

배경 기술

[0002] 일반적으로 시간-디지털 변환기(Time-to-Digital Converter; TDC)는 저전압 환경에서의 데이터 변환 기술로 두 신호(클럭)의 에지(edge) 간격을 디지털로 변환하는 회로이다. 그리고, 기본적인 시간-디지털 변환기는 버퍼 체인과 다수의 플립-플롭(또는 래치)로 이루어져 있다.

[0003] 도 1은 일반적인 시간-디지털 변환기의 구조를 나타내는 도면이다.

[0004] 도 1을 참조하면, 기본적인 시간-디지털 변환기(TDC)는 버퍼의 최소 지연에 따라 해상도의 제약을 받는다. 이 이상의 해상도를 얻기 위해서 다양한 방안이 연구되고 있는데, 그 중 하나가 시간 증폭기(Time Amplifier; TA)를 사용한 다중 단계 시간-디지털 변환기(Multi-step TDC)이다. 최근, 시간 증폭기의 설계 이슈 중 가장 고려되고 있는 것이 선형성(linearity)인데, 최근 발표된 시간 증폭기 메커니즘들은 이득 증가에 따른 선형성 저하가 크기 때문에 높은 이득 설계가 어렵다. 때문에, 보다 높은 이득을 얻으면서 선형성을 유지시킬 수 있는 메커니즘이 필요하다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 이루고자 하는 기술적 과제는 시간을 반복시키는 구조를 이용하여, 소자 부정합으로 인한 시간 증폭기의 오프셋(Offset) 문제를 현저히 경감시킬 수 있는 시간차 반복 구조를 이용한 시간 증폭회로의 자동 오프셋 제거 시스템 및 그 방법을 제공하는데 있다.

[0006] 또한, 본 발명이 이루고자 하는 기술적 과제는 펄스 트레인 시간 증폭기(TA) 방식의 선형성 및 이상성을 보다 향상시키고, 시간 증폭기가 사용되는 시간-디지털 변환기이 주요 이슈인 INL과 DNL 성능에 기여할 수 있는 시간차 반복 구조를 이용한 시간 증폭회로의 자동 오프셋 제거 시스템 및 그 방법을 제공하는데 있다.

과제의 해결 수단

[0007] 일 측면을 따르면, 본 발명에서 제안하는 시간차 반복 구조를 이용한 시간 증폭회로의 자동 오프셋 제거 시스템에 있어서, 짝수 개의 버퍼로 구성된 버퍼 체인(Buffer chain); 상기 버퍼 체인의 양측 노드에 각각 배치되어 입력신호의 제어가 가능한 제1, 제2 반복 컨트롤러를 포함하고, SET이 0인 경우 상기 버퍼 체인의 신호 경로가 차단되며, 상기 제1, 제2 반복 컨트롤러의 노드는 0으로 초기화되고, SET이 1인 경우 0으로 초기화 되어 있는 X와 Y 노드로 인해 신호를 입력할 수 있다.

[0008] 다른 측면을 따르면, 상기 버퍼 체인과 각각 연결되어 오프셋(Offset)이 생기는 펄스 지점을 필터링하는 제1, 제2 타임 윈도우(time window) 블록을 더 포함하고, 최종 출력은 상기 제1, 제2 타임 윈도우 블록 중 적어도 하나를 통과할 수 있다.

[0009] 또 다른 측면을 따르면, 입력된 상승 에지로 순간 충전된 상기 X와 Y 노드에 의해 해당 블록은 신호 입력 모드에서 신호 순환 모드로 변하게 되고, 두 개의 상기 입력신호의 상승 에지(rising edge)가 반복되어 들어올 수 있다.

[0010] 또 다른 측면을 따르면, 두 개의 상기 입력신호는 노드 지점만 다르나, 통과하는 버퍼의 경로는 공유할 수 있다.

[0011] 또 다른 측면을 따르면, 시간차 반복 구조를 이용한 시간 증폭회로의 자동 오프셋 제거 방법에 있어서, 짝수 개의 버퍼로 구성된 버퍼 체인(Buffer chain)의 양측 노드에 제1, 제2 반복 컨트롤러 각각 배치하여 회로를 구성하고 입력신호를 제어하는 단계; SET이 1인 경우, 0으로 초기화 되어 있는 X와 Y 노드로 인해 신호 입력 모드가 되어 두 개의 상기 입력신호를 입력하는 단계; 입력된 상승 에지로 순간 충전된 상기 X와 Y 노드에 의해 신호 순환 모드로 변경되어, 두 개의 상기 입력신호의 상승 에지(rising edge)가 반복되어 들어오는 단계; 및 상기 버퍼 체인과 각각 연결되어 오프셋(Offset)이 생기는 펄스 지점에 제1, 제2 타임 윈도우(time window) 블록을 배치하여 필터링된 두 개의 최종 출력을 얻는 단계를 포함한다.

발명의 효과

[0012] 본 발명의 실시예들에 따르면 시간을 반복시키는 구조를 이용하여, 소자 부정합으로 인한 시간 증폭기의 오프셋(Offset) 문제를 현저히 경감시킬 수 있는 시간차 반복 구조를 이용한 시간 증폭회로의 자동 오프셋 제거 시스템 및 그 방법을 제공할 수 있다.

[0013] 또한, 본 발명의 실시예들에 따르면 펄스 트레인 시간 증폭기(TA) 방식의 선형성 및 이상성을 보다 향상시키고, 시간 증폭기가 사용되는 시간-디지털 변환기가 주요 이슈인 INL과 DNL 성능에 기여할 수 있는 시간차 반복 구조를 이용한 시간 증폭회로의 자동 오프셋 제거 시스템 및 그 방법을 제공할 수 있다.

도면의 간단한 설명

[0014] 도 1은 일반적인 시간-디지털 변환기의 구조를 나타내는 도면이다.
 도 2는 일반적인 시간 증폭기의 원리를 나타내는 도면이다.
 도 3은 종래의 펄스-열 시간 증폭기(Pulse-train TA)의 소자 부정합(mismatch) 문제를 나타내는 도면이다.
 도 4는 본 발명의 일 실시예에 따른 시간차 반복 구조를 이용한 시간 증폭회로의 자동 오프셋 제거 시스템을 나타내는 도면이다.
 도 5는 본 발명의 일 실시예에 회로의 동작 과정을 나타내는 도면이다.
 도 6은 본 발명의 일 실시예에 따른 회로의 동작 과정에 따른 시뮬레이션 결과를 나타내는 도면이다.
 도 7은 본 발명의 일 실시예에 따른 시간차 반복 구조를 이용한 시간 증폭회로의 자동 오프셋 제거 방법을 나타내는 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0015] 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.

[0016] 도 2는 일반적인 시간 증폭기의 원리를 나타내는 도면이다.

[0017] 시간 증폭기(Time Amplifier; TA)의 원리는 크게 래치(Latch) 기반 시간 증폭기와 시간 반복형 시간 증폭기 두 가지로 구분될 수 있다.

[0018] 도 2의 (a)는 일반적인 래치 기반 시간 증폭기를 나타내는 도면이다.

[0019] 도 2의 (a)를 참조하면, 래치 기반의 시간 증폭기로, 래치 기반에 의해 증폭이 될 수 있다. 여기서, 래치는 입력 시간에 따라 출력의 크기뿐만 아니라 지연까지도 변하는 선형 시간 변화(Linear Time Variant; LTV) 시스템의 특성을 가질 수 있다. 그 예로, 노드 A와 노드 B가 서로의 방전경로를 제어하기 때문에, 먼저 들어오는 클럭(Clock)이 상대방 클럭의 지연 값을 키워주는 효과를 가져올 수 있다. 그러나, 이러한 방식은 각 입력 시간에 대해서 정확한 선형성을 가져올 수 없다. 또한, 이러한 cross-coupled 구조는 입력시간 범위의 제약이 크다. 따라서, 래치 기반 구조는 시간 증폭기로서 좋은 접근 방식이라고 볼 수 없다.

[0020] 도 2의 (b)는 일반적인 시간 반복형 시간 증폭기를 나타내는 도면이다.

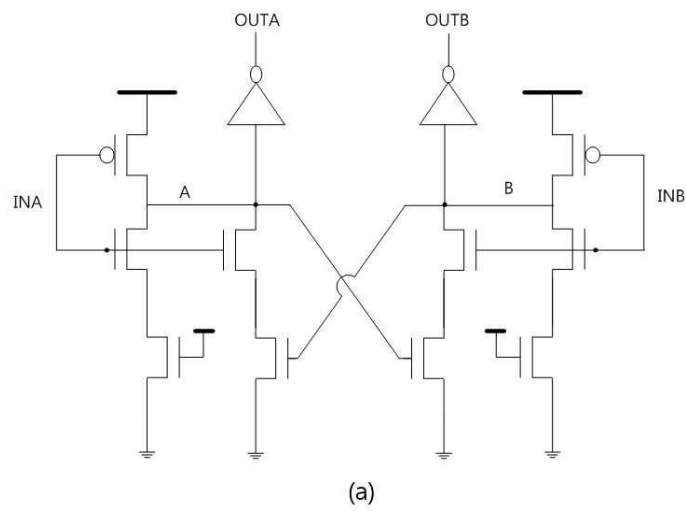
[0021] 도 2의 (b)를 참조하면, 시간 반복형 시간 증폭기로, 시간 반복 및 누적 방식의 증폭이 될 수 있다. 여기서, 시간은 전압의 크기와 달리, 저장하고 누적시키는 방식만으로도 증폭 효과를 가져올 수 있다. 그 예로, 도 2의 (b)를 참조하면, 펄스-열 시간 증폭기(Pulse-train TA)라고 부르는 이 구조는, 시간 차를 이용하여 생성된 펄스

를 버퍼 지연과 OR 로직을 이용하여 반복시킬 수 있다. 반복되는 펄스는 버퍼의 enable 신호로 활용되며, 도시된 바와 같이 디지털로 변환될 수 있다. 이러한 방식은 시간을 단순히 반복시키는 구조이므로 보다 높은 선형성을 가지며, 입력 시간 범위 역시 크다. 따라서, 본 발명은 이러한 펄스-열 시간 증폭기(Pulse-train TA)의 방식을 사용하되, 시간 오프셋 문제를 해결할 수 있도록 하고 있다.

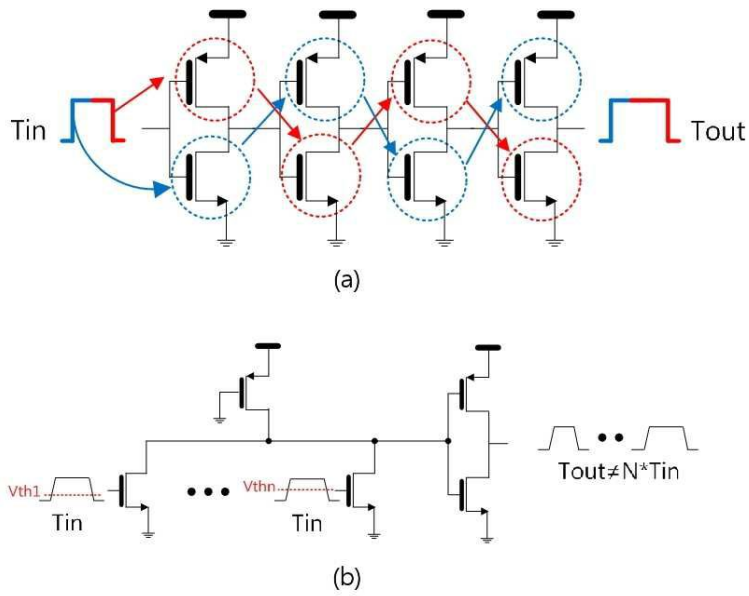
- [0022] 도 3은 종래의 펄스-열 시간 증폭기(Pulse-train TA)의 소자 부정합(mismatch) 문제를 나타내는 도면이다.
- [0023] 도 3을 참조하면, 종래의 펄스-열 시간 증폭기(Pulse-train TA)는 출력의 소자 부정합에 대해 취약한 성능을 가지고 있다. 도 3의 (a)를 참조하면, 상승 에지와 하강 에지에 따른 트랜지스터의 신호 전달 경로가 서로 다르다. 따라서, 트랜지스터 간의 부정합으로 인해 반복되는 펄스 두께가 서로 다를 수 있다.
- [0024] 뿐만 아니라, 도 3의 (b)를 참조하면, OR 게이트의 각 트랜지스터 간의 문턱 전압 사이에도 부정합이 존재할 수 있으며, 이 역시 이득 오차를 야기할 수 있다. 정리하자면, 정확한 시간의 반복 혹은 복사를 위해서는 트랜지스터 레벨의 신호 경로가 정확히 일치해야 한다.
- [0025] 도 4는 본 발명의 일 실시예에 따른 시간차 반복 구조를 이용한 시간 증폭회로의 자동 오프셋 제거 시스템을 나타내는 도면이다.
- [0026] 도 4를 참조하면, 시간차 반복 구조를 이용한 시간 증폭회로의 자동 오프셋 제거 시스템은 버퍼 체인(Buffer chain)(410), 제1, 제2 반복 컨트롤러(420, 421), 그리고 제1, 제2 타임 윈도우(time window) 블록(430, 431)을 포함할 수 있다.
- [0027] 버퍼 체인(Buffer chain)(410)은 짝수 개의 버퍼로 구성될 수 있다.
- [0028] 제1, 제2 반복 컨트롤러(420, 421)는 버퍼 체인의 양측 노드에 각각 배치되어 입력신호의 제어가 가능하다. 다시 말하면, 짝수 개의 버퍼로 구성된 버퍼 체인(Buffer chain) (410)에서 서로 가장 먼 위치의 노드에 INA와 INB의 입력신호의 신호 입력 제어가 가능한 제1 제2 반복 컨트롤러(420, 421)를 각각 추가할 수 있다.
- [0029] 이때, SET이 0인 경우에는, 버퍼 체인(Buffer chain)(410) 신호 경로는 차단되며, 각 컨트롤 노드는 0으로 초기화 될 수 있다. 반면, SET이 1이 되는 경우에는, 0으로 초기화 되어있는 X와 Y 노드로 인해 신호 INA와 INB를 입력할 수 있다.
- [0030] 이후, 입력된 상승 에지로 순간 충전된 X와 Y 노드에 의해 해당 블록은 신호 입력 모드에서 신호 순환 모드로 변하게 되고, 마치 진동(Oscillate)되는 듯이 두 개의 입력신호의 상승 에지(rising edge)가 반복되어 들어올 수 있다.
- [0031] 여기서, 두 개의 입력신호 INA와 INB는 노드 지점만 다를 뿐 통과하는 버퍼의 경로는 공유할 수 있다. 때문에, 소자 부정합이 생기더라도 같은 경로를 사용하기 때문에 1 바퀴 주회하는 동안 이 영향을 상쇄시킬 수 있다. 뿐만 아니라, 시간 반복(time repetition)을 위하여 상승 에지의 차이를 펄스로 나타낼 필요가 없다.
- [0032] 제1, 제2 타임 윈도우(time window) 블록(430, 431)은 버퍼 체인(410)과 각각 연결되어 오프셋(Offset)이 생기는 펄스 지점을 필터링할 수 있다. 즉, 오프셋이 생기는 펄스 지점을 필터링하기 위해 타임 윈도우(time window) 블록(430, 431)을 추가할 수 있으며, 이를 통과한 두 개의 최종 출력 Out A와 Out B를 얻을 수 있다.
- [0033] 도 5는 본 발명의 일 실시예에 회로의 동작 과정을 나타내는 도면이다.
- [0034] 도 6은 본 발명의 일 실시예에 따른 회로의 동작 과정에 따른 시뮬레이션 결과를 나타내는 도면이다.
- [0035] 도 5를 참조하면, 오프셋(Offset)의 상쇄를 검증하기 위해 인위적인 딜레이 부정합(delay mismatch)을 0에서 100ps까지 인가하며 검증해 볼 수 있다.
- [0036] 그 결과, 도 6에 도시된 바와 같이, 기존의 펄스-열 시스템에서는 계속 증가되나, 시간차 반복 구조를 이용한 시간 증폭회로의 자동 오프셋 제거 시스템은 모든 오프셋(Offset)에 대해 안정된 결과값을 가지는 것을 확인할 수 있다.

- [0037] 도 7은 본 발명의 일 실시예에 따른 시간차 반복 구조를 이용한 시간 증폭회로의 자동 오프셋 제거 방법을 나타내는 순서도이다.
- [0038] 도 7을 참조하면, 시간차 반복 구조를 이용한 시간 증폭회로의 자동 오프셋 제거 시스템을 이용하여, 시간차 반복 구조를 이용한 시간 증폭회로의 자동 오프셋 제거 방법을 설명할 수 있다.
- [0039] 단계(710)에서, 짝수 개의 버퍼로 구성된 버퍼 체인(Buffer chain)의 양측 노드에 제1, 제2 반복 컨트roller 각각 배치하여 회로를 구성하고 입력신호를 제어할 수 있다. 다시 말하면, 짝수 개의 버퍼로 구성된 버퍼 체인(Buffer chain)에서 서로 가장 먼 위치의 노드에 INA와 INB의 입력신호의 신호 입력 제어가 가능한 제1 제2 반복 컨트roller를 각각 추가할 수 있다.
- [0040] 단계(720)에서, SET이 1인 경우, 0으로 초기화 되어 있는 X와 Y 노드로 인해 신호 입력 모드가 되어 두 개의 상기 입력신호를 입력할 수 있다. 다시 말하면, SET이 0인 경우에는, 버퍼 체인(Buffer chain) 신호 경로는 차단되며, 각 컨트roller 노드는 0으로 초기화 될 수 있다. 반면, SET이 1이 되는 경우에는, 0으로 초기화 되어있는 X와 Y 노드로 인해 신호 INA와 INB를 입력할 수 있다.
- [0041] 단계(730)에서, 입력된 상승 에지로 순간 충전된 상기 X와 Y 노드에 의해 신호 순환 모드로 변경되어, 두 개의 상기 입력신호의 상승 에지(rising edge)가 반복되어 들어올 수 있다. 이때, 두 개의 상기 입력신호는 노드 지점만 다르나, 통과하는 버퍼의 경로는 공유할 수 있다. 따라서, 소자 부정합이 생기더라도 같은 경로를 사용하기 때문에 1 바퀴 주회하는 동안 이 영향을 상쇄시킬 수 있다. 뿐만 아니라, 시간 반복(time repetition)을 위하여 상승 에지의 차이를 펄스로 나타낼 필요가 없다.
- [0042] 단계(740)에서, 버퍼 체인과 각각 연결되어 오프셋(Offset)이 생기는 펄스 지점에 제1, 제2 타임 윈도우(time window) 블록을 배치하여 필터링된 두 개의 최종 출력을 얻을 수 있다. 즉, 오프셋이 생기는 펄스 지점을 필터링하기 위해 타임 윈도우(time window) 블록을 추가할 수 있으며, 이를 통과한 두 개의 최종 출력 Out A와 Out B를 얻을 수 있다.
- [0043] 이와 같이, 자동 시간 오프셋 제거(auto-time offset cancellation) 시스템 및 방법은 소자 부정합으로 인한 시간 증폭기의 오프셋(Offset) 문제를 현저히 경감시킬 수 있다. 이는, 기존의 아날로그 증폭기에서의 오프셋 전압 이슈의 해결방안과 상응되는 효력이라 볼 수 있다. 즉, 종래의 펄스 트레인 시간 증폭기(TA) 방식의 선형성 및 이상성을 보다 향상시킬 수 있으며, 최종적으로는 시간 증폭기가 사용되는 시간-디지털 변환기(Time-to-Digital Converter; TDC)의 주요 이슈인 INL과 DNL 성능에 기여할 수 있다.
- [0044] 또한, 본 발명에 따른 속도 성능은 펄스 트레인 시간 증폭기(TA)와 마찬가지로 입력 시간 범위와의 트레이드-오프(trade off) 관계를 가지며, 그 외의 제약을 받지 않을 수 있다. 입력 시간 범위는 속도 성능과 더불어, 버퍼 수 증가에 따른 소비전력과의 트레이드-오프를 가질 수 있다. (이 역시 펄스-트레인 방식과 동일하다.)
- [0045] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 컨트roller, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 컨트roller를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.
- [0046] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나

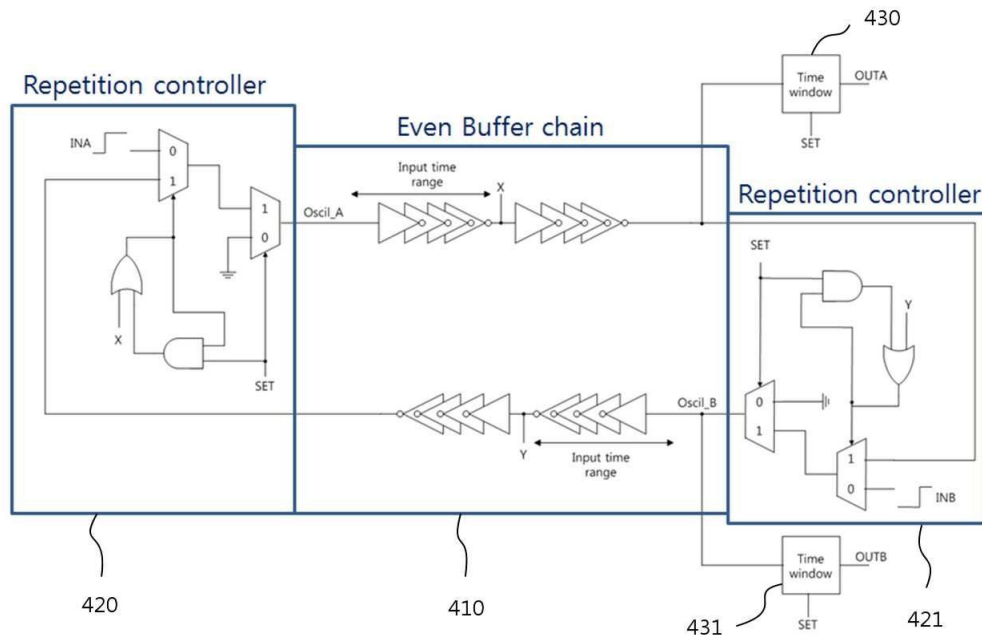
도면2



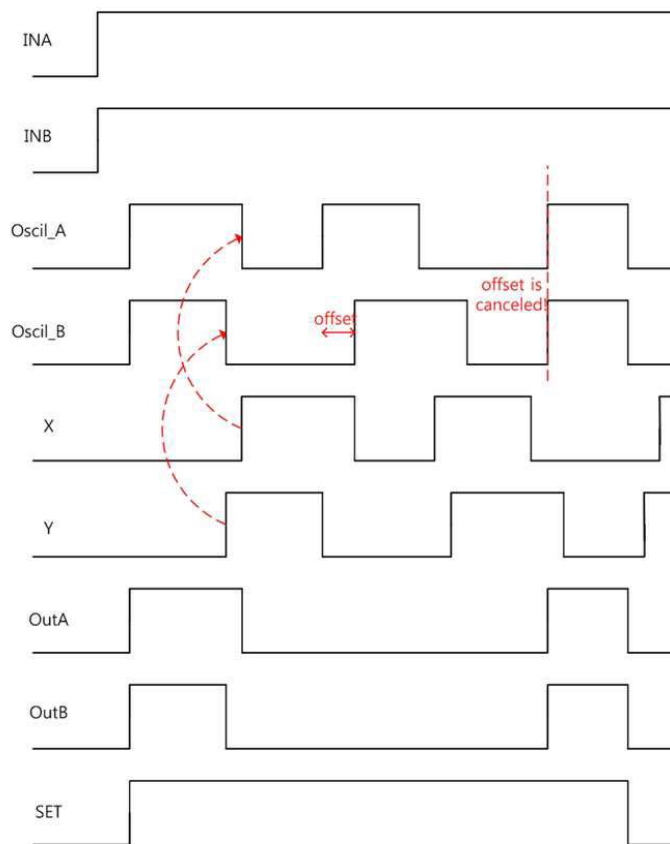
도면3



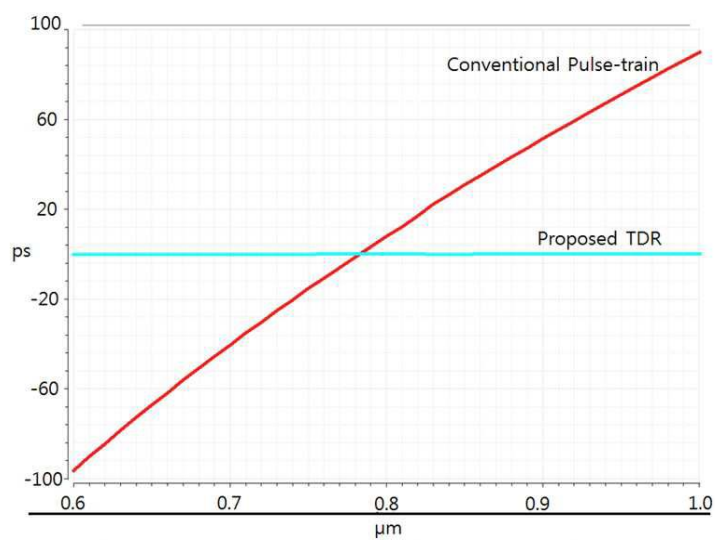
도면4



도면5



도면6



The simulation result for "pMOS width variation" vs "repeated time difference offset".

도면7

