

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la
Propriété Intellectuelle
Bureau international



(43) Date de la publication internationale
28 juillet 2016 (28.07.2016)

WIPO | PCT

(10) Numéro de publication internationale
WO 2016/116574 A1

(51) Classification internationale des brevets :
G06F 9/38 (2006.01)

(21) Numéro de la demande internationale :
PCT/EP2016/051260

(22) Date de dépôt international :
21 janvier 2016 (21.01.2016)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :
1550469 21 janvier 2015 (21.01.2015) FR

(71) Déposant : SAFRAN ELECTRONICS & DEFENSE
[FR/FR]; 18-20 Quai du Point du Jour, 92100 Boulogne
Billancourt (FR).

(72) Inventeur : DUFOUR, Jean-Louis; Sagem Defense Secu-
rite, 18-20 Quai du Point du Jour, 92100 Boulogne-Billan-
court (FR).

(74) Mandataires : DECORCHEMONT, Audrey et al.; Cabi-
net Boettcher, 16 rue Médéric, 75017 Paris (FR).

(81) États désignés (sauf indication contraire, pour tout titre
de protection nationale disponible) : AE, AG, AL, AM,
AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY,
BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM,
DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR,
KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG,
MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM,
PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC,
SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN,
TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) États désignés (sauf indication contraire, pour tout titre
de protection régionale disponible) : ARIPO (BW, GH,
GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ,
TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, RU,
TJ, TM), européen (AL, AT, BE, BG, CH, CY, CZ, DE,
DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU,
LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, KM, ML, MR, NE, SN, TD, TG).

Publiée :

— avec rapport de recherche internationale (Art. 21(3))

(54) Title : METHOD FOR MANAGING THE EXECUTION OF TASKS AND PROCESSOR FOR IMPLEMENTING SAID ME-
THOD

(54) Titre : PROCEDE DE GESTION D'UNE EXECUTION DE TACHES ET PROCESSEUR POUR METTRE EN ŒUVRE CE
PROCEDE

(57) Abstract : The invention relates to a method for managing an execution of tasks by a processor (4) comprising two computing
units, a first computing unit (5) and a second computing unit (6), for simultaneously executing tasks, the method comprising the
steps of: - synchronizing a first scheduler of the first computing unit (5) and a second scheduler of the second computing unit (6); -
sequencing the tasks such as to limit simultaneous access by the first (5) and second computing units (6) to a common memory mo-
dule L2 of the processor (4). The invention also relates to a processor (4) programmed for the above.

(57) Abrégé : L'invention concerne un procédé de gestion d'une exécution de tâches par un processeur (4) comportant deux unités
de calcul dont une première unité de calcul (5) et une deuxième unité de calcul (6) destinées à exécuter simultanément des tâches, le
procédé comprenant les étapes de : - synchroniser un premier ordonnanceur de la première unité de calcul (5) et un deuxième ordon-
nanceur de la deuxième unité de calcul (6); - séquencer tâches de manière à limiter des accès simultanés de la première (5) et de la
deuxième unité de calcul (6) à un module de mémoire commun L2 du processeur (4). L'invention concerne aussi un processeur (4)
programmé pour ci-dessus.



WO 2016/116574 A1

**PROCEDE DE GESTION D'UNE EXECUTION DE TACHES ET
PROCESSEUR POUR METTRE EN ŒUVRE CE PROCEDE**

L'invention concerne un procédé de gestion d'une
exécution de tâches, et un processeur programmé pour
5 mettre en œuvre ledit procédé.

ARRIERE PLAN DE L'INVENTION

Les processeurs multi-cœurs sont des
processeurs comportant plusieurs unités de calcul (ou
cœurs) gravées sur une même puce de silicium.
10 L'utilisation de ce type de processeur comporte de
nombreux avantages en termes de performance et de
consommation électrique associée à ces performances.

Dans certains cas, les deux cœurs doivent
15 accéder à une même mémoire. Les deux accès ne pouvant
avoir lieu simultanément, l'un des accès doit alors être
retardé. Cette situation peut intervenir à plusieurs
reprises lors de l'exécution d'un programme, entraînant
une fluctuation des temps d'exécution. Comme les demandes
20 d'accès simultanées sont difficilement prévisibles et
leur influence particulièrement complexe à simuler, les
concepteurs ont tendance à surestimer des durées « pire
cas » de temps d'exécution, ce qui dégrade les
performances du système.

OBJET DE L'INVENTION

L'invention a pour objet de concevoir des
applications utilisant des processeurs multi-cœurs en
prédéterminant les accès simultanés pour limiter leur
influence sur les performances du système.

RESUME DE L'INVENTION

En vue de la réalisation de ce but, on propose
un procédé de gestion d'une exécution de tâches par un
processeur comportant une première unité de calcul et une
deuxième unité de calcul destinées à exécuter
35 simultanément respectivement des premières tâches et des

deuxièmes tâches de durées prédéterminées, le procédé comprenant les étapes de :

- 5 - synchroniser un premier ordonnanceur de la première unité de calcul adapté à séquencer les premières tâches et un deuxième ordonnanceur de la deuxième unité de calcul adapté à séquencer les deuxième tâches ;
- 10 - séquencer les premières et les deuxièmes tâches de manière à prédéterminer et limiter des accès simultanés de la première et de la deuxième unité de calcul à un module de mémoire commun du processeur auquel chacune des unités de calcul est adaptée à accéder en lecture ou en écriture.

15 La synchronisation du premier et du deuxième ordonnanceur permet de maîtriser temporellement l'exécution des premières et des deuxièmes tâches les unes par rapport aux autres. On peut ainsi prévoir précisément les accès simultanés au module de mémoire commun du processeur de la première et de la deuxième
20 unité de calcul, et donc adapter la séquence des tâches pour limiter ces accès simultanés.

 On propose de plus un processeur comportant deux unités de calcul et un module de mémoire commun aux deux unités de calcul, chaque unité de calcul étant
25 destinée à exécuter des tâches séquencées par un ordonnanceur de l'unité de calcul, le processeur étant programmé pour mettre en œuvre un procédé de gestion d'une exécution de tâches selon l'une des revendications précédentes.

30 L'utilisation d'un tel processeur permet de bénéficier des avantages décrits ci-dessus.

 L'invention sera mieux comprise à la lumière de la description qui suit d'un mode de mise en œuvre particulier non limitatif de l'invention.

Il sera fait référence aux dessins annexés, parmi lesquels :

- la figure 1 représente schématiquement un calculateur contenant une carte électrique sur laquelle est monté le processeur de l'invention ;
- la figure 2 représente schématiquement des ensembles de premières tâches et de secondes tâches séquencées selon le procédé de gestion de l'invention.

DESCRIPTION DETAILLEE DE L'INVENTION

Le procédé de gestion d'une exécution de tâches de l'invention et le processeur de l'invention sont ici mis en œuvre et montés dans un calculateur intégré dans un système temps réel de navigation inertielle pour aéronef.

Le calculateur 1, représenté schématiquement à la figure 1, comporte un boîtier 2 dans lequel est montée au moins une carte électrique 3 comprenant le processeur 4 de l'invention. On supposera dans la suite que le processeur 4, la carte électrique 3, et le calculateur 1 coopèrent avec leur environnement respectif conformément aux exigences diverses (fonctionnelles, d'intégration, de sécurité, etc.) du système de navigation inertielle.

Le processeur 4 de l'invention est un processeur bi-cœur symétrique comportant une première unité de calcul (ou cœur) 5 et une deuxième unité de calcul (ou cœur) 6, les deux unités de calcul 5, 6 étant identiques.

Chacune des unités de calcul est associée à un module de mémoire cache de premier niveau formé par un module dit « I-Cache » (pour Cache d'Instructions), réservé aux instructions, et un module dit « D-Cache » (pour Cache de Données), réservé aux données. Ici, les modules I-Cache et D-Cache présentent la même taille de mémoire cache. On nomme L1-1 et L1-2 les modules de

mémoire cache de premier niveau respectifs de la première unité de calcul 5 et de la deuxième unité de calcul 6.

Le processeur 4 comporte de plus un module de mémoire cache commun de second niveau L2, partagé entre la première unité de calcul 5 et la deuxième unité de calcul 6. Les unités de calcul 5, 6 et leurs modules de mémoire cache L1-1, L1-2, ainsi que le module de mémoire cache L2, sont reliés par un bus 7 dont le trafic est surveillé par un module de surveillance 8 chargé de gérer la cohérence et la consistance mémoire des accès au module de mémoire cache L2.

Le processeur 4 comporte en outre un ensemble 9 d'autres composants habituels parmi lesquels des modules d'interface, de gestion de l'alimentation, etc.

La première unité de calcul 5 et la deuxième unité de calcul 6 sont destinées à exécuter simultanément des premières tâches et des deuxièmes tâches. On appelle ici tâche un programme ou une partie de programme enregistré dans une mémoire associée au processeur pour être exécutée par l'une des unités de calcul. La première unité de calcul 5 est ici un cœur maître et la deuxième unité de calcul un cœur esclave. La première unité de calcul 5 active la deuxième unité de calcul 6 et lui transfère des données nécessaires à l'exécution des deuxièmes tâches. Lorsque les deuxièmes tâches ont été entièrement exécutées, la deuxième unité de calcul 6 prévient la première 5 et lui transfère les données résultant de ces tâches (résultats de calculs, etc.) ou les enregistre dans une mémoire à une adresse prédéfinie.

La gestion de l'exécution des premières tâches et des deuxièmes tâches est respectivement confiée à un premier ordonnanceur déterministe de la première unité de calcul 5 et à un deuxième ordonnanceur déterministe de la deuxième unité de calcul 6. Les ordonnanceurs sont des composants d'un système d'exploitation du processeur 4

programmés pour séquencer l'exécution des tâches exécutées par les unités de calcul 5, 6, c'est-à-dire pour définir l'ordre d'exécution des tâches en fonction de contraintes temporelles et de contraintes liées aux disponibilités de ressources requises. Par déterministe, on entend que la date théorique de début ou de fin de chaque tâche peut être calculée avant le début de la tâche.

En référence à la figure 2, le premier et le deuxième ordonnanceur définissent ici respectivement des premières tâches périodiques T1, T2, T3, T4 de la première unité de calcul 5, regroupées en un premier ensemble E1 lui-même répété périodiquement, et des deuxièmes tâches périodiques N1, N2,..., N16 de la deuxième unité de calcul 6 regroupées en un deuxième ensemble E2 lui aussi répété périodiquement. Sur la figure 2, le trait horizontal en pointillés 10 représente le module de mémoire cache L2, les flèches en direction du trait 10 représentent des accès en écriture au module de mémoire cache L2 par la première unité de calcul 5 ou la deuxième unité de calcul 6, et les flèches en direction opposée représentent des accès en lecture.

La durée T des premières tâches T1,..., T4 est constante et prédéterminée, de même que la durée t des deuxièmes tâches, t étant inférieure à T. Le deuxième ensemble E2 a donc une durée inférieure au premier ensemble E1. La deuxième unité de calcul est inactive lorsqu'elle n'exécute pas les deuxièmes tâches N1,..., N16.

Le procédé de gestion d'une exécution de tâches selon l'invention comporte tout d'abord une première étape consistant à synchroniser le premier ordonnanceur et le deuxième ordonnanceur des unités de calcul.

On peut ainsi maîtriser parfaitement le lancement de l'exécution des tâches d'une unité de calcul par rapport à l'autre. Ici, en l'occurrence, on lance

l'exécution de la première tâche N1 du deuxième ensemble E2 exactement à la fin de la première tâche T1 du premier ensemble E1.

5 Le procédé de gestion comporte ensuite une deuxième étape consistant à séquencer les premières et les deuxièmes tâches de manière à limiter des accès simultanés de la première et de la deuxième unité de calcul au module de mémoire cache L2.

10 Au cours de la tâche T1, la première unité de calcul 5 écrit dans le module L2 les données nécessaires à l'exécution des tâches de l'ensemble E2. Puis, au cours de la première tâche de l'ensemble E2, la deuxième unité de calcul copie ces données dans son module de mémoire cache L1-2. Les deuxièmes tâches d'E2 sont ensuite
15 exécutées successivement, la deuxième unité de calcul 6 utilisant son module de mémoire cache L1-2 et écrivant les résultats des tâches dans le module de mémoire cache L2. Lorsque la dernière tâche N16 a été exécutée et les résultats associés à cette tâche écrits dans le module de
20 mémoire cache L2, la première unité de calcul 5 accède à toutes les données écrites dans L2 par la deuxième unité de calcul 6 et les exploite. La deuxième unité de calcul 6 est alors inactive jusqu'à la prochaine occurrence de la tâche N1.

25 Ainsi, on constate que la durée D des accès simultanés par les deux unités de calcul 5, 6, visible sur la figure 2, au cours de laquelle les deux unités de calcul sont susceptibles d'accéder de manière simultanée au module L2, est de durée réduite, puisqu'elle
30 correspond à une durée ici inférieure à deux périodes T. Ces accès simultanés sont de plus parfaitement prévisibles, car ils se produisent à la fin de la tâche T1, qui peut être datée du fait du caractère déterministe du premier ordonnanceur, et s'achèvent à la fin de la
35 tâche N16, qui peut être datée du fait du caractère

déterministe du deuxième ordonnanceur.

L'invention n'est pas limitée au mode de réalisation particuliers qui vient d'être décrit, mais, bien au contraire, couvre toute variante entrant dans le cadre de l'invention telle que définie par les revendications.

Bien que l'on ait proposé une certaine configuration des modules de mémoire cache, l'invention s'applique à tout type de configuration et à tout type de mémoire (par exemple, à une mémoire vive non cache), un module de mémoire devant bien sûr être partagé par au moins deux unités de calcul.

Les deux unités de calcul peuvent ne pas être identiques comme décrit précédemment.

Le procédé de l'invention et le processeur peuvent bien sûr être mis en œuvre avec un nombre d'unités de calcul différent. Par exemple, un processeur pourrait comporter une unité de calcul maître et deux unités de calcul esclaves qui accèderaient successivement à un module de mémoire partagé.

Le nombre de premières tâches et de deuxièmes tâches est bien sûr fourni à titre d'exemple, et pourrait être différent.

REVENDICATIONS

1. Procédé de gestion d'une exécution de tâches par un processeur multicœur (4) comportant au moins deux
5 cœurs dont une première unité de calcul (5) et une deuxième unité de calcul (6) destinées à exécuter simultanément respectivement des premières tâches (T1, ..., T4) et des deuxièmes tâches (N1,..., N16) de durées prédéterminées, le procédé comprenant les étapes de :

- 10 - synchroniser un premier ordonnanceur de la première unité de calcul (5) adapté à séquencer les premières tâches et un deuxième ordonnanceur de la deuxième unité de calcul (6) adapté à séquencer les deuxièmes tâches ;
- 15 - séquencer les premières et les deuxièmes tâches de manière à prédéterminer et limiter des accès simultanés de la première (5) et de la deuxième unité de calcul (6) à un module commun de mémoire cache (L2) du processeur (4) auquel chacune des
20 unités de calcul est adaptée à accéder en lecture ou en écriture.

2. Procédé de gestion d'une exécution de tâches selon la revendication 1, dans lequel les premières et
25 les deuxièmes tâches sont regroupées respectivement en un premier et un deuxième ensembles (E1, E2) de tâches synchronisés et périodiques, la durée du deuxième ensemble (E2) étant inférieure à celle du premier ensemble (E1).

30

3. Procédé de gestion d'une exécution de tâches selon la revendication 2, dans lequel les premières et les deuxièmes tâches sont séquencées de sorte que la première (5) et la deuxième unité de calcul (6)
35 n'accèdent au module commun de mémoire cache (L2) que

pendant la durée d'un deuxième ensemble (E2).

4. Processeur multicœur comportant au moins deux
cœurs formant des unités de calcul (5, 6), et un module
5 de mémoire cache (L2) commun aux deux unités de calcul,
chaque unité de calcul étant destinée à exécuter des
tâches séquencées par un ordonnanceur de l'unité de
calcul, le processeur (4) étant programmé pour mettre un
œuvre un procédé de gestion d'une exécution de tâches
10 selon l'une des revendications précédentes.

5. Processeur selon la revendication précédente,
dans lequel les ordonnanceurs sont des ordonnanceurs
déterministes.

15

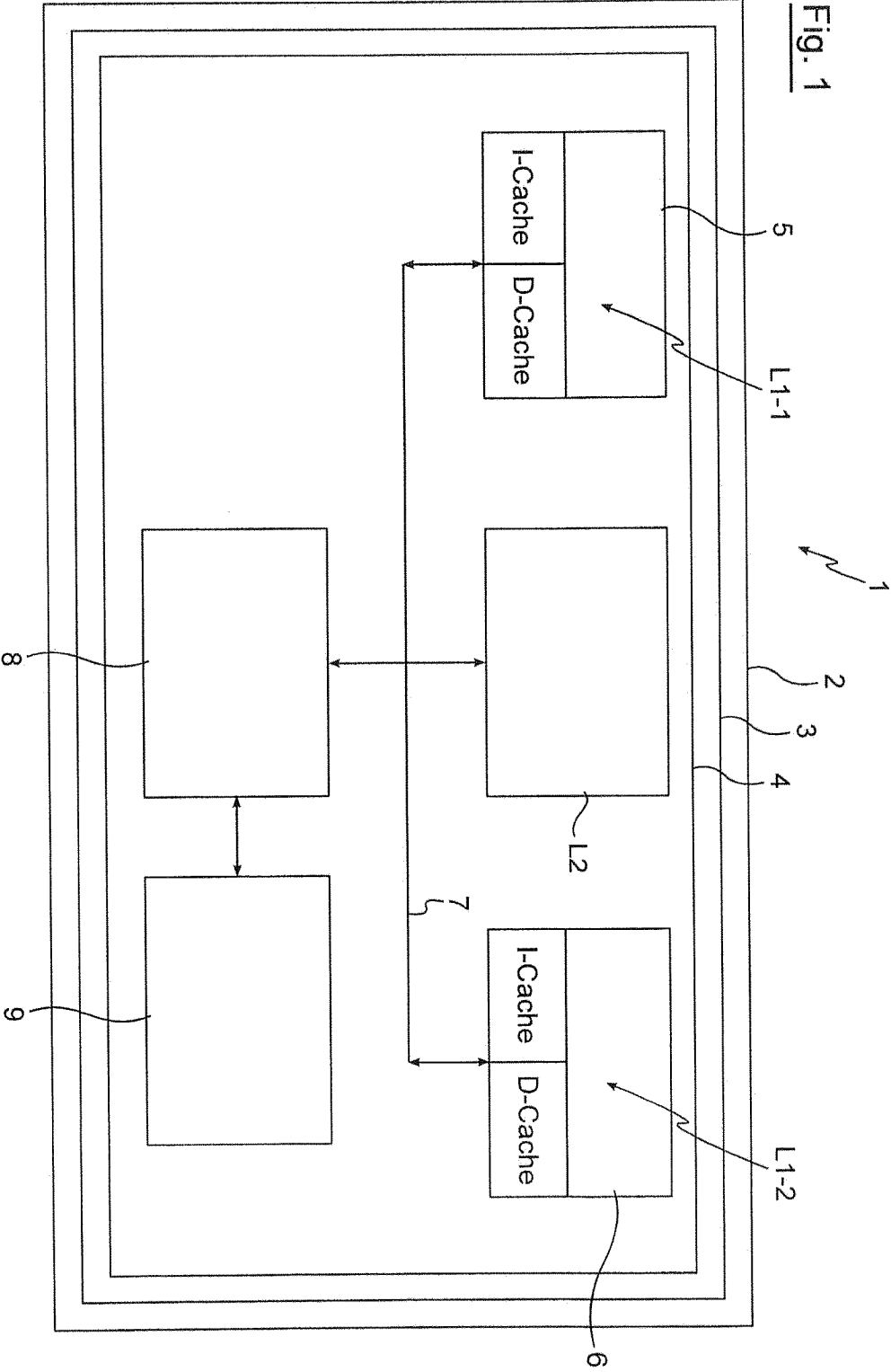
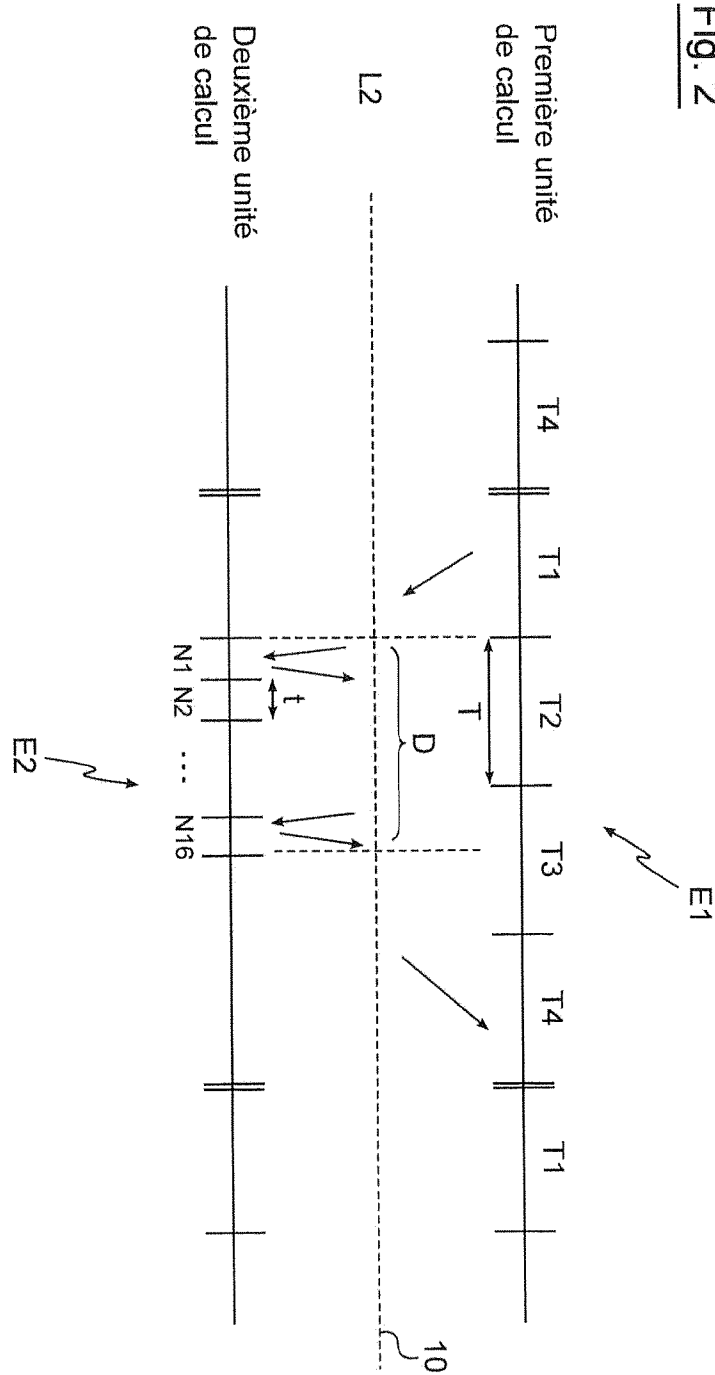


Fig. 2



INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2016/051260

A. CLASSIFICATION OF SUBJECT MATTER
INV. G06F9/38
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	GB 2 462 860 A (ADVANCED RISC MACH LTD [GB]) 24 February 2010 (2010-02-24) the whole document	1-5
A	US 6 735 687 B1 (KOK JAN [US]) 11 May 2004 (2004-05-11) column 3, line 50 - column 6, line 33	1-5
A	US 7 093 109 B1 (DAVIS GORDON TAYLOR [US] ET AL) 15 August 2006 (2006-08-15) the whole document	1-5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

12 April 2016

Date of mailing of the international search report

21/04/2016

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Moraiti, Marina

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2016/051260

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
GB 2462860	A	24-02-2010	CN 101667284 A 10-03-2010
			GB 2462860 A 24-02-2010
			JP 2010050970 A 04-03-2010
			US 2010045682 A1 25-02-2010

US 6735687	B1	11-05-2004	NONE

US 7093109	B1	15-08-2006	NONE

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/EP2016/051260

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
INV. G06F9/38
ADD.

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)
G06F

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés)
EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	GB 2 462 860 A (ADVANCED RISC MACH LTD [GB]) 24 février 2010 (2010-02-24) le document en entier -----	1-5
A	US 6 735 687 B1 (KOK JAN [US]) 11 mai 2004 (2004-05-11) colonne 3, ligne 50 - colonne 6, ligne 33 -----	1-5
A	US 7 093 109 B1 (DAVIS GORDON TAYLOR [US] ET AL) 15 août 2006 (2006-08-15) le document en entier -----	1-5



Voir la suite du cadre C pour la fin de la liste des documents



Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent

"E" document antérieur, mais publié à la date de dépôt international ou après cette date

"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

12 avril 2016

Date d'expédition du présent rapport de recherche internationale

21/04/2016

Nom et adresse postale de l'administration chargée de la recherche internationale

Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Moraiti, Marina

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/EP2016/051260

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
GB 2462860	A	24-02-2010	CN 101667284 A	10-03-2010
			GB 2462860 A	24-02-2010
			JP 2010050970 A	04-03-2010
			US 2010045682 A1	25-02-2010

US 6735687	B1	11-05-2004	AUCUN	

US 7093109	B1	15-08-2006	AUCUN	
