

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7508370号
(P7508370)

(45)発行日 令和6年7月1日(2024.7.1)

(24)登録日 令和6年6月21日(2024.6.21)

(51)国際特許分類	F I			
H 0 3 F 3/45 (2006.01)	H 0 3 F	3/45	2 2 0	
H 0 1 L 29/786 (2006.01)	H 0 1 L	29/78	6 1 8 B	
H 0 1 L 21/8234(2006.01)	H 0 1 L	27/088	J	
H 0 1 L 27/088 (2006.01)	H 0 1 L	27/04	G	
H 0 1 L 21/822 (2006.01)	H 0 1 L	27/06	1 0 2 A	
請求項の数 3 (全61頁) 最終頁に続く				

(21)出願番号	特願2020-552175(P2020-552175)	(73)特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(86)(22)出願日	令和1年10月15日(2019.10.15)	(72)発明者	佐藤 絵莉 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
(86)国際出願番号	PCT/IB2019/058754	(72)発明者	大貫 達也 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
(87)国際公開番号	WO2020/079572	(72)発明者	八窪 裕人 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
(87)国際公開日	令和2年4月23日(2020.4.23)	(72)発明者	國武 寛司 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
審査請求日	令和4年7月25日(2022.7.25)		
(31)優先権主張番号	特願2018-196390(P2018-196390)		
(32)優先日	平成30年10月18日(2018.10.18)		
(33)優先権主張国・地域又は機関	日本国(JP)		
(31)優先権主張番号	特願2019-11578(P2019-11578)		
(32)優先日	平成31年1月25日(2019.1.25)		
(33)優先権主張国・地域又は機関	日本国(JP)		
特許法第30条第2項適用 [刊行物名] inter		最終頁に続く	
最終頁に続く			

(54)【発明の名称】 半導体装置、半導体ウェハ、及び電子機器

(57)【特許請求の範囲】

【請求項1】

第1のトランジスタと、第2のトランジスタと、オペアンプと、を有し、
前記オペアンプの反転入力端子は、前記第1のトランジスタの第1端子及びゲートに電
氣的に接続され、
前記第1のトランジスタの第2端子は、前記第2のトランジスタの第1端子及びゲート
に電氣的に接続され、
前記オペアンプの出力端子は、前記第2のトランジスタの第2端子に電氣的に接続され、
前記オペアンプは、チャンネル形成領域に金属酸化物を有するトランジスタを用いた単極性
回路であり、

前記第1及び第2のトランジスタは、チャンネル形成領域に金属酸化物を有し、
前記第1及び第2のトランジスタは、バックゲートを有し、
前記バックゲートに、前記第1及び第2のトランジスタのしきい値電圧をプラス側にシ
フトさせる電位を入力することにより、前記第1及び第2のトランジスタのオフ電流を 1.0×10^{-15} A 以下にする機能を有する、半導体装置。

【請求項2】

請求項1の半導体装置を複数個有し、
ダイシング用の領域を有する、半導体ウェハ。

【請求項3】

請求項1の半導体装置と、検出部と、筐体と、を有し、

前記検出部は、検知対象物を検知することで電流を出力する機能を有し、
前記電流は、前記半導体装置に入力される、電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置、半導体ウェハ、及び電子機器に関する。

【0002】

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、又は、製造方法に関するものである。又は、本発明の一態様は、プロセス、マシン、マニュファクチャ、又は、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、蓄電装置、撮像装置、記憶装置、信号処理装置、プロセッサ、電子機器、システム、それらの駆動方法、それらの製造方法、又はそれらの検査方法を一例として挙げるることができる。

10

【背景技術】

【0003】

センサは、検知する対象物を電気信号などに変換する機能を有し、対象物に関する情報を電気信号に変換することによって、表示装置を用いて対象物に関する情報を視覚的に表示する、記憶装置を用いて対象物に関する情報を記憶する、など別の装置によって処理を行うことができる。具体的には、センサは、検知した対象物を電流値として変換して、当該電流値を測定することで、当該対象物に関わる量などを観測することができる。電流を測定する装置、方法については、特許文献1などに開示されている。

20

【先行技術文献】

【特許文献】

【0004】

【文献】特開2012-137359号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

物理量などを検知して電流を発生させるセンサにおいて、当該電流を読み出す手段としては、例えば、反転増幅回路などを用いる方法が挙げられる。この方法によって、当該電流を入力電流として、反転増幅回路によって電圧を出力し、当該電圧から入力電流の値を測定する。しかし、近年、センサの小型化、センサの出力する電流の微小化が図られてきており、微小な電流を正確に読み出すための回路が必要とされている。

30

【0006】

本発明の一態様は、微小な電流を測定できる半導体装置などを提供することを課題の一とする。また、本発明の一態様は、新規な半導体装置などを提供することを課題の一とする。また、本発明の一態様は、当該半導体装置を有する新規な電子機器などを提供することを課題の一とする。

【0007】

40

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した課題、及び他の課題のうち、少なくとも一つの課題を解決するものである。なお、本発明の一態様は、上記列挙した課題、及び他の課題の全てを解決する必要はない。

【課題を解決するための手段】

【0008】

(1)

50

本発明の一態様は、トランジスタと、オペアンプと、を有し、オペアンプの反転入力端子は、トランジスタの第1端子及びゲートに電氣的に接続され、オペアンプの出力端子は、トランジスタの第2端子に電氣的に接続され、トランジスタは、チャンネル形成領域に金属酸化物を有する半導体装置である。

【0009】

(2)

又はまた、本発明の一態様は、上記(1)の構成において、トランジスタのオフ電流が 1.0×10^{-12} A以下である半導体装置である。

【0010】

(3)

又はまた、本発明の一態様は、上記(1)の構成において、トランジスタは、バックゲートを有し、バックゲートにトランジスタのしきい値電圧をプラス側にシフトさせる電位を入力することにより、トランジスタのオフ電流を 1.0×10^{-15} A以下にする機能を有する半導体装置である。

【0011】

(4)

又は、本発明の一態様は、第1回路と、オペアンプと、を有し、オペアンプの反転入力端子は、第1回路の第1端子に電氣的に接続され、オペアンプの出力端子は、第1回路の第2端子に電氣的に接続され、第1回路は、トランジスタを有し、トランジスタは、チャンネル形成領域に金属酸化物を有し、第1回路は、第1端子 第2端子間に 1.0×10^{-12} A以下の電流を流す機能を有する半導体装置である。

【0012】

(5)

又は、本発明の一態様は、上記(4)の構成において、トランジスタは、バックゲートを有する、半導体装置である。

【0013】

(6)

又はまた、本発明の一態様は、上記(1)乃至(5)のいずれか一の構成において、金属酸化物は、In M Zn酸化物(元素Mは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジウム、ハフニウム、タンタル、タングステン、又はマグネシウムから選ばれた一種、又は複数種)を有する半導体装置である。

【0014】

(7)

又はまた、本発明の一態様は、上記(1)乃至(6)のいずれか一の半導体装置を複数個有し、ダイシング用の領域を有する半導体ウェハである。

【0015】

(8)

又はまた、本発明の一態様は、上記(1)乃至(6)のいずれか一の半導体装置と、検出部と、筐体と、を有し、検出部は、検知対象物を検知することで電流を出力する機能を有し、電流は、半導体装置に入力される電子機器である。

【0016】

なお、本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子(トランジスタ、ダイオード、フォトダイオード等)を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップや、パッケージにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置及び電子機器等は、それ自体が半導体装置であり、半導体装置を有している場合がある。

【0017】

また、本明細書等において、XとYとが接続されていると記載されている場合は、Xと

10

20

30

40

50

Yとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図又は文章に示された接続関係に限定されず、図又は文章に示された接続関係以外のものも、図又は文章に開示されているものとする。X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層など）であるとする。

【0018】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。

10

【0019】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅又は電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

20

【0020】

なお、XとYとが電氣的に接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

30

【0021】

また、例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。又は、「トランジスタのソース（又は第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。又は、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

40

【0022】

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合も

50

ある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【0023】

また、本明細書等において、「抵抗素子」とは、例えば、0 よりも高い抵抗値を有する回路素子、配線などとすることができる。そのため、本明細書等において、「抵抗素子」は、抵抗値を有する配線、ソース ドレイン間に電流が流れるトランジスタ、ダイオード、コイルなどを含む場合がある。そのため、「抵抗素子」という用語は、「抵抗」「負荷」「抵抗値を有する領域」などの用語に言い換えることができ、逆に「抵抗」「負荷」「抵抗値を有する領域」という用語は、「抵抗素子」などの用語に言い換えることができる。抵抗値としては、例えば、好ましくは1 mΩ以上10Ω以下、より好ましくは5 mΩ以上50Ω以下、更に好ましくは100 mΩ以上1 kΩ以下とすることができる。また、例えば、1 kΩ以上1 × 10⁹ Ω以下としてもよい。

10

【0024】

また、本明細書等において、「容量素子」とは、例えば、0 Fよりも高い静電容量の値を有する回路素子の他に、静電容量の値を有する配線の領域、寄生容量、トランジスタのゲート容量などとすることができる。そのため、本明細書等において、「容量素子」は、一对の電極と、当該電極の間に含まれている誘電体と、を含む回路素子だけでなく、配線と配線との間に現れる寄生容量、トランジスタのソース又はドレインの一方とゲートとの間に現れるゲート容量なども含む場合がある。また、「容量素子」「寄生容量」「ゲート容量」などという用語は、「容量」などの用語に言い換えることができ、逆に、「容量」という用語は、「容量素子」「寄生容量」「ゲート容量」などの用語に言い換えることができる。また、「容量」の「一对の電極」という用語は、「一对の導電体」「一对の導電領域」「一对の領域」などに言い換えることができる。なお、静電容量の値としては、例えば、0.05 fF以上10 pF以下とすることができる。また、例えば、1 pF以上10 μF以下としてもよい。

20

【0025】

また、本明細書等において、トランジスタは、ゲート、ソース、及びドレインと呼ばれる3つの端子を有する。ゲートは、トランジスタの導通状態を制御する制御端子である。ソース又はドレインとして機能する2つの端子は、トランジスタの入出力端子である。2つの入出力端子は、トランジスタの導電型(nチャネル型、pチャネル型)及びトランジスタの3つの端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。このため、本明細書等においては、ソースやドレインの用語は、言い換えることができるものとする。また、本明細書等では、トランジスタの接続関係を説明する際、「ソース又はドレインの一方」(又は第1電極、又は第1端子)、「ソース又はドレインの他方」(又は第2電極、又は第2端子)という表記を用いる。なお、トランジスタの構造によっては、上述した3つの端子に加えて、バックゲートを有する場合がある。この場合、本明細書等において、トランジスタのゲート又はバックゲートの一方を第1ゲートと呼称し、トランジスタのゲート又はバックゲートの他方を第2ゲートと呼称することができる。更に、同じトランジスタにおいて、「ゲート」と「バックゲート」の用語は互いに入れ換えることができる。また、トランジスタが、3以上のゲートを有する場合は、本明細書等においては、それぞれのゲートを第1ゲート、第2ゲート、第3ゲートなどと呼称することができる。

30

40

【0026】

また、本明細書等において、ノードは、回路構成やデバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

【0027】

また、本明細書等において、「電圧」と「電位」は、適宜言い換えることができる。「

50

電圧」は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、「電圧」を「電位」に言い換えることができる。なお、グラウンド電位は必ずしも0Vを意味するとは限らない。また、電位は相対的なものであり、基準となる電位が変わることによって、配線に与えられる電位、回路などに印加される電位、回路などから出力される電位なども変化する。

【0028】

「電流」とは、電荷の移動現象（電気伝導）のことであり、例えば、「正の荷電体の電気伝導が起きている」という記載は、「その逆向きに負の荷電体の電気伝導が起きている」と換言することができる。そのため、本明細書等において、「電流」とは、特に断らない限り、キャリアの移動に伴う電荷の移動現象（電気伝導）をいうものとする。ここでいうキャリアとは、電子、正孔、アニオン、カチオン、錯イオン等が挙げられ、電流の流れる系（例えば、半導体、金属、電解液、真空中など）によってキャリアが異なる。また、配線等における「電流の向き」は、正のキャリアが移動する方向とし、正の電流量で記載する。換言すると、負のキャリアが移動する方向は、電流の向きと逆の方向となり、負の電流量で表現される。そのため、本明細書等において、電流の正負（又は電流の向き）について断りがない場合、「素子Aから素子Bに電流が流れる」等の記載は「素子Bから素子Aに電流が流れる」等に言い換えることができるものとする。また、「素子Aに電流が入力される」等の記載は「素子Aから電流が出力される」等に言い換えることができるものとする。

10

【0029】

また、本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

20

【0030】

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書等で説明した語句に限定されず、状況に応じて適切に言い換えることができる。例えば、「導電体の上面に位置する絶縁体」の表現では、示している図面の向きを180度回転することによって、「導電体の下面に位置する絶縁体」と言い換えることができる。

30

【0031】

また、「上」や「下」の用語は、構成要素の位置関係が直上又は直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。

【0032】

また、本明細書等において、「膜」、「層」などの語句は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。又は、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。又は、場合によっては、又は、状況に応じて、「膜」、「層」などの語句を使わずに、別の用語に入れ替えることが可能である。例えば、「導電層」又は「導電膜」という用語を、「導電体」という用語に変更することが可能な場合がある。又は、例えば、「絶縁層」「絶縁膜」という用語を、「絶縁体」という用語に変更することが可能な場合がある。

40

【0033】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に

50

限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0034】

また、本明細書等において、「配線」、「信号線」、「電源線」などの用語は、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「配線」という用語を、「信号線」という用語に変更することが可能な場合がある。また、例えば、「配線」という用語を、「電源線」などの用語に変更することが可能な場合がある。また、その逆も同様で、「信号線」「電源線」などの用語を、「配線」という用語に変更することが可能な場合がある。「電源線」などの用語は、「信号線」などの用語に変更することが可能な場合がある。また、その逆も同様で「信号線」などの用語は、「電源線」などの用語に変更することが可能な場合がある。また、配線に印加されている「電位」という用語を、場合によっては、又は、状況に応じて、「信号」などという用語に変更することが可能な場合がある。また、その逆も同様で、「信号」などの用語は、「電位」という用語に変更することが可能な場合がある。

10

【0035】

本明細書等において、スイッチとは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。又は、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。一例としては、電氣的なスイッチ、機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

20

【0036】

電氣的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路などがある。なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性（導電型）は特に限定されない。

30

【0037】

機械的なスイッチの一例としては、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

【0038】

本明細書等において、半導体の不純物とは、例えば、半導体層を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、例えば、半導体にDOS（Density of States）が形成されることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、主成分以外の遷移金属などがあり、特に、例えば、水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。具体的には、半導体がシリコン層である場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

40

【0039】

また、本明細書等について、In:Ga:Zn=4:2:3またはその近傍の組成とは、原子数の総和に対して、Inが4の場合、Gaが1以上3以下（1 Ga 3）であり

50

、 Zn が2以上4.1以下($2 \leq Zn \leq 4.1$)である組成を示すものとする。また、 $In : Ga : Zn = 5 : 1 : 6$ またはその近傍の組成とは、原子数の総和に対して、 In が5の場合、 Ga が0.1より大きく2以下($0.1 < Ga \leq 2$)であり、 Zn が5以上7以下($5 \leq Zn \leq 7$)である組成を示すものとする。また、 $In : Ga : Zn = 1 : 1 : 1$ またはその近傍の組成とは、原子数の総和に対して、 In が1の場合、 Ga が0.1より大きく2以下($0.1 < Ga \leq 2$)であり、 Zn が0.1より大きく2以下($0.1 < Zn \leq 2$)である組成を示すものとする。また、 $In : Ga : Zn = 5 : 1 : 3$ またはその近傍の組成とは、原子数の総和に対して、 In が5の場合、 Ga が0.5以上1.5以下($0.5 \leq Ga \leq 1.5$)であり、 Zn が2以上4.1以下($2 \leq Zn \leq 4.1$)である組成を示すものとする。また、 $In : Ga : Zn = 10 : 1 : 3$ またはその近傍の組成とは、原子数の総和に対して、 In が10の場合、 Ga が0.5以上1.5以下($0.5 \leq Ga \leq 1.5$)であり、 Zn が2以上4.1以下($2 \leq Zn \leq 4.1$)である組成を示すものとする。

10

【発明の効果】

【0040】

本発明の一態様によって、微小な電流を測定できる半導体装置などを提供することができる。また、本発明の一態様によって、新規な半導体装置などを提供することができる。また、本発明の一態様によって、当該半導体装置を有する新規な電子機器などを提供することができる。

【0041】

20

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

【図面の簡単な説明】

【0042】

図1A、図1B、図1Cは半導体装置の一例を示す回路図である。

30

図2はトランジスタの電流-電圧特性を説明する図である。

図3A、図3B、図3C、図3D、図3E、図3Fは半導体装置の一例を示す回路図である。

図4は半導体装置の構成を説明する断面模式図である。

図5は半導体装置の構成を説明する断面模式図である。

図6A、図6B、図6Cは半導体装置の構成を説明する断面模式図である。

図7Aは容量素子の構造例を示す上面図、図7Bは容量素子の構造例を示す断面斜視図、図7Cは容量素子の構造例を示す断面斜視図である。

図8Aは容量素子の構造例を示す上面図、図8Bは容量素子の構造例を示す断面図、図8Cは容量素子の構造例を示す断面斜視図である。

40

図9Aは酸化物半導体の結晶構造の分類を示す表、図9Bは石英ガラスのXRDスペクトル、図9Cは結晶性IGZOのXRDスペクトルである。

図10Aは半導体ウェハの一例を示す斜視図、図10Bは分断された半導体ウェハの一例を示す斜視図、図10C、図10Dは電子部品の一例を示す斜視図である。

図11は電子機器の構成例を説明するブロック図である。

図12A、図12B、図12C、図12D、図12Eは製品の一例を説明する斜視図である。

図13A、図13Bは製品の一例を説明する斜視図である。

図14A、図14Bは回路計算の条件を説明する図である。

図15はダイオード接続されたトランジスタの電圧-電流特性を説明する図である。

50

図 1 6 は回路計算の結果を説明する図である。

図 1 7 は回路計算の結果を説明する図である。

図 1 8 は回路計算の結果を説明する図である。

図 1 9 は測定回路を示す図である。

図 2 0 はオフ電流の温度依存性を示す図である。

図 2 1 は C A A C I G Z O 膜の、H a l l 移動度およびキャリア密度の温度依存性を示す図である。

図 2 2 は遮断周波数の温度依存性を示す図である。

図 2 3 は複数の F E T のしきい値電圧のばらつきを示す分布図である。

図 2 4 A、図 2 4 B は加速試験の結果を示す図である。

10

図 2 5 A、図 2 5 B は加速試験の結果を示す図である。

【発明を実施するための形態】

【0043】

本明細書等において、金属酸化物 (metal oxide) とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体 (透明酸化物導電体を含む)、酸化物半導体 (Oxide Semiconductor 又は単に OS ともいう) などに分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、金属酸化物が増幅作用、整流作用、及びスイッチング作用の少なくとも 1 つを有するトランジスタのチャネル形成領域を構成し得る場合、当該金属酸化物を、金属酸化物半導体 (metal oxide semiconductor) と呼ぶことができる。また、OS FET、又は OS トランジスタと記載する場合においては、金属酸化物又は酸化物半導体を有するトランジスタと換言することができる。

20

【0044】

また、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。

【0045】

また、本明細書等において、各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1 つの実施の形態の中に、複数の構成例が示される場合は、互いに構成例を適宜組み合わせることが可能である。

30

【0046】

なお、ある一つの実施の形態の中で述べる内容 (一部の内容でもよい) は、その実施の形態で述べる別の内容 (一部の内容でもよい) と、一つ若しくは複数の別の実施の形態で述べる内容 (一部の内容でもよい) との少なくとも一つの内容に対して、適用、組み合わせ、又は置き換えなどを行うことができる。

【0047】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

【0048】

なお、ある一つの実施の形態において述べる図 (一部でもよい) は、その図の別の部分、その実施の形態において述べる別の図 (一部でもよい) と、一つ若しくは複数の別の実施の形態において述べる図 (一部でもよい) との少なくとも一つの図に対して、組み合わせることにより、さらに多くの図を構成させることができる。

40

【0049】

本明細書に記載の実施の形態については、図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態の発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を

50

異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、斜視図などにおいて、図面の明確性を期すために、一部の構成要素の記載を省略している場合がある。

【0050】

本明細書等において、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“_1”、“[n]”、“[m, n]”等の識別用の符号を付記して記載する場合がある。

【0051】

また、本明細書の図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

10

【0052】

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置である、微小な電流の測定が可能な回路について説明する。

【0053】

図1Aに、本発明の一態様の半導体装置である、電流の測定が可能な回路を示す。回路20は、トランジスタM1と、オペアンプOP1と、を有する。また、回路20は、入力端子ITと、出力端子OTと、を有する。

20

【0054】

トランジスタM1は、チャンネル形成領域に金属酸化物を有する、OSトランジスタである。当該金属酸化物としては、例えば、インジウム、元素M（元素Mはアルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウムから選ばれた一種又は複数種の材料とする。）、亜鉛から一又は複数選ばれる材料とすることができる。特に、インジウム、ガリウム、亜鉛からなる金属酸化物は、バンドギャップが高く、真性（I型ともいう。）、又は実質的に真性である半導体であって、当該金属酸化物のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。また、当該金属酸化物がチャンネル形成領域に含まれるOSトランジスタのオフ電流は、チャンネル幅1 μm あたり10 aA ($1 \times 10^{-17} \text{ A}$)以下、好ましくはチャンネル幅1 μm あたり1 aA ($1 \times 10^{-18} \text{ A}$)以下、さらには好ましくはチャンネル幅1 μm あたり10 zA ($1 \times 10^{-20} \text{ A}$)以下、さらには好ましくはチャンネル幅1 μm あたり1 zA ($1 \times 10^{-21} \text{ A}$)以下、さらには好ましくはチャンネル幅1 μm あたり100 yA ($1 \times 10^{-22} \text{ A}$)以下とすることができる。また当該OSトランジスタは、金属酸化物のキャリア濃度が低いため、OSトランジスタの温度が変化した場合でも、オフ電流は低いままとなる。例えば、OSトランジスタの温度が150度であっても、オフ電流を、チャンネル幅1 μm あたり100 zAとすることもできる。

30

40

【0055】

なお、本明細書におけるnチャンネル型トランジスタのオフ電流とは、当該トランジスタに印加されるゲートソース電圧が当該トランジスタのしきい値電圧よりも低いときに、ソースドレイン間に流れるリーク電流とすることができる。また、当該トランジスタがオフ状態のときに流れるリーク電流とすることができる。

【0056】

また、図1Aに示すとおり、トランジスタM1は、バックゲートを有する構造としてもよい。図1Aでは、トランジスタM1のバックゲートの電氣的な接続先については具体的

50

に図示していないが、回路20の設計段階において、トランジスタM1のバックゲートの電氣的な接続先を自由に決めてもよい。例えば、トランジスタM1のゲートとバックゲートを電氣的に接続する構成にすることによって、トランジスタM1のオン状態のときに流れる電流を大きくすることができる。また、例えば、トランジスタM1のバックゲートに、外部回路と電氣的に接続するための配線を設けた構成にすることによって、当該外部回路によってトランジスタM1のバックゲートに電位を与えることで、トランジスタM1のしきい値電圧を変動させることができる。なお、トランジスタM1は、バックゲートを有さない構造としてもよい。

【0057】

オペアンプOP1は、CMOS（相補型MOS）プロセスで形成される回路とするのが好ましい。また、CMOSプロセスには、単結晶シリコン、多結晶シリコン、微結晶シリコンがチャネル形成領域に含まれるトランジスタ（以下、Siトランジスタと呼称する。）を用いることができる。特に、Siトランジスタは、高い電界効果移動度と高い信頼性を備えるため、オペアンプOP1の回路構成としてSiトランジスタを適用するのが好ましい。

10

【0058】

また、オペアンプOP1は、OSTランジスタを用いた単極性回路としてもよい。OSTランジスタのチャネル形成領域に含まれる金属酸化物において、インジウムを含む金属酸化物（例えば、In酸化物）、あるいは亜鉛を含む金属酸化物（例えば、Zn酸化物）では、n型半導体は作製できているが、p型半導体は移動度及び信頼性の点で作製が難しい。そのため、OSTランジスタでオペアンプOP1を構成する場合、単極性回路として設計すればよい。この場合、回路20を製造する際、オペアンプOP1はトランジスタM1と同時に作製することができるため、回路20の製造時間を短くすることができる。

20

【0059】

また、オペアンプOP1は、nチャネル型トランジスタとしてOSTランジスタを用い、pチャネル型トランジスタとしてSiトランジスタを用いた回路構成としてもよい。

【0060】

なお、本明細書などにおいて、「オペアンプ」は、「差動増幅回路」に置き換えることができる。

【0061】

入力端子ITは、オペアンプOP1の反転入力端子と、トランジスタM1の第1端子と、トランジスタM1のゲートと、に電氣的に接続され、出力端子OTは、オペアンプOP1の出力端子と、トランジスタM1の第2端子と、に電氣的に接続されている。そして、オペアンプOP1の非反転入力端子は、配線GNDLに電氣的に接続されている。

30

【0062】

配線GNDLは、定電圧を与える機能を有する配線である。当該定電圧としては、例えば、接地電位（GNDという場合がある。）とすることができる。また、配線GNDLが与える定電圧は、接地電位以外の電圧としてもよい。本説明では、配線GNDLが与える定電圧は、接地電位とする。

【0063】

図1Aに示すとおり、トランジスタM1はダイオード接続の構成となっている。そのため、図1Aの回路20は、図1Bに示す回路10の等価回路とすることができる。

40

【0064】

回路10は、回路20のトランジスタM1をダイオード素子DEに置き換えた回路であって、ダイオード素子DEの入力端子は、入力端子ITと、オペアンプOP1の反転入力端子と、に電氣的に接続され、ダイオード素子DEの出力端子は、出力端子OTと、オペアンプOP1の出力端子と、に電氣的に接続されている。

【0065】

図1Bに示すとおり、回路10は、対数変換回路の構成となっている。ダイオード素子DEが理想的なpn接合で、且つ大きな順電圧がかかっている場合、入力端子ITから入

50

力電流 I_{in} が入力されたときの出力電圧 V_{out} は、次の式として表すことができる。

【 0 0 6 6 】

【 数 1 】

$$V_{out} = -\frac{kT}{q} \ln \frac{I_{in}}{I_0}$$

【 0 0 6 7 】

なお、 k はボルツマン定数、 T は絶対温度、 q は単位電荷、 I_0 は飽和電流量である。

10

【 0 0 6 8 】

上式のとおり、回路 10 を用いることによって、出力電圧 V_{out} は、入力電流 I_{in} の対数を変数とする一次式として表すことができる。つまり、ダイオードの順方向電流 電圧特性の電圧範囲を利用することによって、入力電流 I_{in} を測定することができる。

【 0 0 6 9 】

ところで、測定できる電流値の下限は、ダイオード素子 DE の電流 電圧特性によって決まる。例えば、回路 10 のダイオード素子 DE として、pn 接合ダイオード、バイポーラトランジスタなどを適用した場合、回路 10 による、測定が可能な電流の範囲は、概ね 1.0 pA ($1.0 \times 10^{-12} \text{ A}$) 以上 10 mA 以下となる。そのため、この場合の回路 10 を用いて、 1.0 fA より低い電流を測定するのは好ましくない。また、回路 10 のダイオード素子 DE として、pn 接合ダイオード、バイポーラトランジスタなどを適用した場合、ダイオードの電流 電圧特性は、上式のとおり温度にも依存するため、電流測定は環境の温度の影響を受ける場合がある。

20

【 0 0 7 0 】

ここで、図 1 A の回路 20 のとおり、ダイオード素子 DE として、ダイオード接続されたトランジスタ M1 を考える。

【 0 0 7 1 】

初めに、トランジスタ M1 として OS トランジスタを用いることによる利点について説明する。図 2 は、OS トランジスタと Si トランジスタとのそれぞれのドレイン電流 I_d とゲート ソース間電圧 V_{gs} の特性の一例を示した模式図であり、OS トランジスタは特性 $IVC1a$ を示し、Si トランジスタは特性 $IVC2$ を示す。なお、ドレイン電流 I_d は対数表示とし、ゲート ソース間電圧 V_{gs} は線形表示としている。図 2 に示すとおり、OS トランジスタのオフ電流は、Si トランジスタのオフ電流よりも小さくなる。

30

【 0 0 7 2 】

具体的には、OS トランジスタのオフ電流は、チャンネル幅 $1 \mu\text{m}$ あたり 10 aA ($1.0 \times 10^{-17} \text{ A}$) 以下、さらに好ましくはチャンネル幅 $1 \mu\text{m}$ あたり 100 yA ($1.0 \times 10^{-22} \text{ A}$) 以下とすることができる。そのため、トランジスタ M1 として OS トランジスタを適用することによって、回路 20 の入力端子 IT から出力端子 OT に当該オフ電流を流すことができ、出力端子 OT から当該オフ電流に応じた出力電圧 V_{out} を出力することができる。

40

【 0 0 7 3 】

つまり、図 1 A の回路 20 においてトランジスタ M1 に流れるオフ電流を、図 1 B の回路 10 のダイオード素子 DE (pn 接合ダイオード、バイポーラトランジスタなど) の順方向に流れる電流よりも小さくすることができるため、図 1 A の回路 20 を用いることによって、図 1 B の回路 10 よりも測定下限が低い電流を測定することができる。

【 0 0 7 4 】

また、トランジスタ M1 がバックゲートを有するトランジスタである場合、バックゲートに所望の電位を与えてトランジスタ M1 のしきい値電圧を変動させることで、図 2 に示すとおり、特性 $IVC1a$ を特性 $IVC1b$ にシフトさせることができ、トランジスタ M1 のゲート ソース電圧 V_{gs} が 0 V のときのドレイン電流 I_d を変化させることができ

50

る。つまり、トランジスタM1をオフ状態に保ったまま、トランジスタM1のしきい値電圧を変動させることで、オフ電流を変化させることができる。例えば、トランジスタM1のしきい値電圧を変動させることによって、そのオフ電流をチャネル幅1 μm あたり1.0fA(1.0 $\times 10^{-15}$ A)以下、好ましくはチャネル幅1 μm あたり1.0pA(1.0 $\times 10^{-12}$ A)以下、より好ましくはチャネル幅1 μm あたり1.0nA(1.0 $\times 10^{-9}$ A)以下、より好ましくはチャネル幅1 μm あたり1.0 μA (1.0 $\times 10^{-6}$ A)以下にすることができる。

【0075】

また、OSトランジスタは、Siトランジスタと比較して、温度変化に対してオフ電流の変化は小さい。そのため、トランジスタM1を有する回路20は、ダイオード素子DE(pn接合ダイオード、バイポーラトランジスタなど)を有する回路10よりも、温度に対して安定的に電流の測定を行うことができる。

10

【0076】

なお、本発明の一態様の半導体装置は、図1Aに示す回路20に限定されず、状況に応じて、回路構成を変更することができる。例えば、図1Cに示すとおり、図1Aの回路20のトランジスタM1のゲートの電氣的な接続を変更してもよい。図1Cに示す回路20Aでは、トランジスタM1のゲートは、トランジスタM1の第1端子ではなく、第2端子に電氣的に接続されている。この場合、トランジスタM1は第2端子から第1端子に電流が流れる方向を順方向とするダイオード素子として機能する。

【0077】

20

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0078】

(実施の形態2)

本実施の形態では、先の実施の形態で説明した図1Aとは異なる、微小な電流の測定が可能な回路について説明する。

【0079】

図3Aに示す回路21は、図1Aの回路20のトランジスタM1を回路OSCに置き換えた回路であって、回路OSCの第1端子は、入力端子ITと、オペアンプOP1の反転入力端子と、に電氣的に接続され、回路OSCの第2端子は、出力端子OTと、オペアンプOP1の出力端子と、に電氣的に接続されている。

30

【0080】

回路OSCは、OSトランジスタを有する回路であって、回路OSCの第1端子 第2端子間に流れる電流を1.0 μA (1.0 $\times 10^{-6}$ A)以下、好ましくは1.0pA(1.0 $\times 10^{-12}$ A)以下、より好ましくは1.0aA(1.0 $\times 10^{-18}$ A)以下、より好ましくは1.0zA(1.0 $\times 10^{-21}$ A)、より好ましくは100yA(1.0 $\times 10^{-22}$ A)とすることができる。

【0081】

回路OSCの具体的な構成としては、例えば、図3Bに示す回路OSCとすることができる。図3Bには、回路21の一例である回路21Aを示しており、回路21Aに含まれる回路OSCは、トランジスタM1[1]乃至M1[m](mは2以上の整数とする。)を有する。

40

【0082】

図3Bの回路OSCにおいて、トランジスタM1[1]乃至M1[m]のそれぞれは、ダイオード接続の構成となっており、トランジスタM1[1]乃至M1[m]は直列に電氣的に接続されている。直列に接続されたトランジスタM1[1]乃至M1[m]の一端は、回路OSCの第1端子に電氣的に接続され、直列に接続されたトランジスタM1[1]乃至M1[m]の他端は、回路OSCの第2端子に電氣的に接続されている。

【0083】

なお、トランジスタM1[1]乃至M1[m]は、全てがOSトランジスタとしてもよ

50

い。また、トランジスタM1[1]乃至M1[m]は、少なくとも一がOSトランジスタとし、残りはOSトランジスタ以外のトランジスタ(例えば、Si、Geなどの半導体を活性層としたトランジスタ、ZnSe、CdS、GaAs、InP、GaN、SiGeなどの化合物半導体を活性層としたトランジスタ、カーボンナノチューブを活性層としたトランジスタ、有機半導体を活性層としたトランジスタ等)としてもよい。

【0084】

また、回路21Aの回路OSCに含まれているトランジスタM1[1]乃至M1[m]のゲートは、図3Cに示すとおり、互いに電氣的に接続されている構成にすることができる。具体的には、図3Cに示す回路21Bの回路OSCでは、トランジスタM1[1]乃至M1[m]のそれぞれのゲートは、トランジスタM1[1]の第1端子に電氣的に接続されている。回路OSCにおいて、トランジスタM1[1]乃至M1[m]の電氣的な接続を図3Cに示すような構成にすることで、実質的にチャネル長の長いトランジスタでダイオード素子を構成することができる。

10

【0085】

また、回路21Aの回路OSCに、回路CEを設けてもよい。図3Dに示す回路21Cでは、回路OSCは、直列に電氣的に接続されたトランジスタM1[1]乃至M1[m]に対して、回路CEが電氣的に接続された構成となっている。回路CEとしては、例えば、回路素子を適用することができる。具体的には、抵抗素子、ダイオード素子、容量素子などを用いることができる。また、回路CEとしては、例えば、回路素子が並列に接続された回路とすることができる。なお、図3Dでは、回路CEは、トランジスタM1[m]と、回路OSCの第2端子との間に設けた図を示しているが、回路CEは、トランジスタM1[1]と、回路OSCの第1端子との間に、又は直列に電氣的に接続されたトランジスタM1[1]乃至M1[m]のいずれかのトランジスタ同士の間で設けてもよい。

20

【0086】

図3B乃至図3Dの回路OSCとは異なる、図3Aの回路OSCの具体的な構成として、例えば、図3Eに示す回路OSCとすることができる。図3Dには、回路21の一例である回路21Dを示しており、回路21Dに含まれる回路OSCは、回路21Aと同様に、トランジスタM1[1]乃至M1[m](mは2以上の整数である。)を有する。

【0087】

図3Eの回路OSCにおいて、トランジスタM1[1]乃至M1[m]のそれぞれのダイオード接続の構成となっており、トランジスタM1[1]乃至M1[m]は並列に電氣的に接続されている。つまり、トランジスタM1[1]乃至M1[m]のそれぞれの第1端子及びゲートは、回路OSCの第1端子に電氣的に接続され、トランジスタM1[1]乃至M1[m]のそれぞれの第2端子は、回路OSCの第2端子に電氣的に接続されている。

30

【0088】

また、回路21Dの回路OSCに、容量素子C1を設けてもよい。図3Fに示す回路21Eでは、回路OSCは、並列に電氣的に接続されたトランジスタM1[1]乃至M1[m]に対して、更に容量素子C1が電氣的に並列に接続された構成となっている。具体的には、容量素子C1の第1端子は、トランジスタM1[1]乃至M1[m]の第1端子及びゲートと、オペアンプOP1の反転入力端子と、に電氣的に接続され、容量素子C1の第2端子は、トランジスタM1[1]乃至M1[m]の第2端子と、オペアンプOP1の出力端子と、に電氣的に接続されている。回路21Eは、容量素子C1によって、オペアンプOP1の反転入力端子 出力端子間の電位を保持することができるため、ダイオード接続されたトランジスタM1[1]乃至M1[m]のそれぞれの第1端子 第2端子間に流れる電流を安定に流すことができる。なお、図3Fの回路21Eでは、複数のトランジスタとして、トランジスタM1[1]乃至M1[m]を図示しているが、回路21Eは、トランジスタM1[1]乃至M1[m]でなく、1つのトランジスタM1として構成してもよい。

40

【0089】

50

なお、トランジスタM1[1]乃至M1[m]は、全てがOSトランジスタとするのが好ましい。

【0090】

図3A乃至図3Fに示す回路21、21A、21B、21C、21D、21Eを用いても、実施の形態1で説明した回路20と同様に、微小な電流量を測定することができる。

【0091】

なお、本実施の形態は、本明細書で示す他の実施の形態、実施例と適宜組み合わせることができる。

【0092】

(実施の形態3)

本実施の形態では、上記実施の形態で説明した半導体装置の構成に適用可能なトランジスタの構成、具体的には異なる電気特性を有するトランジスタを積層して設ける構成について説明する。当該構成とすることで、半導体装置の設計自由度を高めることができる。また、異なる電気特性を有するトランジスタを積層して設けることで、半導体装置の集積度を高めることができる。

【0093】

図4に示す半導体装置は、トランジスタ300と、トランジスタ500と、容量素子600と、を有している。図6Aはトランジスタ500のチャンネル長方向の断面図であり、図6Bはトランジスタ500のチャンネル幅方向の断面図であり、図6Cはトランジスタ300のチャンネル幅方向の断面図である。

【0094】

トランジスタ500は、チャンネル形成領域に金属酸化物を有するトランジスタ(OSトランジスタ)である。トランジスタ500は、オフ電流が小さいため、これをメモリセルが有する書き込みトランジスタに用いることにより、長期にわたり書き込んだデータ電圧あるいは電荷を保持することが可能である。つまり、リフレッシュ動作の頻度が少ない、あるいは、リフレッシュ動作を必要としないため、半導体装置の消費電力を低減することができる。

【0095】

本実施の形態で説明する半導体装置は、トランジスタ500がトランジスタ300の上方に設けられ、容量素子600がトランジスタ300、及びトランジスタ500の上方に設けられた構成となっている。

【0096】

トランジスタ300は、基板311上に設けられ、導電体316、絶縁体315、基板311の一部からなる半導体領域313、ソース領域又はドレイン領域として機能する低抵抗領域314a、及び低抵抗領域314bを有する。なお、トランジスタ300は、例えば、上記実施の形態におけるオペアンプOP1が有するトランジスタ等に適用することができる。

【0097】

トランジスタ300は、図6Cに示すように、半導体領域313の上面及びチャンネル幅方向の側面が絶縁体315を介して導電体316に覆われている。このように、トランジスタ300をFin型とすることにより、実効上のチャンネル幅が増大することによりトランジスタ300のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ300のオフ特性を向上させることができる。

【0098】

なお、トランジスタ300は、pチャンネル型、あるいはnチャンネル型のいずれでもよい。

【0099】

半導体領域313のチャンネルが形成される領域、その近傍の領域、ソース領域、又はドレイン領域となる低抵抗領域314a、及び低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。又は、Ge(ゲルマニウム)、SiGe(シリコンゲルマニウム)、GaAs(ガリウムヒ

10

20

30

40

50

素)、GaAlAs(ガリウムアルミニウムヒ素)などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又はGaAsとGaAlAs等を用いることで、トランジスタ300をHEMT(High Electron Mobility Transistor)としてもよい。

【0100】

低抵抗領域314a、及び低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、又はホウ素などのp型の導電性を付与する元素を含む。

【0101】

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。

【0102】

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

【0103】

なお、図4に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。例えば、半導体装置をOSトランジスタのみの単極性回路(nチャンネル型トランジスタのみ、などと同極性のトランジスタを意味する)とする場合、図5に示すとおり、トランジスタ300の構成を、酸化物半導体を用いているトランジスタ500と同様の構成にすればよい。なお、トランジスタ500の詳細については後述する。

【0104】

トランジスタ300を覆って、絶縁体320、絶縁体322、絶縁体324、及び絶縁体326が順に積層して設けられている。

【0105】

絶縁体320、絶縁体322、絶縁体324、及び絶縁体326として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

【0106】

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

【0107】

絶縁体322は、その下方に設けられるトランジスタ300などによって生じる段差を低減するための平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨(CMP)法等を用いた平坦化処理により平坦化されていてもよい。

【0108】

また、絶縁体324には、基板311、又はトランジスタ300などから、トランジスタ500が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

【0109】

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリ

10

20

30

40

50

コンを用いることができる。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

【0110】

水素の脱離量は、例えば、昇温脱離ガス分析法(TDS)などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、膜の表面温度が50 から500 の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たりに換算して、 $10 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

10

【0111】

なお、絶縁体326は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体326の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

【0112】

また、絶縁体320、絶縁体322、絶縁体324、及び絶縁体326には容量素子600、又はトランジスタ500と接続する導電体328、及び導電体330等が埋め込まれている。なお、導電体328、及び導電体330は、プラグ又は配線としての機能を有する。また、プラグ又は配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

20

【0113】

各プラグ、及び配線(導電体328、導電体330等)の材料としては、金属材料、合金材料、金属窒化物材料、又は金属酸化物材料などの導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。又は、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

30

【0114】

絶縁体326、及び導電体330上に、配線層を設けてもよい。例えば、図4において、絶縁体350、絶縁体352、及び絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、及び絶縁体354には、導電体356が形成されている。導電体356は、トランジスタ300と接続するプラグ、又は配線としての機能を有する。なお導電体356は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

【0115】

なお、例えば、絶縁体350は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体356は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体350が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

40

【0116】

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ300からの水素の拡散を抑制することができ

50

る。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体 350 と接する構造であることが好ましい。

【0117】

絶縁体 354、及び導電体 356 上に、配線層を設けてもよい。例えば、図 4 において、絶縁体 360、絶縁体 362、及び絶縁体 364 が順に積層して設けられている。また、絶縁体 360、絶縁体 362、及び絶縁体 364 には、導電体 366 が形成されている。導電体 366 は、プラグ又は配線としての機能を有する。なお導電体 366 は、導電体 328、及び導電体 330 と同様の材料を用いて設けることができる。

【0118】

なお、例えば、絶縁体 360 は、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 366 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 360 が有する開口部に、水素に対するバリア性を有する導電体が形成されることが好ましい。当該構成により、トランジスタ 300 とトランジスタ 500 とは、バリア層により分離することができ、トランジスタ 300 からトランジスタ 500 への水素の拡散を抑制することができる。

10

【0119】

絶縁体 364、及び導電体 366 上に、配線層を設けてもよい。例えば、図 4 において、絶縁体 370、絶縁体 372、及び絶縁体 374 が順に積層して設けられている。また、絶縁体 370、絶縁体 372、及び絶縁体 374 には、導電体 376 が形成されている。導電体 376 は、プラグ又は配線としての機能を有する。なお導電体 376 は、導電体 328、及び導電体 330 と同様の材料を用いて設けることができる。

20

【0120】

なお、例えば、絶縁体 370 は、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 376 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 370 が有する開口部に、水素に対するバリア性を有する導電体が形成されることが好ましい。当該構成により、トランジスタ 300 とトランジスタ 500 とは、バリア層により分離することができ、トランジスタ 300 からトランジスタ 500 への水素の拡散を抑制することができる。

30

【0121】

絶縁体 374、及び導電体 376 上に、配線層を設けてもよい。例えば、図 4 において、絶縁体 380、絶縁体 382、及び絶縁体 384 が順に積層して設けられている。また、絶縁体 380、絶縁体 382、及び絶縁体 384 には、導電体 386 が形成されている。導電体 386 は、プラグ又は配線としての機能を有する。なお導電体 386 は、導電体 328、及び導電体 330 と同様の材料を用いて設けることができる。

【0122】

なお、例えば、絶縁体 380 は、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 386 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 380 が有する開口部に、水素に対するバリア性を有する導電体が形成されることが好ましい。当該構成により、トランジスタ 300 とトランジスタ 500 とは、バリア層により分離することができ、トランジスタ 300 からトランジスタ 500 への水素の拡散を抑制することができる。

40

【0123】

上記において、導電体 356 を含む配線層、導電体 366 を含む配線層、導電体 376 を含む配線層、及び導電体 386 を含む配線層、について説明したが、本実施の形態に係る半導体装置はこれに限られるものではない。導電体 356 を含む配線層と同様の配線層を 3 層以下にしてもよいし、導電体 356 を含む配線層と同様の配線層を 5 層以上にしてもよい。

50

【 0 1 2 4 】

絶縁体 3 8 4 上には絶縁体 5 1 0、絶縁体 5 1 2、絶縁体 5 1 4、及び絶縁体 5 1 6 が、順に積層して設けられている。絶縁体 5 1 0、絶縁体 5 1 2、絶縁体 5 1 4、及び絶縁体 5 1 6 のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

【 0 1 2 5 】

例えば、絶縁体 5 1 0、及び絶縁体 5 1 4 には、例えば、基板 3 1 1、又はトランジスタ 3 0 0 を設ける領域などから、トランジスタ 5 0 0 を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体 3 2 4 と同様の材料を用いることができる。

【 0 1 2 6 】

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 5 0 0 等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ 5 0 0 と、トランジスタ 3 0 0 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

【 0 1 2 7 】

また、水素に対するバリア性を有する膜として、例えば、絶縁体 5 1 0、及び絶縁体 5 1 4 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

【 0 1 2 8 】

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ 5 0 0 への混入を防止することができる。また、トランジスタ 5 0 0 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 5 0 0 に対する保護膜として用いることに適している。

【 0 1 2 9 】

また、例えば、絶縁体 5 1 2、及び絶縁体 5 1 6 には、絶縁体 3 2 0 と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 5 1 2、及び絶縁体 5 1 6 として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

【 0 1 3 0 】

また、絶縁体 5 1 0、絶縁体 5 1 2、絶縁体 5 1 4、及び絶縁体 5 1 6 には、導電体 5 1 8、及びトランジスタ 5 0 0 を構成する導電体（例えば、導電体 5 0 3）等が埋め込まれている。なお、導電体 5 1 8 は、容量素子 6 0 0、又はトランジスタ 3 0 0 と接続するプラグ、又は配線としての機能を有する。導電体 5 1 8 は、導電体 3 2 8、及び導電体 3 3 0 と同様の材料を用いて設けることができる。

【 0 1 3 1 】

特に、絶縁体 5 1 0、及び絶縁体 5 1 4 と接する領域の導電体 5 1 8 は、酸素、水素、及び水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ 3 0 0 とトランジスタ 5 0 0 とは、酸素、水素、及び水に対するバリア性を有する層で、分離することができ、トランジスタ 3 0 0 からトランジスタ 5 0 0 への水素の拡散を抑制することができる。

【 0 1 3 2 】

絶縁体 5 1 6 の上方には、トランジスタ 5 0 0 が設けられている。

【 0 1 3 3 】

図 6 A、図 6 B に示すように、トランジスタ 5 0 0 は、絶縁体 5 1 4 及び絶縁体 5 1 6 に埋め込まれるように配置された導電体 5 0 3 と、絶縁体 5 1 6 及び導電体 5 0 3 の上に配置された絶縁体 5 2 0 と、絶縁体 5 2 0 の上に配置された絶縁体 5 2 2 と、絶縁体 5 2

10

20

30

40

50

2の上に配置された絶縁体524と、絶縁体524の上に配置された酸化物530aと、酸化物530aの上に配置された酸化物530bと、酸化物530b上に互いに離れて配置された導電体542a及び導電体542bと、導電体542a及び導電体542b上に配置され、導電体542aと導電体542bの間に重畳して開口が形成された絶縁体580と、開口の底面及び側面に配置された酸化物530cと、酸化物530cの形成面に配置された絶縁体550と、絶縁体550の形成面に配置された導電体560と、を有する。

【0134】

また、図6A、図6Bに示すように、酸化物530a、酸化物530b、導電体542a、及び導電体542bと、絶縁体580との間に絶縁体544が配置されることが好ましい。また、図6A、図6Bに示すように、導電体560は、絶縁体550の内側に設けられた導電体560aと、導電体560aの内側に埋め込まれるように設けられた導電体560bと、を有することが好ましい。また、図6A、図6Bに示すように、絶縁体580、導電体560、及び絶縁体550の上に絶縁体574が配置されることが好ましい。

10

【0135】

なお、以下において、酸化物530a、酸化物530b、及び酸化物530cをまとめて酸化物530という場合がある。

【0136】

なお、トランジスタ500では、チャンネルが形成される領域と、その近傍において、酸化物530a、酸化物530b、及び酸化物530cの3層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物530bの単層、酸化物530bと酸化物530aの2層構造、酸化物530bと酸化物530cの2層構造、又は4層以上の積層構造を設ける構成にしてもよい。また、トランジスタ500では、導電体560を2層の積層構造として示しているが、本発明はこれに限られるものではない。例えば、導電体560が、単層構造であってもよいし、3層以上の積層構造であってもよい。また、図4、図6Aに示すトランジスタ500は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

20

【0137】

ここで、導電体560は、トランジスタのゲート電極として機能し、導電体542a及び導電体542bは、それぞれソース電極又はドレイン電極として機能する。上記のように、導電体560は、絶縁体580の開口、及び導電体542aと導電体542bに挟まれた領域に埋め込まれるように形成される。導電体560、導電体542a及び導電体542bの配置は、絶縁体580の開口に対して、自己整合的に選択される。つまり、トランジスタ500において、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体560を位置合わせのマージンを設けることなく形成することができるので、トランジスタ500の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

30

【0138】

さらに、導電体560が、導電体542aと導電体542bの間の領域に自己整合的に形成されるので、導電体560は、導電体542a又は導電体542bと重畳する領域を有さない。これにより、導電体560と導電体542a及び導電体542bとの間に形成される寄生容量を低減することができる。よって、トランジスタ500のスイッチング速度を向上させ、高い周波数特性を有せしめることができる。

40

【0139】

導電体560は、第1のゲート(トップゲートともいう)電極として機能する場合がある。また、導電体503は、第2のゲート(ボトムゲートともいう)電極として機能する場合がある。その場合、導電体503に印加する電位を、導電体560に印加する電位と、連動させず、独立して変化させることで、トランジスタ500のしきい値電圧を制御することができる。特に、導電体503に負の電位を印加することにより、トランジスタ500のしきい値電圧を0Vより大きくし、オフ電流を低減することが可能となる。したがって、導電体503に負の電位を印加したほうが、印加しない場合よりも、導電体560

50

に印加する電位が0Vのときのドレイン電流を小さくすることができる。

【0140】

導電体503は、酸化物530、及び導電体560と、重なるように配置する。これにより、導電体560、及び導電体503に電位を印加した場合、導電体560から生じる電界と、導電体503から生じる電界と、がたがたがり、酸化物530に形成されるチャネル形成領域を覆うことができる。本明細書等において、第1のゲート電極、及び第2のゲート電極の電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を、surrounded channel (S channel) 構造とよぶ。

【0141】

また、導電体503は、導電体518と同様の構成であり、絶縁体514及び絶縁体516の開口の内壁に接して導電体503aが形成され、さらに内側に導電体503bが形成されている。なお、トランジスタ500では、導電体503a及び導電体503bを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体503は、単層、又は3層以上の積層構造として設ける構成にしてもよい。

10

【0142】

ここで、導電体503aは、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する(上記不純物が透過しにくい。)導電性材料を用いることが好ましい。又は、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する(上記酸素が透過しにくい。)導電性材料を用いることが好ましい。なお、本明細書において、不純物、又は酸素の拡散を抑制する機能とは、上記不純物、又は上記酸素のいずれか一又は、すべての拡散を抑制する機能とする。

20

【0143】

例えば、導電体503aが酸素の拡散を抑制する機能を持つことにより、導電体503bが酸化して導電率が低下することを抑制することができる。

【0144】

また、導電体503が配線の機能を兼ねる場合、導電体503bは、タングステン、銅、又はアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。その場合、導電体503bは、必ずしも設けなくともよい。なお、導電体503bを単層で図示したが、積層構造としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層としてもよい。

30

【0145】

絶縁体520、絶縁体522、及び絶縁体524、は第2のゲート絶縁膜としての機能を有し、及び絶縁体550は、第1のゲート絶縁膜としての機能を有する。

【0146】

ここで、酸化物530と接する絶縁体524は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。つまり、絶縁体524には、過剰酸素領域が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物530に接して設けることにより、酸化物530中の酸素欠損を低減し、トランジスタ500の信頼性を向上させることができる。

【0147】

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、又は $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては100 以上700 以下、又は100 以上400 以下の範囲が好ましい。

40

【0148】

また、上記過剰酸素領域を有する絶縁体と、酸化物530と、を接して加熱処理、マイ

50

ク口波処理、またはRF処理のいずれか—または複数の処理を行っても良い。当該処理を行うことで、酸化物530中の水、または水素を除去することができる。例えば、酸化物530において、 $V-O-H$ の結合が切断される反応が起きる、別言すると「 $V-O-H \rightarrow V-O + H$ 」という反応が起きて、脱水素化することができる。このとき発生した水素の一部は、酸素と結合して H_2O として、酸化物530、または酸化物530近傍の絶縁体から除去される場合がある。また、水素の一部は、導電体542a又は/及び導電体542bに拡散または捕獲（ゲッタリングともいう）される場合がある。

【0149】

また、上記マイクロ波処理は、例えば、高密度プラズマを発生させる電源を有する装置、または、基板側にRFを印加する電源を有する装置を用いると好適である。例えば、酸素を含むガスを用い、且つ高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができる、基板側にRFを印加することで、高密度プラズマによって生成された酸素ラジカルを、効率よく酸化物530、または酸化物530近傍の絶縁体中に導入することができる。また、上記マイクロ波処理は、圧力を133Pa以上、好ましくは200Pa以上、さらに好ましくは400Pa以上とすればよい。また、マイクロ波処理を行う装置内に導入するガスとしては、例えば、酸素と、アルゴンとを用い、酸素流量比（ $O_2 / (O_2 + Ar)$ ）が50%以下、好ましくは10%以上30%以下で行うとよい。

【0150】

また、トランジスタ500の作製工程中において、酸化物530の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、100℃以上450℃以下、より好ましくは350℃以上400℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物530に酸素を供給して、酸素欠損（ $V-O$ ）の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気中で加熱処理した後に、脱離した酸素を補うために、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。または、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気中で加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気中で加熱処理を行ってもよい。

【0151】

なお、酸化物530に加酸素化処理を行うことで、酸化物530中の酸素欠損を、供給された酸素により修復させる、別言すると「 $V-O + O \rightarrow \text{null}$ 」という反応を促進させることができる。さらに、酸化物530中に残存した水素に供給された酸素が反応することで、当該水素を H_2O として除去する（脱水化する）ことができる。これにより、酸化物530中に残存していた水素が酸素欠損に再結合して $V-O-H$ が形成されるのを抑制することができる。

【0152】

また、絶縁体524が、過剰酸素領域を有する場合、絶縁体522は、酸素（例えば、酸素原子、酸素分子など）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。

【0153】

絶縁体522が、酸素や不純物の拡散を抑制する機能を有することで、酸化物530が有する酸素は、絶縁体520側へ拡散することがなく、好ましい。また、導電体503が、絶縁体524や、酸化物530が有する酸素と反応することを抑制することができる。

【0154】

絶縁体522は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（ $SrTiO_3$ ）、又は（ Ba, Sr ） TiO_3 （BST）などのいわゆるhigh-k材料を含む絶縁体を単層又は積層で用いることが好ましい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁

10

20

30

40

50

膜の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体に high k 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

【0155】

特に、不純物、及び酸素などの拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料であるアルミニウム、ハフニウム的一方又は双方の酸化物を含む絶縁体を用いるとよい。アルミニウム、ハフニウム的一方又は双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体 522 を形成した場合、絶縁体 522 は、酸化物 530 からの酸素の放出や、トランジスタ 500 の周辺部から酸化物 530 への水素等の不純物の混入を抑制する層として機能する。

10

【0156】

又は、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タンゲステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。又はこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコン又は窒化シリコンを積層して用いてもよい。

【0157】

また、絶縁体 520 は、熱的に安定していることが好ましい。例えば、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため、好適である。また、high k 材料の絶縁体を酸化シリコン、または酸化窒化シリコンと組み合わせることで、熱的に安定かつ比誘電率の高い積層構造の絶縁体 520 を得ることができる。

20

【0158】

なお、図 6 A、図 6 B のトランジスタ 500 では、3 層の積層構造からなる第 2 のゲート絶縁膜として、絶縁体 520、絶縁体 522、及び絶縁体 524 が図示されているが、第 2 のゲート絶縁膜は、単層、2 層、又は 4 層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

【0159】

トランジスタ 500 は、チャンネル形成領域を含む酸化物 530 に、酸化物半導体として機能する金属酸化物を用いることが好ましい。例えば、酸化物 530 として、In M Zn 酸化物（元素 M は、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タンゲステン、又はマグネシウムなどから選ばれた一種、又は複数種）等の金属酸化物を用いるとよい。特に、酸化物 530 として適用できる In M Zn 酸化物は、実施の形態 4 で説明する CAAC OS、CAC OS であることが好ましい。また、酸化物 530 として、In Ga 酸化物、In Zn 酸化物を用いてもよい。

30

【0160】

また、トランジスタ 500 には、キャリア濃度の低い金属酸化物を用いることが好ましい。金属酸化物のキャリア濃度を低くする場合には、金属酸化物中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。なお、金属酸化物中の不純物としては、例えば、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

40

【0161】

特に、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、金属酸化物中に酸素欠損を形成する場合がある。また、酸化物 530 中の酸素欠損に水素が入った場合、酸素欠損と水素とが結合し VOH を形成する場合がある。VOH はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりや

50

すい。また、金属酸化物中の水素は、熱、電界などのストレスによって動きやすいため、金属酸化物に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。本発明の一態様においては、酸化物530中の V_{OH} をできる限り低減し、高純度真性または実質的に高純度真性にすることが好ましい。このように、 V_{OH} が十分低減された金属酸化物を得るには、金属酸化物中の水分、水素などの不純物を除去すること（脱水、脱水素化処理と記載する場合がある。）と、金属酸化物に酸素を供給して酸素欠損を補填すること（加酸素化処理と記載する場合がある。）が重要である。 V_{OH} などの不純物が十分に低減された金属酸化物をトランジスタのチャンネル形成領域に用いることで、安定した電気特性を付与することができる。

【0162】

酸素欠損に水素が入った欠陥は、金属酸化物のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、金属酸化物においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、金属酸化物のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。

【0163】

よって、金属酸化物を酸化物530に用いる場合、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）により得られる水素濃度を、 1×10^{20} atoms/cm³未満、好ましくは 1×10^{19} atoms/cm³未満、より好ましくは 5×10^{18} atoms/cm³未満、さらに好ましくは 1×10^{18} atoms/cm³未満とする。水素などの不純物が十分に低減された金属酸化物をトランジスタのチャンネル形成領域に用いることで、安定した電気特性を付与することができる。

【0164】

また、酸化物530に金属酸化物を用いる場合、チャンネル形成領域の金属酸化物のキャリア濃度は、 1×10^{18} cm⁻³以下であることが好ましく、 1×10^{17} cm⁻³未満であることがより好ましく、 1×10^{16} cm⁻³未満であることがさらに好ましく、 1×10^{13} cm⁻³未満であることがさらに好ましい。なお、チャンネル形成領域の金属酸化物のキャリア濃度の下限値については、特に限定は無いが、例えば、 1×10^{-9} cm⁻³とすることができる。

【0165】

また、酸化物530に金属酸化物を用いる場合、導電体542a（導電体542b）と酸化物530とが接することで、酸化物530中の酸素が導電体542a（導電体542b）へ拡散し、導電体542a（導電体542b）が酸化する場合がある。導電体542a（導電体542b）が酸化することで、導電体542a（導電体542b）の導電率が低下する蓋然性が高い。なお、酸化物530中の酸素が導電体542a（導電体542b）へ拡散することを、導電体542a（導電体542b）が酸化物530中の酸素を吸収する、と言い換えることができる。

【0166】

また、酸化物530中の酸素が導電体542a及び導電体542bへ拡散することで、導電体542aと酸化物530bとの間の界面とその界面付近、および、導電体542bと酸化物530bとの間の界面とその界面付近に絶縁性を有する領域が形成される場合がある。当該領域は、導電体542a及び導電体542bよりも酸素を多く含むため、当該領域は導電体542a及び導電体542bよりも電気抵抗が高いと推定される。このとき、導電体542a及び導電体542bと、当該領域と、酸化物530bとの3層構造は、金属絶縁体半導体からなる3層構造とみなすことができ、MIS（Metal Insulator Semiconductor）構造と呼ぶ、またはMIS構造を主としたダイオード接合構造と呼ぶ場合がある。

10

20

30

40

50

【0167】

なお、上記の絶縁性を有する領域は、導電体542a(導電体542b)と酸化物530bとの間に形成されることに限られず、例えば、絶縁性を有する領域が、導電体542a(導電体542b)と酸化物530cとの間に形成される場合や、導電体542a(導電体542b)と酸化物530bとの間、および導電体542a(導電体542b)と酸化物530cとの間に形成される場合がある。

【0168】

また、酸化物530においてチャネル形成領域として機能する金属酸化物は、バンドギャップが2eV以上、好ましくは2.5eV以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

10

【0169】

酸化物530は、酸化物530b下に酸化物530aを有することで、酸化物530aよりも下方に形成された構造物から、酸化物530bへの不純物の拡散を抑制することができる。また、酸化物530b上に酸化物530cを有することで、酸化物530cよりも上方に形成された構造物から、酸化物530bへの不純物の拡散を抑制することができる。

【0170】

なお、酸化物530は、各金属原子の原子数比が異なる酸化物により、積層構造を有することが好ましい。具体的には、酸化物530aに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物530bに用いる金属酸化物における、構成元素中の元素Mの原子数比より、大きいことが好ましい。また、酸化物530aに用いる金属酸化物において、 I_n に対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、 I_n に対する元素Mの原子数比より大きいことが好ましい。また、酸化物530bに用いる金属酸化物において、元素Mに対する I_n の原子数比が、酸化物530aに用いる金属酸化物における、元素Mに対する I_n の原子数比より大きいことが好ましい。また、酸化物530cは、酸化物530a又は酸化物530bに用いることができる金属酸化物を、用いることができる。

20

【0171】

例えば、酸化物530として I_nGaZn 酸化物が用いられる場合を考える。酸化物530bとして、 I_n と Ga と Zn との原子数比が $I_n:Ga:Zn=4:2:3$ から4.1またはその近傍の組成である I_nGaZn 酸化物が用いられる場合、酸化物530aとしては、原子数比が $I_n:Ga:Zn=1:3:4$ またはその近傍の組成、又は $I_n:Ga:Zn=1:1:1$ またはその近傍の組成である I_nGaZn 酸化物が用いられるのが好ましい。また、酸化物530cは、上述した組成のうちのいずれか一を満たす I_nGaZn 酸化物であることが好ましい。

30

【0172】

また、例えば、酸化物530aに用いる金属酸化物における元素Mに対する I_n の原子数比が、酸化物530bに用いる金属酸化物における元素Mに対する I_n の原子数比より小さい場合、酸化物530bとして、 I_n と Ga と Zn との原子数比が $I_n:Ga:Zn=5:1:6$ またはその近傍、 $I_n:Ga:Zn=5:1:3$ またはその近傍、 $I_n:Ga:Zn=10:1:3$ またはその近傍などの組成である I_nGaZn 酸化物を用いることができる。

40

【0173】

また、酸化物530a及び酸化物530cの伝導帯下端のエネルギーが、酸化物530bの伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物530a及び酸化物530cの電子親和力が、酸化物530bの電子親和力より小さいことが好ましい。

【0174】

ここで、酸化物530a、酸化物530b、及び酸化物530cの接合部において、伝

50

導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物 530 a、酸化物 530 b、及び酸化物 530 c の接合部における伝導帯下端のエネルギー準位は、連続的に変化又は連続接合するともいうことができる。このようにするためには、酸化物 530 a と酸化物 530 b との界面、及び酸化物 530 b と酸化物 530 c との界面において形成される混合層の欠陥準位密度を低くするとよい。

【0175】

具体的には、酸化物 530 a と酸化物 530 b、酸化物 530 b と酸化物 530 c が、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物 530 b が In Ga Zn 酸化物の場合、酸化物 530 a 及び酸化物 530 c として、In Ga Zn 酸化物、Ga Zn 酸化物、酸化ガリウムなどを用いるとよい。

10

【0176】

このとき、キャリアの主たる経路は酸化物 530 b となる。酸化物 530 a、酸化物 530 c を上述の構成とすることで、酸化物 530 a と酸化物 530 b との界面、及び酸化物 530 b と酸化物 530 c との界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ 500 は高いオン電流を得られる。

【0177】

酸化物 530 b 上には、ソース電極、及びドレイン電極として機能する導電体 542 a、及び導電体 542 b が設けられる。導電体 542 a、及び導電体 542 b としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、又は上述した金属元素を成分とする合金か、上述した金属元素を組み合わせ合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、窒化タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、又は、酸素を吸収しても導電性を維持する材料であるため、好ましい。更に、窒化タンタルなどの金属窒化物膜は、水素又は酸素に対するバリア性があるため好ましい。

20

30

【0178】

また、図 6 では、導電体 542 a、及び導電体 542 b を単層構造として示したが、2 層以上の積層構造としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングステン膜上にアルミニウム膜を積層する二層構造、銅 マグネシウム アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造としてもよい。

40

【0179】

また、チタン膜又は窒化チタン膜と、そのチタン膜又は窒化チタン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にチタン膜又は窒化チタン膜を形成する三層構造、モリブデン膜又は窒化モリブデン膜と、そのモリブデン膜又は窒化モリブデン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にモリブデン膜又は窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫又は酸化亜鉛を含む透明導電材料を用いてもよい。

【0180】

また、図 6 A に示すように、酸化物 530 の、導電体 542 a（導電体 542 b）との界面とその近傍には、低抵抗領域として、領域 543 a、及び領域 543 b が形成される

50

場合がある。このとき、領域 5 4 3 a はソース領域又はドレイン領域の一方として機能し、領域 5 4 3 b はソース領域又はドレイン領域の他方として機能する。また、領域 5 4 3 a と領域 5 4 3 b に挟まれる領域にチャンネル形成領域が形成される。

【 0 1 8 1 】

酸化物 5 3 0 と接するように上記導電体 5 4 2 a (導電体 5 4 2 b) を設けることで、領域 5 4 3 a (領域 5 4 3 b) の酸素濃度が低減する場合がある。また、領域 5 4 3 a (領域 5 4 3 b) に導電体 5 4 2 a (導電体 5 4 2 b) に含まれる金属と、酸化物 5 3 0 の成分とを含む金属化合物層が形成される場合がある。このような場合、領域 5 4 3 a (領域 5 4 3 b) のキャリア濃度が増加し、領域 5 4 3 a (領域 5 4 3 b) は、低抵抗領域となる。

10

【 0 1 8 2 】

絶縁体 5 4 4 は、導電体 5 4 2 a、及び導電体 5 4 2 b を覆うように設けられ、導電体 5 4 2 a、及び導電体 5 4 2 b の酸化を抑制する。このとき、絶縁体 5 4 4 は、酸化物 5 3 0 の側面を覆い、絶縁体 5 2 4 と接するように設けられてもよい。

【 0 1 8 3 】

絶縁体 5 4 4 として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タンゲステン、チタン、タンタル、ニッケル、ゲルマニウム、ネオジム、ランタン又は、マグネシウムなどから選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。また、絶縁体 5 4 4 として、窒化酸化シリコン又は窒化シリコンなども用いることができる。

20

【 0 1 8 4 】

特に、絶縁体 5 4 4 として、アルミニウム、又はハフニウムの一方又は双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウム、ハフニウムを含む酸化物(ハフニウムアルミネート)などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいいため好ましい。なお、導電体 5 4 2 a、及び導電体 5 4 2 b が耐酸化性を有する材料、又は、酸素を吸収しても著しく導電性が低下しない材料の場合、絶縁体 5 4 4 は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

【 0 1 8 5 】

絶縁体 5 4 4 を有することで、絶縁体 5 8 0 に含まれる水、及び水素などの不純物が酸化物 5 3 0 c、絶縁体 5 5 0 を介して、酸化物 5 3 0 b に拡散することを抑制することができる。また、絶縁体 5 8 0 が有する過剰酸素により、導電体 5 6 0 が酸化するのを抑制することができる。

30

【 0 1 8 6 】

絶縁体 5 5 0 は、第 1 のゲート絶縁膜として機能する。絶縁体 5 5 0 は、酸化物 5 3 0 c の内側(上面、及び側面)に接して配置することが好ましい。絶縁体 5 5 0 は、上述した絶縁体 5 2 4 と同様に、過剰に酸素を含み、かつ加熱により酸素が放出される絶縁体を用いて形成することが好ましい。

【 0 1 8 7 】

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、及び酸化窒化シリコンは熱に対し安定であるため好ましい。

40

【 0 1 8 8 】

加熱により酸素が放出される絶縁体を、絶縁体 5 5 0 として、酸化物 5 3 0 c の上面に接して設けることにより、絶縁体 5 5 0 から、酸化物 5 3 0 c を通じて、酸化物 5 3 0 b のチャンネル形成領域に効果的に酸素を供給することができる。また、絶縁体 5 2 4 と同様に、絶縁体 5 5 0 中の水又は水素などの不純物濃度が低減されていることが好ましい。絶縁体 5 5 0 の膜厚は、1 nm 以上 20 nm 以下とするのが好ましい。

50

【 0 1 8 9 】

また、絶縁体 5 5 0 が有する過剰酸素を、効率的に酸化物 5 3 0 へ供給するために、絶縁体 5 5 0 と導電体 5 6 0 との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体 5 5 0 から導電体 5 6 0 への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体 5 5 0 から導電体 5 6 0 への過剰酸素の拡散が抑制される。つまり、酸化物 5 3 0 へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体 5 6 0 の酸化を抑制することができる。当該金属酸化物としては、絶縁体 5 4 4 に用いることができる材料を用いればよい。

【 0 1 9 0 】

なお、絶縁体 5 5 0 は、第 2 のゲート絶縁膜と同様に、積層構造としてもよい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合があるため、ゲート絶縁膜として機能する絶縁体を、high k 材料と、熱的に安定している材料との積層構造とすることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、熱的に安定かつ比誘電率の高い積層構造とすることができる。

10

【 0 1 9 1 】

第 1 のゲート電極として機能する導電体 5 6 0 は、図 6 A、図 6 B では 2 層構造として示しているが、単層構造でもよいし、3 層以上の積層構造であってもよい。

【 0 1 9 2 】

導電体 5 6 0 a は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 (N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。又は、酸素 (例えば、酸素原子、酸素分子などの少なくとも一) の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体 5 6 0 a が酸素の拡散を抑制する機能を持つことにより、絶縁体 5 5 0 に含まれる酸素により、導電体 5 6 0 b が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、又は酸化ルテニウムなどを用いることが好ましい。また、導電体 5 6 0 a として、酸化物 5 3 0 に適用できる酸化物半導体を用いることができる。その場合、導電体 5 6 0 b をスパッタリング法で成膜することで、導電体 5 6 0 a の電気抵抗値を低下させて導電体にすることができる。これを OC (Oxide Conductor) 電極と呼ぶことができる。

20

30

【 0 1 9 3 】

また、導電体 5 6 0 b は、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体 5 6 0 b は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。また、導電体 5 6 0 b は積層構造としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層構造としてもよい。

【 0 1 9 4 】

絶縁体 5 8 0 は、絶縁体 5 4 4 を介して、導電体 5 4 2 a、及び導電体 5 4 2 b 上に設けられる。絶縁体 5 8 0 は、過剰酸素領域を有することが好ましい。例えば、絶縁体 5 8 0 として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコン、又は樹脂などを有することが好ましい。特に、酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。

40

【 0 1 9 5 】

過剰酸素領域を有し、かつ加熱により酸素が放出される絶縁体 5 8 0 を、酸化物 5 3 0 c と接して設けることで、絶縁体 5 8 0 中の酸素を、酸化物 5 3 0 c を通じて、酸化物 5 3 0 a、酸化物 5 3 0 b へと効率良く供給することができる。なお、絶縁体 5 8 0 中の水又は水素などの不純物濃度が低減されていることが好ましい。

50

【0196】

絶縁体580の開口は、導電体542aと導電体542bの間の領域に重畳して形成される。これにより、導電体560は、絶縁体580の開口、及び導電体542aと導電体542bに挟まれた領域に、埋め込まれるように形成される。

【0197】

半導体装置を微細化するに当たり、ゲート長を短くすることが求められるが、導電体560の導電性が下がらないようにする必要がある。そのために導電体560の膜厚を大きくすると、導電体560はアスペクト比が高い形状となりうる。本実施の形態では、導電体560を絶縁体580の開口に埋め込むように設けるため、導電体560をアスペクト比の高い形状にしても、工程中に導電体560を倒壊させることなく、形成することができる。

10

【0198】

絶縁体574は、絶縁体580の上面、導電体560の上面、及び絶縁体550の上面に接して設けられることが好ましい。絶縁体574をスパッタリング法で成膜することで、絶縁体550、及び絶縁体580へ過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物530中に酸素を供給することができる。

【0199】

例えば、絶縁体574として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、又はマグネシウムなどから選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。

20

【0200】

特に、酸化アルミニウムはバリア性が高く、0.5nm以上3.0nm以下の薄膜であっても、水素、及び窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素などの不純物のバリア膜としての機能も有することができる。

【0201】

また、絶縁体574の上に、層間膜として機能する絶縁体581を設けることが好ましい。絶縁体581は、絶縁体524などと同様に、膜中の水又は水素などの不純物濃度が低減されていることが好ましい。

【0202】

また、絶縁体581、絶縁体574、絶縁体580、及び絶縁体544に形成された開口に、導電体540a、及び導電体540bを配置する。導電体540a及び導電体540bは、導電体560を挟んで対向して設ける。導電体540a及び導電体540bは、後述する導電体546、及び導電体548と同様の構成である。

30

【0203】

絶縁体581上には、絶縁体582が設けられている。絶縁体582は、酸素や水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体582には、絶縁体514と同様の材料を用いることができる。例えば、絶縁体582には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

【0204】

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ500への混入を防止することができる。また、トランジスタ500を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ500に対する保護膜として用いることに適している。

40

【0205】

また、絶縁体582上には、絶縁体586が設けられている。絶縁体586は、絶縁体320と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶

50

縁体 5 8 6 として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

【 0 2 0 6 】

また、絶縁体 5 2 0、絶縁体 5 2 2、絶縁体 5 2 4、絶縁体 5 4 4、絶縁体 5 8 0、絶縁体 5 7 4、絶縁体 5 8 1、絶縁体 5 8 2、及び絶縁体 5 8 6 には、導電体 5 4 6、及び導電体 5 4 8 等が埋め込まれている。

【 0 2 0 7 】

導電体 5 4 6、及び導電体 5 4 8 は、容量素子 6 0 0、トランジスタ 5 0 0、又はトランジスタ 3 0 0 と接続するプラグ、又は配線としての機能を有する。導電体 5 4 6、及び導電体 5 4 8 は、導電体 3 2 8、及び導電体 3 3 0 と同様の材料を用いて設けることができる。

10

【 0 2 0 8 】

なお、トランジスタ 5 0 0 の形成後、トランジスタ 5 0 0 を囲むように開口を形成し、当該開口を覆うように、水素、または水に対するバリア性が高い絶縁体を形成してもよい。上述のバリア性の高い絶縁体でトランジスタ 5 0 0 を包み込むことで、外部から水分、および水素が侵入するのを防止することができる。または、複数のトランジスタ 5 0 0 をまとめて、水素、または水に対するバリア性が高い絶縁体で包み込んでよい。なお、トランジスタ 5 0 0 を囲むように開口を形成する場合、例えば、絶縁体 5 1 4 または絶縁体 5 2 2 に達する開口を形成し、絶縁体 5 1 4 または絶縁体 5 2 2 に接するように上述のバリア性の高い絶縁体を形成すると、トランジスタ 5 0 0 の作製工程の一部を兼ねられるため、好適である。なお、水素、または水に対するバリア性が高い絶縁体としては、例えば、絶縁体 5 2 2 と同様の材料を用いればよい。

20

【 0 2 0 9 】

続いて、トランジスタ 5 0 0 の上方には、容量素子 6 0 0 が設けられている。容量素子 6 0 0 は、導電体 6 1 0 と、導電体 6 2 0、絶縁体 6 3 0 とを有する。

【 0 2 1 0 】

また、導電体 5 4 6、及び導電体 5 4 8 上に、導電体 6 1 2 を設けてもよい。導電体 6 1 2 は、トランジスタ 5 0 0 と接続するプラグ、又は配線としての機能を有する。導電体 6 1 0 は、容量素子 6 0 0 の電極としての機能を有する。なお、導電体 6 1 2、及び導電体 6 1 0 は、同時に形成することができる。

【 0 2 1 1 】

導電体 6 1 2、及び導電体 6 1 0 には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、又は上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

30

【 0 2 1 2 】

図 4 では、導電体 6 1 2、及び導電体 6 1 0 は単層構造を示したが、当該構成に限定されず、2 層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、及び導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

40

【 0 2 1 3 】

絶縁体 6 3 0 を介して、導電体 6 1 0 と重畳するように、導電体 6 2 0 を設ける。なお、導電体 6 2 0 は、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料である Cu（銅）や Al（アルミニウム）等を用いればよい。

50

【 0 2 1 4 】

導電体 6 2 0、及び絶縁体 6 3 0 上には、絶縁体 6 4 0 が設けられている。絶縁体 6 4 0 は、絶縁体 3 2 0 と同様の材料を用いて設けることができる。また、絶縁体 6 4 0 は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

【 0 2 1 5 】

次に、図 4、図 5 の半導体装置の容量素子 6 0 0 について説明する。図 7 では、半導体装置に適用できる容量素子 6 0 0 の一例として、容量素子 6 0 0 A について示している。図 7 A は容量素子 6 0 0 A の上面図であり、図 7 B は容量素子 6 0 0 A の一点鎖線 L 3 L 4 における断面を示した斜視図であり、図 7 C は容量素子 6 0 0 A の一点鎖線 W 3 L 4 における断面を示した斜視図である。

10

【 0 2 1 6 】

導電体 6 1 0 は、容量素子 6 0 0 A の一对の電極の一方として機能し、導電体 6 2 0 は、容量素子 6 0 0 A の一对の電極の他方として機能する。また、絶縁体 6 3 0 は、一对の電極に挟まれる誘電体として機能する。

【 0 2 1 7 】

容量素子 6 0 0 は、導電体 6 1 0 の下部において、導電体 5 4 6 と、導電体 5 4 8 とに電氣的に接続されている。導電体 5 4 6 と、導電体 5 4 8 は、別の回路素子と接続するためのプラグ、又は配線として機能する。また図 7 では、導電体 5 4 6 と、導電体 5 4 8 と、をまとめて導電体 5 4 0 と記載している。

【 0 2 1 8 】

また、図 7 では、図を明瞭に示すために、導電体 5 4 6 及び導電体 5 4 8 が埋め込まれている絶縁体 5 8 6 と、導電体 6 2 0 及び絶縁体 6 3 0 を覆っている絶縁体 6 4 0 と、を省略している。

20

【 0 2 1 9 】

なお、図 4、図 5、図 7 に示す容量素子 6 0 0 はプレーナ型であるが、容量素子の形状はこれに限定されない。例えば、容量素子 6 0 0 は、図 8 に示すシリンダ型の容量素子 6 0 0 B としてもよい。

【 0 2 2 0 】

図 8 A は容量素子 6 0 0 B の上面図であり、図 8 B は容量素子 6 0 0 B の一点鎖線 L 3 L 4 における断面図であり、図 8 C は容量素子 6 0 0 B の一点鎖線 W 3 L 4 における断面を示した斜視図である。

30

【 0 2 2 1 】

図 8 B において、容量素子 6 0 0 B は、導電体 5 4 0 が埋め込まれている絶縁体 5 8 6 上の絶縁体 6 3 1 と、開口部を有する絶縁体 6 5 1 と、一对の電極の一方として機能する導電体 6 1 0 と、一对の電極の他方として機能する導電体 6 2 0 と、を有する。

【 0 2 2 2 】

また、図 8 C では、図を明瞭に示すために、絶縁体 5 8 6 と、絶縁体 6 5 0 と、絶縁体 6 5 1 と、を省略している。

【 0 2 2 3 】

絶縁体 6 3 1 としては、例えば、絶縁体 5 8 6 と同様の材料を用いることができる。

40

【 0 2 2 4 】

また、絶縁体 6 3 1 には、導電体 5 4 0 に電氣的に接続されるように導電体 6 1 1 が埋め込まれている。導電体 6 1 1 は、例えば、導電体 3 3 0、導電体 5 1 8 と同様の材料を用いることができる。

【 0 2 2 5 】

絶縁体 6 5 1 としては、例えば、絶縁体 5 8 6 と同様の材料を用いることができる。

【 0 2 2 6 】

また、絶縁体 6 5 1 は、前述の通り、開口部を有し、当該開口部は導電体 6 1 1 に重畳している。

【 0 2 2 7 】

50

導電体 610 は、当該開口部の底部と、側面と、に形成されている。つまり、導電体 610 は、導電体 611 に重畳し、かつ導電体 611 に電氣的に接続されている。

【0228】

なお、導電体 610 の形成方法としては、エッチング法などによって絶縁体 651 に開口部を形成し、次に、スパッタリング法、ALD 法などによって導電体 610 を成膜する。その後、CMP (Chemical Mechanical Polishing) 法などによって、開口部に成膜された導電体 610 を残して、絶縁体 651 上に成膜された導電体 610 を除去すればよい。

【0229】

絶縁体 630 は、絶縁体 651 上と、導電体 610 の形成面上と、に位置する。なお、絶縁体 630 は、容量素子において、一对の電極に挟まれる誘電体として機能する。

10

【0230】

導電体 620 は、絶縁体 651 の開口部が埋まるように、絶縁体 630 上に形成されている。

【0231】

絶縁体 650 は、絶縁体 630 と、導電体 620 と、を覆うように形成されている。

【0232】

図 8 に示すシリンダ型の容量素子 600B は、プレーナ型の容量素子 600A よりも静電容量の値を高くすることができる。そのため、容量素子 600B を適用することによって、長時間、容量素子の端子間の電圧を維持することができる。

20

【0233】

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化又は高集積化を図ることができる。

【0234】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0235】

(実施の形態 4)

本実施の形態では、上記の実施の形態で説明した OS トランジスタに用いることができる金属酸化物である CAC OS (Cloud Aligned Composite Oxide Semiconductor)、及び CAAC OS (c axis Aligned Crystalline Oxide Semiconductor) の構成について説明する。

30

【0236】

<金属酸化物の構成>

CAC OS 又は CAC metal oxide とは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC OS 又は CAC metal oxide を、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子 (又はホール) を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能 (On/Off させる機能) を CAC OS 又は CAC metal oxide に付与することができる。CAC OS 又は CAC metal oxide において、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

40

【0237】

また、CAC OS 又は CAC metal oxide は、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察され

50

る場合がある。

【0238】

また、CAC OS又はCAC metal oxideにおいて、導電性領域と、絶縁性領域とは、それぞれ0.5nm以上10nm以下、好ましくは0.5nm以上3nm以下のサイズで材料中に分散している場合がある。

【0239】

また、CAC OS又はCAC metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC OS又はCAC metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC OS又はCAC metal oxideをトランジスタのチャンネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

10

【0240】

すなわち、CAC OS又はCAC metal oxideは、マトリックス複合材(matrix composite)、又は金属マトリックス複合材(metal matrix composite)と呼称することもできる。

20

【0241】

<金属酸化物の構造>

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC OS(c axis aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc OS(nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体(alike OS: amorphous like oxide semiconductor)及び非晶質酸化物半導体などがある。

【0242】

また、酸化物半導体は、結晶構造に着目した場合、上記とは異なる分類となる場合がある。ここで、酸化物半導体における、結晶構造の分類について、図9Aを用いて説明を行う。図9Aは、酸化物半導体、代表的にはIGZO(Inと、Gaと、Znと、を含む金属酸化物)の結晶構造の分類を説明する図である。

30

【0243】

図9Aに示すように、IGZOは、大きく分けてAmorphousと、Crystallineと、Crystalと、に分類される。また、Amorphousの中には、completely amorphousが含まれる。また、Crystallineの中には、CAAC(c axis aligned crystalline)、nc(nanocrystalline)、及びCAC(Cloud Aligned Composite)が含まれる。また、Crystalの中には、single crystal、及びpoly crystalが含まれる。

40

【0244】

なお、図9Aに示す太枠内の構造は、Newcrystalline phaseに属する構造である。当該構造は、Amorphousと、Crystalとの間の境界領域にある。すなわち、エネルギー的に不安定なAmorphousと、Crystallineとは全く異なる構造と言い換えることができる。

【0245】

なお、膜または基板の結晶構造は、X線回折(XRD: X Ray Diffraction)像を用いて評価することができる。ここで、石英ガラス、及びcrystal

50

ineに分類される結晶構造を有するIGZO（結晶性IGZOともいう。）のXRDスペクトルを図9B、図9Cに示す。また、図9Bが石英ガラス、図9Cが結晶性IGZOのXRDスペクトルである。なお、図9Cに示す結晶性IGZOとしては、In:Ga:Zn = 4:2:3 [原子数比]の組成である。また、図9Cに示す結晶性IGZOとしては、厚さ500nmである。

【0246】

図9Bの矢印に示すように、石英ガラスは、XRDスペクトルのピークがほぼ対称である。一方で、図9Cの矢印に示すように、結晶性IGZOは、XRDスペクトルのピークが非対称である。XRDスペクトルのピークが非対称であることは、結晶の存在を明示している。別言すると、XRDスペクトルのピークで左右対称でないと、Amorphousであるとは言えない。

10

【0247】

CAAC OSは、c軸配向性を有し、かつa b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

【0248】

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、及び七角形などの格子配列を有する場合がある。なお、CAAC OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリーともいう）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC OSが、a b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

20

【0249】

また、CAAC OSは、インジウム、及び酸素を有する層（以下、In層）と、元素M、亜鉛、及び酸素を有する層（以下、(M, Zn)層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn)層の元素Mがインジウムと置換した場合、(In, M, Zn)層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M)

30

【0250】

CAAC OSは結晶性の高い酸化物半導体である。一方、CAAC OSは、明確な結晶粒界を確認することはできないため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC OSは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、CAAC OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC OSを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC OSは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、OSTランジスタにCAAC OSを用いると、製造工程の自由度を広げることが可能となる。

40

【0251】

nc OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc OSは、分析方法によっては、alike OSや非晶質酸化物半導体と区別が付かない場合がある。

【0252】

alike OSは、nc OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。alike OSは、鬆又は低密度領域を有する。即ち、alike

50

OSは、nc OS及びCAAC OSと比べて、結晶性が低い。

【0253】

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a like OS、nc OS、CAAC OSのうち、二種以上を有していてもよい。

【0254】

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

【0255】

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

10

【0256】

また、トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。酸化物半導体膜のキャリア濃度を低くする場合には、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。

【0257】

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

【0258】

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

20

【0259】

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【0260】

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

30

【0261】

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度(二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)により得られる濃度)を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0262】

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

40

【0263】

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体

50

に用いたトランジスタはノーマリーオン特性となりやすい。従って、該酸化物半導体において、窒素はできる限り低減されていることが好ましい、例えば、酸化物半導体中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0264】

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

10

【0265】

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

【0266】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

20

【0267】

(実施の形態5)

本実施の形態は、上記実施の形態に示す半導体装置などが形成された半導体ウェハ、及び当該半導体装置が組み込まれた電子部品の一例を示す。

【0268】

<半導体ウェハ>

初めに、半導体装置などが形成された半導体ウェハの例を、図10Aを用いて説明する。

【0269】

図10Aに示す半導体ウェハ4800は、ウェハ4801と、ウェハ4801の上面に設けられた複数の回路部4802と、を有する。なお、ウェハ4801の上面において、回路部4802の無い部分は、スペーシング4803であり、ダイシング用の領域である。

30

【0270】

半導体ウェハ4800は、ウェハ4801の表面に対して、前工程によって複数の回路部4802を形成することで作製することができる。また、その後、ウェハ4801の複数の回路部4802が形成された反対側の面を研削して、ウェハ4801の薄膜化してもよい。この工程により、ウェハ4801の反りなどを低減し、部品としての小型化を図ることができる。

【0271】

次の工程としては、ダイシング工程が行われる。ダイシングは、一点鎖線で示したスクライプラインSCL1及びスクライプラインSCL2(ダイシングライン、又は切断ラインと呼ぶ場合がある)に沿って行われる。なお、スペーシング4803は、ダイシング工程を容易に行うために、複数のスクライプラインSCL1が平行になるように設け、複数のスクライプラインSCL2が平行になるように設け、スクライプラインSCL1とスクライプラインSCL2が垂直になるように設けるのが好ましい。

40

【0272】

ダイシング工程を行うことにより、図10Bに示すようなチップ4800aを、半導体ウェハ4800から切り出すことができる。チップ4800aは、ウェハ4801aと、回路部4802と、スペーシング4803aと、を有する。なお、スペーシング4803aは、極力小さくなるようにするのが好ましい。この場合、隣り合う回路部4802の間

50

のスペーシング4803の幅が、スクライプラインSCL1の切りしりと、又はスクライプラインSCL2の切りしりとほぼ同等の長さであればよい。

【0273】

なお、本発明の一態様の素子基板の形状は、図10Aに図示した半導体ウェハ4800の形状に限定されない。例えば、矩形の形状の半導体ウェハであってもよい。素子基板の形状は、素子の作製工程、及び素子を作製するための装置に応じて、適宜変更することができる。

【0274】

<電子部品>

次に、チップ4800aが組み込まれた電子部品の例を、図10C、図10Dを用いて説明を行う。

【0275】

図10Cに電子部品4700および電子部品4700が実装された基板(実装基板4704)の斜視図を示す。図10Cに示す電子部品4700は、リード4701と、上述したチップ4800aと、を有し、ICチップ等として機能する。

【0276】

電子部品4700は、例えば、リードフレームのリード4701とチップ4800a上の電極とを金属の細線(ワイヤー)で電氣的に接続するワイヤーボンディング工程と、エポキシ樹脂等によって封止するモールド工程と、リードフレームのリード4701へのメッキ処理と、パッケージの表面への印字処理と、を行うことで作製することができる。また、ワイヤーボンディング工程は、例えば、ボールボンディングや、ウェッジボンディングなどを用いることができる。また、図10Cでは、電子部品4700のパッケージにQFP(Quad Flat Package)を適用しているが、パッケージの態様はこれに限定されない。

【0277】

電子部品4700は、例えばプリント基板4702に実装される。このようなICチップが複数組み合わされて、それぞれがプリント基板4702上で電氣的に接続されることで実装基板4704が完成する。

【0278】

図10Dに電子部品4730の斜視図を示す。電子部品4730は、SiP(System in Package)またはMCM(Multi Chip Module)の一例である。電子部品4730は、パッケージ基板4732(プリント基板)上にインターポーザ4731が設けられ、インターポーザ4731上に半導体装置4735、および複数の半導体装置4710が設けられている。

【0279】

電子部品4730では、半導体装置4710を有する。半導体装置4710としては、例えば、上記実施の形態で説明した半導体装置、広帯域メモリ(HBM:High Bandwidth Memory)などとすることができる。また、半導体装置4735は、CPU、GPU、FPGA、記憶装置などの集積回路(半導体装置)を用いることができる。

【0280】

パッケージ基板4732は、セラミック基板、プラスチック基板、またはガラスエポキシ基板などを用いることができる。インターポーザ4731は、シリコンインターポーザ、樹脂インターポーザなどを用いることができる。

【0281】

インターポーザ4731は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ4731は、インターポーザ4731上に設けられた集積回路をパッケージ基板4732に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポ

10

20

30

40

50

ーザ4731に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板4732を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSV(Through Silicon Via)を用いることも出来る。

【0282】

インターポーザ4731としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

【0283】

HBMでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBMを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBMを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

10

【0284】

また、シリコンインターポーザを用いたSiPやMCMなどでは、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2.5Dパッケージ(2.5次元実装)では、シリコンインターポーザを用いることが好ましい。

20

【0285】

また、電子部品4730と重ねてヒートシンク(放熱板)を設けてもよい。ヒートシンクを設ける場合は、インターポーザ4731上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品4730では、半導体装置4710と半導体装置4735の高さを揃えることが好ましい。

【0286】

電子部品4730を他の基板に実装するため、パッケージ基板4732の底部に電極4733を設けてもよい。図10Dでは、電極4733を半田ボールで形成する例を示している。パッケージ基板4732の底部に半田ボールをマトリクス状に設けることで、BGA(Ball Grid Array)実装を実現できる。また、電極4733を導電性のピンで形成してもよい。パッケージ基板4732の底部に導電性のピンをマトリクス状に設けることで、PGA(Pin Grid Array)実装を実現できる。

30

【0287】

電子部品4730は、BGAおよびPGAに限らず様々な実装方法を用いて他の基板に実装することができる。例えば、SPGA(Staggered Pin Grid Array)、LGA(Land Grid Array)、QFP(Quad Flat Package)、QFJ(Quad Flat J leaded package)、またはQFN(Quad Flat Non leaded package)などの実装方法を用いることができる。

【0288】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

40

【0289】

(実施の形態6)

本実施の形態では、上記の実施の形態で述べた半導体装置を適用した電子機器について説明する。

【0290】

図11は、上記の実施の形態で述べた半導体装置の構成例を示している。電子機器100は、当該半導体装置とする回路20と、検出部30と、処理部40と、記憶部50と、表示部60と、電源回路70と、を有する。

50

【 0 2 9 1 】

電子機器 1 0 0 は、外部から検知対象物 9 0 を取得して、検知対象物 9 0 を電気信号などの情報に変換するセンサとしての機能を有する。検知対象物 9 0 とは、例えば、温度、光（可視光、X 線、紫外線、赤外線などを含む）、音、水やガスなどの物質（成分）、力、変位、位置、速度、加速度、角速度、回転数、磁気、電場、電流、電圧、電力、放射線、流量、傾度などを含む。

【 0 2 9 2 】

検出部 3 0 は、上記に記した検知対象物 9 0 の一、又は選ばれた複数を検知する機能と、検知対象物 9 0 を検知した際に電流を出力する機能を有する。なお、検出部 3 0 は、検知対象物の量、強さ、大きさなどに応じて、出力する電流の大きさが変化する構成とするのが好ましい。出力された電流は、回路 2 0 の入力端子に入力される。

10

【 0 2 9 3 】

回路 2 0 は、上記の実施の形態で説明したとおり、入力端子に入力された電流に応じた電圧を出力端子に出力する。当該電圧は処理部 4 0 に供給される。

【 0 2 9 4 】

電源回路 7 0 は、電子機器 1 0 0 に含まれる回路 2 0 や検出部 3 0 などの装置に電力を供給する機能を有する。

【 0 2 9 5 】

処理部 4 0 は、回路 2 0 から出力された電圧に基づいて、検知対象物 9 0 の物理量を算出する機能を有する。算出した物理量は、記憶部 5 0、及び / 又は表示部 6 0 に送られる。

20

【 0 2 9 6 】

記憶部 5 0 は、処理部 4 0 から送られた物理量を記憶する機能を有する。なお、電子機器 1 0 0 の用途によっては、記憶部 5 0 は電子機器 1 0 0 に含まれていなくてもよい。

【 0 2 9 7 】

表示部 6 0 は、処理部 4 0 から送られた物理量を視覚的に表示する機能を有する。表示部 6 0 は、例えば、表示装置（液晶表示装置、発光装置など）、メータ（計量器）などを適用することができる。

【 0 2 9 8 】

次に、電子機器 1 0 0 として利用が可能な製品の一例を説明する。

【 0 2 9 9 】

[ビデオカメラ]

上記で説明した電子機器 1 0 0 は、ビデオカメラに適用することができる。

30

【 0 3 0 0 】

図 1 2 A には、撮像装置の一例であるビデオカメラ 6 3 0 0 が図示されている。ビデオカメラ 6 3 0 0 は、第 1 筐体 6 3 0 1、第 2 筐体 6 3 0 2、表示部 6 3 0 3、操作キー 6 3 0 4、レンズ 6 3 0 5、接続部 6 3 0 6 等を有する。操作キー 6 3 0 4 及びレンズ 6 3 0 5 は第 1 筐体 6 3 0 1 に設けられており、表示部 6 3 0 3 は第 2 筐体 6 3 0 2 に設けられている。そして、第 1 筐体 6 3 0 1 と第 2 筐体 6 3 0 2 とは、接続部 6 3 0 6 により接続されており、第 1 筐体 6 3 0 1 と第 2 筐体 6 3 0 2 との間の角度は、接続部 6 3 0 6 により変更が可能である。表示部 6 3 0 3 における映像を、接続部 6 3 0 6 における第 1 筐体 6 3 0 1 と第 2 筐体 6 3 0 2 との間の角度に従って切り替える構成としてもよい。

40

【 0 3 0 1 】

ビデオカメラ 6 3 0 0 は、検知対象物 9 0 の検出として映像を撮影する。このため、検出部 3 0 は、ビデオカメラ 6 3 0 0 内の光電変換素子（撮像素子）を含むセル（イメージセンサ）に相当し、表示部 6 0 は、表示部 6 3 0 3 に相当する。

【 0 3 0 2 】

[カメラ]

上記で説明した電子機器 1 0 0 は、カメラに適用することができる。

【 0 3 0 3 】

図 1 2 B には、撮像装置の一例であるデジタルカメラ 6 2 4 0 が図示されている。デジ

50

タルカメラ 6 2 4 0 は、筐体 6 2 4 1、表示部 6 2 4 2、操作ボタン 6 2 4 3、シャッターボタン 6 2 4 4 等を有し、また、デジタルカメラ 6 2 4 0 には、着脱可能なレンズ 6 2 4 6 が取り付けられている。なお、ここではデジタルカメラ 6 2 4 0 を、レンズ 6 2 4 6 を筐体 6 2 4 1 から取り外して交換することが可能な構成としたが、レンズ 6 2 4 6 と筐体 6 2 4 1 とが一体となってもよい。また、デジタルカメラ 6 2 4 0 は、ストロボ装置や、ビューファインダー等を別途装着することができる構成としてもよい。

【0304】

デジタルカメラ 6 2 4 0 は、検知対象物 9 0 の検出として被写体を画像として撮影する。このため、検出部 3 0 は、デジタルカメラ 6 2 4 0 内の光電変換素子（撮像素子）を含むセル（イメージセンサ）に相当し、表示部 6 0 は、表示部 6 2 4 2 に相当する。

10

【0305】

また、検知対象物 9 0 は被写体だけでなく、外光の明るさも検知対象物 9 0 としてもよい。これにより、デジタルカメラ 6 2 4 0 は、環境の明るさに合わせて自動的にフラッシュを焚く機能、撮像した画像を調色する機能などを有することができる。

【0306】

[ロボット]

上記で説明した電子機器 1 0 0 は、ロボットに適用することができる。

【0307】

図 1 2 C は、ロボットの一例を示している。ロボット 6 1 4 0 は、それぞれの接触センサ 6 1 4 1 a 乃至 6 1 4 1 e を有する。ロボット 6 1 4 0 は、接触センサ 6 1 4 1 a 乃至 6 1 4 1 e を用いて、対象物をつかむことができる。接触センサ 6 1 4 1 a 乃至 6 1 4 1 e としては、例えば、対象物に触れたときの接地面積に応じて、対象物に対して電流が流れる機能を有し、流れる電流の量からロボット 6 1 4 0 が対象物をつかんでいるという認識をすることができる。

20

【0308】

図 1 2 D は、産業用ロボットの一例を示している。産業用ロボットは、駆動範囲を細かく制御するために複数の駆動軸を有することが好ましい。産業用ロボット 6 1 5 0 は、機能部 6 1 5 1、制御部 6 1 5 2、駆動軸 6 1 5 3、駆動軸 6 1 5 4、及び駆動軸 6 1 5 5 を備えた例を示している。機能部 6 1 5 1 は画像検出モジュールなどのセンサを有していることが好ましい。

30

【0309】

また、機能部 6 1 5 1 は、対象物をつかむ、切る、溶接する、塗布する、貼付するなどの機能のいずれか一もしくは複数の機能を有していることが好ましい。産業用ロボット 6 1 5 0 は、応答性が向上すると、生産性が比例して向上する。また、産業用ロボット 6 1 5 0 が精密な動作を行うためには、微小電流を検知するセンサなどを設けることが好ましい。

【0310】

[報知器]

上記で説明した電子機器 1 0 0 は、報知器に適用することができる。図 1 2 E には、報知器 6 9 0 0 が図示されており、報知器 6 9 0 0 は、感知機 6 9 0 1 と、受信機 6 9 0 2 と、発信機 6 9 0 3 とを有する。

40

【0311】

感知機 6 9 0 1 は、センサ回路 6 9 0 4、窓 6 9 0 5、操作キー 6 9 0 6 等を有する。窓 6 9 0 5 を通過した光は、センサ回路 6 9 0 4 に照射される。センサ回路 6 9 0 4 としては、例えば、漏水、漏電、ガス漏洩、火災、氾濫する恐れのある河川の水位、地震の震度、放射線などを検知対象物 9 0 とする検知器とすることができる。感知機 6 9 0 1 は、例えば、規定値以上の検知対象物 9 0 がセンサ回路 6 9 0 4 にて感知されると、その情報を受信機 6 9 0 2 に送る。受信機 6 9 0 2 は、表示部 6 9 0 7、操作キー 6 9 0 8、操作キー 6 9 0 9、配線 6 9 1 0 等を有する。受信機 6 9 0 2 は、感知機 6 9 0 1 からの情報に従って、発信機 6 9 0 3 の動作を制御する。発信機 6 9 0 3 は、スピーカ 6 9 1 1、照

50

明装置 6 9 1 2 などを有する。発信機 6 9 0 3 は、受信機 6 9 0 2 からの命令に従って、警報を発信する機能を有する。図 1 2 E では、発信機 6 9 0 3 が、スピーカ 6 9 1 1 を用いた音声による警報と、赤色灯などの照明装置 6 9 1 2 を用いた光による警報とを共に行う例を示しているが、いずれか一方のみの警報またはそれ以外の警報を、発信機 6 9 0 3 が行うようにしてもよい。

【 0 3 1 2 】

また、センサ回路が火災報知器として機能する場合、警報の発信に伴い、シャッターなどの防火設備に、所定の動作を行う旨の命令を受信機 6 9 0 2 が送るようにしても良い。また、図 1 2 E では、受信機 6 9 0 2 と感知機 6 9 0 1 との間において無線で信号の送受信が行われる場合を例示したが、配線等を介して信号の送受信が行われていてもよい。また、図 1 2 E では、受信機 6 9 0 2 から発信機 6 9 0 3 へ、配線 6 9 1 0 を介して信号の送信が行われている場合を例示したが、無線で信号の送信が行われていてもよい。

10

【 0 3 1 3 】

[I C D]

上記で説明した電子機器 1 0 0 は、植え込み型除細動器 (I C D) に適用することができる。

【 0 3 1 4 】

図 1 3 A は、I C D の一例を示す断面模式図である。I C D 本体 5 3 0 0 は、バッテリー 5 3 0 1 a、5 3 0 1 b と、レギュレータと、制御回路と、アンテナ 5 3 0 4 と、右心房へのワイヤ 5 3 0 2、右心室へのワイヤ 5 3 0 3 とを少なくとも有している。

20

【 0 3 1 5 】

I C D 本体 5 3 0 0 は手術により体内に設置され、二本のワイヤは、人体の鎖骨下静脈 5 3 0 5 及び上大静脈 5 3 0 6 を通過させて一方のワイヤ先端が右心室、もう一方のワイヤ先端が右心房に設置されるようにする。

【 0 3 1 6 】

I C D 本体 5 3 0 0 は、ペースメーカーとしての機能を有し、心拍数が規定の範囲から外れた場合に心臓に対してペーシングを行う。また、ペーシングによって心拍数が改善しない場合 (速い心室頻拍や心室細動など)、電気ショックによる治療が行われる。

【 0 3 1 7 】

I C D 本体 5 3 0 0 は、ペーシング及び電気ショックを適切に行うため、心拍数を常に監視する必要がある。そのため、I C D 本体 5 3 0 0 は、心拍数を検知するためのセンサを有する。そして、当該センサとして図 1 1 の電子機器 1 0 0 を適用することができる。この場合、検知対象物 9 0 は心拍数となる。また、I C D 本体 5 3 0 0 は体内に設置されるため、表示部 6 0 は有さなくてもよい。また、I C D 本体 5 3 0 0 は、記憶部 5 0 に、心拍数のデータ、ペーシングによる治療を行った回数、時間などを記憶することができる。

30

【 0 3 1 8 】

また、アンテナ 5 3 0 4 で電力が受信でき、その電力は複数のバッテリー 5 3 0 1 a、5 3 0 1 b に充電され、ペースメーカーの交換頻度を少なくすることができる。I C D 本体 5 3 0 0 は複数のバッテリーを有しているため、安全性が高く、一方が故障したとしてももう一方が機能させることができるため、補助電源としても機能する。

40

【 0 3 1 9 】

また、電力を受信できるアンテナ 5 3 0 4 とは別に、生理信号を送信できるアンテナを有していてもよく、例えば、脈拍、呼吸数、心拍数、体温などの生理信号を外部のモニタ装置で確認できるような心臓活動を監視するシステムを構成してもよい。

【 0 3 2 0 】

図 1 3 B に示すセンサ 5 9 0 0 は、接着パッド等を用いて人体に取り付けられる。センサ 5 9 0 0 は、配線 5 9 3 2 を介して人体に取り付けられた電極 5 9 3 1 等に信号を与えて心拍数、心電図等の生体情報等を取得する。取得された情報は無線信号として、読み取り器等の端末に送信される。

【 0 3 2 1 】

50

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【実施例 1】

【0322】

< 計算とその結果 >

図 1 A に示す回路 20 の構成において、微小な電流の計測が適切に行われているかを確認するため、回路シミュレータを用いて計算を行った。

【0323】

当該計算で使用したソフトウェアは、SILVACO 社の SmartSpice (version 8.2.12.R) という回路シミュレータである。当該シミュレータを用いて、トランジスタ M1 の第 1 端子に入力される電流に対する、出力端子 OT から出力される出力電圧 V_{out} について計算を行った。

10

【0324】

初めに、当該計算を行うための回路構成について説明する。図 14 A は、図 1 A に示す回路 20 を基として、回路シミュレータに入力した回路構成である。回路 20 S は、図 1 A の回路 20 に加え、定電圧源 VC1、VC2、定電流源 CC1 を有する。

【0325】

定電圧源 VC1 の + 側端子は、オペアンプ OP1 の高電源電位入力端子 DT と、定電流源 CC1 の - 側端子と、に電氣的に接続され、定電流源 CC1 の + 側端子は、トランジスタ M1 の第 1 端子及びゲートと、オペアンプ OP1 の反転入力端子と、に電氣的に接続されている。定電圧源 VC2 の + 側端子は、オペアンプ OP1 の非反転入力端子に電氣的に接続されている。配線 GNDL は、定電圧源 VC1 の - 側端子と、定電圧源 VC2 の - 側端子と、オペアンプ OP1 の低電源電位入力端子 ST と、に電氣的に接続されている。なお、当該計算において、配線 GNDL の電位は、0 V としている。

20

【0326】

定電圧源 VC1 は、+ 側端子と - 側端子との間に 3.3 V の電圧を与え、定電圧源 VC2 は、+ 側端子と - 側端子との間に 1.5 V の電圧を与える条件としている。また、定電流源 CC1 は、回路 20 S の入力端子 IT に入力するための電流 I_{in} を生成する回路として機能し、当該計算では、1 μ A から 1 mA までの電流を入力端子 IT に入力する。

【0327】

また、当該計算の条件において、トランジスタ M1 のチャネル長を 0.36 μ m、チャネル幅を 0.36 μ m、しきい値電圧を 0.83 V とした。

30

【0328】

回路 20 S の電圧 V_{out} と電流 I_{in} の特性を算出するにあたり、初めにダイオード接続されたトランジスタ M1 のダイオード特性について説明する。図 14 B は、図 14 A のダイオード接続されたトランジスタ M1 のみを図示している。ゲートに印加される電圧を V_g (トランジスタ M1 の第 1 端子 第 2 端子間に印加される電圧を V_d) としたとき、トランジスタ M1 の第 1 端子 第 2 端子間に流れる電流 I_d は、同様の回路シミュレータを用いた計算によって、図 15 の結果となる。

【0329】

次に、回路 20 S における、トランジスタ M1 の第 1 端子に入力される電流 I_{in} に対する、出力端子 OT から出力される出力電圧 V_{out} について計算を行った。当該計算の結果を図 16 に示す。

40

【0330】

図 16 より、1 μ A から 1 fA 近傍までの電流 I_{in} が入力端子 IT に入力されたとき、出力電圧 V_{out} はおよそ 1.5 V の一定の電圧として出力されていることが分かる。これは、オペアンプ OP1 に入力される差動電圧が動作範囲外となっているからであり、回路 20 S では、出力電圧 V_{out} はおよそ 1.5 V に飽和して出力される。このため、1 μ A から 1 fA 近傍までの電流 I_{in} において、それぞれ異なる出力電圧 V_{out} を出力することができないため、1 μ A から 1 fA 近傍までの電流 I_{in} を測定することができない

50

。なお、 1 z A から 1 f A 近傍までの電流 I_{in} における出力電圧 V_{out} の特性は、電流 I_d がおよそ 1 f A 以下のときのトランジスタM1のダイオード特性(図15)に相当し、トランジスタM1の V_g はほぼ 0 V となっている。

【0331】

また、 2 n A 近傍の電流 I_{in} が入力端子ITに入力されたとき、出力電圧 V_{out} はおよそ 0.6 V として出力され、その後電流 I_{in} を上げていくと、急勾配で出力電圧 V_{out} が下がっていき、 70 n A 近傍において出力電圧 V_{out} が 0 V となる。この電流 I_{in}

出力電圧 V_{out} の特性は、電流 I_d がおよそ 2 n A 以上 70 n A 以下の範囲のときのトランジスタM1のダイオード特性(図15)に相当し、この電流範囲のトランジスタM1のダイオード特性は、 100 p A 以上 2 n A 未満の範囲よりも傾きが緩やかとなる。

10

【0332】

そして、 70 n A 近傍よりも大きい電流 I_{in} が入力端子ITに入力されると、出力電圧 V_{out} はおよそ 0 V の一定の電圧として出力される。一方、トランジスタM1のダイオード特性(図15)では、 70 n A 以上の電流 I_d が流れるとき、トランジスタM1の V_g はおよそ 1.5 V 以上となるが、回路20Sでは、オペアンプOP1に入力される差動電圧が動作範囲外となっているため、出力電圧 V_{out} はおよそ 0 V に飽和して出力される。そのため、 70 n A 近傍よりも大きい電流 I_{in} が入力端子ITに入力されている場合、トランジスタM1の V_g はおよそ 1.5 V の一定電圧となる。

【0333】

ここで、図16において、 10 f A から 1 n A までの電流 I_{in} の範囲を拡大した電流電圧特性を、図17に示す。図17より、電流 I_{in} が 10 f A から 1 n A までの範囲であるとき、出力電圧 V_{out} は、負の傾きを有する一次式として表すことができる。この一次式で表せられる範囲を、ここでは、測定可能領域と呼称する。なお、この領域は、トランジスタM1のダイオード特性(図15)の電流 I_d が 10 f A から 1 n A までの範囲に相当する。このため、ダイオード接続されたトランジスタM1をダイオード素子として用いることにより、回路20Sは、 10 f A から 1 n A までの電流 I_{in} を測定することができる。

20

【0334】

次に、トランジスタM1のしきい値電圧を 0.83 V からプラス側に、及び 0.83 V からマイナス側に変化させたときの、回路20Sの電流電圧特性を図18に示す。しきい値電圧は、条件CN0乃至条件CN11に従って変化させている。条件CN0は、図16に示した回路20Sの電流電圧特性と同じ条件であって、トランジスタM1のしきい値電圧が 0.83 V の条件である。条件CN1乃至条件CN7は、条件CN0におけるトランジスタM1のしきい値電圧をマイナス側にシフトさせた条件であって、それぞれの条件のしきい値電圧のシフト量は -0.4 V 、 -0.8 V 、 -1.2 V 、 -1.6 V 、 -2.0 V 、 -2.4 V 、 -2.8 V である。また、条件CN8乃至条件CN11のそれぞれは、条件CN0におけるトランジスタM1のしきい値電圧をプラス側にシフトさせた条件であって、それぞれの条件のしきい値電圧のシフト量は 0.4 V 、 0.8 V 、 1.2 V 、 1.6 V の条件である。

30

【0335】

条件CN0から条件CN7に変化させて、トランジスタM1のしきい値電圧を 0 V から下げたとき、電流電圧の特性の傾きを有する領域において、当該傾きが負側に急峻となるため、電流 I_{in} の測定可能領域が狭くなる。

40

【0336】

一方、条件CN0、条件CN8乃至条件CN11と変化させて、トランジスタM1のしきい値電圧を 0 V から上げたとき、測定可能領域は、条件CN8では 100 a A 近傍から 1 n A 近傍までの範囲、条件CN9では 1 a A 近傍から 100 p A 近傍までの範囲、更に条件CN10では 1 z A 近傍から 1 p A 近傍までの範囲となった。このことから、回路20Sにおいて、トランジスタM1のしきい値電圧をプラス側にシフトさせることによって、より微小な電流を測定することができる。

50

【実施例 2】

【0337】

< CAAC IGZO FETの高温特性 >

本発明の一態様の半導体装置に備えることができる電界効果型のOSトランジスタ（以後、CAAC IGZO FETと呼称する。）は、温度依存性が低く、高温環境下でも安定して動作することができる。本実施例では、CAAC IGZO FETの高温特性に関する実験とその結果について説明する。

【0338】

CAAC IGZO FETは、CMOSなどの半導体製造プロセスのBEOL（Back End Of Line）工程で作製できる。よって、Siトランジスタ（Siトランジスタのうち、電界効果型のSiトランジスタを「Si FET」ともいう。）との積層が可能である。例えば、CMOSプロセスで高速動作が必要な回路を作製し、低リーク電流が求められる回路をCAAC IGZOプロセスで作製するといった応用が可能である。

【0339】

また、Si FETは温度上昇にともなってオフ電流が増加するが、CAAC IGZO FETではオフ電流は常に測定下限である。そこで、 L （チャネル長）/ W （チャネル幅） $= 60 \text{ nm} / 120 \text{ nm}$ のSi FETのオフ電流と、 $L/W = 60 \text{ nm} / 60 \text{ nm}$ のCAAC IGZO FETのオフ電流の温度特性を比較した。両者のオフ電流の測定は、図19に示す回路を用いて行なった。

【0340】

図19に示す回路は、DUT（Device Under Test）となるFETと、書き込み用トランジスタWFETと、読み出し回路SFと、を有する。書き込み用トランジスタWFETは、CAAC IGZO FETとしている。読み出し回路SFは、直列に接続されたCAAC IGZO FETを有する。DUTとなるFETの端子Sは、ソース電圧を入力する端子として機能する。なお、図19のDUTとしては、トップゲートTGとバックゲートBGとを有するCAAC IGZO FETを図示しており、DUTがSi FETの場合はこの限りではない。

【0341】

図19において、Si FETをDUTとした場合、Si FETのオフ電流の測定条件は、ゲート電圧 $V_G = -1.0 \text{ V}$ 、ソース電圧 $V_S = 0 \text{ V}$ 、ドレイン電圧 $V_D = 1.2 \text{ V}$ 、ボディー電圧 $V_B = 0 \text{ V}$ とした。また、図19において、CAAC IGZO FETをDUTとした場合、CAAC IGZO FETのオフ電流の測定条件は、ゲート電圧 $V_G = -2.0 \text{ V}$ 、ソース電圧 $V_S = 0 \text{ V}$ 、ドレイン電圧 $V_D = 2.0 \text{ V}$ 、バックゲート電圧 $V_{BG} = -3.0 \text{ V}$ とした。

【0342】

測定結果を図20に示す。測定温度 150°C において、Si FETのオフ電流は約 $2.2 \times 10^{-6} \text{ A}$ であり、CAAC IGZO FETのオフ電流は約 $3.9 \times 10^{-20} \text{ A}$ であった。CAAC IGZO FETは、高温環境下でも低いオフ電流を維持できる。また、バックゲート電圧を調節することで、オフ電流をさらに下げることが可能である。

【0343】

次に、図21に、CAAC IGZO膜の、Hall移動度およびキャリア密度の温度依存性を示す。図21より、CAAC IGZO膜のHall移動度は、温度変化に対してほぼ変化が無いことがわかる。CAAC IGZO膜のHall移動度は、フォノン散乱よりもクーロン散乱が支配的であることが想定されるため、高温においても下らない。

【0344】

次に、 27°C および 150°C でのCAAC IGZO FETとSi FETの遮断周波数 f_T を測定した。測定DUTは、 $L/W = 60 \text{ nm} / 480 \text{ nm}$ のSi FETと $L/W = 21 \text{ nm} / 25 \text{ nm}$ のCAAC IGZO FETを用いて行なった。また、Si FETの測定は、Si FETを21個並列に接続して行なった（ $M = 21$ ）。CAAC

10

20

30

40

50

I G Z O F E Tの測定は、C A A C I G Z O F E Tを672個並列に接続して行なった ($M = 672$)。

【0345】

測定結果を図22に示す。S i F E Tの遮断周波数 f_T の27 から150 における変化率は - 36 %、C A A C I G Z O F E Tの遮断周波数 f_T の27 から150 における変化率は + 55 %であった。S i F E Tと比較して、C A A C I G Z O F E Tは、27 の遮断周波数 f_T と150 の遮断周波数 f_T が減少せず増加する特性が得られた。また、今回測定したS i F E Tでは、測定温度150 、 $V_D = 1.2V$ での遮断周波数は88GHzであって、C A A C I G Z O F E Tでは、測定温度150 、 $V_D = 2.5V$ での遮断周波数 f_T は51GHzであった。

10

【0346】

これらのことから、C A A C I G Z O F E Tは、S i F E Tよりも遮断周波数 f_T の温度増加により、移動度が下がらないことがわかった。また、C A A C I G Z O F E Tにバックゲート電極を設けることで、温度変化によるしきい値電圧の変動を抑制することがわかった。また、C A A C I G Z O F E Tは、温度変化に対する遮断周波数 f_T の変化量がS i F E Tに比べて低いことがわかった。また、C A A C I G Z O F E Tは、高温環境下においてもオフ電流が $10^{-20}A$ と極めて少ないことがわかった。C A A C I G Z O F E Tを用いることで、動作温度範囲が広い環境下において低消費電力な回路や半導体装置、電子機器などを実現できる。

【実施例3】

20

【0347】

< C A A C I G Z O F E Tのしきい値電圧のばらつき、及び信頼性 >

本発明の一態様の半導体装置に備えることができる電界効果型のO S Tランジスタである、C A A C I G Z O F E Tは、しきい値電圧のばらつきが小さく、劣化によるしきい値電圧の変化も小さい。そのため、C A A C I G Z O F E Tは、高い信頼性を有する。本実施例では、C A A C I G Z O F E Tのしきい値電圧のばらつきの度合いを調査した結果と、加速試験によるC A A C I G Z O F E Tのしきい値電圧の変化の測定結果について説明する。

【0348】

初めに、C A A C I G Z O F E Tのしきい値電圧のばらつきの度合いの調査について説明する。調査の方法としては、1枚のウェハの面内に $L/W = 60nm/60nm$ のC A A C I G Z O F E Tを512個形成し、それぞれのC A A C I G Z O F E Tに対して、ゲート ソース間電圧 V_{GS} とソース ドレイン間電流 I_{DS} との特性の測定を行い、測定したそれぞれのC A A C I G Z O F E Tの特性から、C A A C I G Z O F E Tのしきい値電圧 V_{th} を見積もった。なお、ここでのしきい値電圧 V_{th} は、C A A C I G Z O F E Tが、グラデュアルチャネル近似に当てはまるものと仮定し、飽和領域におけるソース ドレイン間電流 I_{DS} から V_{th} を計算した。また、ゲート ソース間電圧 V_{GS} とソース ドレイン間電流 I_{DS} との特性の測定条件は、C A A C I G Z O F E Tのソース ドレイン間電圧 $V_{DS} = 1.2V$ 、バックゲート ソース間電圧 $V_{BS} = 0V$ とした。

30

40

【0349】

図23は、512個のC A A C I G Z O F E Tのしきい値電圧 V_{th} の割合を示した分布図である。また、計算の結果から、C A A C I G Z O F E Tのしきい値電圧 V_{th} の平均値 μ は388mV、標準偏差 は76mVと見積もられた。この結果から、C A A C I G Z O F E Tは、しきい値電圧のばらつきが小さいことが分かった。また、しきい値電圧のばらつきが小さいため、バックゲート ソース間電圧 V_{BS} を適切にすることで、しきい値電圧を例えば0Vなどに調整することができる。

【0350】

次に、加速試験によるC A A C I G Z O F E Tのしきい値電圧の変化の測定について説明する。本加速試験では、150 の環境下において、ゲート電圧 $V_G = 3.63V$

50

、ソース電圧 $V_S = 0 \text{ V}$ 、ドレイン電圧 $V_D = 0 \text{ V}$ 、バックゲート電圧 $V_{BS} = 0 \text{ V}$ として、 $L/W = 60 \text{ nm} / 60 \text{ nm}$ のCAAC IGZO FETのしきい値電圧 V_{th} の変化を測定した。また、本加速試験では、しきい値電圧 V_{th} だけでなく、ソースドレイン間電流 I_{ds} 、S値 (subthreshold swing、SSなどと呼称される。)、電界効果移動度 μ_{FE} についても測定を行った。なお、S値とは、トランジスタのサブスレッショルド領域において、ドレイン電流が1桁変化するのに必要なゲート電圧の変化量の最小値であって、S値が小さいほど、トランジスタのオンとオフとのスイッチング動作を急峻に行うことができる。

【0351】

また、それぞれのCAAC IGZO FETの物性値、特性などを測定するため、加速試験中の任意のタイミングで、ソースドレイン間電圧 $V_{DS} = 1.2 \text{ V}$ 、バックゲート電圧 $V_{BS} = 0 \text{ V}$ として、ソースドレイン間電流 I_{ds} を取得した。また、しきい値電圧 V_{th} は、ソースドレイン間電流 I_{ds} が $1.0 \times 10^{-12} \text{ A}$ となる時のゲートソース間電圧とした。

【0352】

図24A、図24B、図25A、及び図25Bのそれぞれは、2000時間の加速試験による、しきい値電圧 V_{th} 、ソースドレイン間電流 I_{ds} 、S値、電界効果移動度 μ_{FE} の経時変化の結果を示している。図24Aに示す結果より、加速試験開始から1790時間までにおいて、CAAC IGZO FETのしきい値電圧の変化量 $|V_{th}|$ は100mV以下であることが分かった。また、図24B、図25A、及び図25Bに示す結果から、加速試験における、ソースドレイン間電流 I_{ds} 、S値、電界効果移動度 μ_{FE} のそれぞれの変化量についても、図24Aと同様に小さいことが分かった。

【0353】

以上から、1枚のウェハに同時に形成された複数のCAAC IGZO FETにおいて、CAAC IGZO FETのしきい値電圧のばらつきは小さいことが分かった。したがって、CAAC IGZO FETを用いることによって、回路や半導体装置、電子機器などの歩留まりを高めることができる。また、CAAC IGZO FETは、しきい値電圧、ソースドレイン間電流 I_{ds} 、S値、電界効果移動度 μ_{FE} において、高い信頼性を有することが分かった。これらから、CAAC IGZO FETを用いることによって、信頼性の高い回路や半導体装置、電子機器などを実現できる。

【0354】

なお、本実施例は、本明細書に記載の各実施の形態と適宜組み合わせることができる。

【符号の説明】

【0355】

M1：トランジスタ、DE：ダイオード素子、C1：容量素子、OP1：オペアンプ、OSC：回路、CE：回路、IT：入力端子、OT：出力端子、DT：高電源電位入力端子、ST：低電源電位入力端子、GNDL：配線、VC1：定電圧源、VC2：定電圧源、CC1：定電流源、IVC1a：特性、IVC1b：特性、IVC2：特性、TG：トップゲート、BG：バックゲート、S：端子、WFET：書き込み用トランジスタ、SF：読み出し回路、10：回路、20：回路、20A：回路、20S：回路、21：回路、21A：回路、21B：回路、21C：回路、21D：回路、21E：回路、30：検出部、40：処理部、50：記憶部、60：表示部、70：電源回路、90：検知対象物、300：トランジスタ、311：基板、313：半導体領域、314a：低抵抗領域、314b：低抵抗領域、315：絶縁体、316：導電体、320：絶縁体、322：絶縁体、324：絶縁体、326：絶縁体、328：導電体、330：導電体、350：絶縁体、352：絶縁体、354：絶縁体、356：導電体、360：絶縁体、362：絶縁体、364：絶縁体、366：導電体、370：絶縁体、372：絶縁体、374：絶縁体、376：導電体、380：絶縁体、382：絶縁体、384：絶縁体、386：導電体、500：トランジスタ、503：導電体、503a：導電体、503b：導電体、505：導電体、510：絶縁体、512：絶縁体、514：絶縁体、516：絶縁体、51

10

20

30

40

50

8 : 導電体、520 : 絶縁体、522 : 絶縁体、524 : 絶縁体、530 : 酸化物、530a : 酸化物、530b : 酸化物、530c : 酸化物、540 : 導電体、540a : 導電体、540b : 導電体、542a : 導電体、542b : 導電体、543a : 領域、543b : 領域、544 : 絶縁体、546 : 導電体、548 : 導電体、550 : 絶縁体、560 : 導電体、560a : 導電体、560b : 導電体、574 : 絶縁体、580 : 絶縁体、581 : 絶縁体、582 : 絶縁体、586 : 絶縁体、600 : 容量素子、600A : 容量素子、600B : 容量素子、610 : 導電体、611 : 導電体、612 : 導電体、620 : 導電体、630 : 絶縁体、631 : 絶縁体、640 : 絶縁体、650 : 絶縁体、651 : 絶縁体、4700 : 電子部品、4701 : リード、4702 : プリント基板、4704 : 実装基板、4710 : 半導体装置、4730 : 電子部品、4731 : インターポーザ、4732 : パッケージ基板、4733 : 電極、4735 : 半導体装置、4800 : 半導体ウェハ、4800a : チップ、4801 : ウェハ、4801a : ウェハ、4802 : 回路部、4803 : スペーシング、4803a : スペーシング、5300 : ICD本体、5301a : バッテリー、5301b : バッテリー、5302 : ワイヤ、5303 : ワイヤ、5304 : アンテナ、5305 : 鎖骨下静脈、5306 : 上大静脈、5900 : センサ、5931 : 電極、5932 : 配線、6140 : ロボット、6141a : 接触センサ、6141b : 接触センサ、6141c : 接触センサ、6141d : 接触センサ、6141e : 接触センサ、6150 : 産業用ロボット、6151 : 機能部、6152 : 制御部、6153 : 駆動軸、6154 : 駆動軸、6155 : 駆動軸、6240 : デジタルカメラ、6241 : 筐体、6242 : 表示部、6243 : 操作ボタン、6244 : シャッターボタン、6246 : レンズ、6300 : ビデオカメラ、6301 : 第1筐体、6302 : 第2筐体、6303 : 表示部、6304 : 操作キー、6305 : レンズ、6306 : 接続部、6900 : 報知器、6901 : 感知機、6902 : 受信機、6903 : 発信機、6904 : センサ回路、6905 : 窓、6906 : 操作キー、6907 : 表示部、6908 : 操作キー、6909 : 操作キー、6910 : 配線、6911 : スピーカ、6912 : 照明装置

10

20

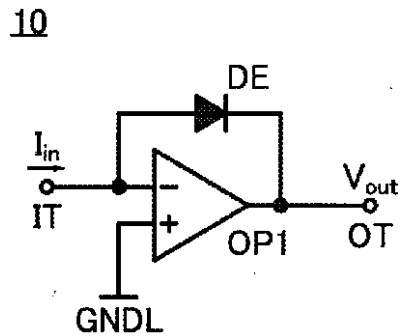
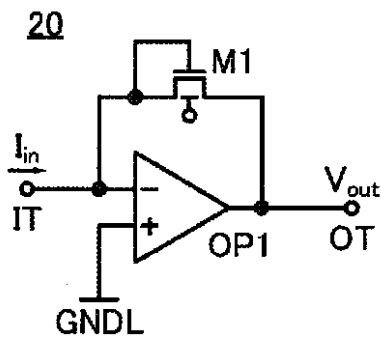
【図面】

【図1A】

【図1B】

図1A

図1B



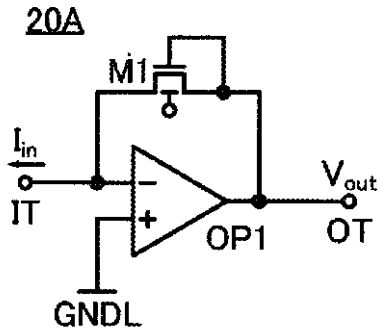
30

40

50

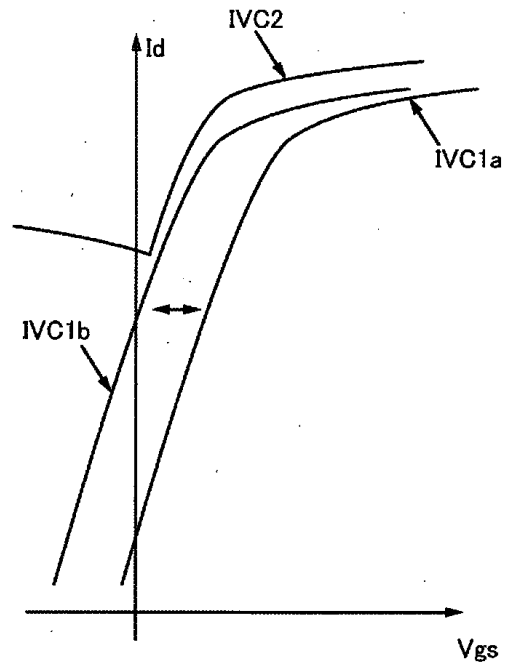
【図1C】

図1C



【図2】

図2

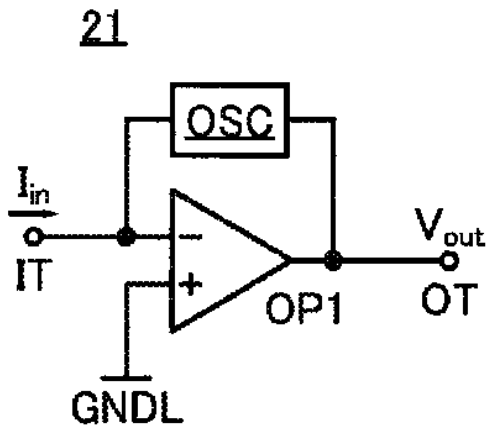


10

20

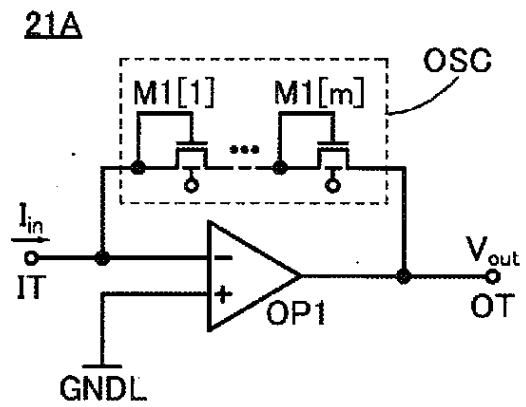
【図3A】

図3A



【図3B】

図3B

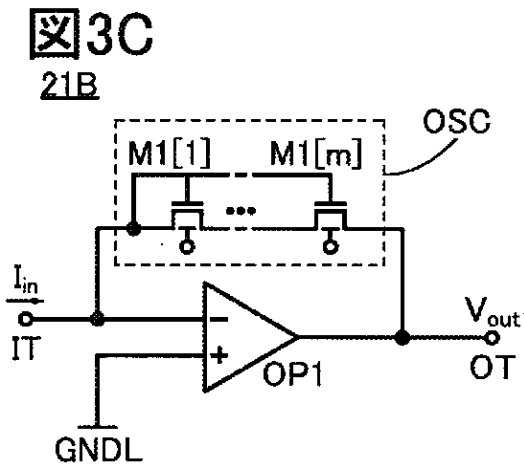


30

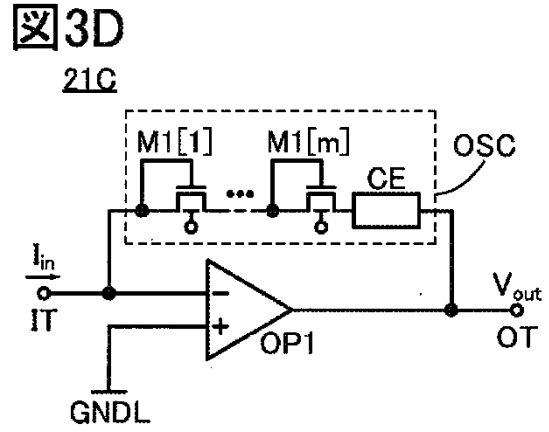
40

50

【図 3 C】

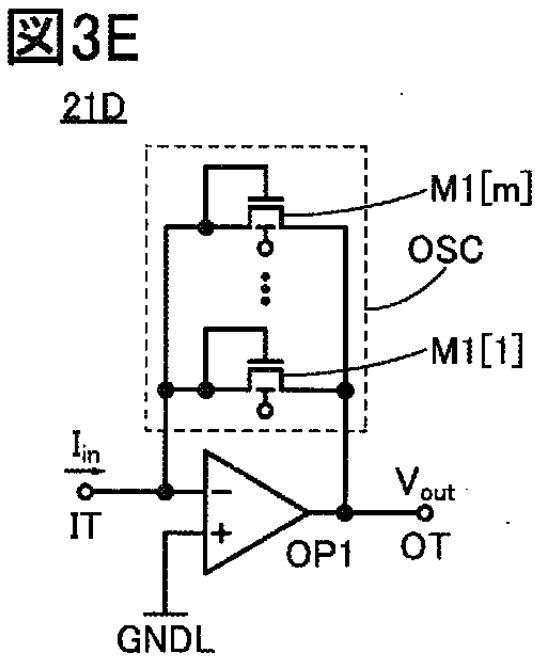


【図 3 D】

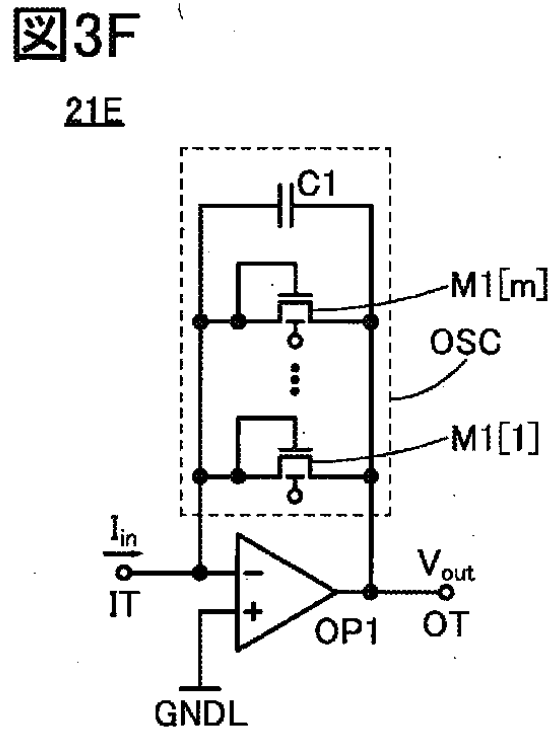


10

【図 3 E】



【図 3 F】



20

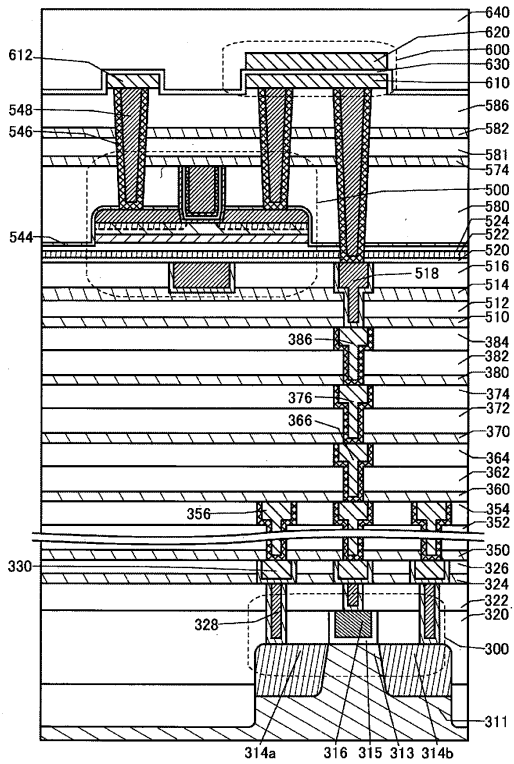
30

40

50

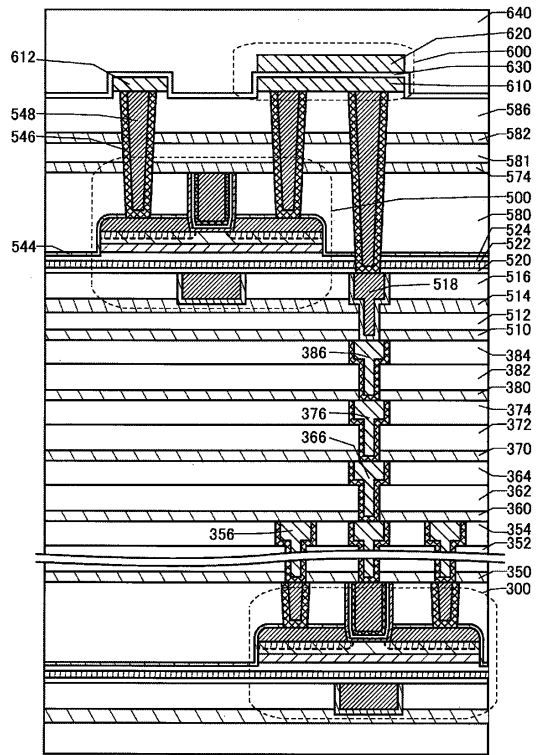
【 図 4 】

図4



【 図 5 】

図5

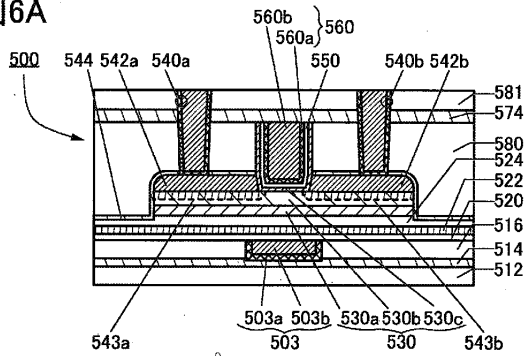


10

20

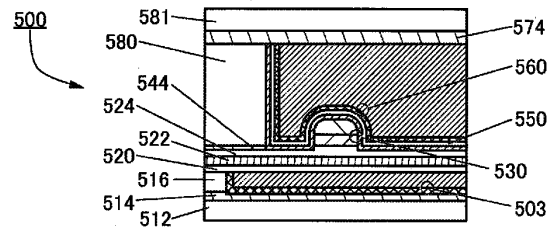
【 図 6 A 】

図6A



【 図 6 B 】

図6B



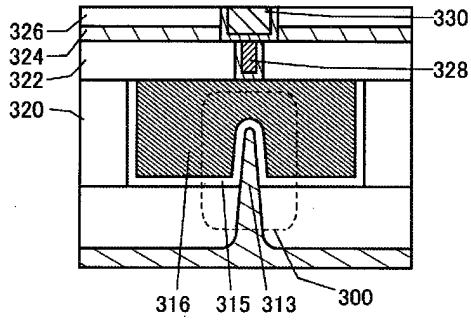
30

40

50

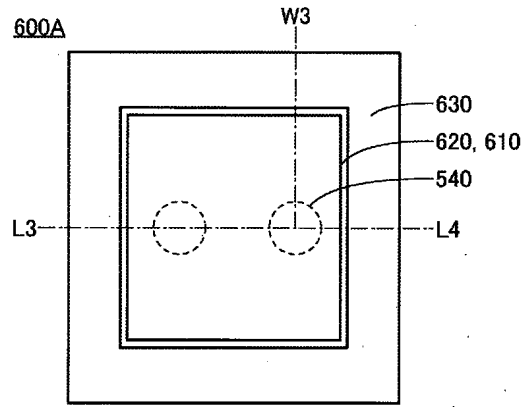
【図6C】

図6C



【図7A】

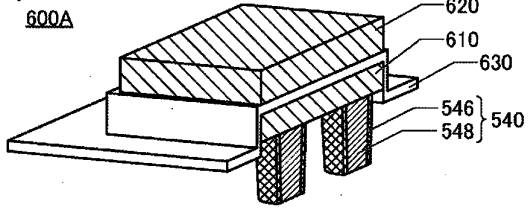
図7A



10

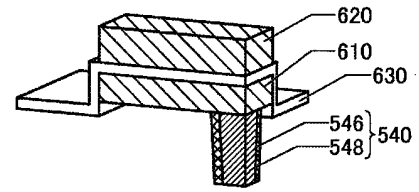
【図7B】

図7B



【図7C】

図7C



20

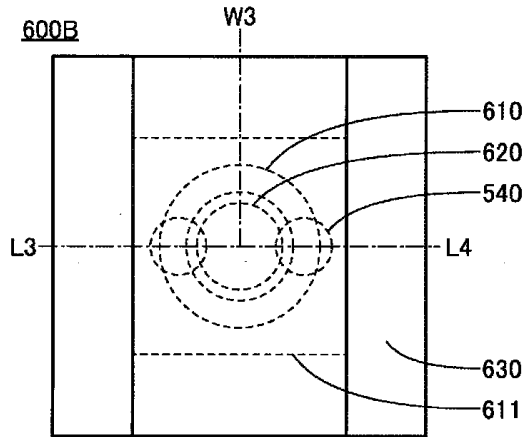
30

40

50

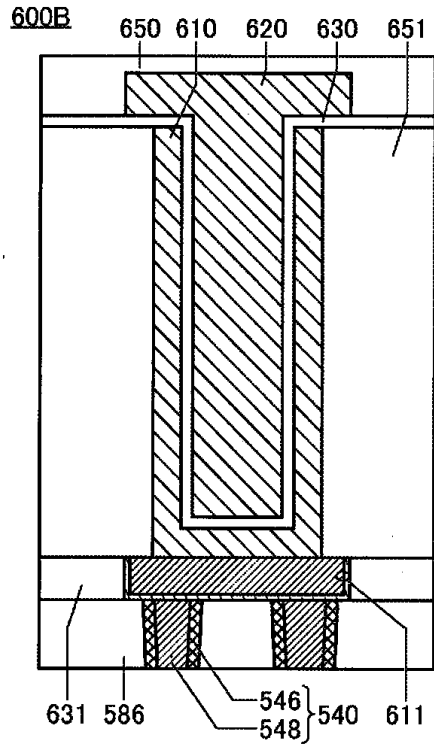
【 8 A 】

8A



【 8 B 】

8B

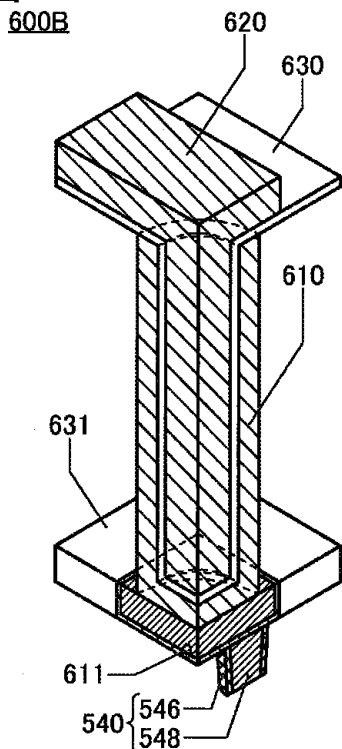


10

20

【 8 C 】

8C



【 9 A 】

9A

Amorphous	Crystalline	Crystal
completely amorphous	<ul style="list-style-type: none"> •CAAC •nc •CAC 	<ul style="list-style-type: none"> •single crystal •poly crystal

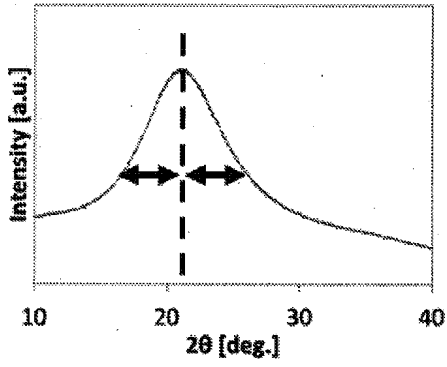
30

40

50

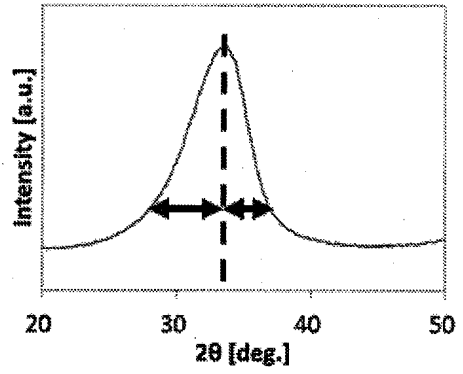
【図9B】

図9B



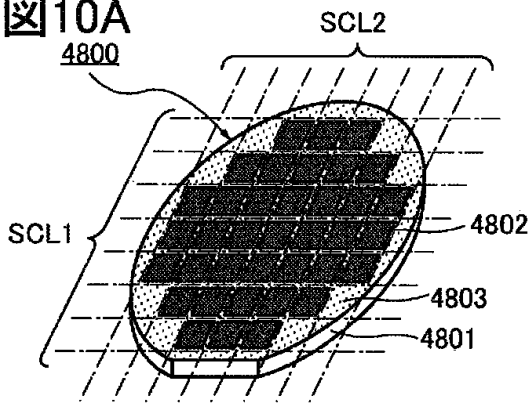
【図9C】

図9C



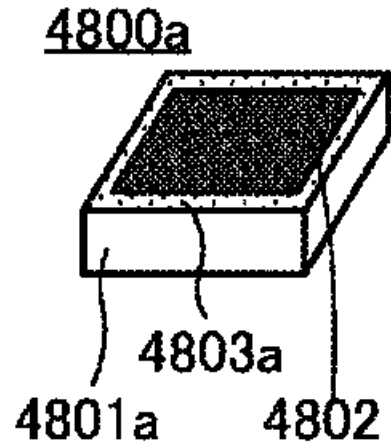
【図10A】

図10A



【図10B】

図10B



10

20

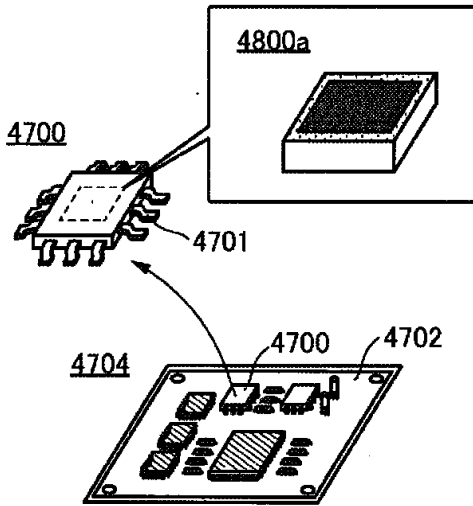
30

40

50

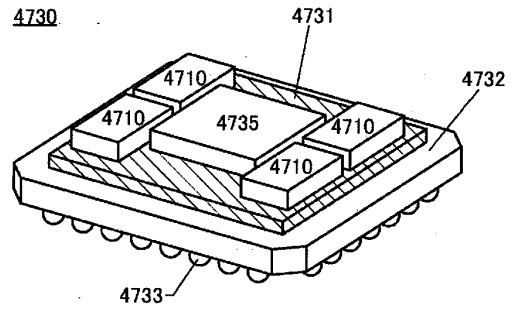
【図10C】

図10C



【図10D】

図10D

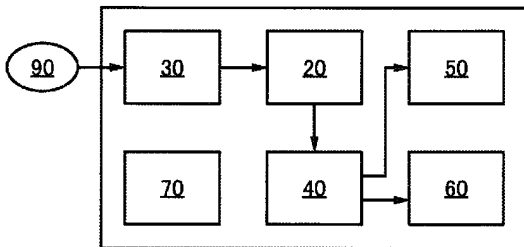


10

【図11】

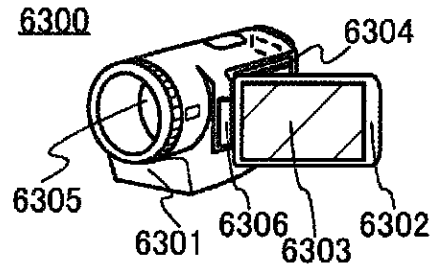
図11

100



【図12A】

図12A



20

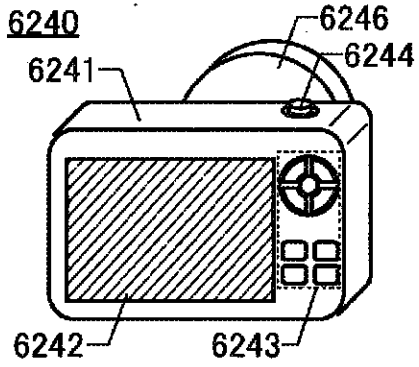
30

40

50

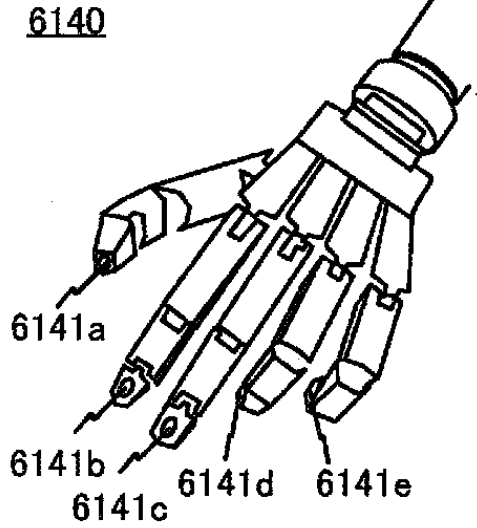
【図12B】

図12B



【図12C】

図12C



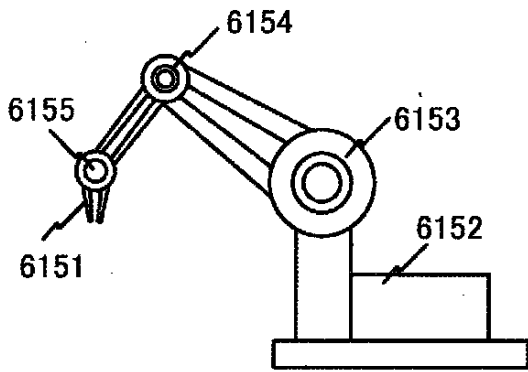
10

20

【図12D】

図12D

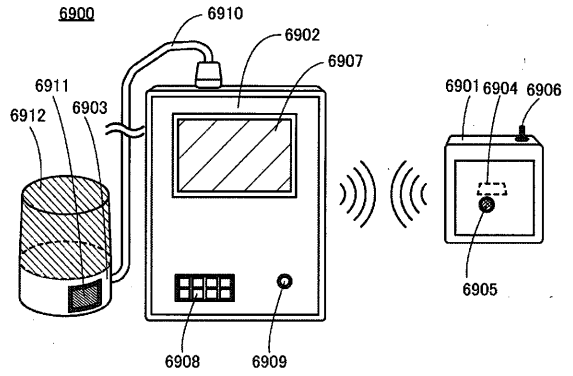
6150



【図12E】

図12E

6900



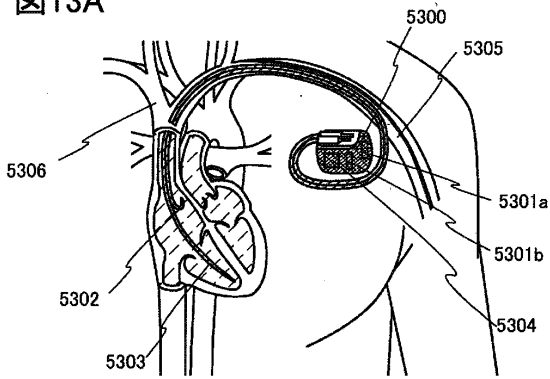
30

40

50

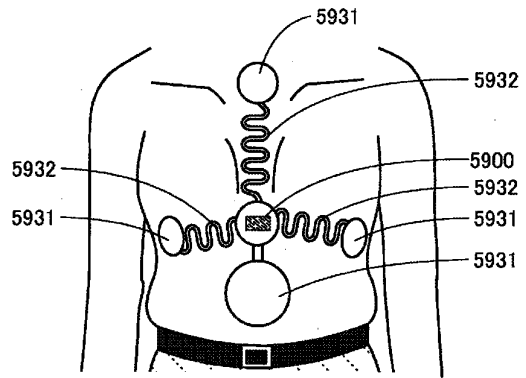
【図13A】

図13A



【図13B】

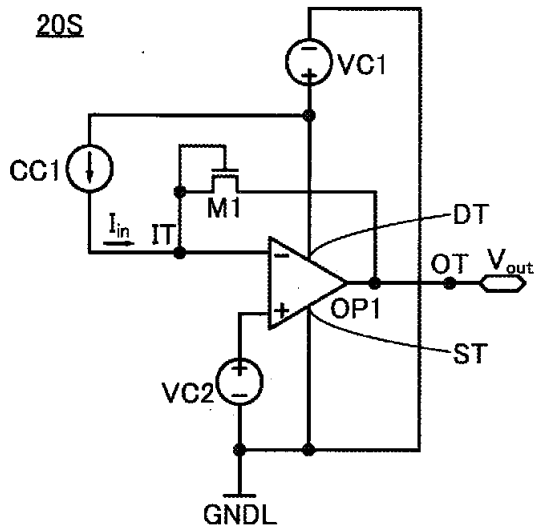
図13B



10

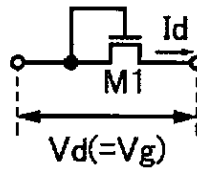
【図14A】

図14A



【図14B】

図14B



20

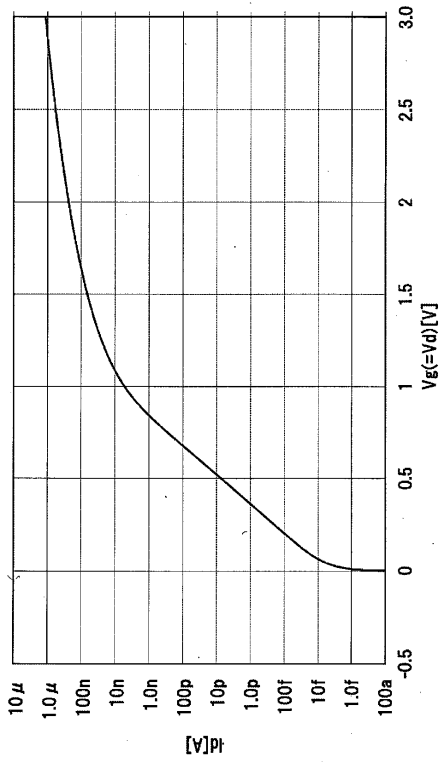
30

40

50

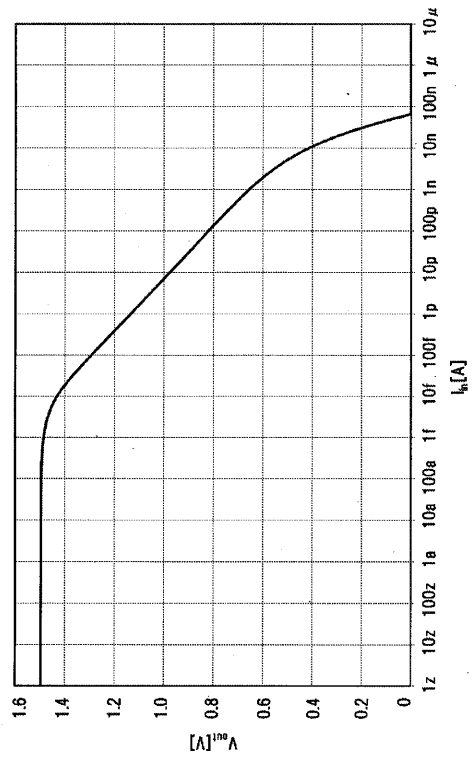
【 15 】

15



【 16 】

16

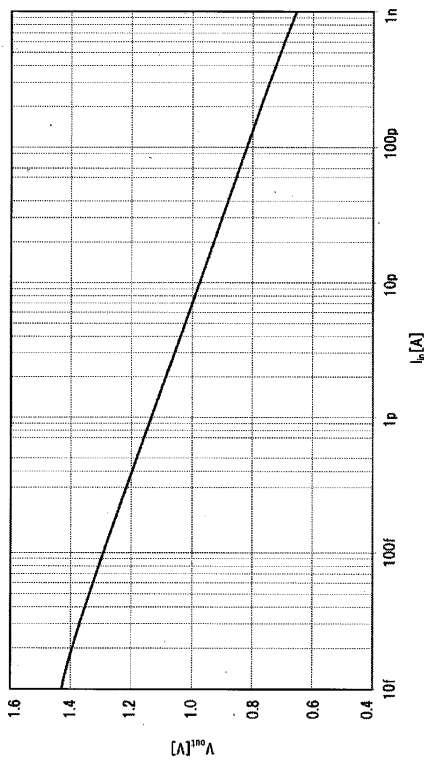


10

20

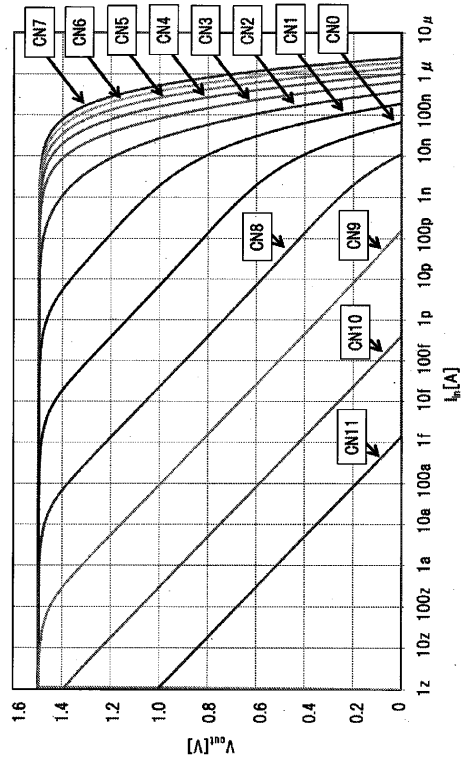
【 17 】

17



【 18 】

18



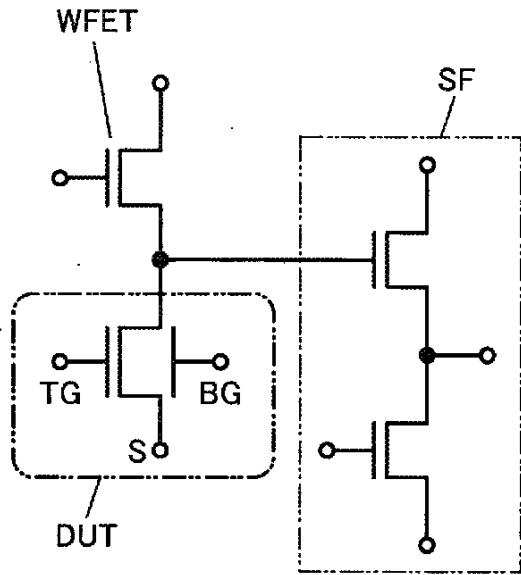
30

40

50

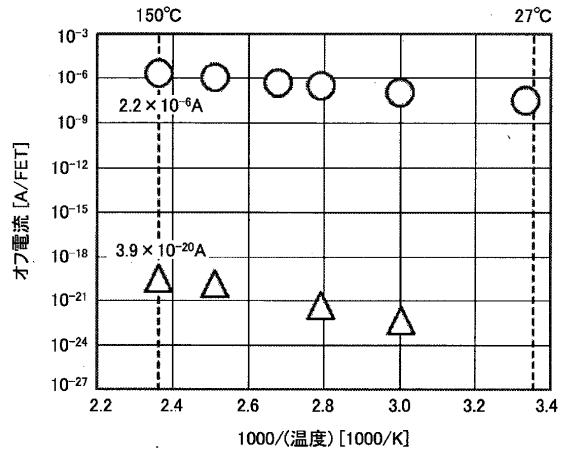
【図19】

図19



【図20】

図20

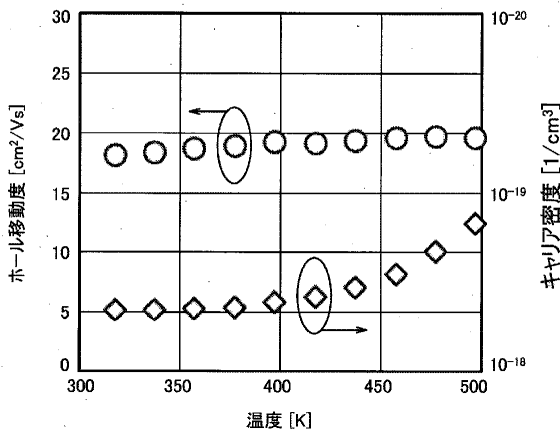


10

20

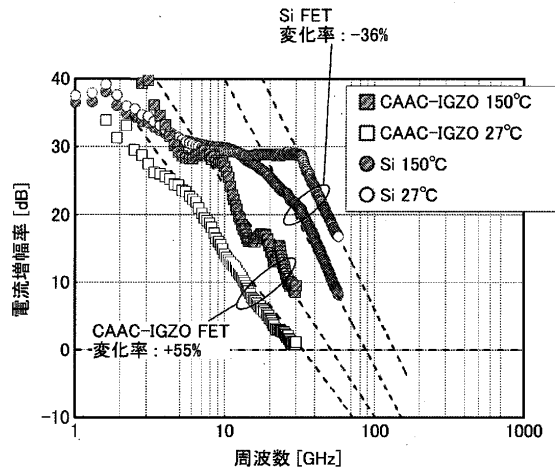
【図21】

図21



【図22】

図22



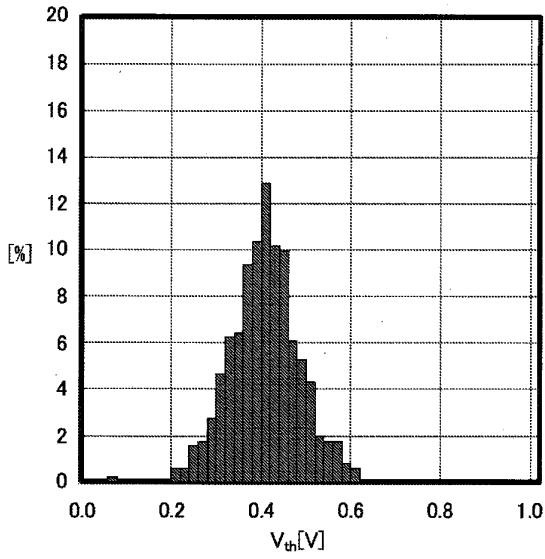
30

40

50

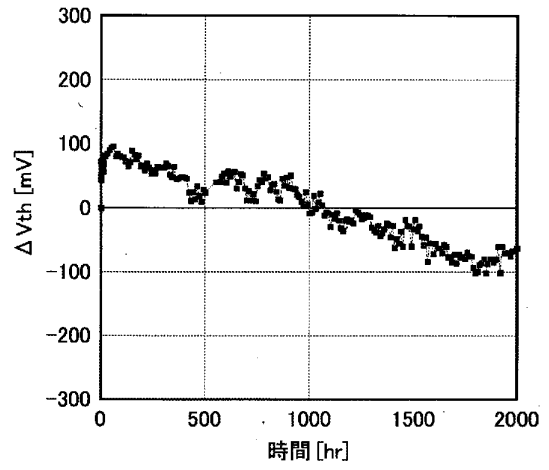
【図 2 3】

図23



【図 2 4 A】

図24A

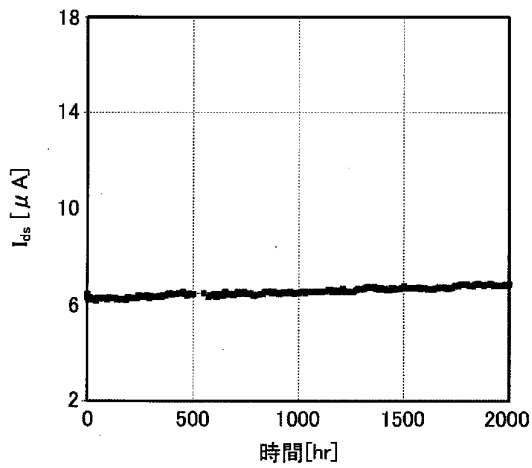


10

20

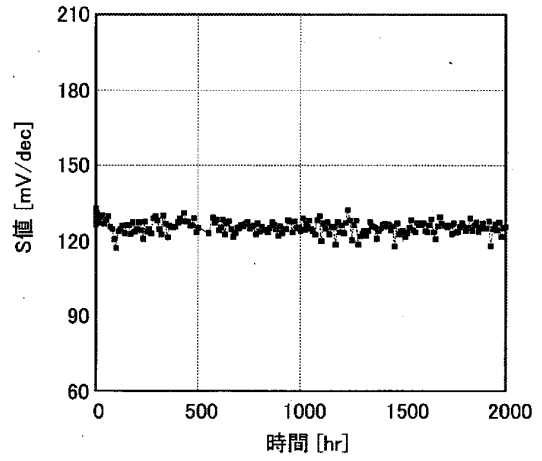
【図 2 4 B】

図24B



【図 2 5 A】

図25A



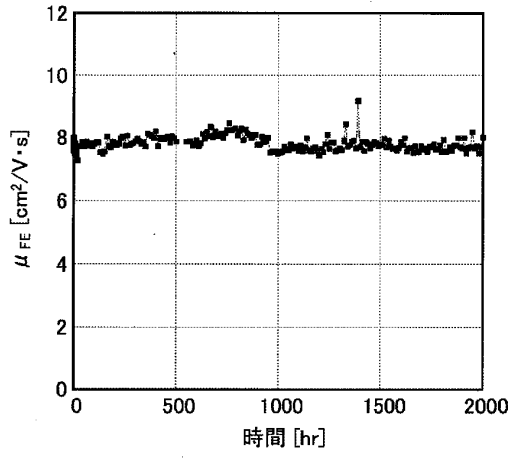
30

40

50

【 2 5 B 】

25B



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L	27/04	(2006.01)	H 0 1 L	27/088	E
H 0 1 L	27/06	(2006.01)	H 0 1 L	29/78	6 1 7 N
G 0 1 R	19/00	(2006.01)	H 0 1 L	29/78	6 1 4
			H 0 1 L	27/04	C
			G 0 1 R	19/00	C

national ELECTRON DEVICES meeting 2018 TECHNICAL DIGEST, 312 - 315 発行年月日 平成30年12月1日 [集会名] 2018 IEEE International Electron Devices Meeting 開催日 平成30年12月1日 - 5日

審査官 及川 尚人

(56)参考文献

米国特許第04876534 (US, A)
 特開2013 - 255222 (JP, A)
 再公表特許第2000 / 045437 (JP, A1)
 特開2013 - 040921 (JP, A)
 特開平05 - 347515 (JP, A)
 米国特許出願公開第2007 / 0273411 (US, A1)
 特開2016 - 040888 (JP, A)
 米国特許出願公開第2017 / 0077883 (US, A1)

(58)調査した分野 (Int.Cl., DB名)

H 0 3 F 1 / 0 0 - 3 / 7 2
 H 0 1 L 2 9 / 7 8 6
 H 0 1 L 2 1 / 8 2 3 4
 H 0 1 L 2 1 / 8 2 2
 G 0 1 R 1 9 / 0 0