



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I755728 B

(45)公告日：中華民國 111 (2022) 年 02 月 21 日

(21)申請案號：109115447 (22)申請日：中華民國 109 (2020) 年 05 月 08 日

(51)Int. Cl. : G01R35/02 (2006.01) G01R35/00 (2006.01)

(30)優先權：2019/05/10 美國 62/845,980

(71)申請人：美商西屋電器公司(美國) WESTINGHOUSE ELECTRIC COMPANY LLC (US)
美國(72)發明人：密爾斯 提摩西 S MEYERS, TIMOTHY S. (US)；格魯伯 丹尼爾 G GRUBER,
DANIEL G. (US)；霸特斯 馬克 A BARTELS, MARK A. (US)；史威華 肯尼
斯 J SWIDWA, KENNETH J. (US)

(74)代理人：陳長文

(56)參考文獻：

TW	200305027A	TW	200813449A
TW	201128498A	TW	201719187A
US	8756029B2	US	2008/0109504A1
US	2012/0239108A1	US	2014/0979976A1
US	2015/0341158A1	US	2016/0072491A1

審查人員：李景松

申請專利範圍項數：20 項 圖式數：4 共 23 頁

(54)名稱

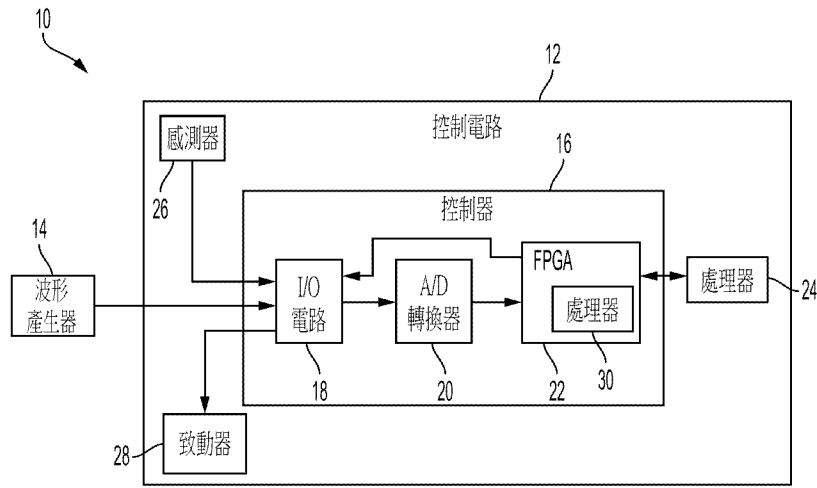
校準系統及方法

(57)摘要

本發明揭示一種校準系統。該校準系統包含經組態以產生一週期性波形之一波形產生器及與該波形產生器信號通信之一控制電路。該控制電路包含經組態以將該週期性波形轉換為數位值之一類比轉數位轉換器及與該類比轉數位轉換器信號通信之一電子裝置。該電子裝置經組態以基於該週期性波形驗證(1)該控制電路之時序及(2)該控制電路之電壓位準之校準。

A calibration system is disclosed. The calibration system includes a waveform generator configured to generate a periodic waveform and a control circuit in signal communication with the waveform generator. The control circuit includes an analog-to-digital converter configured to convert the periodic waveform to digital values and an electronic device in signal communication with the analog-to-digital converter. The electronic device is configured to verify calibration of (1) timing of the control circuit and (2) voltage levels of the control circuit based on the periodic waveform.

指定代表圖：



【圖1】

符號簡單說明：

10:校準系統

12:控制電路

14:波形產生器

16:控制器

18:輸入/輸出電路

20:類比轉數位(A/D)
轉換器22:場可程式化閘陣列
(FPGA)

24:處理器

26:感測器

28:致動器

30:處理器



I755728

【發明摘要】 公告本

【中文發明名稱】

校準系統及方法

【英文發明名稱】

CALIBRATION SYSTEM AND METHOD

【中文】

本發明揭示一種校準系統。該校準系統包含經組態以產生一週期性波形之一波形產生器及與該波形產生器信號通信之一控制電路。該控制電路包含經組態以將該週期性波形轉換為數位值之一類比轉數位轉換器及與該類比轉數位轉換器信號通信之一電子裝置。該電子裝置經組態以基於該週期性波形驗證(1)該控制電路之時序及(2)該控制電路之電壓位準之校準。

【英文】

A calibration system is disclosed. The calibration system includes a waveform generator configured to generate a periodic waveform and a control circuit in signal communication with the waveform generator. The control circuit includes an analog-to-digital converter configured to convert the periodic waveform to digital values and an electronic device in signal communication with the analog-to-digital converter. The electronic device is configured to verify calibration of (1) timing of the control circuit and (2) voltage levels of the control circuit based on the periodic waveform.

【指定代表圖】

圖1

【代表圖之符號簡單說明】

- 10: 校準系統
- 12: 控制電路
- 14: 波形產生器
- 16: 控制器
- 18: 輸入/輸出電路
- 20: 類比轉數位(A/D)轉換器
- 22: 場可程式化閘陣列(FPGA)
- 24: 處理器
- 26: 感測器
- 28: 致動器
- 30: 處理器

【發明說明書】

【中文發明名稱】

校準系統及方法

【英文發明名稱】

CALIBRATION SYSTEM AND METHOD

【技術領域】

【0001】 本申請案揭示一種發明，其大體上且在各種態樣中係關於校準裝置、電路及/或系統之系統及方法。

【先前技術】

【0002】 現今更常見的是核能電廠在其等各種控制電路之至少一者中利用一或多個場可程式化閘陣列(FPGA)。除包含一或多個FPGA之外，此等控制電路亦包含其他裝置/組件(舉例而言，諸如感測器、輸入/輸出卡、類比轉數位轉換器及處理器)以監視及/或控制核能電廠之操作。一般而言，將由感測器產生之輸出信號(其等指示一經感測參數或經量測參數)輸入至輸入/輸出卡，該等輸入/輸出卡連接至一FPGA，該FPGA繼而可連接至一處理器。針對其中由一感測器產生之一輸出信號係一類比信號之例項，利用一類比轉數位轉換器將類比信號轉換為一對應數位信號。在各種組態中，類比轉數位轉換可藉由輸入/輸出卡、藉由連接至輸入/輸出卡之一類比轉數位轉換器或藉由FPGA執行。

【0003】 在一些核能電廠控制電路中，將數個此等裝置/組件一起封裝於一電子裝置(舉例而言，諸如由National Instruments製造之CompactRIO (cRIO)控制器)中。在其中電子裝置僅提供一監視功能之應用中，可將由電子裝置之FPGA輸出之一數位值輸入至彙總多個FPGA之

輸出之一電腦系統或其他處理裝置。在其中電子裝置用作一控制器之應用中，電子裝置可基於感測器之一或多者之輸出信號(或其他條件)執行一控制功能。

【0004】 為了確保此等控制電路正確操作，可驗證控制電路之校準。特定言之，可驗證控制電路之時序之校準及控制電路內存在之類比電壓之校準。若時序或類比電壓之任一者之校準未得到驗證，則可調整該等校準使得控制電路從現在開始正確校準。用於驗證及校準之已知程序係耗時的程序。例如，一個已知程序包含驗證控制電路之時序且接著個別地注入多個不同電壓位準以驗證控制電路內存在之類比電壓。當前利用類似程序來驗證裝置及/或系統之校準。

【0005】 校準裝置、電路及/或系統之系統及方法中存在改良餘地。

【發明內容】

【圖式簡單說明】

【0006】 在隨附發明申請專利範圍中特別地闡述本文中所描述之態樣之新穎特徵。然而，藉由參考結合隨附圖式進行之下列描述，可更佳理解關於組織及操作方法兩者之態樣。

【0007】 圖1繪示根據本發明之至少一個態樣之一校準系統；

【0008】 圖2繪示由圖1之校準系統之一波形產生器產生之一例示性三角波；

【0009】 圖3繪示由圖1之校準系統之波形產生器產生之一例示性正弦波；及

【0010】 圖4繪示根據本發明之至少一個態樣之一校準方法。

【實施方式】

相關申請案之交叉參考

【0011】 本申請案根據35 U.S.C. § 119(e)規定主張2019年5月10日申請之美國臨時專利申請案第62/845,980號之較早申請日期之權利，該案之全部內容特此以引用的方式併入。

【0012】 應理解，已簡化本發明之至少一些圖及描述以繪示與清楚理解本發明相關之元件，同時為清楚起見，消除一般技術者將瞭解之其他元件亦可包括本發明之一部分。然而，因為此等元件在本技術中眾所周知，且因為其等並不促成對本發明之更佳理解，所以未在本文中提供此等元件之一描述。

【0013】 在下文[實施方式]中，參考形成其之一部分之隨附圖式。在圖式中，在數個視圖各處，類似符號及元件符號通常識別類似組件，除非上下文另有規定。[實施方式]、圖式及發明申請專利範圍中所描述之闡釋性態樣並不意謂為限制性的。在不脫離本文中所描述之技術之範疇的情況下，可利用其他態樣，且可作出其他改變。

【0014】 不應使用本技術之特定實例之下文描述來限制本技術之範疇。熟習此項技術者將從下文描述(藉由繪示，其係預期用於實行本技術之最佳模式之一者)明白本技術之其他實例、特徵、態樣、實施例及優點。如將認識到，本文中所描述之技術能夠具有全部不脫離本技術之其他不同且明顯之態樣。因此，圖式及描述應被視為本質上為闡釋性的且非限制性的。

【0015】 進一步應理解，本文中所描述之教示、表達、態樣、實施例、實例等之任一或多者可與本文中所描述之其他教示、表達、態樣、實

施例、實例等之任一或多者組合。因此，下文所描述之教示、表達、態樣、實施例、實例等不應被視為彼此孤立。鑑於本文中之教示，一般技術者將容易明白可組合本文中之教示之各種適合方式。此等修改及變動意欲包含在發明申請專利範圍之範疇內。

【0016】 在詳細說明校準系統之各種態樣之前，應注意，本文中所揭示之各種態樣在其等應用或用途方面不限於在隨附圖式及描述中繪示之部分之構造及配置之細節。實情係，所揭示之態樣可定位於或併入其等之其他態樣、實施例、變動及修改中，且可以各種方式實踐或實行。因此，本文中所揭示之校準系統之態樣本質上為闡釋性的且不意謂限制其等之範疇或應用。此外，除非另有指示，本文中所採用之術語及表達已經選取用於描述態樣以方便讀者之目的且不意謂限制其等之範疇。另外，應理解，所揭示之態樣、態樣之表達及/或其等之實例之任一或多者可沒有限制地與其他所揭示態樣、態樣之表達及/或其等之實例之任一或多者組合。

【0017】 再者，在下文描述中，應理解，諸如向內、向外、向上、向下、上方、頂部、下方、底部、左側、右側、側面、內部、外部及類似者之術語係方便字詞且不應被解釋為限制性術語。本文中所使用之術語不意謂限制性的，只要本文中所描述之裝置或其等之部分可以其他定向附接或利用。將參考圖式更詳細描述各種態樣。

【0018】]圖1繪示根據本發明之至少一個態樣之一校準系統10。將在校準系統10用於校準一核能電廠之一控制電路12之內容背景中描述校準系統10。然而，將瞭解，校準系統10可用於校準任何數目個不同裝置(一FPGA、一電腦、一可程式化邏輯控制器、一輸入/輸出電路等)、電路及/或系統。校準系統10包含一波形產生器14及一控制器16。控制器16包

含一輸入/輸出電路18、一類比轉數位(A/D)轉換器20及一FPGA 22。根據各種態樣，校準系統10亦可包含連接至FPGA 22之一處理器24。

【0019】 波形產生器14經組態以產生一或多個波形。例如，根據各種態樣，波形產生器14可經組態以產生具有在廣範圍頻率內具有不同振幅之一或多個波形，諸如三角波、正弦波、矩形波、鋸齒波等。在圖2中展示由波長產生器14產生之一例示性三角波，其中三角波係一1 Hz、0 V至10 V三角波。在圖3中展示由波長產生器14產生之一例示性正弦波，其中正弦波係一0.5 Hz、0 V至10 V正弦波。當然，可藉由波形產生器14產生除圖2及圖3中所展示之頻率、振幅及/或波形以外之不同頻率、振幅及/或波形。如圖1中所展示，波形產生器14連接至控制電路12 (與其信號通信)。更明確言之，波形產生器14連接至控制器16之輸入/輸出電路18 (與其信號通信)。

【0020】 輸入/輸出電路18經組態以在其輸入端子處接收類比信號 (為清楚起見並未展示)。例如，輸入/輸出電路18可自一感測器26接收類比信號。雖然圖1中僅展示一個感測器26，但將瞭解，輸入/輸出電路18可自複數個感測器26 (諸如流量感測器、位置感測器、壓力感測器、溫度感測器等)接收類比信號。根據各種態樣，輸入/輸出電路18可包含任何數目個輸入/輸出卡(類比I/O卡、數位I/O卡及/或混合I/O卡)且可經組態以適應類比輸入/輸出及數位輸入/輸出兩者。例如，根據各種態樣，輸入/輸出電路18進一步經組態以將一控制信號輸出至一致動器28。雖然圖1中僅展示一個致動器28，但將瞭解，輸入/輸出電路18可將控制信號輸出至複數個致動器28以控制一閥、一馬達、一泵等。

【0021】 A/D轉換器20連接至輸入/輸出電路18 (與其信號通信)，且

經組態以將自輸入/輸出電路18接收之類比信號轉換為對應於數位信號或表示類比信號之數位值。雖然為清楚起見在圖1中僅展示一個A/D轉換器20，但將瞭解，控制器16可包含任何數目個A/D轉換器20。例如，根據各種態樣，控制器16包含用於輸入/輸出電路18中之各類比輸入/輸出卡之一各別A/D轉換器20。根據各種態樣，A/D轉換器20形成輸入/輸出電路18之一部分。

【0022】 FPGA 22連接至A/D轉換器20 (與其信號通信)，且經組態以處理自A/D轉換器20接收之數位信號及/或數位值。根據各種態樣，A/D轉換器20形成FPGA 22之一部分。除執行信號處理之外，FPGA 22亦可用於控制、濾波、時序及/或其他邏輯功能。如圖1中所展示，根據各種態樣，FPGA 22亦包含一處理器30，處理器30與FPGA 22信號通信。處理器30可用於通信、信號處理及/或執行儲存於與處理器30相關聯之一記憶體中之演算法或常式。處理器30可執行一或多個此等演算法或常式以實施且控制FPGA 22之功能性。根據各種態樣，處理器30解譯由A/D轉換器20輸出之數位信號或數位值，且回應性地引起FPGA 22輸出一或多個數位信號。此等信號可控制信號以控制控制電路12及/或資訊信號之一或多個組件以提供諸如由一類比感測器26感測之一特性之資訊。根據各種態樣，FPGA 22或FPGA 22與處理器30之組合可被視為一處理電路。

【0023】 處理器24可與處理器30信號通信，且可用於例如格式化由處理器30提供之資訊(例如，與連接至輸入/輸出電路18之一類比感測器26相關聯之資訊)，使得資訊可顯示在連接至處理器24之一監視器(未展示)上。

【0024】 為了確保核能電廠或其他應用中所採用之特定控制電路正

確操作，可藉由FPGA 22之處理器30所執行之一校準演算法或常式來驗證控制電路之校準。運用校準演算法或常式，處理器30可基於由波形產生器14產生之一波形驗證控制電路12之時序及電壓位準。例如，由輸入/輸出電路18接收之類比信號之取樣率可用於驗證控制電路12之時序，且由輸入/輸出電路18接收之類比信號之電壓位準可用於驗證控制電路12之電壓位準。若時序或類比電壓之任一者之校準未得到驗證，則可調整校準使得控制電路從現在開始正確校準。例如，關於控制電路12之時序，可調整由FPGA 22利用之迴路時間以將時序正確校準。根據其他態樣，校準或常式可藉由除FPGA 22及處理器30以外之一處理電路執行。

【0025】 根據各種態樣，為了校準控制電路12，將由波形產生器14產生之一週期性波形輸入至輸入/輸出電路18。可將波形輸入至輸入/輸出電路18之一測試端子區塊(未展示)。處理器30起始校準演算法或常式之執行。校準演算法或常式可自動起始，諸如回應於在輸入/輸出電路18之一特定輸入端(例如，一測試端子區塊)處接收到週期性波形，或回應於來自一使用者或裝置之一輸入或命令手動起始。

【0026】 指示週期性波形之類型、週期性波形之頻率及週期性波形上之各種電壓測試點之資訊可儲存於可藉由處理器30存取之一記憶體中。根據各種態樣，指示時序及電壓測試點之各者之臨限容差之資訊亦可儲存於可藉由處理器30存取之一記憶體中。可在程式化FPGA 22時(諸如在製造之時)將資訊儲存於記憶體中。然而，將瞭解，FPGA 22程式化隨後可被更新。

【0027】 作為校準演算法或常式之部分，處理器30經組態以驗證控制電路12之時序在一預定臨限容差內。根據各種態樣，對週期性波形之類

比信號進行取樣，且藉由A/D轉換器20將經取樣之類比值轉換為數位信號或數位值。將數位信號或數位值提供至FPGA 22且繼而提供至處理器30。處理器30利用數位信號或數位值來判定週期性波形之頻率。接著，處理器30可比較週期性波形之經判定頻率與儲存於記憶體中之週期性波形之已知頻率。若經判定頻率在已知頻率之預定臨限容差內，則控制電路12之時序校準被視為得到驗證。例如，若週期性波形具有1 Hz之一已知頻率且預定臨限容差係1%，則若經判定頻率在已知頻率1 Hz之1%內則控制電路12之時序校準將被視為得到驗證。

【0028】 然而，若經判定頻率未在預定臨限容差內，則FPGA 22 (或FPGA 22之處理器30)可用於調整時序之校準(例如，藉由調整由FPGA 22利用之迴路時間)以將時序正確校準(即，在預定臨限容差內)。

【0029】 作為校準演算法或常式之部分，處理器30亦經組態以驗證沿著週期性波形之經取樣電壓位準之各者在一預定臨限容差內。一旦控制電路12之時序已得到驗證或被正確校準，處理器30便可利用經驗證時序來驗證沿著週期性波形之經取樣電壓位準之各者在預定臨限容差內。例如，與一0 V至10 V週期性波形(諸如圖2之三角波)相關聯之電壓位準包含0 V、2.5 V、5 V、7.5 V及10 V。因為已知控制電路12之時序及週期性波形之頻率，故校準演算法或常式知曉此等電壓位準何時應出現在週期性波形中。針對圖2之1 Hz、0 V至10 V三角波，週期性波形之振幅在波形之一週期開始之後之0.25 s及0.75 s處應為5 V，如例如圖2中所展示。由於時序已得到驗證或被正確校準，如上文描述，故處理器30可利用對應於在特定時間之經取樣電壓位準之各者之數位信號或數位值來比較經取樣電壓值與預期電壓值。若經取樣電壓值各自在預期電壓值之預定臨限容差

內，則控制電路12之電壓值校準被視為得到驗證。

【0030】 然而，若經取樣電壓值之任一者未在預期電壓值之預定臨限容差內，則FPGA 22 (或FPGA 22之處理器30)可用於調整電壓值之校準(例如，藉由調整輸入/輸出電路18處之類比信號之振幅)以將電壓值正確校準(即，在預定臨限容差內)。將瞭解，可取樣及驗證或調整任何數目個電壓位準，且任何預定臨限容差(例如，0.25%、0.5%、1%等)可用於驗證或校準程序。一般而言，將在逐案例基礎上設定一給定預定臨限容差。

【0031】 當控制電路12被正確校準時，其用來進行控制決策之時序及電壓位準在其等在已知/預期時序及電壓位準之預定臨限容差內之程度上準確。若一給定應用之預定臨限容差係1%且控制電路12將一實際2.5 V類比信號解譯為係一2.8 V類比信號，則控制電路12未被正確校準且基於經解譯電壓位準之一控制操作可能為非預期的、不正確的及/或不安全的。出於此等及其他原因，驗證正確校準及/或調整校準使校準成為核能電廠或其他應用中之持續維護之部分。藉由利用如上文描述之校準演算法或常式，驗證及/或調整校準所花費之時間明顯減少。例如，控制電路12可使用自波形產生器14接收之一週期性波形之少至一個週期來校準其本身或驗證其自身之校準，從而大幅地增加校準程序之速度。由於諸如一核能電廠之一設施可包含需要校準之許多控制電路12，故增加校準之速度明顯減少維護時間。

【0032】 圖4繪示根據本發明之至少一個態樣之校準一控制電路之一方法40。雖然在校準控制電路12之內容背景中描述方法40，但將瞭解，方法40可用於校準任何數目個不同裝置(一FPGA、一電腦、一可程式化邏輯控制器、一輸入/輸出電路等)、電路及/或系統。方法40可使用校準

系統10或其他類似系統來實施。為簡單起見，將在控制電路12之內容背景中描述方法40之實施。

【0033】 針對方法40，藉由例如波形產生器14產生42一週期性波形。將週期性波形輸入44至輸入/輸出電路18之一類比輸入端。藉由FPGA 22週期性波形之類比信號進行取樣46，且藉由A/D轉換器20將經取樣之類比值轉換48為數位信號或數位值。

【0034】 藉由處理器30利用數位信號或數位值來判定50週期性波形之頻率。處理器30比較52經判定頻率與週期性波形之已知頻率。若經判定頻率在已知頻率之一預定臨限容差內，則控制電路12之時序被視為正確校準。若經判定頻率未在已知頻率之預定臨限容差內，則調整控制電路12之時序以將時序正確校準。

【0035】 在控制電路12之時序之校準已得到驗證或經調整以被正確校準之後，藉由處理器30使用對應於沿著週期性波形之各種經取樣電壓位準及週期性波形之已知頻率的數位信號或數位值來比較54沿著週期性波形之經取樣電壓位準之各者與預期電壓位準(校準演算法或常式知曉預期電壓位準何時應出現在週期性波形中)。若各種經取樣電壓位準之各者在預期電壓位準之一預定臨限容差內，則控制電路12之電壓位準被視為正確校準。若各種經取樣電壓位準之各者未在預期電壓位準之一預定臨限容差內，則調整控制電路12之電壓位準以將電壓位準正確校準。可循序地或並行地比較複數個電壓位準與預期電壓位準。

【0036】 上文描述之方法40可週期性地或連續地重複，且可重複任何次數。

實例

【0037】 實例1-提供一種校準系統。該校準系統包括經組態以產生一週期性波形之一波形產生器及與該波形產生器信號通信之一控制電路。該控制電路包括經組態以將該週期性波形轉換為數位值之一類比轉數位轉換器，及與該類比轉數位轉換器信號通信之一電子裝置。該電子裝置經組態以基於該週期性波形驗證(1)該控制電路之時序及(2)該控制電路之電壓位準之校準。

【0038】 實例2-如實例1之校準系統，其中該週期性波形包括一三角波。

【0039】 實例3-如實例1之校準系統，其中該週期性波形包括一正弦波。

【0040】 實例4-如實例1、2或3之校準系統，其中該電子裝置包括一場可程式化閘陣列。

【0041】 實例5-如實例1、2、3或4之校準系統，其中該類比轉數位轉換器形成該電子裝置之一部分。

【0042】 實例6-如實例1、2、3、4或5之校準系統，其中該控制電路進一步包括連接至該類比轉數位轉換器之一輸入/輸出電路。

【0043】 實例7-如實例1、2、3、4、5或6之校準系統，其中該輸入/輸出電路形成該電子裝置之一部分。

【0044】 實例8-如實例1、2、3、4、5、6或7之校準系統，其中該控制電路進一步包括與該電子裝置信號通信之一處理器。

【0045】 實例9-如實例8之校準系統，其中該處理器形成該電子裝置之一部分。

【0046】 實例10-如實例1、2、3、4、5、6、7、8或9之校準系統，

其中該校準系統進一步包括與該控制電路信號通信之一處理器。

【0047】 實例11-提供一種電子裝置。該電子裝置包括經組態以將一週期性波形轉換為數位值之一類比轉數位轉換器，及與該類比轉數位轉換器信號通信之一處理電路。該處理電路經組態以基於該週期性波形驗證(1)該電子裝置之時序及(2)該電子裝置之電壓位準之校準。

【0048】 實例12-如實例11之電子裝置，其中該處理電路包括一場可程式化閘陣列。

【0049】 實例13-如實例11或12之電子裝置，其中該處理電路進一步包括一處理器。

【0050】 實例14-如實例11、12或13之電子裝置，其進一步包括與該類比轉數位轉換器信號通信之一輸入/輸出電路。

【0051】 實例15-提供一種校準方法。該校準方法包括：產生一週期性波形，將該經產生週期性波形輸入至一電子裝置中，基於該經輸入週期性波形校準該電子裝置之時序，及基於該經輸入週期性波形校準該電子裝置中之電壓位準。

【0052】 實例16-如實例15之校準方法，其中基於該經輸入週期性波形校準該電子裝置之時序包括：判定該經輸入週期性波形之一頻率。

【0053】 實例17-如實例16之校準方法，其中基於該經輸入週期性波形校準該電子裝置之時序進一步包括：比較該經輸入週期性波形之該經判定頻率與一已知頻率。

【0054】 實例18-如實例17之校準方法，其中基於該經輸入週期性波形校準該電子裝置之時序進一步包括：判定該經輸入週期性波形之該經判定頻率是否在該已知頻率之一臨限容差內。

【0055】 實例19-如實例15、16、17或18之校準方法，其中基於該經輸入週期性波形校準該電子裝置中之電壓位準包括：比較該經輸入週期性波形之經取樣電壓位準與預期電壓位準。

【0056】 實例20-如實例19之校準方法，其中基於該經輸入週期性波形校準該電子裝置中之電壓位準進一步包括：判定該經輸入週期性波形之該等經取樣電壓位準之各者是否在該等預期電壓位準之一臨限容差內。

【0057】 雖然已在本文中結合特定所揭示態樣描述校準系統10及校準方法40之各種態樣，但可實施該等態樣之許多修改及變動。再者，在針對特定組件揭示材料時，可使用其他材料。此外，根據各種態樣，一單一組件可由多個組件取代，且多個組件可藉由一單一組件取代，以執行一或多個給定功能。前文描述及隨附發明申請專利範圍意欲涵蓋如落在所揭示態樣之範疇內之所有此等修改及變動。

【0058】 雖然本發明已被描述為具有例示性設計，但可在本發明之精神及範疇內進一步修改所描述之本發明。因此，本申請案意欲使用本發明之一般原理涵蓋本發明之任何變動、用途或調適。例如，雖然在一控制電路12之內容背景中描述本發明，但本發明之一般原理同樣適用於將類比信號轉換為數位值之任何類型之裝置、電路及/或系統。類似地，雖然在一核能電廠之內容背景中描述本發明，但本發明之一般原理亦同樣適用於除核能電廠以外之應用。

【0059】 據稱以引用的方式併入本文中之任何專利、專利申請案、公開案或其他揭示材料僅在所併入材料不與本發明中所闡述之現有定義、陳述或其他揭示材料衝突之程度上整個或部分併入本文中。因而，在必要的程度上，如在本文中明確闡述之揭示內容取代以引用的方式併入本文中

之任何衝突材料。據稱以引用的方式併入本文中但與本文中所闡述之現有定義、陳述或其他揭示材料衝突之任何材料或其之部分將僅在不在所併入材料與現有揭示材料之間產生衝突之程度上併入。

【符號說明】

【0060】

- 10: 校準系統
- 12: 控制電路
- 14: 波形產生器
- 16: 控制器
- 18: 輸入/輸出電路
- 20: 類比轉數位(A/D)轉換器
- 22: 場可程式化閘陣列(FPGA)
- 24: 處理器
- 26: 感測器
- 28: 致動器
- 30: 處理器
- 40: 方法
- 42: 產生
- 44: 輸入
- 46: 取樣
- 48: 轉換
- 50: 判定
- 52: 比較
- 54: 比較

【發明申請專利範圍】

【請求項1】

一種校準系統，其包括：

一波形產生器，其經組態以產生一週期性波形；及

一控制電路，其與該波形產生器信號通信，其中該控制電路包括：

一類比轉數位轉換器，其經組態以將該週期性波形轉換為數位值；及

一電子裝置，其與該類比轉數位轉換器信號通信，其中該電子裝置經組態以利用與該週期性波形之一週期相關聯之該等數位值以自動驗證以下：

該控制電路之一時序校準係在一第一預定臨限容差內；及

該控制電路之一電壓位準校準係在一第二預定臨限容差內。

【請求項2】

如請求項1之校準系統，其中該週期性波形包括一三角波。

【請求項3】

如請求項1之校準系統，其中該週期性波形包括一正弦波。

【請求項4】

如請求項1之校準系統，其中該電子裝置包括一場可程式化閘陣列。

【請求項5】

如請求項1之校準系統，其中該類比轉數位轉換器形成該電子裝置之一部分。

【請求項6】

如請求項1之校準系統，其中該控制電路進一步包括連接至該類比轉

數位轉換器之一輸入/輸出電路。

【請求項7】

如請求項6之校準系統，其中該輸入/輸出電路形成該電子裝置之一部分。

【請求項8】

如請求項1之校準系統，其中該控制電路進一步包括與該電子裝置信號通信之一處理器。

【請求項9】

如請求項8之校準系統，其中該處理器形成該電子裝置之一部分。

【請求項10】

如請求項1之校準系統，其中該校準系統進一步包括與該控制電路信號通信之一處理器。

【請求項11】

一種電子裝置，其包括：

一類比轉數位轉換器，其經組態以將一週期性波形轉換為數位值；及

一處理電路，其與該類比轉數位轉換器信號通信，其中該處理電路經組態以利用與該週期性波形之一週期相關聯之該等數位值以自動驗證以下：

該電子裝置之一時序校準係在一第一預定臨限容差內；及

該電子裝置之一電壓位準校準係在一第二預定臨限容差內。

【請求項12】

如請求項11之電子裝置，其中該處理電路包括一場可程式化閘陣列。

【請求項13】

如請求項12之電子裝置，其中該處理電路進一步包括一處理器。

【請求項14】

如請求項11之電子裝置，其進一步包括與該類比轉數位轉換器信號通信之一輸入/輸出電路。

【請求項15】

一種校準驗證方法，其包括：

產生一週期性波形；

將該經產生週期性波形輸入至一電子裝置中；

將該週期性波形轉換為數位值；

利用與該週期性波形之一週期相關聯之該等數位值以自動驗證：

該電子裝置之一時序校準係在一第一預定臨限容差內；及

該電子裝置中之一電壓位準校準係在一第二預定臨限容差內。

【請求項16】

如請求項15之校準驗證方法，其中，前述自動驗證該電子裝置之該時序校準包括：判定該經輸入週期性波形之一頻率。

【請求項17】

如請求項16之校準驗證方法，其中自動驗證該電子裝置之該時序校準進一步包括：比較該經輸入週期性波形之該經判定頻率與一已知頻率。

【請求項18】

如請求項17之校準驗證方法，其中，前述自動驗證該電子裝置之該時序校準進一步包括：判定該經輸入週期性波形之該經判定頻率是否在該已知頻率之一臨限容差內。

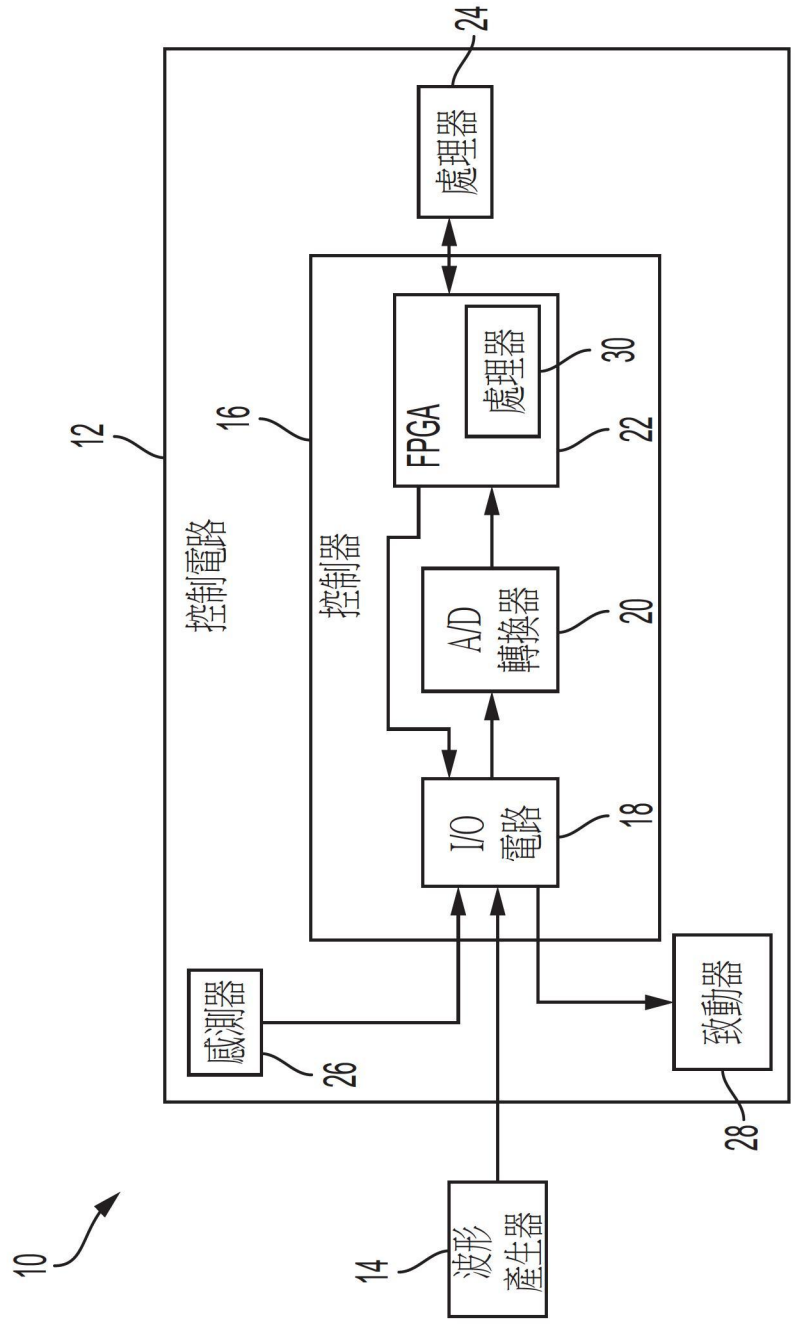
【請求項19】

如請求項15之校準驗證方法，其中前述自動驗證該電子裝置中之該電壓位準校準包括：比較該經輸入週期性波形之經取樣電壓位準與預期電壓位準。

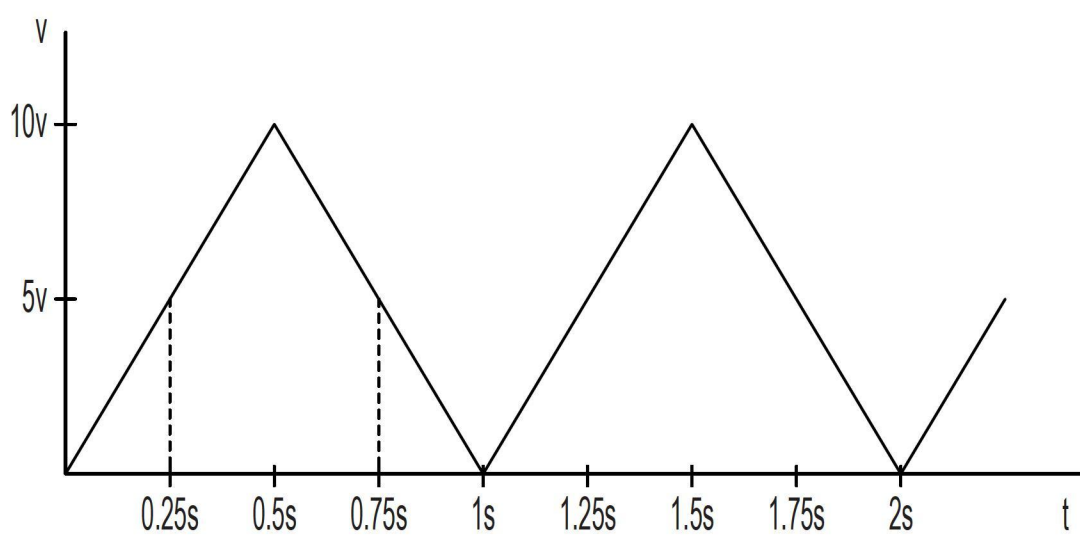
【請求項20】

如請求項19之校準驗證方法，其中前述自動驗證該電子裝置中之該電壓位準校準進一步包括：判定該經輸入週期性波形之該等經取樣電壓位準之各者是否在該等預期電壓位準之一臨限容差內。

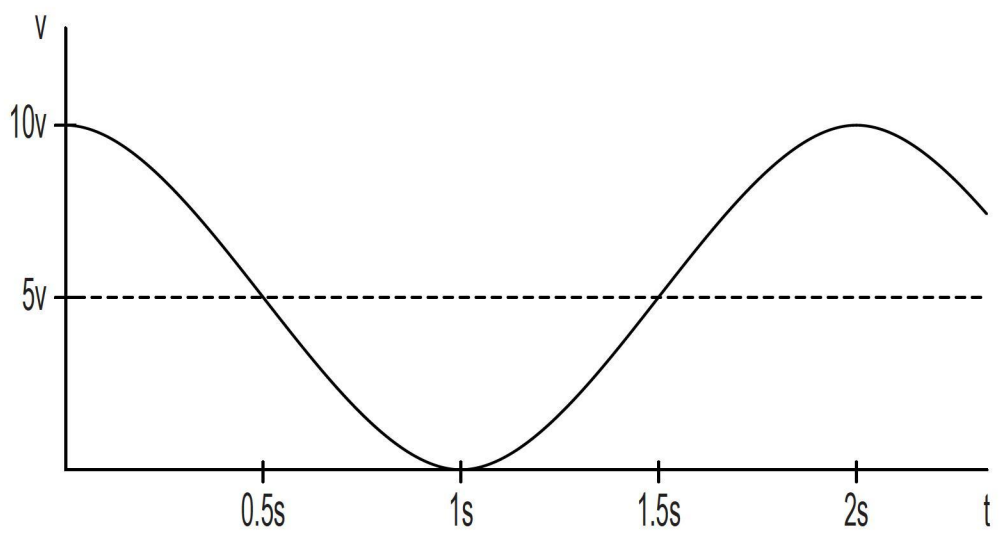
【發明圖式】



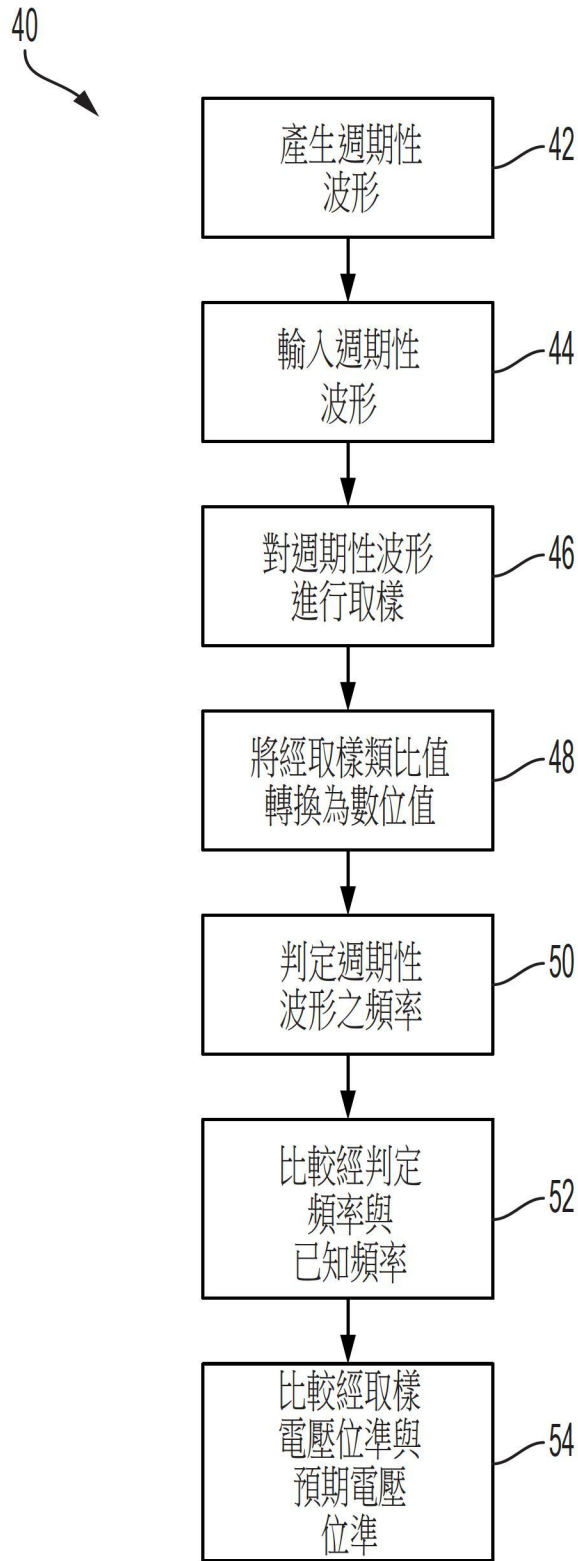
【圖1】



【圖2】



【圖3】



【圖4】