(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3636228号
(P3636228)
(45)発行日　平成17年4月6日(2005.4.6)　(24)登録日　平成17年1月14日(2005.1.14)

(51)Int.Cl.[7]	F I		
G11C 29/00	G11C	29/00	673Z
G11C 16/02	G11C	17/00	611E
	G11C	17/00	612E

請求項の数 4　(全 13 頁)

(21)出願番号　特願平7-201536
(22)出願日　平成7年7月15日(1995.7.15)
(65)公開番号　特開平9-35499
(43)公開日　平成9年2月7日(1997.2.7)
審査請求日　平成13年7月2日(2001.7.2)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100097629
弁理士　竹村　壽
(72)発明者　渡辺　慶久
神奈川県川崎市幸区堀川町５８０番１号
株式会社東芝　半導体システム技術センター内
(72)発明者　中井　弘人
神奈川県川崎市幸区堀川町５８０番１号
株式会社東芝　半導体システム技術センター内

審査官　小松　正

最終頁に続く

(54)【発明の名称】不揮発性半導体記憶装置

(57)【特許請求の範囲】

【請求項１】

メモリセルにデータを書き込む書き込み手段と、

前記書き込み手段によって書き込み処理が行われたデータについて検証を行い、書き込みが正しく行われなかった前記データを再書き込みするように前記書き込み手段に指示し、この再書き込みを１ループとして少なくとも１ループは再書き込みする再書き込み手段と、

前記再書き込み手段が行う再書き込みのループ回数をカウントするカウント手段と、

前記カウント手段がカウントした複数ページの積算ループ回数から１ページあたりの平均ループ回数を抽出して、最適なトリミング情報を計算する制御手段と、

前記トリミング情報に基づいて書き込み電圧を変更する書き込み電位制御手段とを具備することを特徴とする不揮発性半導体記憶装置。

【請求項２】

前記再書き込み手段の出力に基づいて駆動される不良ページ検出手段をさらに備え、この不良ページ検出手段は不良ページを検出し、不良でないページの積算ループ回数と不良でないページ数から平均ループ回数を抽出することを特徴とする請求項１に記載の不揮発性半導体記憶装置。

【請求項３】

メモリセルに書き込まれたデータを消去する消去手段と、

前記消去手段によって消去処理が行われたデータについて検証を行い、消去が正しく行

われなかった前記データを再消去するように前記消去手段に指示し、この再消去を１ループとして少なくとも１ループは再消去する再消去手段と、
　前記再消去手段が行う再消去のループ回数をカウントするカウント手段と、
　前記カウント手段がカウントした複数ページの積算ループ回数から１ページあたりの平均ループ回数を抽出して、最適なトリミング情報を計算する制御手段と、
　前記トリミング情報に基づいて消去電圧を変更する消去電位制御手段とを具備することを特徴とする不揮発性半導体記憶装置。
【請求項４】
　前記再消去手段の出力に基づいて駆動される不良ページ検出手段をさらに備え、この不良ページ検出手段は不良ページを検出し、不良でないページの積算ループ回数と不良でないページ数から平均ループ回数を抽出することを特徴とする請求項３に記載の不揮発性半導体記憶装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、書き込みもしくは消去電位を自動的にトリミングする回路を備えた不揮発性半導体記憶装置に係り、とくにその自動トリミング回路に関するものである。
【０００２】
【従来の技術】
従来から知られている不揮発性半導体記憶装置には、ＰＲＯＭ（Programmable Read Only Memory)、ＥＰＲＯＭ（Erasable and Programmable ROM)、ＥＥＰＲＯＭ（Electrically Erasable and Programmable ROM）などがある。例えば、ＥＥＰＲＯＭなどの電気的に書き込み／消去可能な不揮発性半導体記憶装置においては、書き込みもしくは消去後のメモリセルのしきい値電圧（Ｖth）分布幅をある一定値以内に抑える必要がある。そのために、ビット毎にベリファイしながら書き込みもしくは消去（書き込み／消去）を行う。メモリセルの書き込み／消去スピードを速くするために可能な限り書き込み／消去電位（これを書き込み電位といい、以下、Ｖpp電位で表現する）を高く設定すると良い。しかしＶpp電位を低く設定したほうがしきい値（Ｖth）分布幅を小さくし易い。またプロセスのばらつきによりセルの書き込み／消去特性にばらつきが生じる。図８はセルをベリファイしながら書き込み／消去を行う際の各ループ回ごとのベリファイ結果を示す特性図の一例である。この図においてメモリセルのしきい値（Ｖth）を約０．８Ｖとすると、ベリファイではこれ以下を不合格（ＮＧ）とし、これ以上を合格（ＯＫ）とする。この場合は３回のループで書き込み／消去が完了する。
【０００３】
このような事情により電気的に書き込み／消去可能な不揮発性半導体記憶装置においてはチップ毎に最適なＶpp電位を設定する必要がある。
従来の製品テストにおいて、１回目の工程で書き込み／消去を行い、そのときに書き込み／消去時間、書き込み／消去のループ回数、Ｖth分布幅を検出する。その検出結果に基づいてデータを作成し、そのデータを用いて外部よりヒューズカットやＶppデータセルの書き換えをすることにより、Ｖpp電位の設定回路の設定電位の変更を行って（Ｖppトリミングという）、チップ毎での最適なＶpp電位の設定を行っていた。そして２回目の工程を新しい設定のもとに行っていた。
【０００４】
【発明が解決しようとする課題】
前述した電気的に書き込み、消去が可能な不揮発性半導体記憶装置の従来の書き込み／消去は、図９に示すブロック図に従って行われる。
通常動作の場合、コマンドレジスタ１から出力された書き込み／消去開始信号ＷＥＳは、書き込み／消去制御回路３に入力され、この信号に基づいて書き込み／消去が行われる。書き込み／消去が終了すると、書き込み／消去終了信号ＷＥＥが出力され、この信号は、ベリファイ回路４に入力される。そして、ベリファイ回路４で書き込み／消去データの検

出を行う。ベリファイ回路４では、再書き込み信号ＲＷＳが生成される。データ検出の結果がＮＧであれば、この再書き込み信号ＲＷＳに基づいて書き込み／消去制御回路３で再書き込み／再消去が行われる。このときに書き込み／消去時間、書き込み／消去のループ回数、Ｖpp電位分布幅を検出する。そして、この検出データをもとにＶpp電位設定データ５を作成し、このデータとイニシャルＶpp電位設定データ７とを比較してＶPP電位制御回路６の設定電位の変更を行う。このＶPP電位制御回路６によりＶppトリミングが行われる。

【０００５】

このように従来では、チップ毎での最適なＶPP電位の設定、つまりＶPPトリミングは、製品テスト工程において書き込み／消去を行い、そのときに書き込み／消去時間、書き込み／消去のループ回数、Ｖpp分布幅などを検出し、この検出結果に基づいて外部からヒューズカットやＶpp電位データセルの書き換えをしてＶpp電位の制御回路の設定電位の変更を行っている。書き込み／消去時の最適電位を外部から初期設定するので製品テスト時間が長くなるという問題があった。

本発明は、このような事情によりなされたものであり、書き込み／消去時の最適電位をチップ内で自動的に設定する不揮発性半導体記憶装置を提供することを目的にしている。

【０００６】

【課題を解決するための手段】

本発明は、書き込み／消去手段が行う再書き込み／再消去の回数をカウントして、このカウント数を基に、Ｖpp電位設定データを作成し、このデータによりＶpp電位の制御回路の設定電位を自動的に変更することを特徴とする。

【０００７】

すなわち、本発明の不揮発性半導体記憶装置は、メモリセルにデータを書き込む書き込み手段と、前記書き込み手段によって書き込み処理が行われたデータについて検証を行い、書き込みが正しく行われなかった前記データを再書き込みするように前記書き込み手段に指示し、この再書き込みを１ループとして少なくとも１ループは再書き込みする再書き込み手段と、前記再書き込み手段が行う再書き込みのループ回数をカウントするカウント手段と、前記カウント手段がカウントした複数ページの積算ループ回数から１ページあたりの平均ループ回数を抽出して、最適なトリミング情報を計算する制御手段と、前記トリミング情報に基づいて書き込み電圧を変更する書き込み電位制御手段とを具備することを特徴としている。前記再書き込み手段の出力に基づいて駆動される不良ページ検出手段をさらに備え、この不良ページ検出手段は不良ページを検出し、不良でないページの積算ループ回数と不良でないページ数から平均ループ回数を抽出するようにしても良い。

【０００８】

また、本発明の不揮発性半導体記憶装置は、メモリセルに書き込まれたデータを消去する消去手段と、前記消去手段によって消去処理が行われたデータについて検証を行い、消去が正しく行われなかった前記データを再消去するように前記消去手段に指示し、この再消去を１ループとして少なくとも１ループは再消去する再消去手段と、前記再消去手段が行う再消去のループ回数をカウントするカウント手段と、前記カウント手段がカウントした複数ページの積算ループ回数から１ページあたりの平均ループ回数を抽出して、最適なトリミング情報を計算する制御手段と、前記トリミング情報に基づいて消去電圧を変更する消去電位制御手段とを具備することを特徴としている。前記再消去手段の出力に基づいて駆動される不良ページ検出手段をさらに備え、この不良ページ検出手段は不良ページを検出し、不良でないページの積算ループ回数と不良でないページ数から平均ループ回数を抽出するようにしても良い。

本発明では、書き込み／消去電位の変更が必要になった場合、セルの書き込み／消去時間、書き込み／消去のループ回数、Ｖpp電位分布幅を検出する必要がなく、チップ内で自動的に設定電位の変更を行うことができる。

【０００９】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を説明する。
不揮発性半導体記憶装置には、例えば、ＩＣチップ製造後電圧電流あるいは紫外線などによってデータを記憶したり消去するＰＲＯＭがある。これらのＰＲＯＭのうち、特に紫外線などで消去するＥＰＲＯＭや電気的消去型のＥＥＰＲＯＭは、記憶したデータを半永久的に保持でき、また、データの消去、書き換えが可能なことから、あらかじめデータの変更が予想されるシステムや他のシステムとのマッチングを考えながらプログラムの構築を行うシステムあるいはプログラムの仕様変更を積極的に盛り込んだシステムのファームウェア等に広く利用されている。図５を参照して一括消去型のＥＥＰＲＯＭの１例を説明する。この不揮発性半導体記憶装置は、チップ内部の全メモリデータを一括して消去するものでマイコンなどのプログラムメモリに多く使用される。

【００１０】
この不揮発性半導体記憶装置のメモリセルの特徴は、フローティングゲート２３と呼ばれるポリシリコンなどの導電層が、コントロールゲート２４と半導体基板２０のソース／ドレイン領域２１、２２間のチャンネルとの間に設けられていることである。フローティングゲート２３は、電気的に浮遊しており、その周囲は、例えば、シリコン酸化膜などの被覆絶縁膜２７によって絶縁されている。したがって、何等かの手段でフローティングゲート２３に電荷を注入すれば、その電荷は、半永久的に残る。フローティングゲート２３は、半導体基板２０のソース／ドレイン領域間のチャネル形成領域上に熱酸化などで形成された厚みが１０ｎｍ程度のシリコン酸化膜２５（第１のゲート絶縁膜）を介して形成される。この第１ゲートのシリコン酸化膜２５の上に形成されるフローティングゲート２３は、１層目のポリシリコンにより形成される。このフローティングゲート２３上にシリコン酸化膜などからなる第２のゲート絶縁膜２６を介してコントロールゲート２４が形成される。このコントロールゲート２４は、２層目のポリシリコンにより形成される。半導体基板２０は、その表面をシリコン酸化膜などの絶縁膜３０の貫通孔を介して、それぞれソース電極（Ｓ）２８及びドレイン電極（Ｄ）２９が絶縁膜３０上に形成されている。

【００１１】
コントロールゲート２４には、電子注入ゲートとして用いられるデータ書き込み用電極となるゲート電極（Ｇ）が接続されている。
この様な構成のメモリセルにデータを書き込むには、フローティングゲート２３に電子を注入すればよい。その手順は次のように行われる。まずコントロールゲート２４に接続したゲート電極Ｇに１２．５Ｖ程度の高電圧を印加し、同時にビット線に接続しているドレイン電極２９にも８Ｖ程度の高電圧を加える。このようにバイアスすると、ドレイン近傍のピンチオフ領域で加速された電子の一部がホットエレクトロンとなり、これがフローティングゲート２３に捕獲される。捕獲される電子の飽和量は、フローティングゲート２３に電位で決定される。フローティングゲート２３に電子が捕獲されると、コントロールゲート２４で制御されるトランジスタのしきい値電圧Ｖthが上昇し、このしきい値電圧の変化分ΔＶthの有無をデータの１，０のレベルに対応させる。

【００１２】
メモリセルからの読み出しは、ゲート電極Ｇに５Ｖ程度の電圧を加え同時にドレイン電極２９にも約２Ｖを加える。このようにバイアスすると、ホットエレクトロンは、５Ｖという低電圧のためにフローティングゲート２３に入り込むことはなく、フローティングゲート２３に電子が注入されてないトランジスタはオンし、読み出し電流が流れる。
データの消去は、フローティングゲート２３内の電子を引き抜くことで行う。例えば、ゲート電極Ｇに０Ｖ、ソース電極２８に１１～１３Ｖ程度の高電圧を印加する。このときフローティングゲート２３とソース電極２８間の電位差によって第１のゲート絶縁膜２５にかかる電界が強まるといわゆるトンネル電流によって電子はソース側に引き抜かれる。
次に、図６のＥＥＰＲＯＭの回路構成図を参照してその各動作を説明する。前述した図５に示すメモリセルは、フローティングゲートから電子が放出された状態を消去と定義するタイプのＥＥＰＲＯＭに適用されるが、ここでは、フローティングゲートに電子が注入された状態を消去と定義するタイプのＥＥＰＲＯＭのメモリセルを参照する。

【００１３】
このＥＥＰＲＯＭのセルアレイは各メモリセルがマトリックス状に配置され、ロウデコーダ（行選択）とカラムデコーダ（列選択）により任意のアドレスのメモリセルがアクセスされる。
（１）消去動作（電子注入）
セルアレイ内の鎖線に囲まれた領域Ａのメモリセル（セル００）は、図７に示すように実際は８個のメモリセル（８ビット分）から成っている。この８個のメモリトランジスタのコントロールゲートは共通に接続され、トランジスタG_{00}を介してセレクト信号C_0に繋がっている。ロウデコーダの出力RA_0は横に並んだ全てのトランジスタのゲートに入力しているが、トランジスタG_{00}を介したセレクト信号C_0は横に８個分しか供給されていない。つまり、セル１０のセレクトゲートにはセル００と同じようにRA_0が与えられているが、セル１０のメモリトランジスタのコントロールゲートにはセル００と違って、トランジスタG_{10}を介してセレクト信号C_1が与えられている。これは消去動作のとき余分なメモリセルに高電圧をかけないようにするためである。
【００１４】
ここで領域Ａのセル０００を消去する場合を説明する。まず、ロウデコーダ入力A_0、A_1を“０”とし、RA_0を高電圧の２０Ｖにする。他のロウデコーダの出力RA_1、RA_2及びRA_3は０Ｖとする。更にカラムデコーダ入力A_2、A_3を共に“０”として、CA_0を２０Ｖに、他のCA_1、CA_2、CA_3は０Ｖにする。このようにするとカラム選択トランジスタQ_0とG_{00}はオンとなり、消去用電圧信号α（＝２０Ｖ）がセル０００から００７のコントロールゲートに供給される。
一方、ビットラインB_{00}はデータカラム選択用トランジスタT_{r0}を介してβの電位となる。βを０Ｖにするとセル０００の各端子は消去（電子注入）状態になる。つまりセレクトゲート、コントロールゲートに２０Ｖ、ドレイン電極に０Ｖがかかることになる。このときメモリトランジスタのソース電極（□で表示）は０Ｖにしておく。この状態でB_{00}からB_{07}の任意のビットラインを“０”とすれば、そのビットのセルの消去（電子注入）ができることになる。
隣接するセル１０（８個ある）のコントロールゲートはRA_0＝２０ＶのためG_{10}がオンするがカラム選択トランジスタQ_1はオフしているため８個のメモリトランジスタのコントロールゲートは高電圧とはならない。従って誤って隣のセルを消去（電子注入）することがなく、消去時の信頼性は高い。
【００１５】
（２）書き込み動作（電子放出）
次に、セル０００に書き込む場合の動作を説明する。アドレス入力A_0、A_1を“０”に、さらにA_2、A_3も“０”とするのは消去動作と同様である。この状態でα＝０Ｖ、β＝２０Ｖとする。こうすることによりQ_0、G_{00}を介してコントロールゲートには０Ｖが、T_{r0}を介してB_{00}には２０Ｖが供給される。セル０００のセレクトゲートにはRA_0＝２０Ｖが与えられているため書き込みモードとなり、フローティングゲートから電子が放出される。このときメモリトランジスタのソース電極は５Ｖとしておく。このようにして書き込み（電子放出）が行われる。
【００１６】
セル０００に書き込む（電子放出）ためビットラインB_{00}は２０Ｖになるが、この影響が例えばすぐ上のセル０１に及ぶと誤動作を招くことになる。つまりビットラインに高電圧（２０Ｖ）が加わるためセル０１が電子放出すると誤動作となる。それを防止するためセレクトトランジスタがセルに付加されており、RA_1が０Ｖであると、このトランジスタがオフし、高電圧の影響を受けないようになっている。ＥＥＰＲＯＭがＥＰＲＯＭと違って、１セルが２個のトランジスタから成っているのは、書き込み時に非選択セルに高電圧を印加させない機能を持たせる他に、読み出し時に非選択セルのデータがビットラインに出力されないようにするためである。
【００１７】

次に、図１を参照して第１の実施の形態を説明する。図１は、例えば、１６ＭのＮＡＮＤ型ＥＥＰＲＯＭなどの不揮発性半導体記憶装置の書き込みもしくは消去（書き込み／消去）を説明するブロック図である。このような電気的に書き込み／消去可能な不揮発性半導体装置においては書き込み／消去時間や書き込み／消去後のベリファイ動作まで自動化されている場合が多い。通常動作の場合コマンドレジスタより書き込み／消去開始信号を書き込み／消去制御回路にて受け、書き込み／消去が終了すると、ベリファイ回路でデータの検出を行う。データ検出の結果ＮＧであればベリファイ回路により再書き込みを行うが、本発明の特徴はこの再書き込み信号を用いて自動Ｖppトリミングを行うことにある。

【００１８】

コマンドレジスタ１から出力された書き込み／消去開始信号ＷＥＳは、書き込み／消去制御回路３に入力され、この信号に基づいてアドレス信号ＡＤＤで選択されたメモリセルの書き込み／消去が行われる。書き込み／消去が終了すると、書き込み／消去終了信号ＷＥＥが書き込み／消去制御回路３から出力され、この信号は、ベリファイ回路４に入力される。そして、ベリファイ回路４で書き込み／消去データの検出を行う。ベリファイ回路４では再書き込み信号ＲＷが生成される。データ検出の結果がＮＧ（書き込まれていなかったもしくは消去されていなかった）であれば、この再書き込み信号ＲＷに基づいて書き込み／消去制御回路３において再書き込み／再消去が行われる。

【００１９】

この実施の形態ではＶpp電位の変更可能なステップ数にトリミングデータとして使用するページ数を乗じた分の２進カウンタ８を用意する。そして、この２進カウンタ８にトリミングデータとして使用するページの書き込みを行い、再書き込み信号ＲＷを用いて２進カウンタ８を進める。２進カウンタ８でカウントされた値からトリミングデータとして使用したページ数分を表わす下位ビットを除外すると、上位ビットが１ページ当たりの平均ループ回数となる。図２は、２進カウンタ８のビットを示すブロック図である。上位ビットは、１ページ当たりの平均ループ回数を表わし、下位ビットは、トリミングデータとして使用したページ数を表わす。従って、前記平均ループ回数を２進カウンタから求めるには前記ページ数を知らなければならない。

この実施の形態では予め書き込み／消去を行うページ数は決められているので下位ビットのカウント数はそれに応じて除外すれば良い。

【００２０】

２進カウンタ８の上位ビットに示された平均ループ回数を検出データとし、この検出データをＶPP電位設定データ書き込み制御回路９に送り、このデータを基にＶpp電位設定データを書き換える。そして、図１のラインＡに示すように、この書き換えられたＶpp電位設定データをＶPP電位制御回路６へ送ることにより、このデータとイニシャルＶpp電位設定データ７とを比較してＶPP電位制御回路６の設定電位の変更を行う。そして、このＶPP電位制御回路６によってＶppトリミングが行われる。Ｖpp電位設定データ書き込み制御回路９でＶpp電位設定データを書き換えることによりＶpp電位は最適化され、外部から書き込み時間、ループ回数を検出することなくＶppトリミングが可能になる。

また、書き換えられたＶpp電位設定データは、図１のラインＢで示すように、Ｖpp電位設定データ記憶部１４に記憶させ、必要に応じてＶpp電位制御回路６へ送ることもできる。Ｖpp電位設定データ記憶部には、メモリセルなどを用いることができる。

以下２ページをトリミングのサンプリング対象として、各ページがループ４回で終了した場合のカウンタ動作を説明する。まず各ページの書き込み動作の始めにカウンタを１つ進める。これは書き込み動作が１回で終了した場合にカウンタがカウントアップしないのに対して、書き込み動作は１回とカウントすることに対応するためである。カウンタとして６ビット用意し、サンプリング対象が２ページとしているため、カウンタの下位１ビットをページ数を表すビットに割り当てる。１１図に示すように、サンプリングスタート時には、カウンタは０００００１からスタートし、１ページ目のサンプリングが終了するループ４回目には、カウンタは０００１００を示す。次に２ページめをサンプリングするためカウンタが１つ進み、このときカウンタは０００１０１を示す。次に２ページめのサンプ

リングが開始され、２ページめの書き込みが終了するループ４回目には、カウンタは００１０００を示すようになる。最下位１ビットがページ数を表すため、カウンタが示す値を下位へ１ビットシフト演算を行い、その結果の００１００が２ページの平均ループ回数を示す。

Ｖｐｐ電位設定データ書き込み制御回路９は、このサンプリングされた平均ループ回数を不揮発性的に記憶しておくため、内部の不揮発性記憶部分であるＶｐｐ電位設定記憶部５に対して書き込み動作を行う。このためＤ／Ｓの最初にこの書き込み動作が行われる。そしてこのＶｐｐ電位設定記憶部５のループ回数のデータと、イニシャルＶｐｐ電位設定データ７に記憶されているＶｐｐ電位及び所定のループ回数の値が比較され、最適なＶｐｐ電位がＶｐｐ電位制御回路６によって設定される。

ループ回数が所定の５回より短くなると書き込み後の同一ワード線に接続されたメモリセルのしきい値分布が広くなり、読みだし動作に問題が生じる。また所定の５回より長くなると、メモリセルのメモリセルのしきい値分布は所定の分布幅より小さくならずに、無駄な書き込みループ回数が存在し、書き込み時間が長くなる問題が生じる。このため、ループ回数が所定の５回となるよう、スタートのＶｐｐを調整するようなアルゴリズムが取り入れられる。

たとえば、イニシャルでの書き込み電圧が１７ｖからスタートし、０．５ｖステップでループ５回で終了するように設定されていたと仮定する。サンプリング動作の結果、カウンタに記憶された平均ループ回数が４回を示した場合、書き込み制御回路９は、４回の値をＶｐｐ電位設定記憶部５に記憶する。この４回の値がＶｐｐ電位制御回路６へ送られ、イニシャル設定ループ回数５回及びイニシャルＶｐｐ設定電位の１７ｖと比較される。所望のループ回数は５回であるから、４回－５回の（－１）回が比較結果として得られ、その結果Ｖｐｐはイニシャルの１７ｖより１ステップ（０．５ｖ）低い１６．５ｖから書き込みがスタートするようＶｐｐトリミング動作が自動的に行われる。

前述の実施例は２進カウンタやＶｐｐ電位設定データ書き込み制御回路をＥＥＰＲＯＭ記憶装置と同じチップ上に形成した場合について説明している。しかしながら、これらの制御回路の機能を別チップ上に構成し、この別チップとＥＥＰＲＯＭ記憶装置を１つのモジュールとして形成することも可能である。この場合複数のＥＥＰＲＯＭ記憶装置に対して、制御回路を１チップとして構成する場合に、シリコン面積を有効に使用することができる。

【００２１】

次に、図３を参照して第２の実施の形態を説明する。

図３は、１６ＭのＮＡＮＤ型ＥＥＰＲＯＭなどの不揮発性半導体記憶装置の書き込み／消去を説明するブロック図である。この実施の形態では、予め書き込み／消去を行うページ数がわからない場合に適している。

コマンドレジスタ１から出力された書き込み／消去開始信号ＷＥＳは書き込み／消去制御回路３に入力され、この信号に基づいて書き込み／消去が行われる。書き込み／消去が終了すると、書き込み／消去終了信号ＷＥＥが書き込み／消去制御回路３から出力され、この信号は、ベリファイ回路４に入力される。そしてベリファイ回路４で書き込み／消去データの検出を行う。ベリファイ回路４では再書き込み信号ＲＷが生成される。データ検出の結果がＮＧであれば、この再書き込み信号ＲＷに基づいて書き込み／消去制御回路３において再書き込み／再消去が行われる。この再書き込み信号は自動Ｖppトリミングに用いられる。

【００２２】

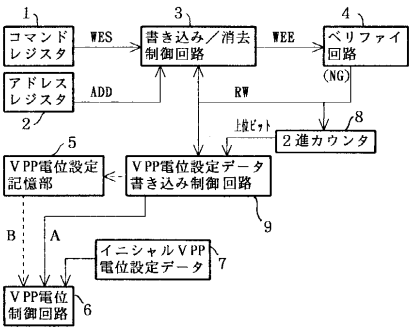
Ｖpp電位の変更可能なステップ数にトリミングデータとして使用するページ数を乗じた分の２進カウンタ８を用意する。そして、この２進カウンタ８にトリミングデータとして使用するページの書き込みを行い、再書き込み信号ＲＷを用いて２進カウンタ８を進める。２進カウンタ８でカウントされた値からトリミングデータとして使用したページ数分を表わす下位ビットを除外すると、上位ビットが１ページ当たりの平均ループ回数となる。すなわち、上位ビットは、１ページ当たりの平均ループ回数を表わし、下位ビットは、トリ

ミングデータとして使用したページ数を表わす。従って前記平均ループ回数を２進カウンタから求めるには前記ページ数を知らなければならない。
この実施の形態では予め書き込み／消去を行うページ数が決められていないので、下位ビットのカウント数を求めてページ数を検知してから２進カウンタ８のカウント数をはそれに応じて除外すれば良い。
【００２３】
この実施の形態はページ数をカウントするためにページカウント１０を用いることに特徴がある。まずベリファイ回路４から１ページ終了信号ＰＥを生成させる。１ページ終了信号ＰＥは、ページカウンタ１０に入力され、ページ数がカウントされる。そして、このページカウンタ１０の出力が前記Ｖpp電位設定データ書き込み制御回路９に入力され、そこで２進カウンタ８でカウントされたカウント数からページ数を差し引いて１ページ当たりの平均ループ回数を得る。
このように得られた平均ループ回数を検出データとし、この検出データをもとにＶPP電位設定データ書き込み制御回路９においてＶpp電位設定データを書き換える。次に図３のラインＡに示すようにこのデータをＶPP電位制御回路６へ送ることにより、このデータとイニシャルＶpp電位設定データ７とを比較してＶPP電位制御回路６の設定電位の変更を行う。そして、このＶPP電位制御回路６によってＶppトリミングが行われる。Ｖpp電位設定データ書き込み制御回路９でＶpp電位設定データを書き換えることによりＶpp電位は最適化され、外部で書き込み時間、ループ回数を検出すること無くＶppトリミングが可能になる。
この実施の形態では、書き込み／消去の全ページ数が分からない場合でも容易に１ページ当たりの平均ループ数が検出することができる。
また、書き換えられたＶpp電位設定データは、図３のラインＢで示すように、Ｖpp電位設定データ記憶部１４に記憶させ、必要に応じてＶpp電位制御回路６へ送ることもできる。Ｖpp電位設定データ記憶部にはメモリセルを用いることができる。
【００２４】
次に、図４を参照して第３の実施の形態を説明する。
図４は、１６ＭのＮＡＮＤ型ＥＥＰＲＯＭなどの不揮発性半導体記憶装置の書き込み／消去を説明するブロック図である。この実施の形態は第２の実施の形態と同じ様に予め書き込みもしくは消去を行うページ数がわからない場合に適している。
コマンドレジスタ１から出力された書き込み／消去の開始を指示する書き込み／消去開始信号ＷＥＳは、書き込み／消去制御回路３に入力され、この信号に基づいて書き込み／消去が行われる。書き込み／消去が終了すると、書き込み／消去終了信号ＷＥＥが書き込み／消去制御回路３から出力され、この信号は、ベリファイ回路４に入力される。そしてベリファイ回路４で書き込み／消去データの検出を行う。ベリファイ回路４では再書き込み信号ＲＷが生成される。データ検出の結果がＮＧであれば、この再書き込み信号ＲＷに基づいて書き込み／消去制御回路３において再書き込み／再消去が行われる。この再書き込み信号は、自動Ｖppトリミングに用いられる。そして、データ検出の結果がＯＫの場合は、次に進む。
【００２５】
Ｖpp電位の変更可能なステップ数にトリミングデータとして使用するページ数を乗じた分の２進カウンタ８を用意する。そして、この２進カウンタ８にトリミングデータとして使用するページの書き込みを行い、再書き込み信号ＲＷを用いて２進カウンタ８を進める。２進カウンタ８でカウントされた値からトリミングデータとして使用したページ数分を表わす下位ビットを除外すると、上位ビットが１ページ当たりの平均ループ回数となる。すなわち、上位ビットは、１ページ当たりの平均ループ回数を表わし、下位ビットは、トリミングデータとして使用したページ数を表わす。
この実施の形態では予め書き込み／消去を行うページ数が決められていないので、下位ビットのカウント数を求めてページ数を検知してから２進カウンタ８のカウント数はそれに応じて除外すれば良い。このページ数をカウントするためにはページカウント１０を用い

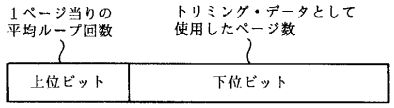
る。
この実施の形態は、ページ数をカウントする際に不良ページを除外し、そのために、不良ページ検出回路、不良ページカウンタ及び不良ページデカウント回路を用いることを特徴としている。
【００２６】
トリミングデータ量（即ちページ数）が少ない場合は不良ページが含まれているとループが最大となるため第２の実施の形態のようにトリミングを行うとトリミングデータの誤差が大きくなるので不良ページを除外する必要が出てくる。
不良ページの書き込みを行った場合は、ベリファイ回路より不良信号を取り出して不良ページをカウントする。まず、所定のページがベリファイ回路４でデータ検出の結果がＯＫの場合、ベリファイ回路４の出力は、不良ページ検出回路１１に入力され、不良ページか否か判断される。不良ページでない場合は、１ページ終了信号ＰＥが出力され、ページカウンタ１０でカウントされる。このページカウンタ１０は、不良ページ検出回路１１を経た１ページ終了信号によりページをカウントするので、そのカウント数には不良ページが含まれない。不良ページの場合は、不良ページ数カウンタ１２で不良ページ数がカウントされる。
【００２７】
ページカウンタ１０が所定の回数をカウントした後、２進カウンタ８の不良ページ回数を含んだ累積ループ回数から不良ページデカウント回路１３で不良ページ数に最大ループ回数を乗じた値をデカウントする。デカウントされたデータの上位ビットが１ページ当たりの平均ループ回数となり、このデータがＶpp電位設定データになる。Ｖpp電位設定データは、Ｖpp電位設定データ書き込み制御回路９に送られ、ここでＶpp電位設定データを書き換える。
図４のラインＡに示されるように、このデータをＶPP電位制御回路６へ送ることにより、このデータとイニシャルＶpp電位設定データ７とを比較してＶPP電位制御回路６の設定電位の変更を行う。そしてこのＶPP電位制御回路６によってＶppトリミングが行われる。Ｖpp電位設定データ書き込み制御回路９でＶpp電位設定データを書き換えることによりＶpp電位は最適化され、外部で書き込み時間、ループ回数を検出すること無くＶppトリミングが可能になる。この実施の形態では、書き込み／消去の全ページ数が分からない場合でも容易に１ページ当たりの平均ループ数が検出することができる。このことにより、トリミングのデータ量が少なく、その中に不良ページを含んでいた場合でも誤差の小さい自動ＶppトリミングがＶ可能となる。
【００２８】
本発明は、前述の実施の形態において説明したＥＥＰＲＯＭに限らず、ＰＲＯＭやＥＰＲＯＭなどの不揮発性半導体記憶装置にも適用することができる。
また、書き換えられたＶpp電位設定データは、図４のラインＢで示すように、Ｖpp電位設定データ記憶部１４に記憶させ、必要に応じてＶpp電位制御回路６へ送ることもできる。Ｖpp電位設定データ記憶部にはメモリセルを用いることができる。
本発明において書き込み手段がメモリセルにデータを書き込むにはＶpp電圧のパルス波形の違いによって幾つかの方式が用いられる。１６ＭＮＡＮＤ型ＥＥＰＲＯＭでは、倍々方式とステップアップ方式を用いる。▲１▼倍々方式は、Ｖpp電圧は一定にし、パルス幅は、ループ回を重ねる毎に前の倍の幅にすることに特徴がある。この場合ループ１回目のパルス幅を１０μｓｅｃにし、２回目以降を倍々に増やしていく。トリミングは前記Ｖpp電圧に対して行う（図１０（ａ））。▲２▼ステップアップ方式は、パルス幅を一定にし、書き込みをループ回を重ねる毎に高くすることに特徴がある。この場合パルス幅は、各ループ回とも２５μｓｅｃとし、ループ１回目の書き込みを１８Ｖにし、２回目以降を１Ｖづつ高くしていく。トリミングは、ループ１回目のスタート電圧の１８Ｖに対して行う（図１０（ｂ））。
この他にも、例えば、４ＭＮＯＲ型ＥＥＰＲＯＭでは、▲３▼等倍方式で書き込みが行われる（図１０（ｃ））。この方式はパルス幅とＶpp電圧を常に一定にしておく。

【００２９】
【発明の効果】
不揮発性半導体記憶装置において、書き込みもしくは消去電位の変更が必要になった場合、不揮発性半導体記憶装置によりセルの書き込みもしくは消去時間、書き込みもしくは消去のループ回数、Ｖpp電位分布幅を検出する必要がなくなるので製品テスト工程時間を短縮することができる。
【図面の簡単な説明】
【図１】本発明の第１の実施の形態の不揮発性半導体記憶装置の書き込み／消去を説明するブロック図。
【図２】図１の２進カウンタのビット表示を表わすブロック図。
【図３】本発明の第２の実施の形態の不揮発性半導体記憶装置の書き込み／消去を説明するブロック図。
【図４】本発明の第３の実施の形態の不揮発性半導体記憶装置の書き込み／消去を説明するブロック図。
【図５】本発明の不揮発性半導体記憶装置のメモリセルの断面図。
【図６】本発明の不揮発性半導体記憶装置の回路構成図。
【図７】図６の領域Ａを拡大した回路構成図。
【図８】書き込み／消去を行う際の各ループごとのベリファイ結果を示す特性図。
【図９】従来の不揮発性半導体記憶装置の書き込み／消去を説明するブロック図。
【図１０】本発明の書き込み方式を説明するタイミングチャート図。
【図１１】本発明のカウンタ動作を説明するブロック図。
【符号の説明】
１・・・コマンドレジスタ、　２・・・アドレスレジスタ、
３・・・書き込み／消去制御回路、　４・・・ベリファイ回路、
５・・・Ｖpp電位設定記憶部、　６・・・Ｖpp電位制御回路、
７・・・イニシャルＶpp電位設定データ、　８・・・２進カウンタ、
９・・・Ｖpp電位設定データ書き込み制御回路、
１０・・・ページカウンタ、　１１・・・不良ページ検出回路、
１２・・・不良ページカウンタ、　１３・・・不良ページデカウント回路、
１４・・・Ｖpp電位設定記憶部、　２０・・・半導体基板、
２１・・・ソース領域、　２２・・・ドレイン領域、
２３・・・フローティングゲート、　２４・・・コントロールゲート、
２５・・・第１のゲート絶縁膜、　２６・・・第２のゲート絶縁膜、
２７、３０・・・絶縁膜、　２８・・・ソース電極、
２９・・・ドレイン電極。

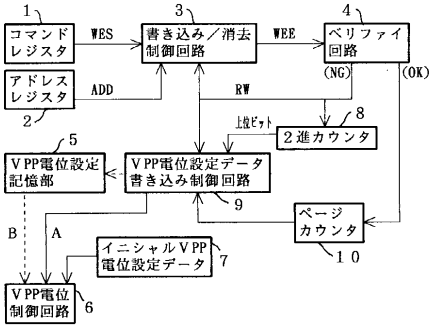
【図１】



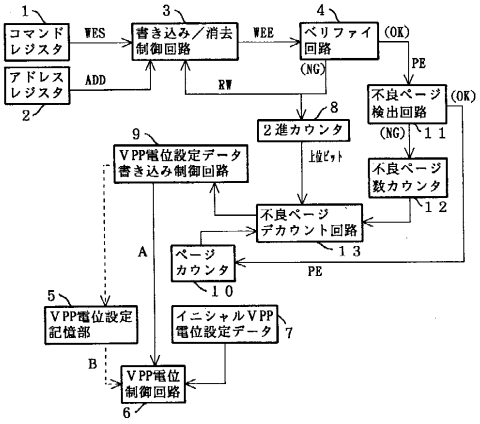
【図２】



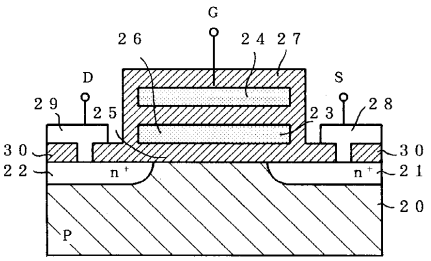
【図３】



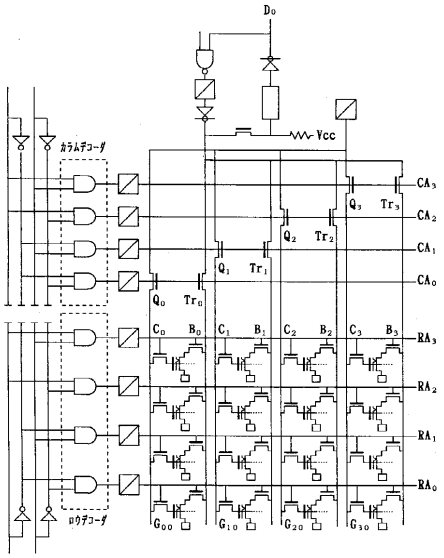
【図４】



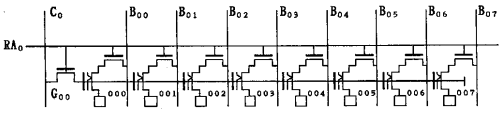
【図５】



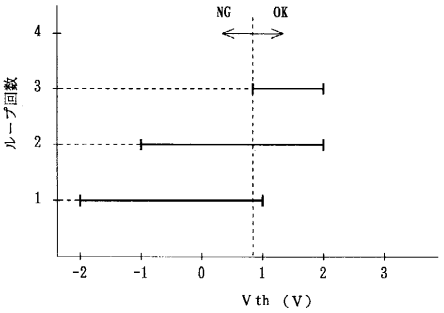
【図６】



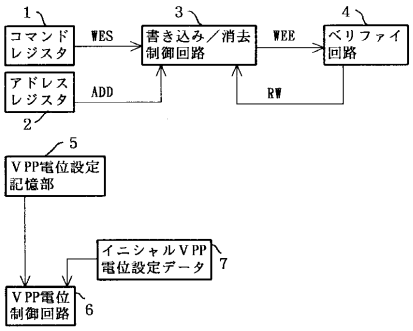
【図７】



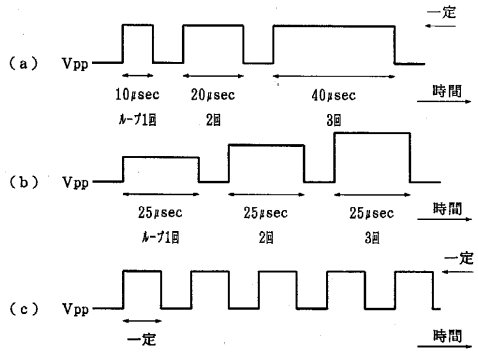
【図８】



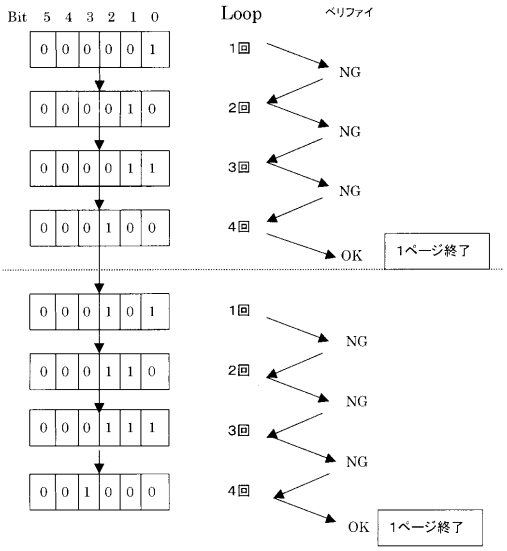
【図９】


1
コマンドレジスタ
WES
3
書き込み／消去制御回路
WEE
4
ベリファイ回路
アドレスレジスタ
ADD
RW
2
5
ＶPP電位設定記憶部
イニシャルＶPP電位設定データ
7
ＶPP電位制御回路
6

【図１０】


(a) Vpp
一定
10μsec
20μsec
40μsec
時間
ループ1回
2回
3回
(b) Vpp
25μsec
25μsec
25μsec
時間
ループ1回
2回
3回
(c) Vpp
一定
一定
時間

【図１１】


Bit 5 4 3 2 1 0
Loop
ベリファイ
0 0 0 0 0 1
1回
NG
0 0 0 0 1 0
2回
NG
0 0 0 0 1 1
3回
NG
0 0 0 1 0 0
4回
OK
1ページ終了
0 0 0 1 0 1
1回
NG
0 0 0 1 1 0
2回
NG
0 0 0 1 1 1
3回
NG
0 0 1 0 0 0
4回
OK
1ページ終了

フロントページの続き

(56)参考文献　特開平０７－２４９２９４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11C 29/00
G11C 16/00-16/34