(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 1 月 19 日(19.01.2012)

PCT

(10) 国際公開番号
WO 2012/008186 A1

(51) 国際特許分類:
G11C 19/28 (2006.01) *G09G 3/36* (2006.01)
G09G 3/20 (2006.01) *G11C 19/00* (2006.01)

(21) 国際出願番号: PCT/JP2011/058555

(22) 国際出願日: 2011 年 4 月 4 日(04.04.2011)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2010-158675 2010 年 7 月 13 日(13.07.2010) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 山本 薫 (YAMAMOTO, Kaoru). 小川 康行 (OGAWA, Yasuyuki).

(74) 代理人: 島田 明宏 (SHIMADA, Akihiro); 〒6340078 奈良県橿原市八木町１丁目１０番３号 萬盛庵ビル 島田特許事務所 Nara (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

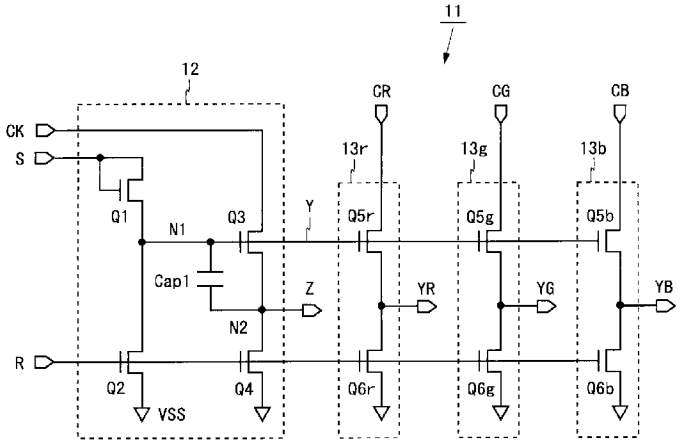
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SHIFT REGISTER AND DISPLAY DEVICE PROVIDED WITH SAME

(54) 発明の名称 : シフトレジスタおよびこれを備えた表示装置

[図3]



(57) **Abstract**: Disclosed is a shift register (10) that connects an m number of multiple levels with unit circuits (11) that have a shift unit (12) and three buffer units (13r, 13g, 13b), and outputs three signals from each level, totaling an output of 3m signals. The m number of shift units (12) perform shift operation and output a first signal (Y) from each level. When a clock signal (CK) level is high, the first signal (Y) is at a higher high level than usual due to bootstrapping. The buffer unit (13r) controls the output signal (YR) at a high level based on a buffer control signal (CR) and the first signal (Y). A buffer control circuit (7) controls each buffer control signal (CR, CG, CB) at a high level for a shorter time than the half-cycle of the clock signal. As a result, the shift register has a low circuit volume and low power consumption.

(57) 要約:

[続葉有]

WO 2012/008186 A1

シフト部１２と３個のバッファ部１３ｒ、１３ｇ、１３ｂを含む単位回路１１をｍ個多段接続して、各段から３個、全部で３ｍ個の信号を出力するシフトレジスタ１０を構成する。ｍ個のシフト部１２は、シフト動作を行い、各段から第１信号Ｙを出力する。クロック信号ＣＫがハイレベルのときに、第１信号Ｙはブートストラップにより通常よりも高いハイレベルになる。バッファ部１３ｒは、バッファ制御信号ＣＲと第１信号Ｙに基づき、出力信号ＹＲをハイレベルに制御する。バッファ制御回路７は、バッファ制御信号ＣＲ、ＣＧ、ＣＢをクロック信号の半周期よりも短い時間ずつハイレベルに制御する。これにより、回路量が少なく、低消費電力のシフトレジスタを提供する。

明　細　書

発明の名称 ： シフトレジスタおよびこれを備えた表示装置

技術分野

[0001] 本発明は、シフトレジスタおよび表示装置に関し、特に、表示装置などに好適に用いられるシフトレジスタ、および、シフトレジスタを備えた表示装置に関する。

背景技術

[0002] アクティブマトリクス型の表示装置は、２次元状に配置された画素回路を行単位で選択し、選択した画素回路に対して映像信号に応じた階調電圧を書き込むことにより、画像を表示する。このような表示装置には、画素回路を行単位で選択するために、シフトレジスタを含む走査信号線駆動回路が設けられる。

[0003] また、表示装置を小型化する方法として、画素回路内のＴＦＴ（Thin Film Transistor）を形成するための製造プロセスを用いて、走査信号線駆動回路を画素回路と共に表示パネル上に一体形成する方法が知られている。走査信号線駆動回路は、例えば、アモルファスシリコンＴＦＴを用いて形成される。あるいは、アモルファスシリコンＴＦＴに代えて、ＩＧＺＯ（Indium Gallium Zinc Oxide ）などの酸化物半導体によるＴＦＴを用いれば、より高速に動作する走査信号線駆動回路を構成することができる。走査信号線駆動回路を一体形成した表示パネルは、ゲートドライバモノリシックパネルとも呼ばれる。

[0004] 走査信号線駆動回路に含まれるシフトレジスタについては、従来から各種の回路が知られている。例えば、図１８に示す単位回路１１１をｍ個多段接続することにより、ｍ段のシフトレジスタを構成することができる。また、特許文献１には、図１９に示す単位回路１２１を多段接続したシフトレジスタが記載されている（図２０を参照）。このシフトレジスタは、単位回路１２１がキャリーバッファ部１２２を含むことを特徴とする。

[0005] また、表示装置を小型・低消費電力化する別の方法として、１水平期間に複数の走査信号線を駆動する方法が知られている。以下、１水平期間に３本の走査信号線を駆動するトリプルスキャンについて説明する。トリプルスキャンを実現する第１の方法として、走査信号線の本数と同じ段数のシフトレジスタを走査信号線駆動回路に設ける方法がある。例えば、３ｍ本の走査信号線を駆動するためには、３ｍ段のシフトレジスタを１個設ければよい。また、第２の方法として、シフトレジスタを３個に分ける方法がある。具体的には、３ｍ本の走査信号線を駆動するためには、ｍ段のシフトレジスタを３個設け、３個のシフトレジスタを１／３水平期間ずつ遅らせて動作させればよい。

[0006] あるいは、第３の方法として、走査信号線に１個のシフトレジスタを設け、シフトレジスタの各段の出力を３本の走査信号線に時分割で与える方法もある。図２１は、第３の方法を用いた従来の走査信号線駆動回路の構成を示す図である。図２１において、シフトレジスタの各段の回路１３１は、３本の走査信号線ＧＬＲｉ、ＧＬＧｉ、ＧＬＢｉに対応づけられる。各走査信号線には、アナログスイッチ１３２と電位固定回路１３３が設けられる。バッファ制御信号ＣＲ、ＣＧ、ＣＢは、１／３水平期間ずつ順にハイレベルになる。バッファ制御信号ＣＲがローレベルのときには、電位固定回路１３３が動作し、走査信号線ＧＬＲｉにはローレベル電位が固定的に印加される。バッファ制御信号ＣＲがハイレベルのときには、電位固定回路１３３は動作せず、走査信号線ＧＬＲｉには各段の回路１３１から出力された信号がアナログスイッチ１３２を介して与えられる。

[0007] トリプルスキャンを行う表示装置では、トリプルスキャンを行わない表示装置と比べて、画素領域に配設されるデータ信号線の本数は１／３になり、データ信号線駆動回路の出力端子数も１／３になる。これにより、データ信号線駆動回路の回路量を削減し、表示装置の消費電力を削減することができる。

先行技術文献

特許文献

[0008] 特許文献1：日本国特開２００４－７８１７２号公報

発明の概要

発明が解決しようとする課題

[0009] 上記２つの技術を組合せて、トリプルスキャンを行う走査信号線駆動回路を表示パネル上に一体形成することを考える。トリプルスキャンを上記第１または第２の方法で実現する場合、３ｍ本の走査信号線を駆動するためには、表示パネルの額縁部分（画素領域の周囲の部分）に３ｍ段分の回路を配置する必要があるので、額縁部分の面積が増大する。また、３ｍ段分の回路が動作するので、走査信号線駆動回路の消費電力が増大する。このため、トリプルスキャンを実現するときには、上記第３の方法を用いることが好ましい。また、走査信号線駆動回路を表示パネル上に一体形成するときには、コスト低減のために、同じチャネル型のＴＦＴを用いることが好ましい。

[0010] しかしながら、図２１に示す走査信号線駆動回路を同じチャネル型のＴＦＴを用いて構成する場合、アナログスイッチ１３２をオン状態にするために、走査信号線に印加する電位よりも高い電位をアナログスイッチ１３２のゲートに印加する必要がある。このため、当該電位を生成する電源回路を新たに設ける必要がある。また、電位固定回路１３３による電圧ストレスによって、回路の信頼性が低下するという問題もある。

[0011] それ故に、本発明は、表示パネル上に一体形成するのに好適な構成を有し、回路量が少なく、低消費電力のシフトレジスタを提供することを目的とする。

課題を解決するための手段

[0012] 本発明の第１の局面は、複数の単位回路を多段接続した構成を有し、バッファ制御信号に従い各段から１個以上の信号を出力するシフトレジスタであって、

前記単位回路のそれぞれは、シフト部と、前記バッファ制御信号によって

制御される１個以上のバッファ部とを含み、

前記シフト部は、

セット信号に従い第１ノードにオン電位を印加する第１トランジスタと、

リセット信号に従い前記第１ノードにオフ電位を印加する第２トランジスタと、

クロック信号の入力ノードと第２ノードとの間に設けられ、前記第１ノードに接続された制御端子を有する第３トランジスタと、

前記リセット信号に従い前記第２ノードにオフ電位を印加する第４トランジスタとを含み、

前記バッファ部は、

出力ノードと、

前記第１ノードの電位と前記バッファ制御信号とに基づき、前記出力ノードにオン電位を印加する第５トランジスタと、

前記リセット信号に従い前記出力ノードにオフ電位を印加する第６トランジスタとを含むことを特徴とする。

[0013] 本発明の第２の局面は、本発明の第１の局面において、

前記第５トランジスタは、前記バッファ制御信号の入力ノードと前記出力ノードとの間に設けられ、前記第１ノードに接続された制御端子を有することを特徴とする。

[0014] 本発明の第３の局面は、本発明の第２の局面において、

前記シフト部は、前記第１ノードと前記第２ノードとの間に容量をさらに含むことを特徴とする。

[0015] 本発明の第４の局面は、本発明の第３の局面において、

前記バッファ部は、前記第１ノードと前記出力ノードとの間に容量をさらに含むことを特徴とする。

[0016] 本発明の第５の局面は、本発明の第１の局面において、

前記単位回路のそれぞれは、前記バッファ部を複数個含むことを特徴とす

る。

[0017] 本発明の第６の局面は、本発明の第５の局面において、

複数のバッファ制御信号を前記クロック信号の半周期よりも短い時間ずつオンレベルに制御するバッファ制御回路をさらに備える。

[0018] 本発明の第７の局面は、本発明の第６の局面において、

前記バッファ制御回路は、前記バッファ制御信号を互いに重複しない期間でオンレベルに制御することを特徴とする。

[0019] 本発明の第８の局面は、本発明の第６の局面において、

前記バッファ制御回路は、前記バッファ制御信号を同じタイミングでオンレベルに制御することを特徴とする。

[0020] 本発明の第９の局面は、本発明の第６の局面において、

前記バッファ制御回路は、前記クロック信号がオフレベルに変化するより前に、前記バッファ制御信号をオフレベルに制御することを特徴とする。

[0021] 本発明の第１０の局面は、本発明の第６の局面において、

前記バッファ制御回路は、指定期間において前記バッファ制御信号をオフレベルに固定する機能を有することを特徴とする。

[0022] 本発明の第１１の局面は、本発明の第６の局面において、

前記バッファ制御回路は、前記バッファ制御信号を互いに異なる期間でオンレベルに制御する機能と、前記バッファ制御信号を同じ期間でオンレベルに制御する機能とを有することを特徴とする。

[0023] 本発明の第１２の局面は、本発明の第１の局面において、

前記シフト部は、前記リセット信号以外の信号に従い、前記第１ノードにオフ電位を印加する回路をさらに含むことを特徴とする。

[0024] 本発明の第１３の局面は、本発明の第１の局面において、

前記シフト部は、前記リセット信号以外の信号に従い、前記第２ノードにオフ電位を印加するトランジスタをさらに含むことを特徴とする。

[0025] 本発明の第１４の局面は、本発明の第１の局面において、

前記バッファ部は、前記リセット信号以外の信号に従い、前記出力ノード

にオフ電位を印加するトランジスタをさらに含むことを特徴とする。

[0026] 本発明の第１５の局面は、本発明の第１の局面において、

前記シフト部は、クリア信号に従い前記第１ノードにオフ電位を印加するトランジスタをさらに含むことを特徴とする。

[0027] 本発明の第１６の局面は、本発明の第１の局面において、

前記シフト部は、

オン電位を有する電源ノードと第３ノードとの間に設けられ、前記第１ノードに接続された制御端子を有する第７トランジスタと、

オフ電位を有する電源ノードと前記第３ノードとの間に設けられ、前記リセット信号が与えられた制御端子を有する第８トランジスタとをさらに含むことを特徴とする。

[0028] 本発明の第１７の局面は、複数の走査信号線を配設した画素領域を含む表示パネルと、

第１～第１６のいずれかの発明に係るシフトレジスタを含み、前記表示パネル上に一体形成された走査信号線駆動回路とを備えた表示装置である。

発明の効果

[0029] 本発明の第１の局面によれば、各段にシフト部と１個以上のバッファ部を設け、シフト部内の第１ノードの電位、バッファ制御信号およびリセット信号に基づき変化する信号をバッファ部から出力することにより、バッファ制御信号に従い各段から１個以上の信号を出力するシフトレジスタを構成することができる。この方式で各段から複数の信号を出力するシフトレジスタを構成した場合、各段から１個の信号を出力するシフトレジスタよりも回路量が少なく、消費電力も少なくなる。このシフトレジスタを含む走査信号線駆動回路を表示パネル上に一体形成することにより、表示パネルの額縁部分の面積を削減し、表示装置の消費電力を削減することができる。

[0030] 本発明の第２の局面によれば、バッファ制御信号の入力ノードと出力ノードとの間にトランジスタを設け、当該トランジスタの制御端子を第１ノードに接続することにより、シフト部内の第１ノードの電位とバッファ制御信号

とに基づき出力ノードにオン電位を印加するバッファ部を構成することができる。このバッファ部を１個以上、各段に設けることにより、各段から１個以上の信号を出力するシフトレジスタを構成することができる。

[0031] 本発明の第３の局面によれば、第１ノードと第２ノードとの間に容量を設けることにより、クロック信号がオンレベルになったときに、ブートストラップによって第１ノードに十分なオン電位を与えて、第３トランジスタを通過するクロック信号の歪みを防止することができる。

[0032] 本発明の第４の局面によれば、第１ノードと出力ノードとの間に容量を設けることにより、バッファ制御信号がオンレベルになったときに、ブートストラップによって第１ノードに十分なオン電位を与えて、第５トランジスタを通過するバッファ制御信号の歪みを防止することができる。

[0033] 本発明の第５の局面によれば、各段にシフト部と複数のバッファ部を設け、シフト部内の第１ノードの電位、バッファ制御信号およびリセット信号に基づき変化する信号を各バッファ部から出力することにより、各段から複数の信号を出力するシフトレジスタを構成することができる。このシフトレジスタは、各段から１個の信号を出力するシフトレジスタよりも回路量が少なく、消費電力も少ない。このシフトレジスタを含む走査信号線駆動回路を表示パネル上に一体形成することにより、表示パネルの額縁部分の面積を削減し、表示装置の消費電力を削減することができる。

[0034] 本発明の第６の局面によれば、バッファ制御回路を用いて複数のバッファ制御信号をクロック信号の半周期よりも短い時間ずつオンレベルに制御することにより、クロック信号の半周期よりも短い時間ずつオンレベルになる信号を各バッファ部から出力することができる。

[0035] 本発明の第７の局面によれば、バッファ制御回路を用いてバッファ制御信号を互いに重複しない期間でオンレベルに制御することにより、互いに重複しない期間でオンレベルになる信号を各バッファ部から出力することができる。

[0036] 本発明の第８の局面によれば、バッファ制御回路を用いてバッファ制御信

号を同じタイミングでオンレベルに制御することにより、第１ノードの電位を大きく変化させ、第５トランジスタの駆動能力を高くして、各バッファ部から出力される信号を短時間でオンレベルに変化させることができる。

[0037] 本発明の第９の局面によれば、バッファ制御回路を用いてクロック信号がオフレベルに変化するより前にバッファ制御信号をオフレベルに制御することにより、第１ノードに十分なオン電位が印加されている間にバッファ制御信号をオフレベルに制御し、各バッファ部から出力される信号を短時間でオフレベルに変化させることができる。

[0038] 本発明の第１０の局面によれば、指定期間においてバッファ制御信号をオフレベルに固定する機能を有するバッファ制御回路を設けることにより、パーシャル駆動を行う表示装置の走査信号線駆動回路に好適なシフトレジスタを構成することができる。表示装置においてパーシャル駆動を行うことにより、表示パネルの駆動回路を部分的に動作させて、消費電力を削減することができる。

[0039] 本発明の第１１の局面によれば、バッファ制御信号を互いに異なる期間でオンレベルに制御する機能と、バッファ制御信号を同じ期間でオンレベルに制御する機能とを有するバッファ制御回路を設けることにより、カラー表示とモノクロ表示を切り替えて行う表示装置の走査信号線駆動回路に好適なシフトレジスタを構成することができる。表示装置においてモノクロ表示を行うことにより、データ信号線の充放電回数を減らし、消費電力を削減することができる。

[0040] 本発明の第１２の局面によれば、リセット信号以外の信号に従い第１ノードにオフ電位を印加する回路をシフト部に設けることにより、第１ノードの電位を確実にオフレベルに制御し、シフトレジスタの誤動作を防止することができる。

[0041] 本発明の第１３の局面によれば、リセット信号以外の信号に従い第２ノードにオフ電位を印加するトランジスタをシフト部に設けることにより、第２ノードの電位を確実にオフレベルに制御し、シフトレジスタの誤動作を防止

することができる。

[0042] 本発明の第１４の局面によれば、リセット信号以外の信号に従い出力ノードにオフ電位を印加するトランジスタをバッファ部に設けることにより、バッファ部から出力される信号を確実にオフレベルに制御し、シフトレジスタの誤動作を防止することができる。

[0043] 本発明の第１５の局面によれば、クリア信号に従い第１ノードにオフ電位を印加するトランジスタをシフト部に設けることにより、クリア時に第１ノードの電位を確実にオフレベルに制御し、シフトレジスタの初期動作を安定させることができる。

[0044] 本発明の第１６の局面によれば、電源ノードに接続された２個のトランジスタをシフト部に設けることにより、電源から供給されたオン電位とオフ電位を第３ノードに印加することができる。したがって、第３ノードから出力された信号を前段および後段の単位回路に供給することにより、シフトレジスタの誤動作を防止することができる。

[0045] 本発明の第１７の局面によれば、回路量が小さく、低消費電力のシフトレジスタを含む走査信号線駆動回路を表示パネル上に一体形成することにより、表示パネルの額縁部分の面積が小さく、低消費電力の表示装置を構成することができる。

図面の簡単な説明

[0046] [図1]本発明の実施形態に係る液晶表示装置の構成を示すブロック図である。

[図2]本発明の第１の実施形態に係るシフトレジスタの構成を示すブロック図である。

[図3]図２に示すシフトレジスタの単位回路の回路図である。

[図4]図２に示すシフトレジスタのタイミングチャートである。

[図5]本発明の第２の実施形態に係るシフトレジスタのタイミングチャートである。

[図6]パーシャル駆動による表示画面の例を示す図である。

[図7]本発明の第３の実施形態に係るシフトレジスタのタイミングチャートで

ある。

[図8]本発明の第４の実施形態に係るシフトレジスタのタイミングチャートである。

[図9]本発明の第５の実施形態に係るシフトレジスタの構成を示すブロック図である。

[図10]図９に示すシフトレジスタの単位回路の回路図である。

[図11]図９に示すシフトレジスタのタイミングチャートである。

[図12]本発明の第１変形例に係るシフトレジスタの単位回路の回路図である。

[図13]本発明の第２変形例に係るシフトレジスタの単位回路の回路図である。

[図14]本発明の第３変形例に係るシフトレジスタの単位回路の回路図である。

[図15]本発明の第４変形例に係るシフトレジスタの単位回路の回路図である。

[図16]本発明の第５変形例に係るシフトレジスタの単位回路の回路図である。

[図17]本発明の第６変形例に係るシフトレジスタの構成を示すブロック図である。

[図18]従来のシフトレジスタに含まれる単位回路の回路図である。

[図19]従来のシフトレジスタに含まれる単位回路の回路図である。

[図20]図１９に示す単位回路の接続形態を示すブロック図である。

[図21]トリプルスキャンを行う従来の走査信号線駆動回路の構成を示す図である。

発明を実施するための形態

[0047] 図１は、本発明の実施形態に係る液晶表示装置の構成を示すブロック図である。図１に示す液晶表示装置は、表示制御回路１、走査信号線駆動回路２、データ信号線駆動回路３、および、画素領域４を備えている。画素領域４

は、２次元状に配置された複数の画素回路５を含み、液晶パネル６上に形成される。走査信号線駆動回路２は、画素回路５と共に液晶パネル６上に一体形成される。走査信号線駆動回路２は、例えば、ＩＧＺＯなどの酸化物半導体によるＴＦＴを用いて形成される。なお、表示制御回路１およびデータ信号線駆動回路３の全部または一部を液晶パネル６上に一体形成してもよい。以下、ｍおよびｎは２以上の整数、ｉは１以上ｍ以下の整数であるとする。

[0048] 画素領域４は、３ｍ本の走査信号線ＧＬＲ１～ＧＬＲｍ、ＧＬＧ１～ＧＬＧｍ、ＧＬＢ１～ＧＬＢｍ、ｎ本のデータ信号線ＳＬ１～ＳＬｎ、および、（３ｍ×ｎ）個の画素回路５を含んでいる。３ｍ本の走査信号線は互いに平行に配設され、ｎ本のデータ信号線は走査信号線と直交するように互いに平行に配設される。（３ｍ×ｎ）個の画素回路５は、３ｍ本の走査信号線とｎ本のデータ信号線の各交点近傍に設けられる。各画素回路５は、１個のサブ画素として機能する。（３ｉ－２）行目の画素回路５は、走査信号線ＧＬＲｉに接続され、赤色サブ画素として機能する。（３ｉ－１）行目の画素回路５は、走査信号線ＧＬＧｉに接続され、緑色サブ画素として機能する。３ｉ行目の画素回路５は、走査信号線ＧＬＢｉに接続され、青色サブ画素として機能する。データ信号線の伸延方向に並んだ３個のサブ画素が、１個のカラー画素を構成する。

[0049] 表示制御回路１は、走査信号線駆動回路２に対してタイミング制御信号ＴＣ１を出力し、データ信号線駆動回路３に対してタイミング制御信号ＴＣ２と映像信号ＶＤを出力する。タイミング制御信号ＴＣ１には、ゲートスタートパルスＧＳＰ、ゲートエンドパルスＧＥＰ、および、２相のゲートクロックＧＣＫ１、ＧＣＫ２が含まれる。タイミング制御信号ＴＣ２には、ソーススタートパルス、ソースクロック、および、ラッチパルスが含まれる。表示制御回路１は、走査信号線駆動回路２に対してバッファ制御信号ＣＲ、ＣＧ、ＣＢを出力するバッファ制御回路７を含んでいる。走査信号線駆動回路２は、タイミング制御信号ＴＣ１とバッファ制御信号ＣＲ、ＣＧ、ＣＢに基づき、３ｍ本の走査信号線を駆動する。データ信号線駆動回路３は、タイミン

グ制御信号ＴＣ２に基づき、ｎ本のデータ信号線に対して映像信号ＶＤに応じた電位を印加する。

[0050] 走査信号線駆動回路２は、ｍ個の単位回路を多段接続した構成を有し、バッファ制御信号ＣＲ、ＣＧ、ＣＢに従い各段から３個、全部で３ｍ個の信号を出力するシフトレジスタを含んでいる。図１に示す液晶表示装置は、走査信号線駆動回路２に含まれるシフトレジスタの回路構成および制御方法に特徴を有する。そこで以下では、このシフトレジスタの詳細について説明する。なお、ｍ個の単位回路で構成した回路だけでなく、ｍ個の単位回路とバッファ制御回路７で構成した回路もシフトレジスタと呼ぶ。

[0051] （第１の実施形態）

図２は、本発明の第１の実施形態に係るシフトレジスタの構成を示すブロック図である。図２に示すシフトレジスタ１０は、ｍ個の単位回路１１を多段接続した構成を有する。各単位回路１１は、シフト部１２、および、３個のバッファ部１３ｒ、１３ｇ、１３ｂを含んでいる。シフトレジスタ１０には、表示制御回路１からゲートスタートパルスＧＳＰ、ゲートエンドパルスＧＥＰ、および、２相のゲートクロックＧＣＫ１、ＧＣＫ２が供給される。また、シフトレジスタ１０には、バッファ制御回路７からバッファ制御信号ＣＲ、ＣＧ、ＣＢが供給される。

[0052] ｍ個のシフト部１２は、多段接続される。多段接続されたｍ個のシフト部１２は、シフト動作を行い、各段から第１信号Ｙを出力する。より詳細には、各シフト部１２にはクロック信号ＣＫ、セット信号Ｓおよびリセット信号Ｒが入力され、各シフト部１２からは第１信号Ｙと第２信号Ｚが出力される。奇数段目のシフト部１２には、クロック信号ＣＫとしてゲートクロックＧＣＫ１が入力される。偶数段目のシフト部１２には、クロック信号ＣＫとしてゲートクロックＧＣＫ２が入力される。１段目のシフト部１２には、セット信号ＳとしてゲートスタートパルスＧＳＰが入力される。これ以外のシフト部１２には、セット信号Ｓとして前段のシフト部１２から出力された第２信号Ｚが入力される。ｍ段目のシフト部１２には、リセット信号Ｒとしてゲ

ートエンドパルスＧＥＰが入力される。これ以外のシフト部１２には、リセット信号Ｒとして次段のシフト部１２から出力された第２信号Ｚが入力される。

[0053] ｍ個のバッファ部１３ｒにはバッファ制御信号ＣＲが供給され、ｍ個のバッファ部１３ｇにはバッファ制御信号ＣＧが供給され、ｍ個のバッファ部１３ｂにはバッファ制御信号ＣＢが供給される。バッファ部１３ｒは、バッファ制御信号ＣＲ、第１信号Ｙ（同じ単位回路１１内のシフト部１２から出力された第１信号Ｙ）、および、リセット信号Ｒに基づき、出力信号ＹＲを出力する。同様に、バッファ部１３ｇはバッファ制御信号ＣＧ、第１信号Ｙおよびリセット信号Ｒに基づき出力信号ＹＧを出力し、バッファ部１３ｂはバッファ制御信号ＣＢ、第１信号Ｙおよびリセット信号Ｒに基づき出力信号ＹＢを出力する。走査信号線ＧＬＲｉ、ＧＬＧｉ、ＧＬＢｉには、ｉ段目の単位回路１１の出力信号ＹＲ、ＹＧ、ＹＢがそれぞれ印加される。このようにシフトレジスタ１０は、ｍ個の単位回路１１を多段接続した構成を有し、３本のバッファ制御信号ＣＲ、ＣＧ、ＣＢに従い各段から３個の出力信号ＹＲ、ＹＧ、ＹＢを出力する。

[0054] 図３は、単位回路１１の回路図である。図３に示すように、シフト部１２は、ＴＦＴ：Ｑ１～Ｑ４とコンデンサＣａｐ１を含んでいる。バッファ部１３ｒはＴＦＴ：Ｑ５ｒ、Ｑ６ｒを含み、バッファ部１３ｇはＴＦＴ：Ｑ５ｇ、Ｑ６ｇを含み、バッファ部１３ｂはＴＦＴ：Ｑ５ｂ、Ｑ６ｂを含んでいる。単位回路１１に含まれるすべてのＴＦＴは、Ｎチャネル型である。Ｎチャネル型ＴＦＴでは、ハイレベル電位がオン電位になり、ローレベル電位がオフ電位になる。また、ハイレベル信号はオン状態に対応し、ローレベル信号はオフ状態に対応する。

[0055] シフト部１２において、ＴＦＴ：Ｑ１のソース、ＴＦＴ：Ｑ２のドレイン、ＴＦＴ：Ｑ３のゲート、および、コンデンサＣａｐ１の一方の電極は、ノードＮ１に接続される。ＴＦＴ：Ｑ３のソース、ＴＦＴ：Ｑ４のドレイン、および、コンデンサＣａｐ１の他方の電極は、ノードＮ２に接続される。Ｔ

ＦＴ：Ｑ１のドレインとゲートには、セット信号Ｓが与えられる。ＴＦＴ：Ｑ３のドレインには、クロック信号ＣＫが与えられる。ＴＦＴ：Ｑ２、Ｑ４のゲートには、リセット信号Ｒが与えられる。ＴＦＴ：Ｑ２、Ｑ４のソースには、ローレベル電源電位ＶＳＳが与えられる。ノードＮ１からは第１信号Ｙが出力され、ノードＮ２からは第２信号Ｚが出力される。

[0056] バッファ部１３ｒにおいて、ＴＦＴ：Ｑ５ｒのソースとＴＦＴ：Ｑ６ｒのドレインは第１出力ノードに接続される。バッファ部１３ｇにおいて、ＴＦＴ：Ｑ５ｇのソースとＴＦＴ：Ｑ６ｇのドレインは第２出力ノードに接続される。バッファ部１３ｂにおいて、ＴＦＴ：Ｑ５ｂのソースとＴＦＴ：Ｑ６ｂのドレインは第３出力ノードに接続される。ＴＦＴ：Ｑ５ｒ、Ｑ５ｇ、Ｑ５ｂのドレインには、それぞれ、バッファ制御信号ＣＲ、ＣＧ、ＣＢが与えられる。ＴＦＴ：Ｑ５ｒ、Ｑ５ｇ、Ｑ５ｂのゲートは、いずれも、ノードＮ１に接続される。ＴＦＴ：Ｑ６ｒ、Ｑ６ｇ、Ｑ６ｂのゲートには、いずれも、リセット信号Ｒが与えられる。ＴＦＴ：Ｑ６ｒ、Ｑ６ｇ、Ｑ６ｂのソースには、ローレベル電源電位ＶＳＳが与えられる。第１～第３出力ノードからは、出力信号ＹＲ、ＹＧ、ＹＢがそれぞれ出力される。

[0057] バッファ制御回路７は、シフト部１２に与えられるクロック信号の半周期よりも短い時間ずつ、バッファ制御信号ＣＲ、ＣＧ、ＣＢをハイレベルに制御する。以下に示すように、本実施形態に係るバッファ制御回路７は、バッファ制御信号ＣＲ、ＣＧ、ＣＢを互いに重複しない期間でハイレベルに制御する。

[0058] 図４は、シフトレジスタ１０のタイミングチャートである。図４に示すように、ゲートクロックＧＣＫ１は、周期が２水平期間のクロック信号である。ただし、ゲートクロックＧＣＫ１のハイレベル期間は、ゲートクロックＧＣＫ１のローレベル期間よりも短い。ゲートクロックＧＣＫ２は、ゲートクロックＧＣＫ１を１水平期間遅延させた信号である。バッファ制御信号ＣＲ、ＣＧ、ＣＢは、１水平期間内の互いに重複しない期間で順にハイレベルになる。バッファ制御信号ＣＲ、ＣＧ、ＣＢがハイレベルになる期間の長さは

、ほぼ１／３水平期間である。

[0059] 時刻ｔ１において、セット信号Ｓ（前段のシフト部１２から出力された第２信号Ｚｉ－１）がハイレベルに変化すると、ＴＦＴ：Ｑ１はオン状態になり、ノードＮ１の電位（第１信号Ｙ）はハイレベルになる。これに伴い、ＴＦＴ：Ｑ３、Ｑ５ｒ、Ｑ５ｇ、Ｑ５ｂはオン状態になる。次に時刻ｔ２において、セット信号Ｓがローレベルに変化すると、ＴＦＴ：Ｑ１はオフ状態になり、ノードＮ１はハイインピーダンス状態になる。

[0060] 次に時刻ｔ３において、クロック信号ＣＫ（ゲートクロックＧＣＫ１）がハイレベルに変化する。このときＴＦＴ：Ｑ３はオン状態であるので、クロック信号ＣＫの変化に伴い、ノードＮ２の電位（第２信号Ｚ）はハイレベルになる。また、ノードＮ１とノードＮ２の間にはコンデンサＣａｐ１が設けられており、コンデンサＣａｐ１に保持された電位差は時刻ｔ３の前後でほとんど変化しない。したがって、ノードＮ２の電位がローレベルからハイレベルに変化すると、ノードＮ１の電位は同じ量だけ変化して、通常のハイレベルよりも高くなる（ブートストラップ）。この状態は、クロック信号ＣＫがローレベルに変化する時刻ｔ７まで続く。

[0061] バッファ制御信号ＣＲは時刻ｔ３～ｔ４でハイレベルになり、バッファ制御信号ＣＧは時刻ｔ４～ｔ５でハイレベルになり、バッファ制御信号ＣＢは時刻ｔ５～ｔ６でハイレベルになる。このとき、ＴＦＴ：Ｑ５ｒ、Ｑ５ｇ、Ｑ５ｂはオン状態である。したがって、出力信号ＹＲは時刻ｔ３～ｔ４でハイレベルになり、出力信号ＹＧは時刻ｔ４～ｔ５でハイレベルになり、出力信号ＹＢは時刻ｔ５～ｔ６でハイレベルになる。次に時刻ｔ７において、クロック信号ＣＫがローレベルに変化すると、ノードＮ２の電位はローレベルになり、ノードＮ１の電位は通常のハイレベルになる。

[0062] 次に時刻ｔ８において、リセット信号Ｒ（後段のシフト部１２から出力された第２信号Ｚｉ＋１）がハイレベルに変化すると、ＴＦＴ：Ｑ２、Ｑ４、Ｑ６ｒ、Ｑ６ｇ、Ｑ６ｂはオン状態になる。ＴＦＴ：Ｑ２がオン状態になると、ノードＮ１の電位はローレベルになり、ＴＦＴ：Ｑ３、Ｑ５ｒ、Ｑ５ｇ

、Ｑ５ｂはオフ状態になる。ＴＦＴ：Ｑ４がオン状態になると、ノードＮ２にはローレベル電源電位ＶＳＳが印加される。ＴＦＴ：Ｑ６ｒ、Ｑ６ｇ、Ｑ６ｂがオン状態になると、第１～第３出力ノードにはいずれもローレベル電源電位ＶＳＳが印加される。次に時刻ｔ９において、リセット信号Ｒがローレベルに変化すると、ＴＦＴ：Ｑ２、Ｑ４、Ｑ６ｒ、Ｑ６ｇ、Ｑ６ｂはオフ状態になる。

[0063] なお、時刻ｔ１～ｔ２では、ノードＮ１の電位はハイレベルである。このため、この期間でバッファ制御信号ＣＲがハイレベルになると、出力信号ＹＲはハイレベルになる。ただし、この期間ではノードＮ１の電位は通常のハイレベルであるので、ＴＦＴ：Ｑ５ｒにおける電圧降下によって、出力信号ＹＲは通常よりも低いハイレベルになる。このように出力信号ＹＲが連続した２水平期間において２回ハイレベルになると、画素回路５に対する書き込みが２回続けて行われることがある。画素回路５に書き込みを２回続けて行った場合、後の書き込みが有効になる。したがって、出力信号ＹＲが連続した２水平期間において２回ハイレベルになっても、表示装置の動作に支障は生じない。出力信号ＹＧ、ＹＢについても、これと同様である。

[0064] このようにＴＦＴ：Ｑ１は、セット信号Ｓに従いノードＮ１にハイレベル電位を印加する第１トランジスタとして機能する。ＴＦＴ：Ｑ２は、リセット信号Ｒに従いノードＮ１にローレベル電位を印加する第２トランジスタとして機能する。ＴＦＴ：Ｑ３は、クロック信号ＣＫの入力ノードとノードＮ２との間に設けられ、ノードＮ１に接続された制御端子を有する第３トランジスタとして機能する。ＴＦＴ：Ｑ４は、リセット信号Ｒに従いノードＮ２にローレベル電位を印加する第４トランジスタとして機能する。ＴＦＴ：Ｑ５ｒは、ノードＮ１の電位とバッファ制御信号ＣＲに基づき、第１出力ノードにハイレベル電位を印加する第５トランジスタとして機能する。ＴＦＴ：Ｑ５ｇ、Ｑ５ｂも、同様に第５トランジスタとして機能する。ＴＦＴ：Ｑ６ｒは、リセット信号Ｒに従い第１出力ノードにローレベル電位を印加する第６トランジスタとして機能する。ＴＦＴ：Ｑ６ｇ、Ｑ６ｂも、同様に第６ト

ランジスタとして機能する。

[0065] 以下、図１８に示す単位回路１１１を多段接続した構成を有し、各段から１個の信号を出力するシフトレジスタ（以下、従来のシフトレジスタという）と対比して、本実施形態に係るシフトレジスタ１０の効果を説明する。従来のシフトレジスタで３ｍ本の走査信号線を駆動するためには、３ｍ個の単位回路１１１が必要となる。単位回路１１１は、４個のＴＦＴと１個のコンデンサを含んでいる。したがって、３ｍ本の走査信号線を駆動する従来のシフトレジスタには、１２ｍ個のＴＦＴと３ｍ個のコンデンサが含まれる。

[0066] これに対して、本実施形態に係るシフトレジスタ１０で３ｍ本の走査信号線を駆動するためには、ｍ個の単位回路１１が必要となる。単位回路１１は、１０個のＴＦＴと１個のコンデンサを含んでいる。したがって、３ｍ本の走査信号線を駆動するシフトレジスタ１０には、１０ｍ個のＴＦＴとｍ個のコンデンサが含まれる。このように、本実施形態に係るシフトレジスタ１０によれば、従来のシフトレジスタよりも回路量を削減することができる。

[0067] また、シフトレジスタを含む走査信号線駆動回路を液晶パネル上に一体形成する場合を考える。この場合には、各段の単位回路にゲートクロックＧＣＫ１、ＧＣＫ２を供給するために、液晶パネルの一辺に沿って２本のゲートクロック線を配設する必要がある。従来のシフトレジスタについて、動作周波数をｆ、ゲートクロック線１本あたりの負荷容量（配線容量とＴＦＴ負荷容量を含む）をＣ、信号振幅電圧をＶとすると、従来のシフトレジスタの消費電力Ｐ１は、次式（１）で与えられる。

$$P1 = 2 \cdot f \cdot C \cdot V^2 \quad \cdots (1)$$

[0068] 本実施形態に係るシフトレジスタ１０では、２本のゲートクロック線に加えて、バッファ制御信号ＣＲ、ＣＧ、ＣＢを供給する３本の制御線を配設する必要がある。本実施形態では、ゲートクロックＧＣＫ１、ＧＣＫ２の周波数は従来の１／３になり、１本のゲートクロック線に接続されるＴＦＴの個数は従来の１／３になる。配線容量はＴＦＴ負荷容量と比べて十分に小さいと仮定すると、ゲートクロック線１本あたりの負荷容量は従来の約１／３に

なる。バッファ制御信号ＣＲ、ＣＧ、ＣＢの周波数は、ゲートクロックＧＣＫ１、ＧＣＫ２の２倍である。また、１本の制御線に接続されるＴＦＴの個数は、ゲートクロック線の場合の２倍である。したがって、本実施形態に係るシフトレジスタ１０の消費電力Ｐ２は、次式（２）で与えられる。このように本実施形態に係るシフトレジスタ１０によれば、従来のシフトレジスタよりも消費電力を約２２%削減することができる。

$$P2 = 2\cdot(1/3)\,f\cdot(1/3)\,C\cdot V^2 + 3\cdot(2/3)\,f\cdot(2/3)\,C\cdot V^2 = (14/9)\cdot f\cdot C\cdot V^2 \quad \cdots(2)$$

[0069] また、本実施形態に係るシフトレジスタ１０では、ＴＦＴ：Ｑ３は走査信号線を駆動しないので、ＴＦＴ：Ｑ３のサイズを小さくすることができる。例えば、ＴＦＴ：Ｑ３のサイズを通常の１／５にした場合、２本のゲートクロック線の負荷容量は上記の１／５になる。したがって、この場合の消費電力Ｐ３は、次式（３）で与えられる。このようにＴＦＴ：Ｑ３のサイズを１／５にした場合には、従来のシフトレジスタよりも消費電力を約３１%削減することができる。

$$P3 = 2\cdot(1/3)\,f\cdot(1/3)\cdot(1/5)\,C\cdot V^2 + 3\cdot(2/3)\,f\cdot(2/3)\,C\cdot V^2 = (62/45)\cdot f\cdot C\cdot V^2 \quad \cdots(3)$$

[0070] また、本実施形態に係るシフトレジスタ１０は、図２１に示す走査信号線駆動回路とは異なり、電位固定回路を含んでいない。したがって、電位固定回路による電圧ストレスによって、回路の信頼性が低下することがない。また、アナログスイッチのゲートに印加する電位を生成する電源回路を新たに設ける必要もない。

[0071] 以上に示すように、本実施形態に係るシフトレジスタ１０によれば、各段にシフト部１２と複数のバッファ部１３ｒ、１３ｇ、１３ｂを設け、シフト部１２内のノードＮ１の電位、バッファ制御信号ＣＲ、ＣＧ、ＣＢ、および、リセット信号Ｒに基づき変化する出力信号ＹＲ、ＹＧ、ＹＢをバッファ部

１３ｒ、１３ｇ、１３ｂから出力することにより、各段から３個、全部で３ｍ個の信号を出力するシフトレジスタを構成することができる。特に、バッファ制御信号ＣＲ、ＣＧ、ＣＢの入力ノードと第１～第３出力ノードとの間にそれぞれＴＦＴ：Ｑ５ｒ、Ｑ５ｇ、Ｑ５ｂを設け、これら３個のＴＦＴのゲートをノードＮ１に接続することにより、シフト部１２内のノードＮ１の電位とバッファ制御信号ＣＲ、ＣＧ、ＣＢに基づき第１～第３出力ノードにハイレベル電位を印加するバッファ部１３ｒ、１３ｇ、１３ｂを構成することができる。このように構成されたシフトレジスタ１０は、各段から１個の信号を出力するシフトレジスタよりも回路量が少なく、消費電力も小さい。また、シフトレジスタ１０を含む走査信号線駆動回路を液晶パネル上に一体形成することにより、液晶パネルの額縁部分の面積を削減し、液晶表示装置の消費電力を削減することができる。

[0072] また、ノードＮ１とノードＮ２との間にコンデンサＣａｐ１を設けることにより、クロック信号ＣＫがオンレベルになったときに、ブートストラップによってノードＮ１に十分なハイレベル電位を与えて、ＴＦＴ：Ｑ３を通過するクロック信号ＣＫの歪みを防止することができる。また、バッファ制御回路７を用いてバッファ制御信号ＣＲ、ＣＧ、ＣＢをクロック信号ＣＫの半周期よりも短い時間ずつハイレベルに制御することにより、クロック信号ＣＫの半周期よりも短い時間ずつハイレベルになる出力信号ＹＲ、ＹＧ、ＹＢをバッファ部１３ｒ、１３ｇ、１３ｂから出力することができる。特に、バッファ制御回路７を用いてバッファ制御信号ＣＲ、ＣＧ、ＣＢを互いに重複しない期間でハイレベルに制御することにより、互いに重複しない期間でハイレベルになる出力信号ＹＲ、ＹＧ、ＹＢをバッファ部１３ｒ、１３ｇ、１３ｂから出力することができる。

[0073] また、回路量が小さく、低消費電力のシフトレジスタ１０を含む走査信号線駆動回路を液晶パネル上に一体形成することにより、液晶パネルの額縁部分の面積が小さく、低消費電力の液晶表示装置を構成することができる。

[0074] （第２の実施形態）

本発明の第２の実施形態に係るシフトレジスタは、第１の実施形態に係るシフトレジスタ１０と同じ回路構成を有する（図２および図３を参照）。本実施形態では、バッファ制御信号ＣＲ、ＣＧ、ＣＢが、第１の実施形態とは異なるタイミングで変化する。以下、第１の実施形態との相違点を説明する。

[0075] 図５は、本実施形態に係るシフトレジスタのタイミングチャートである。第１の実施形態（図４）では、バッファ制御信号ＣＲ、ＣＧ、ＣＢは、それぞれ、時刻ｔ３、ｔ４、ｔ５でハイレベルに変化する。これに対して本実施形態（図５）では、バッファ制御信号ＣＲ、ＣＧ、ＣＢは、いずれも、時刻ｔ３でハイレベルに変化する。このため、出力信号ＹＲは時刻ｔ３～ｔ４でハイレベルになり、出力信号ＹＧは時刻ｔ３～ｔ５でハイレベルになり、出力信号ＹＢは時刻ｔ３～ｔ６でハイレベルになる。クロック信号ＣＫは時刻ｔ７でローレベルに変化し、バッファ制御信号ＣＲ、ＣＧ、ＣＢはそれよりも前にローレベルに変化する。

[0076] このように本実施形態に係るバッファ制御回路７は、バッファ制御信号ＣＲ、ＣＧ、ＣＢを同じタイミングでハイレベルに制御し、互いに異なるタイミングでローレベルに制御する。また、バッファ制御回路７は、シフト部１２に与えられるクロック信号がローレベルに変化するより前に、バッファ制御信号ＣＲ、ＣＧ、ＣＢをローレベルに制御する。

[0077] ここで、クロック信号ＣＫとバッファ制御信号ＣＲ、ＣＧ、ＣＢが、異なるタイミングでハイレベルに変化する場合を考える。この場合のノードＮ１のブースト電圧ΔＶ１は、次式（４）で与えられる。これに対して、本実施形態に係るシフトレジスタでは、クロック信号ＣＫとバッファ制御信号ＣＲ、ＣＧ、ＣＢは、同じタイミングでハイレベルに変化する。この場合のノードＮ１のブースト電圧ΔＶ２は、次式（５）で与えられる。

$$\Delta V1 = \Delta CK \times (Ct0 + Ct3) / (Ct0 + Ct1 + Ct2 + Ct3 + Ct5) \quad \cdots (4)$$

$$\Delta V2 = \Delta CK \times (Ct0 + Ct3 + Ct5)$$

／（Ｃｔ０＋Ｃｔ１＋Ｃｔ２＋Ｃｔ３＋Ｃｔ５）　…（５）

ただし、式（４）および（５）において、ΔＣＫはクロック信号ＣＫの電圧振幅、Ｃｔ０はコンデンサＣａｐ１の容量値、Ｃｔ１～Ｃｔ３はそれぞれＴＦＴ：Ｑ１～Ｑ３の容量値、Ｃｔ５はＴＦＴ：Ｑ５ｒ、Ｑ５ｇ、Ｑ５ｂの容量値の合計を表す。

[0078] 式（４）および（５）より、ΔＶ１＜ΔＶ２であることが分かる。本実施形態に係るシフトレジスタでは、バッファ制御信号ＣＲ、ＣＧ、ＣＢが同じタイミングでハイレベルに変化するので、ノードＮ１のブースト電圧が高くなり、ＴＦＴ：Ｑ５ｒ、Ｑ５ｇ、Ｑ５ｂの駆動能力が高くなる。したがって、出力信号ＹＲ、ＹＧ、ＹＢを短時間でハイレベルに変化させ、走査信号線の電位を短時間でハイレベルに変化させることができる。

[0079] 以上に示すように、本実施形態に係るシフトレジスタによれば、バッファ制御回路７を用いてバッファ制御信号ＣＲ、ＣＧ、ＣＢを同じタイミングでハイレベルに制御することにより、ノードＮ１の電位を大きく変化させ、ＴＦＴ：Ｑ５ｒ、Ｑ５ｇ、Ｑ５ｂの駆動能力を高くして、バッファ部１３ｒ、１３ｇ、１３ｂから出力される出力信号ＹＲ、ＹＧ、ＹＢを短時間でハイレベルに変化させることができる。

[0080] また、バッファ制御回路７を用いてクロック信号ＣＫがローレベルに変化するより前にバッファ制御信号ＣＲ、ＣＧ、ＣＢをローレベルに制御することにより、ノードＮ１に十分なハイレベル電位が印加されている間にバッファ制御信号ＣＲ、ＣＧ、ＣＢをローレベルに制御し、バッファ部１３ｒ、１３ｇ、１３ｂから出力される出力信号ＹＲ、ＹＧ、ＹＢを短時間でローレベルに変化させることができる。

[0081] （第３の実施形態）

本発明の第３の実施形態に係るシフトレジスタは、第１の実施形態に係るシフトレジスタ１０と同じ構成を有する（図２および図３を参照）。本実施形態に係るシフトレジスタは、第２の実施形態に係るシフトレジスタにパーシャル駆動を行うための機能を追加したものである。以下、第２の実施形態

との相違点を説明する。

[0082] 図６は、パーシャル駆動による表示画面の例を示す図である。図６に示す表示画面８には、表示領域９が設定されている。走査信号線駆動回路２は、画素領域に配設された複数の走査信号線のうち、表示領域９に対応した走査信号線（範囲Ａ１内の走査信号線）だけを駆動する。データ信号線駆動回路３は、画素領域に配設された複数のデータ信号線のうち、表示領域９に対応したデータ信号線（範囲Ａ２内のデータ信号線）だけを駆動する。このようにパーシャル駆動を行うことにより、表示領域９に対応して表示パネルの駆動回路を部分的に動作させて、表示装置の消費電力を削減することができる。

[0083] 図７は、本実施形態に係るシフトレジスタのタイミングチャートである。ここでは、走査信号線ＧＬＢｉより前の部分は表示領域に対応し、走査信号線ＧＬＲｉ＋１より後の部分は非表示領域に対応する場合について説明する。この場合、走査信号線ＧＬＲｉ、ＧＬＧｉ、ＧＬＢｉに対応した水平期間では、バッファ制御信号ＣＲ、ＣＧ、ＣＢは、第２の実施形態と同じタイミングで変化する（図５を参照）。このため、走査信号線ＧＬＲｉ、ＧＬＧｉ、ＧＬＢｉの電位は、所定時間だけハイレベルになる。これに対して、走査信号線ＧＬＲｉ＋１、ＧＬＧｉ＋１、ＧＬＢｉ＋１に対応した水平期間では、バッファ制御信号ＣＲ、ＣＧ、ＣＢはローレベルに固定される（図７を参照）。このため、走査信号線ＧＬＲｉ＋１、ＧＬＧｉ＋１、ＧＬＢｉ＋１の電位はローレベルのままである。

[0084] このように本実施形態に係るバッファ制御回路７は、指定期間（非表示領域に対応した水平期間）においてバッファ制御信号ＣＲ、ＣＧ、ＣＢをローレベルに固定する機能を有する。なお、非表示領域に対応した水平期間でも、シフト部１２から出力される第２信号Ｚは所定時間だけハイレベルになるので、シフト動作は正しく行われる。

[0085] 以上に示すように、本実施形態に係るシフトレジスタによれば、指定期間においてバッファ制御信号ＣＲ、ＣＧ、ＣＢをローレベルに固定する機能を

有するバッファ制御回路７を設けることにより、パーシャル駆動を行う液晶表示装置の走査信号線駆動回路に好適なシフトレジスタを構成することができる。また、液晶表示装置においてパーシャル駆動を行うことにより、表示パネルの駆動回路を部分的に動作させて、消費電力を削減することができる。

[0086] （第４の実施形態）

本発明の第４の実施形態に係るシフトレジスタは、第１の実施形態に係るシフトレジスタ１０と同じ構成を有する（図２および図３を参照）。本実施形態に係るシフトレジスタは、第２の実施形態に係るシフトレジスタにモノクロモードで動作する機能を追加したものである。以下、第２の実施形態との相違点を説明する。

[0087] 図８は、本実施形態に係るシフトレジスタのタイミングチャートである。本実施形態に係るシフトレジスタは、カラーモードおよびモノクロモードのいずれかで動作する。カラーモードでは、バッファ制御信号ＣＲ、ＣＧ、ＣＢは、第２の実施形態と同じタイミングで変化する（図５を参照）。このため、出力信号ＹＲは時刻ｔ３～ｔ４でハイレベルになり、出力信号ＹＧは時刻ｔ３～ｔ５でハイレベルになり、出力信号ＹＢは時刻ｔ３～ｔ６でハイレベルになる。これに対して、モノクロモードでは、バッファ制御信号ＣＲ、ＣＧ、ＣＢは、いずれも時刻ｔ３～ｔ４でハイレベルになる（図８を参照）。このため、出力信号ＹＲ、ＹＧ、ＹＢは、いずれも時刻ｔ３～ｔ４でハイレベルになる。

[0088] このように本実施形態に係るバッファ制御回路７は、バッファ制御信号ＣＲ、ＣＧ、ＣＢを互いに異なる期間でハイレベルに制御する機能と、バッファ制御信号ＣＲ、ＣＧ、ＣＢを同じ期間でハイレベルに制御する機能とを有する。

[0089] 以上に示すように、本実施形態に係るシフトレジスタによれば、バッファ制御信号ＣＲ、ＣＧ、ＣＢを互いに異なる期間でハイレベルに制御する機能と、バッファ制御信号ＣＲ、ＣＧ、ＣＢを同じ期間でハイレベルに制御する

機能とを有するバッファ制御回路７を設けることにより、カラー表示とモノクロ表示を切り替えて行う液晶表示装置の走査信号線駆動回路に好適なシフトレジスタを構成することができる。液晶表示装置においてモノクロ表示を行うことにより、データ信号線の充放電回数を減らし、消費電力を削減することができる。

[0090] （第５の実施形態）

図９は、本発明の第５の実施形態に係るシフトレジスタの構成を示すブロック図である。図９に示すシフトレジスタ２０は、ｍ個の単位回路２１を多段接続した構成を有する。各単位回路２１は、シフト部２２、および、３個のバッファ部２３ｒ、２３ｇ、２３ｂを含んでいる。シフト部２２とバッファ部２３ｒ、２３ｇ、２３ｂは、第１の実施形態と同様の形態に接続される。ただし、シフトレジスタ２０では、奇数段目のシフト部２２にはクロック信号ＣＫＢとしてゲートクロックＧＣＫ２が入力され、偶数段目のシフト部２２にはクロック信号ＣＫＢとしてゲートクロックＧＣＫ１が入力される。また、各シフト部２２には、表示制御回路１から出力されたクリア信号ＣＬＲが入力される。

[0091] 図１０は、単位回路２１の回路図である。図１０に示すように、シフト部２２は、第１の実施形態に係るシフト部１２にＴＦＴ：Ｑ１１～Ｑ１６を追加したものである。バッファ部２３ｒは、第１の実施形態に係るバッファ部１３ｒにＴＦＴ：Ｑ７ｒを追加したものである。バッファ部２３ｇ、２３ｂは、バッファ部２３ｒと同様の構成を有する。単位回路２１に含まれるすべてのＴＦＴは、Ｎチャネル型である。

[0092] シフト部２２において、ＴＦＴ：Ｑ１～Ｑ４とコンデンサＣａｐ１は、シフト部１２と同じ形態に接続される。ＴＦＴ：Ｑ１２のゲートとＴＦＴ：Ｑ１４、Ｑ１６のドレインは、ノードＮ１に接続される。ＴＦＴ：Ｑ１５のドレインは、ノードＮ２に接続される。ＴＦＴ：Ｑ１１のソース、ＴＦＴ：Ｑ１２、Ｑ１３のドレイン、および、ＴＦＴ：Ｑ１４のゲートは、ノードＮ３に接続される。ＴＦＴ：Ｑ１３のゲートには、クロック信号ＣＫが与えられ

る。ＴＦＴ：Ｑ１１のドレインとＴＦＴ：Ｑ１１、Ｑ１５のゲートには、クロック信号ＣＫＢが与えられる。ＴＦＴ：Ｑ１６のゲートには、クリア信号ＣＬＲが与えられる。ＴＦＴ：Ｑ１２～Ｑ１６のソースには、ローレベル電源電位ＶＳＳが与えられる。ＴＦＴ：Ｑ１２は、ＴＦＴ：Ｑ１１よりも高い駆動能力を有する。

[0093] バッファ部２３ｒにおいて、ＴＦＴ：Ｑ５ｒ、Ｑ６ｒは、バッファ部１３ｒと同じ形態に接続される。ＴＦＴ：Ｑ７ｒのドレインは、第１出力ノードに接続される。ＴＦＴ：Ｑ７のゲートには、クロック信号ＣＫＢが与えられる。ＴＦＴ：Ｑ７ｒのソースには、ローレベル電源電位ＶＳＳが与えられる。

[0094] 図１１は、シフトレジスタ２０のタイミングチャートである。図１１に示すタイミングチャートは、図５に示すタイミングチャートにノードＮ３の電位の変化を追加したものである。時刻ｔ１においてセット信号Ｓがハイレベルに変化すると、ＴＦＴ：Ｑ１はオン状態になり、ノードＮ１の電位（第１信号Ｙ）はハイレベルになる。これに伴い、ＴＦＴ：Ｑ１２はオン状態になる。また、時刻ｔ１において、クロック信号ＣＫＢがハイレベルに変化するので、ＴＦＴ：Ｑ１１、Ｑ１５はオン状態になる。ＴＦＴ：Ｑ１２はＴＦＴ：Ｑ１１よりも高い駆動能力を有するので、ＴＦＴ：Ｑ１１、Ｑ１２が共にオン状態のときには、ノードＮ３の電位はほぼローレベルになる。したがって、ＴＦＴ：Ｑ１４はオフ状態のままである。

[0095] 次に時刻ｔ２において、セット信号Ｓがローレベルに変化すると、ＴＦＴ：Ｑ１はオフ状態になり、ノードＮ１はハイインピーダンス状態になる。また、時刻ｔ２において、クロック信号ＣＫＢがオフ状態になるので、ＴＦＴ：Ｑ１１、Ｑ１５はオフ状態になる。

[0096] 次に時刻ｔ３において、クロック信号ＣＫがハイレベルに変化すると、第２の実施形態と同様に、ノードＮ２の電位（第２信号Ｚ）はハイレベルになり、ノードＮ１の電位はブートストラップによって通常のハイレベルよりも高くなる。また、時刻ｔ３において、ＴＦＴ：Ｑ１３はオン状態になり、ノ

ードＮ３の電位はローレベルになる。このとき、ＴＦＴ：Ｑ１４はオフ状態のままである。シフトレジスタ２０は、時刻ｔ３～ｔ７では、第２の実施形態に係るシフトレジスタと同様に動作する。

[0097] 次に時刻ｔ７において、クロック信号ＣＫがローレベルに変化すると、ノードＮ２の電位はローレベルになり、ノードＮ１の電位は通常のハイレベルになる。また、時刻ｔ７において、ＴＦＴ：Ｑ１３はオフ状態になり、ノードＮ３はハイインピーダンス状態になる。

[0098] 次に時刻ｔ８において、リセット信号Ｒがハイレベルに変化すると、ＴＦＴ：Ｑ２、Ｑ４、Ｑ６ｒ、Ｑ６ｇ、Ｑ６ｂはオン状態になり、ノードＮ１、Ｎ２と第１～第３出力ノードの電位はローレベルになる。また、時刻ｔ８において、クロック信号ＣＫＢがハイレベルになるので、ＴＦＴ：Ｑ１１はオン状態になる。したがって、ノードＮ１の電位が低下し、ＴＦＴ：Ｑ１２がオフ状態になると、ノードＮ３の電位はハイレベルになり、ＴＦＴ：Ｑ１４はオン状態になる。よって、ノードＮ１にはローレベル電源電位ＶＳＳが印加される。また、クロック信号ＣＫＢがハイレベルになると、ＴＦＴ：Ｑ７ｒ、Ｑ７ｇ、Ｑ７ｂ、Ｑ１５がオン状態になる。ＴＦＴ：Ｑ１５がオン状態になると、ノードＮ２にはローレベル電源電位ＶＳＳが印加される。ＴＦＴ：Ｑ７ｒ、Ｑ７ｇ、Ｑ７ｂがオン状態になると、第１～第３出力ノードにはローレベル電源電位ＶＳＳが印加される。

[0099] 次に時刻ｔ９において、リセット信号Ｒがローレベルに変化すると、ＴＦＴ：Ｑ２、Ｑ４、Ｑ６ｒ、Ｑ６ｇ、Ｑ６ｂはオフ状態になる。また、時刻ｔ９において、クロック信号ＣＫＢがローレベルに変化するので、ＴＦＴ：Ｑ７ｒ、Ｑ７ｇ、Ｑ７ｂ、Ｑ１１、Ｑ１５はオフ状態になる。次に時刻ｔ１０において、クロック信号ＣＫがハイレベルに変化する。これに伴い、ＴＦＴ：Ｑ１３はオン状態になり、ノードＮ３の電位はローレベルになる。

[0100] このようにＴＦＴ：Ｑ１１～Ｑ１４は、リセット信号Ｒ以外の信号（クロック信号ＣＫＢ）に従い、ノードＮ１にローレベル電位を印加する回路を構成する。ＴＦＴ：Ｑ１５は、リセット信号Ｒ以外の信号（クロック信号ＣＫ

Ｂ）に従い、ノードＮ２にローレベル電位を印加するトランジスタとして機能する。ＴＦＴ：Ｑ７ｒ、Ｑ７ｇ、Ｑ７ｂは、それぞれ、リセット信号Ｒ以外の信号（クロック信号ＣＫＢ）に従い、第１～第３出力ノードにローレベル電位を印加するトランジスタとして機能する。

[0101] 以上に示すように、本実施形態に係るシフトレジスタ２０によれば、リセット信号Ｒ以外の信号に従いノードＮ１にローレベル電位を印加する回路をシフト部２２に設けることにより、ノードＮ１の電位を確実にオフレベルに制御し、シフトレジスタ２０の誤動作を防止することができる。また、リセット信号以外の信号に従いノードＮ２にローレベル電位を印加するＴＦＴ：Ｑ１５をシフト部２２に設けることにより、ノードＮ２の電位を確実にローレベルに制御し、シフトレジスタ２０の誤動作を防止することができる。また、リセット信号以外の信号に従い第１～第３出力ノードにローレベル電位を印加するＴＦＴ：Ｑ７ｒ、Ｑ７ｇ、Ｑ７ｂをバッファ部２３ｒ、２３ｇ、２３ｂに設けることにより、出力信号ＹＲ、ＹＧ、ＹＢを確実にローレベルに制御し、シフトレジスタ２０の誤動作を防止することができる。また、クリア信号ＣＬＲに従いノードＮ１にローレベル電位を印加するＴＦＴ：Ｑ１６をシフト部２２に設けることにより、クリア時にノードＮ１の電位を確実にローレベルに制御し、シフトレジスタ２０の初期動作を安定させることができる。

[0102] 本発明の実施形態に係るシフトレジスタについては、各種の変形例を構成することができる。図１２～図１６は、本発明の第１～第５変形例に係るシフトレジスタに含まれる単位回路の回路図である。図１２に示す単位回路３１は、シフト部３２と３個のバッファ部１３ｒ、１３ｇ、１３ｂを含んでいる。シフト部３２は、第１の実施形態に係るシフト部１２にＴＦＴ：Ｑ２１、Ｑ２２を追加したものである。ＴＦＴ：Ｑ２１のソースとＴＦＴ：Ｑ２２のドレインは、第２信号Ｚを出力するノードＮ３に接続される。ＴＦＴ：Ｑ２１のドレインにはハイレベル電源電位ＶＤＤが与えられ、ＴＦＴ：Ｑ２１のゲートはノードＮ１に接続される。ＴＦＴ：Ｑ２２のソースにはローレベ

ル電源電位ＶＳＳが与えられ、ＴＦＴ：Ｑ２２のゲートにはリセット信号Ｒが与えられる。ＴＦＴ：Ｑ２１は、ハイレベル電位を有する電源ノードとノードＮ３との間に設けられ、ノードＮ１に接続された制御端子を有する第７トランジスタとして機能する。ＴＦＴ：Ｑ２２は、ローレベル電位を有する電源ノードとノードＮ３との間に設けられ、リセット信号Ｒが与えられた制御端子を有する第８トランジスタとして機能する。第１変形例に係るシフトレジスタによれば、電源ノードに接続された２個のＴＦＴ：Ｑ２１、Ｑ２２をシフト部３２に設けることにより、電源から供給されたオン電位とオフ電位をノードＮ３に印加することができる。ノードＮ３から出力された第２信号Ｚを前段および後段の単位回路に供給することにより、シフトレジスタの誤動作を防止することができる。

[0103] 図１３に示す単位回路４１は、シフト部１２と３個のバッファ部４３ｒ、４３ｇ、４３ｂを含んでいる。バッファ部４３ｒは、第１の実施形態に係るバッファ部１３ｒにコンデンサＣａｐＲを追加したものである。コンデンサＣａｐＲの一方の電極はノードＮ１に接続され、他方の電極は第１出力ノードに接続される。バッファ部４３ｇ、４３ｂは、バッファ部４３ｒと同様の構成を有する。第２変形例に係るシフトレジスタによれば、ノードＮ１と第１～第３出力ノードとの間にそれぞれコンデンサＣａｐＲ、ＣａｐＧ、ＣａｐＢを設けることにより、バッファ制御信号ＣＲ、ＣＧ、ＣＢがハイレベルになったときに、ブートストラップによってノードＮ１に十分なハイレベル電位を与えて、ＴＦＴ：Ｑ５ｒ、Ｑ５ｇ、Ｑ５ｂを通過するバッファ制御信号ＣＲ、ＣＧ、ＣＢの歪みを防止することができる。

[0104] 図１４に示す単位回路５１は、シフト部１２と１個のバッファ部１３ｐを含んでいる。バッファ部１３ｐは、第１信号Ｙ、バッファ制御信号ＣＰおよびリセット信号Ｒに基づき、出力信号ＹＰを出力する。単位回路５１をｍ個多段接続することにより、各段から１個、全部でｍ個の信号を出力するシフトレジスタを構成することができる。このシフトレジスタは、１水平期間に１本の走査信号線を駆動するシングルスキャンを行う走査信号線駆動回路に

用いることができる。

[0105] 図１５に示す単位回路６１は、シフト部１２と２個のバッファ部１３ｐ、１３ｑを含んでいる。バッファ部１３ｑは、第１信号Ｙ、バッファ制御信号ＣＱおよびリセット信号Ｒに基づき、出力信号ＹＱを出力する。単位回路６１をｍ個多段接続することにより、各段から２個、全部で２ｍ個の信号を出力するシフトレジスタを構成することができる。このシフトレジスタは、１水平期間に２本の走査信号線を駆動するダブルスキャンを行う走査信号線駆動回路に用いることができる。

[0106] 図１６に示す単位回路７１は、シフト部１２と４個のバッファ部１３ｒ、１３ｇ、１３ｂ、１３ｗを含んでいる。バッファ部１３ｗは、第１信号Ｙ、バッファ制御信号ＣＷおよびリセット信号Ｒに基づき、出力信号ＹＷを出力する。単位回路７１をｍ個多段接続することにより、各段から４個、全部で４ｍ個の信号を出力するシフトレジスタを構成することができる。このシフトレジスタは、１水平期間に４本の走査信号線を駆動するクアッドスキャンを行う走査信号線駆動回路に用いることができる。このように本発明のシフトレジスタでは、単位回路に含まれるバッファ部の個数は任意でよい。

[0107] 図１７は、本発明の第６変形例に係るシフトレジスタの構成を示すブロック図である。図１７に示すシフトレジスタ８０は、単位回路８１を多段接続した構成を有し、各段から３本、全部で３ｍ本の信号を出力する。シフトレジスタ８０は、３相のゲートクロックＧＣＫ１、ＧＣＫ２、ＧＣＫ３に従い動作する。単位回路８１は、第１の実施形態に係る単位回路１１と同様に、シフト部と３個のバッファ部（いずれも図示せず）を含んでいる。シフト部には、３相のクロック信号に従い動作するシフトレジスタの１段分の回路（回路構成は任意でよい）を使用する。バッファ部には、上述したバッファ部１３ｒ、２３ｒのいずれかと同じ回路を使用する。このように本発明のシフトレジスタは、３相以上のクロック信号に従い動作してもよい。

[0108] また、上述した実施形態および変形例に係るシフトレジスタの特徴を適宜組合せて、各種のシフトレジスタを構成することができる。例えば、第５の

実施形態に係るシフトレジスタ２０は、図１に示すタイミングチャートに従い動作してもよい。また、第５の実施形態に係るシフトレジスタ２０に、パーシャル駆動を行うための機能や、モノクロモードで動作する機能を追加してもよい。また、第５の実施形態に係る単位回路２１に対して、ＴＦＴ：Ｑ２１、Ｑ２２（図１２）や、コンデンサＣａｐＲ、ＣａｐＧ、ＣａｐＢ（図１３）を追加してもよい。また、同様の方法で液晶表示装置以外の表示装置を構成することもできる。

[0109] 以上に示すように、本発明によれば、表示パネル上に一体形成するのに好適な構成を有し、回路量が少なく、低消費電力のシフトレジスタを提供し、これを用いて、表示パネルの額縁部分の面積を削減し、消費電力を削減した表示装置を提供することができる。

産業上の利用可能性

[0110] 本発明のシストレジスタは、回路量が少なく消費電力が小さいという特徴を有するので、例えば表示装置などに好適に利用することができる。本発明の表示装置は、表示パネルの額縁部分の面積が小さく消費電力が小さいという特徴を有するので、液晶表示装置を始めとする各種の表示装置に利用することができる。

符号の説明

[0111] １…表示制御回路

２…走査信号線駆動回路

３…データ信号線駆動回路

４…画素領域

５…画素回路

６…液晶パネル

７…バッファ制御回路

８…表示画面

９…表示領域

１０、２０、８０…シフトレジスタ

１１、２１、３１、４１、５１、６１、７１、８１…単位回路

１２、２２、３２…シフト部

１３、２３、４３…バッファ部

請求の範囲

[請求項1] 複数の単位回路を多段接続した構成を有し、バッファ制御信号に従い各段から１個以上の信号を出力するシフトレジスタであって、

前記単位回路のそれぞれは、シフト部と、前記バッファ制御信号によって制御される１個以上のバッファ部とを含み、

前記シフト部は、

セット信号に従い第１ノードにオン電位を印加する第１トランジスタと、

リセット信号に従い前記第１ノードにオフ電位を印加する第２トランジスタと、

クロック信号の入力ノードと第２ノードとの間に設けられ、前記第１ノードに接続された制御端子を有する第３トランジスタと、

前記リセット信号に従い前記第２ノードにオフ電位を印加する第４トランジスタとを含み、

前記バッファ部は、

出力ノードと、

前記第１ノードの電位と前記バッファ制御信号とに基づき、前記出力ノードにオン電位を印加する第５トランジスタと、

前記リセット信号に従い前記出力ノードにオフ電位を印加する第６トランジスタとを含むことを特徴とする、シフトレジスタ。

[請求項2] 前記第５トランジスタは、前記バッファ制御信号の入力ノードと前記出力ノードとの間に設けられ、前記第１ノードに接続された制御端子を有することを特徴とする、請求項１に記載のシフトレジスタ。

[請求項3] 前記シフト部は、前記第１ノードと前記第２ノードとの間に容量をさらに含むことを特徴とする、請求項２に記載のシフトレジスタ。

[請求項4] 前記バッファ部は、前記第１ノードと前記出力ノードとの間に容量をさらに含むことを特徴とする、請求項３に記載のシフトレジスタ。

[請求項5] 前記単位回路のそれぞれは、前記バッファ部を複数個含むことを特

徴とする、請求項１に記載のシフトレジスタ。

[請求項6] 複数のバッファ制御信号を前記クロック信号の半周期よりも短い時間ずつオンレベルに制御するバッファ制御回路をさらに備えた、請求項５に記載のシフトレジスタ。

[請求項7] 前記バッファ制御回路は、前記バッファ制御信号を互いに重複しない期間でオンレベルに制御することを特徴とする、請求項６に記載のシフトレジスタ。

[請求項8] 前記バッファ制御回路は、前記バッファ制御信号を同じタイミングでオンレベルに制御することを特徴とする、請求項６に記載のシフトレジスタ。

[請求項9] 前記バッファ制御回路は、前記クロック信号がオフレベルに変化するより前に、前記バッファ制御信号をオフレベルに制御することを特徴とする、請求項６に記載のシフトレジスタ。

[請求項10] 前記バッファ制御回路は、指定期間において前記バッファ制御信号をオフレベルに固定する機能を有することを特徴とする、請求項６に記載のシフトレジスタ。

[請求項11] 前記バッファ制御回路は、前記バッファ制御信号を互いに異なる期間でオンレベルに制御する機能と、前記バッファ制御信号を同じ期間でオンレベルに制御する機能とを有することを特徴とする、請求項６に記載のシフトレジスタ。

[請求項12] 前記シフト部は、前記リセット信号以外の信号に従い、前記第１ノードにオフ電位を印加する回路をさらに含むことを特徴とする、請求項１に記載のシフトレジスタ。

[請求項13] 前記シフト部は、前記リセット信号以外の信号に従い、前記第２ノードにオフ電位を印加するトランジスタをさらに含むことを特徴とする、請求項１に記載のシフトレジスタ。

[請求項14] 前記バッファ部は、前記リセット信号以外の信号に従い、前記出力ノードにオフ電位を印加するトランジスタをさらに含むことを特徴と

する、請求項１に記載のシフトレジスタ。

[請求項15] 前記シフト部は、クリア信号に従い前記第１ノードにオフ電位を印加するトランジスタをさらに含むことを特徴とする、請求項１に記載のシフトレジスタ。

[請求項16] 前記シフト部は、

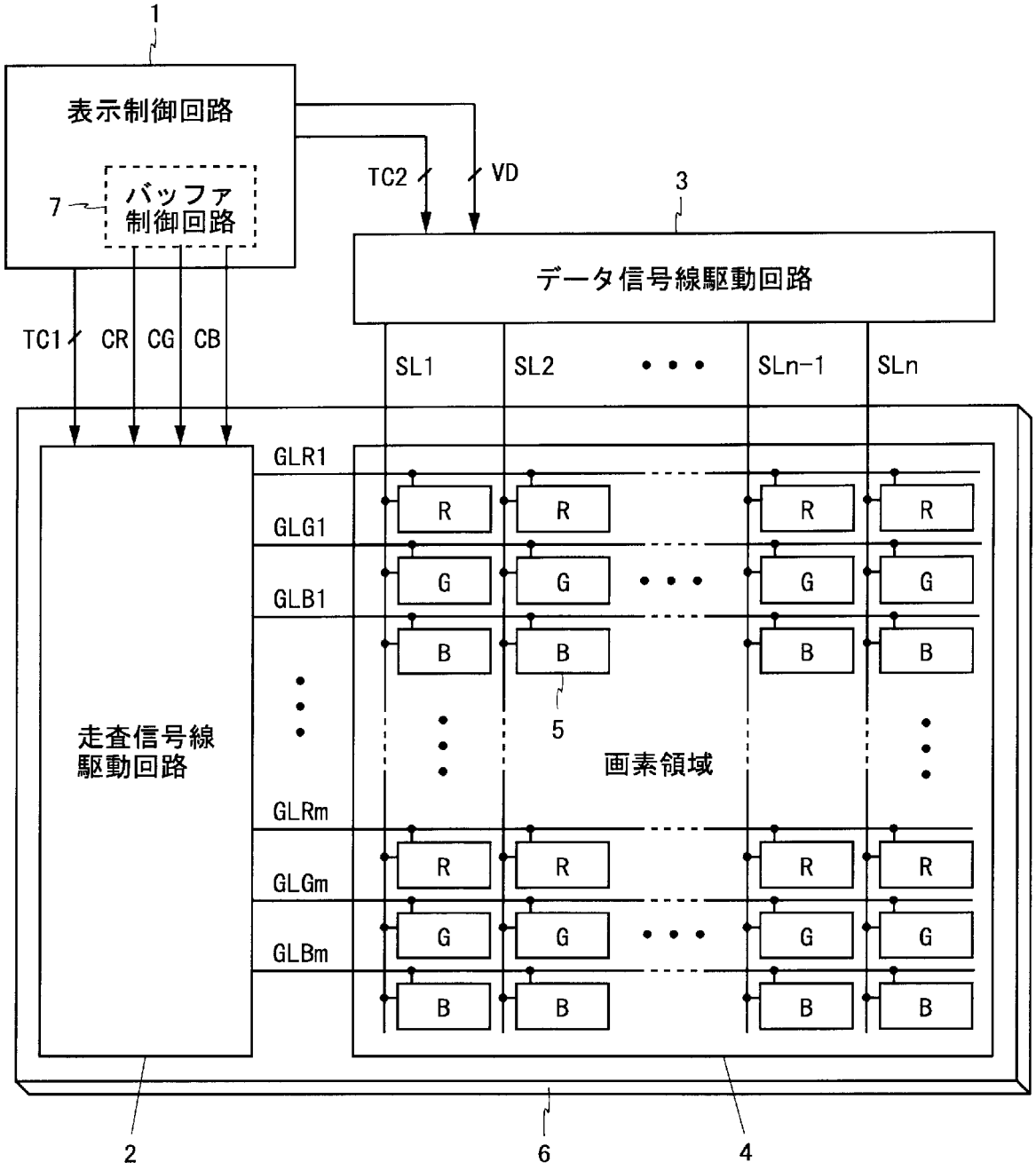
オン電位を有する電源ノードと第３ノードとの間に設けられ、前記第１ノードに接続された制御端子を有する第７トランジスタと、

オフ電位を有する電源ノードと前記第３ノードとの間に設けられ、前記リセット信号が与えられた制御端子を有する第８トランジスタとをさらに含むことを特徴とする、請求項１に記載のシフトレジスタ。

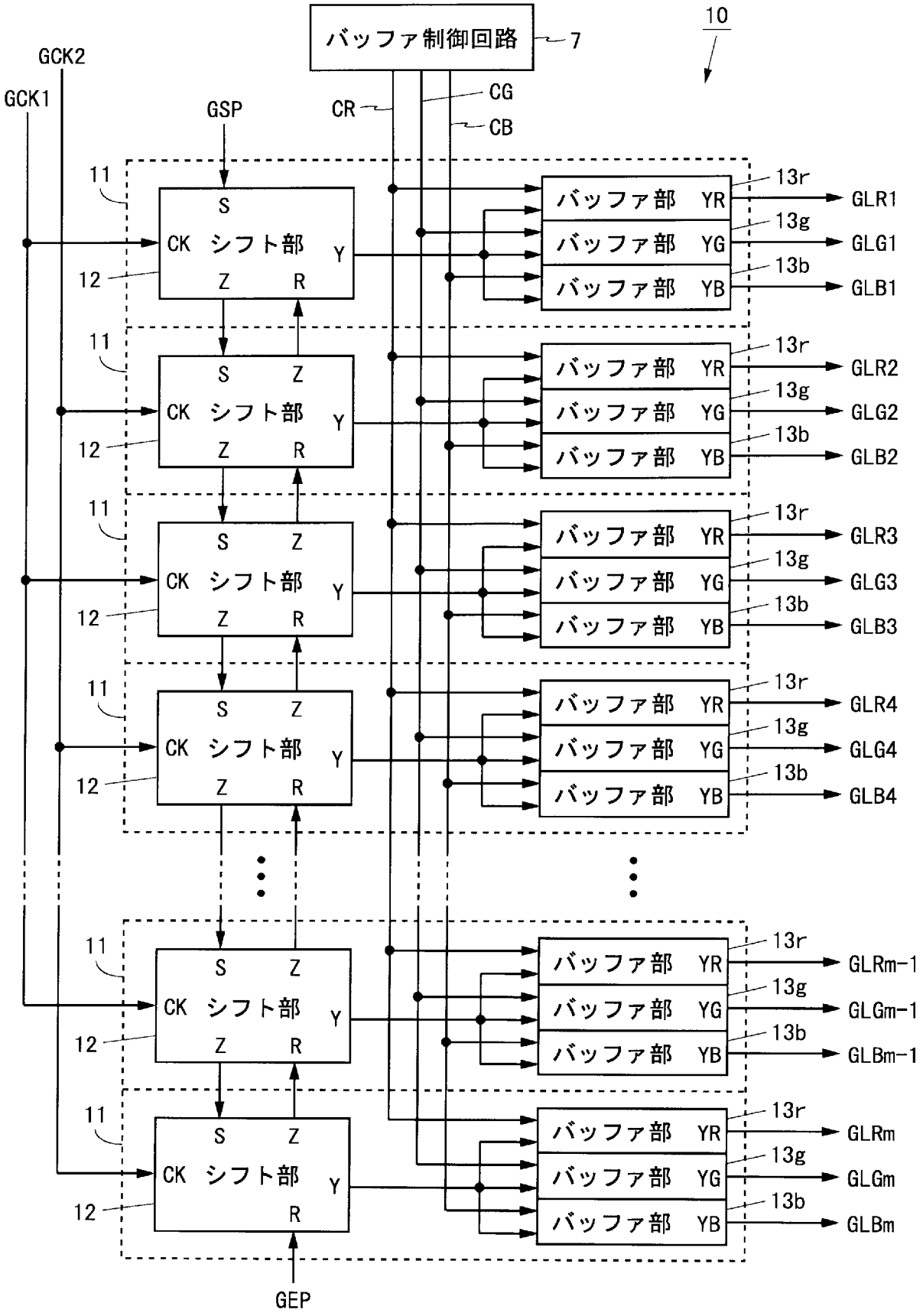
[請求項17] 複数の走査信号線を配設した画素領域を含む表示パネルと、

請求項１～１６のいずれかに記載のシフトレジスタを含み、前記表示パネル上に一体形成された走査信号線駆動回路とを備えた、表示装置。

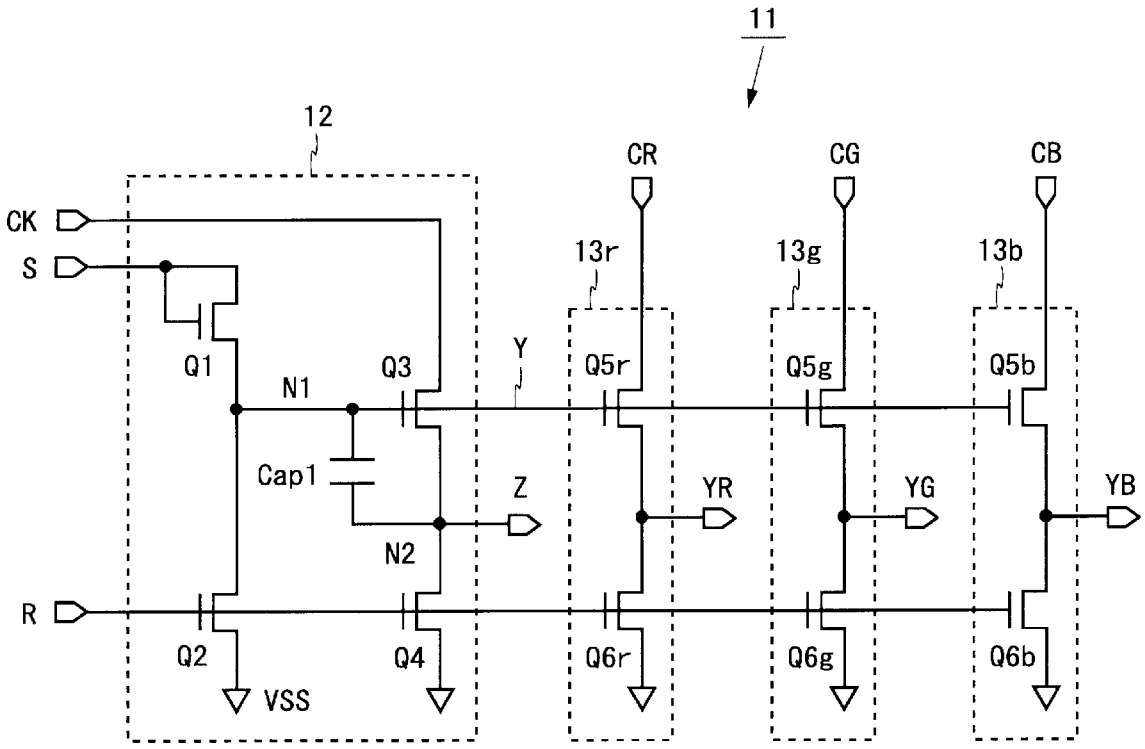
[図1]


1
表示制御回路
7
バッファ
制御回路
TC2
VD
3
データ信号線駆動回路
TC1
CR
CG
CB
SL1
SL2
SLn-1
SLn
GLR1
GLG1
GLB1
GLRm
GLGm
GLBm
R
G
B
走査信号線
駆動回路
5
画素領域
2
6
4

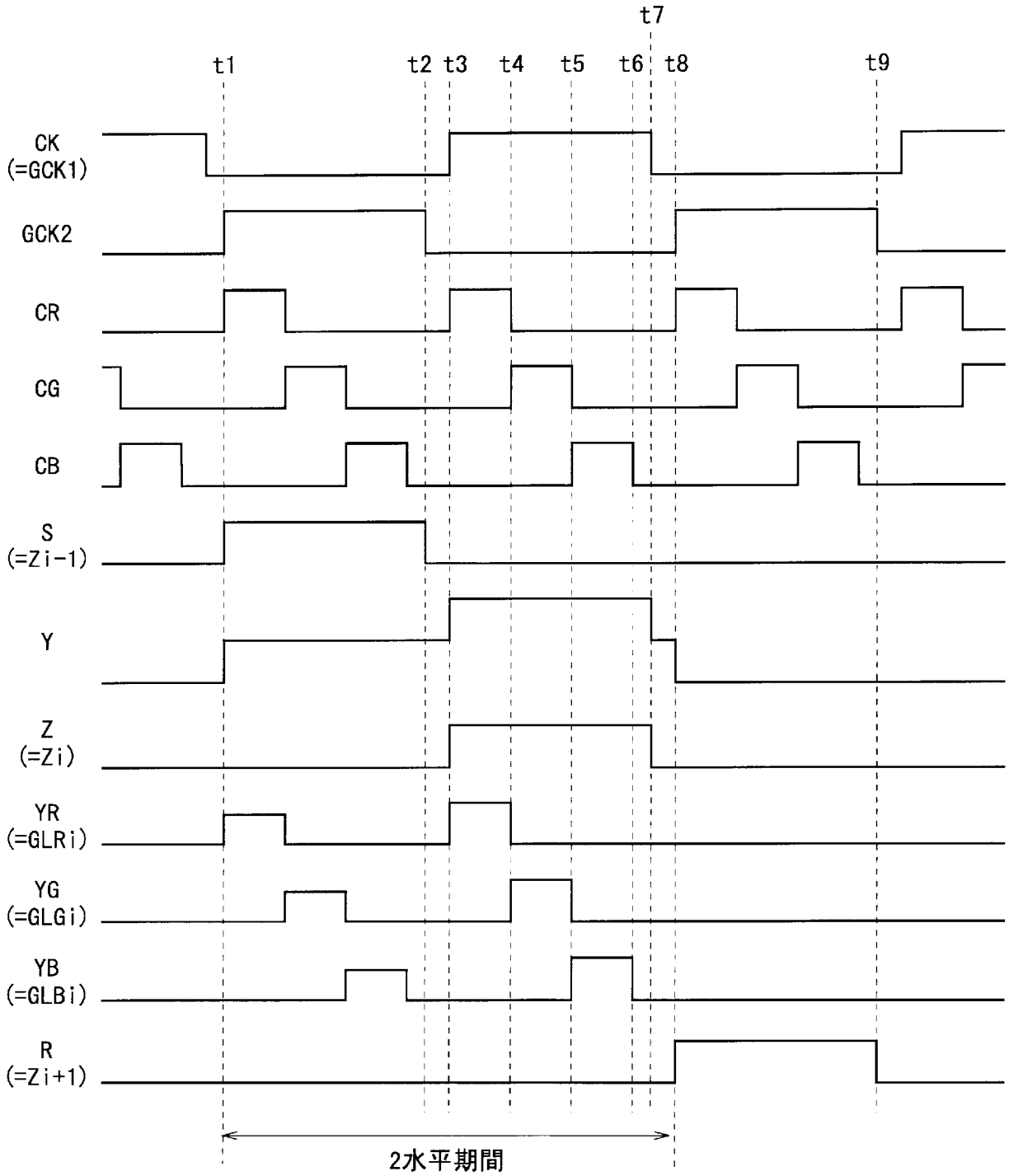
[図2]


バッファ制御回路
7
10
GCK2
GCK1
GSP
CR
CG
CB
11
12
S
CK
シフト部
Y
Z
R
バッファ部 YR
バッファ部 YG
バッファ部 YB
13r
13g
13b
GLR1
GLG1
GLB1
GLR2
GLG2
GLB2
GLR3
GLG3
GLB3
GLR4
GLG4
GLB4
GLRm-1
GLGm-1
GLBm-1
GLRm
GLGm
GLBm
GEP

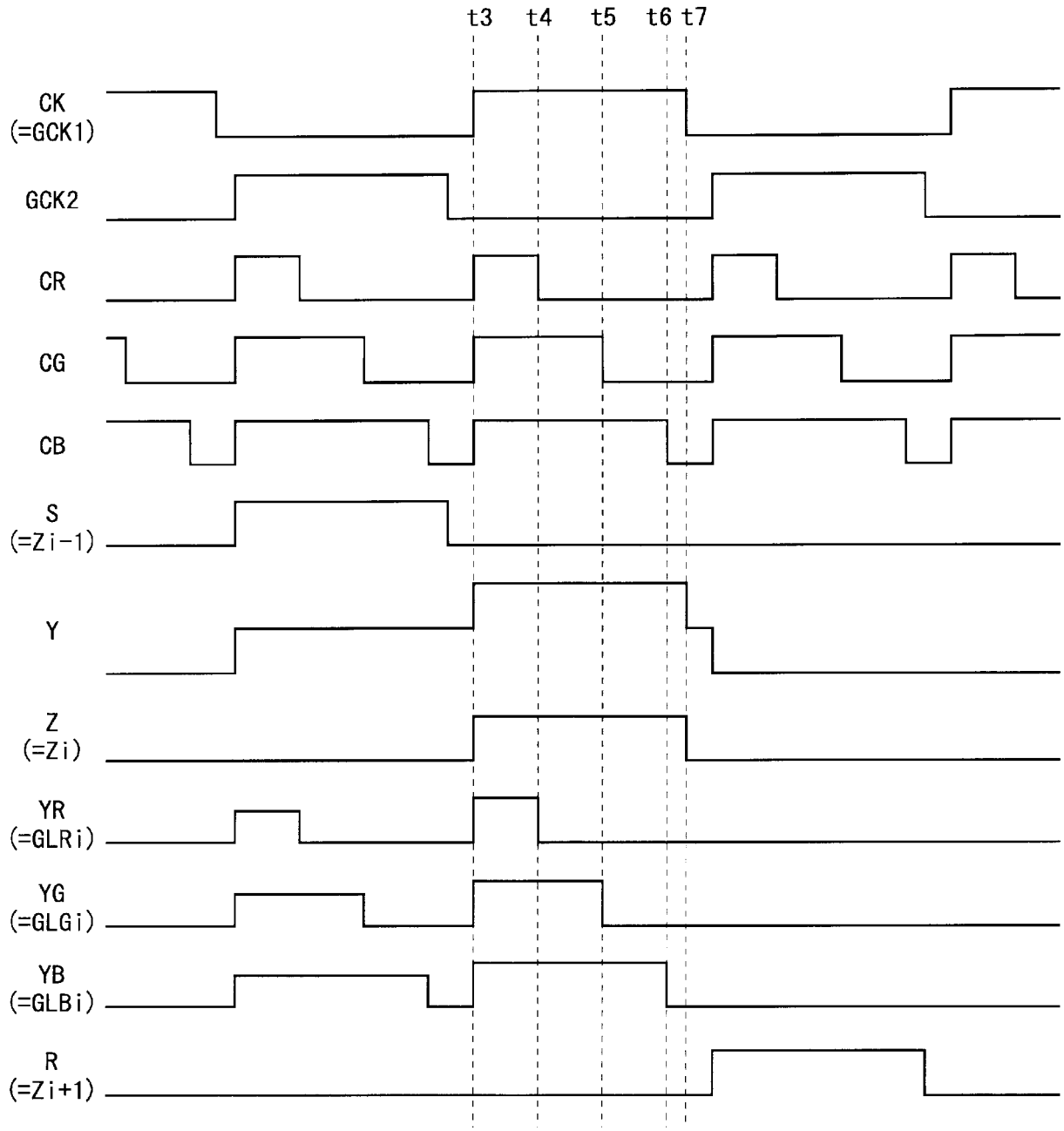
[図3]


11
12
CR
CG
CB
13r
13g
13b
CK
S
Q1
N1
Q3
Y
Q5r
Q5g
Q5b
Cap1
Z
YR
YG
YB
N2
R
Q2
Q4
Q6r
Q6g
Q6b
VSS

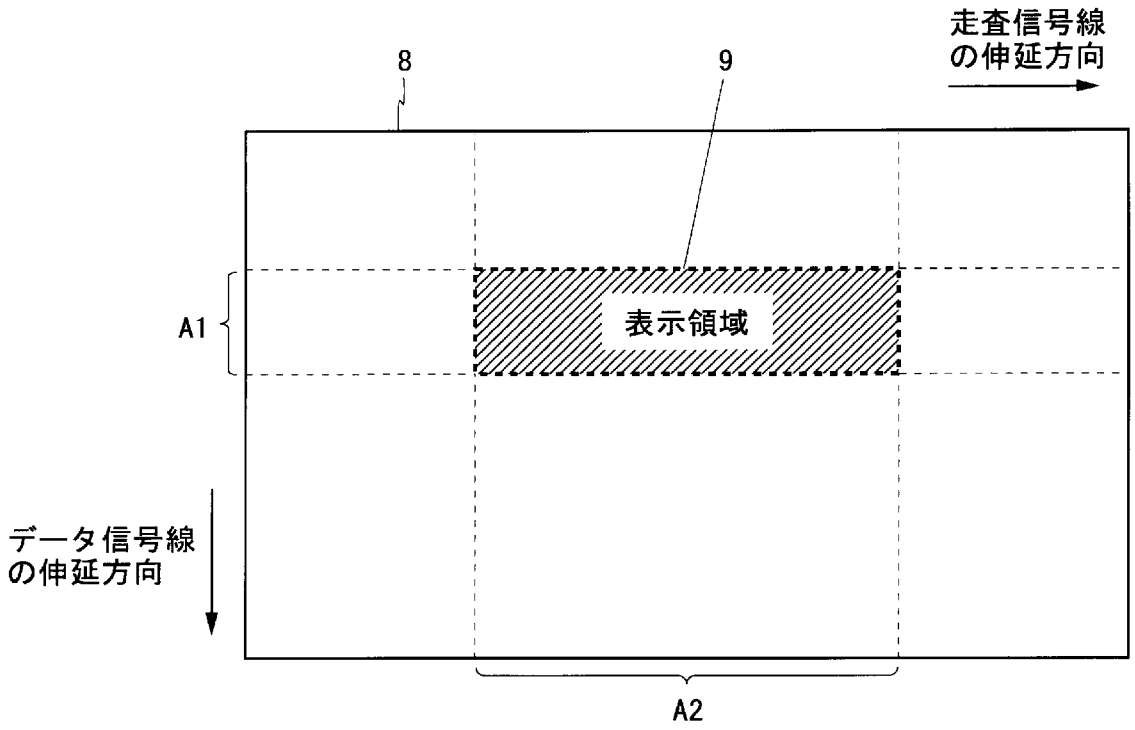
[図4]


t1
t2
t3
t4
t5
t6
t7
t8
t9
CK
(=GCK1)
GCK2
CR
CG
CB
S
(=Zi-1)
Y
Z
(=Zi)
YR
(=GLRi)
YG
(=GLGi)
YB
(=GLBi)
R
(=Zi+1)
2水平期間

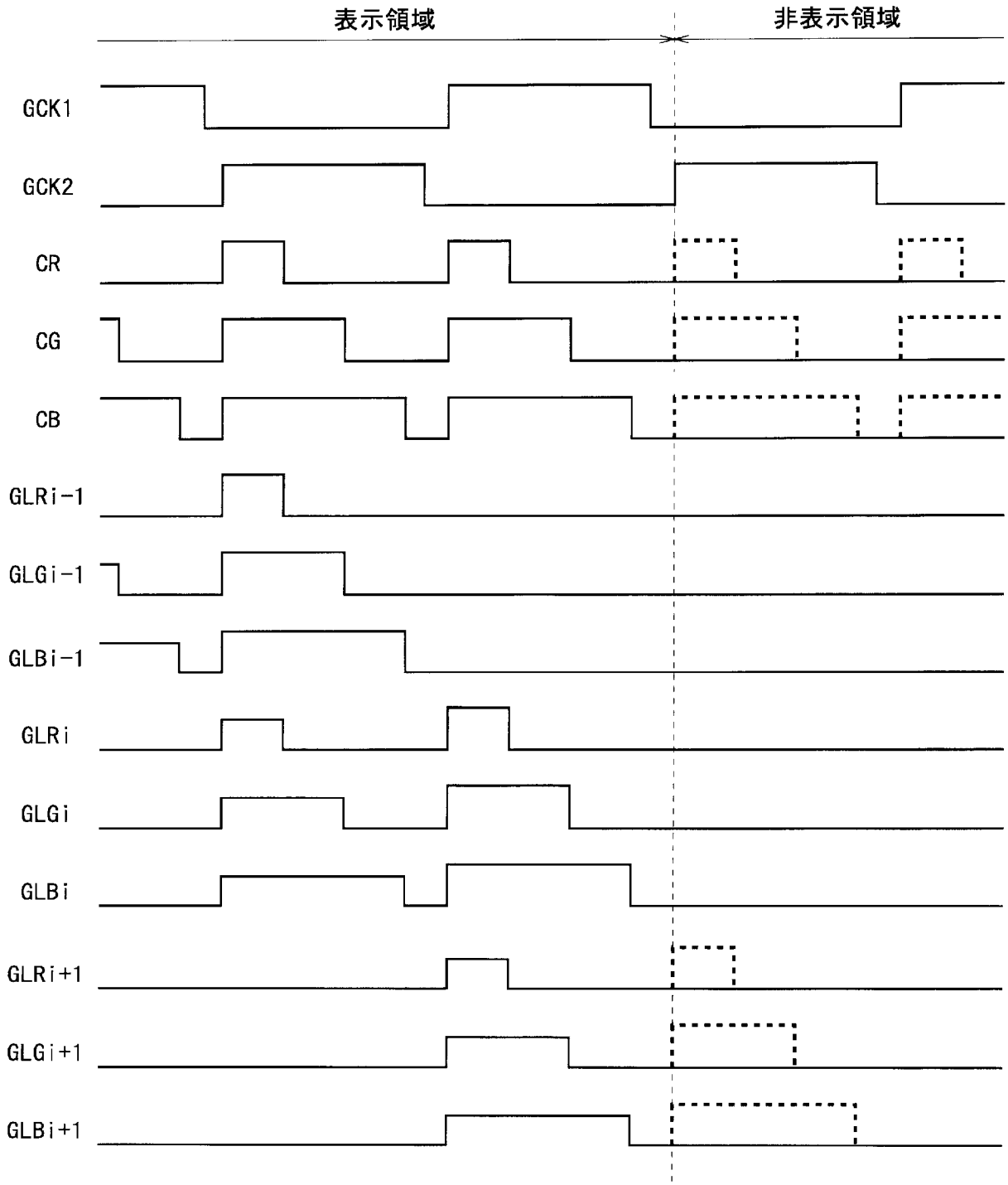
[図5]


t3
t4
t5
t6
t7
CK
(=GCK1)
GCK2
CR
CG
CB
S
(=Zi-1)
Y
Z
(=Zi)
YR
(=GLRi)
YG
(=GLGi)
YB
(=GLBi)
R
(=Zi+1)

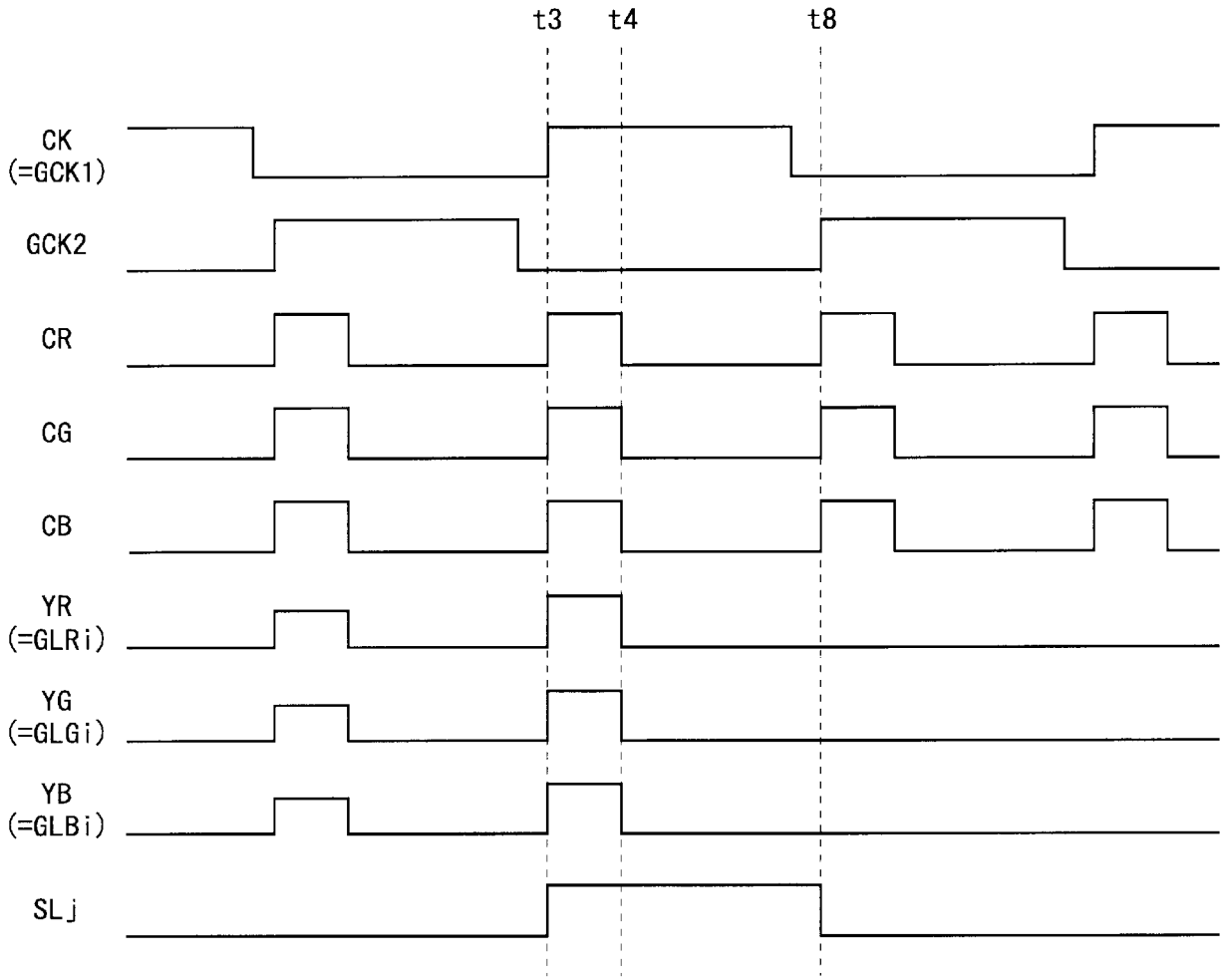
[図6]



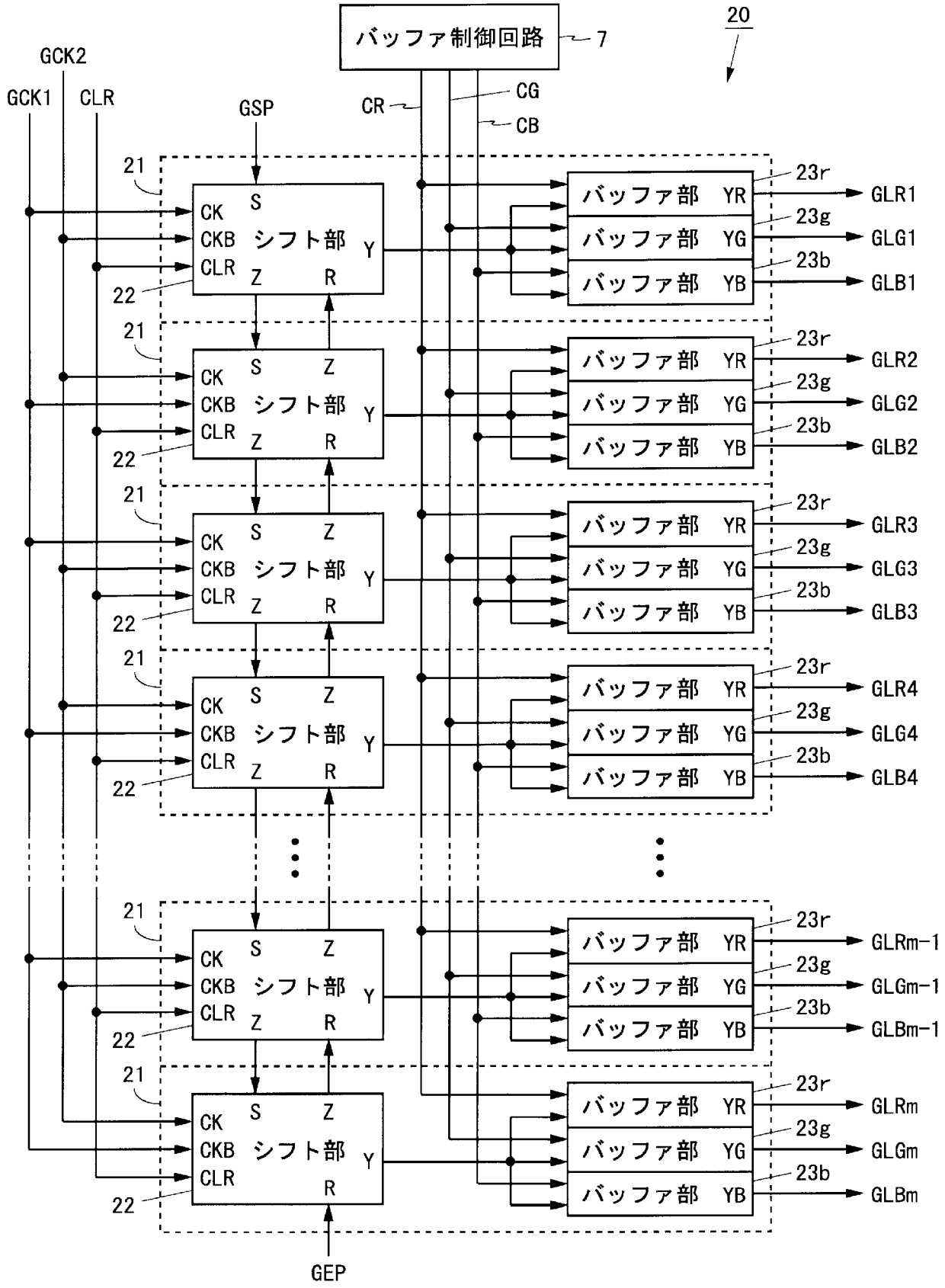
[図7]


表示領域
非表示領域
GCK1
GCK2
CR
CG
CB
GLRi-1
GLGi-1
GLBi-1
GLRi
GLGi
GLBi
GLRi+1
GLGi+1
GLBi+1

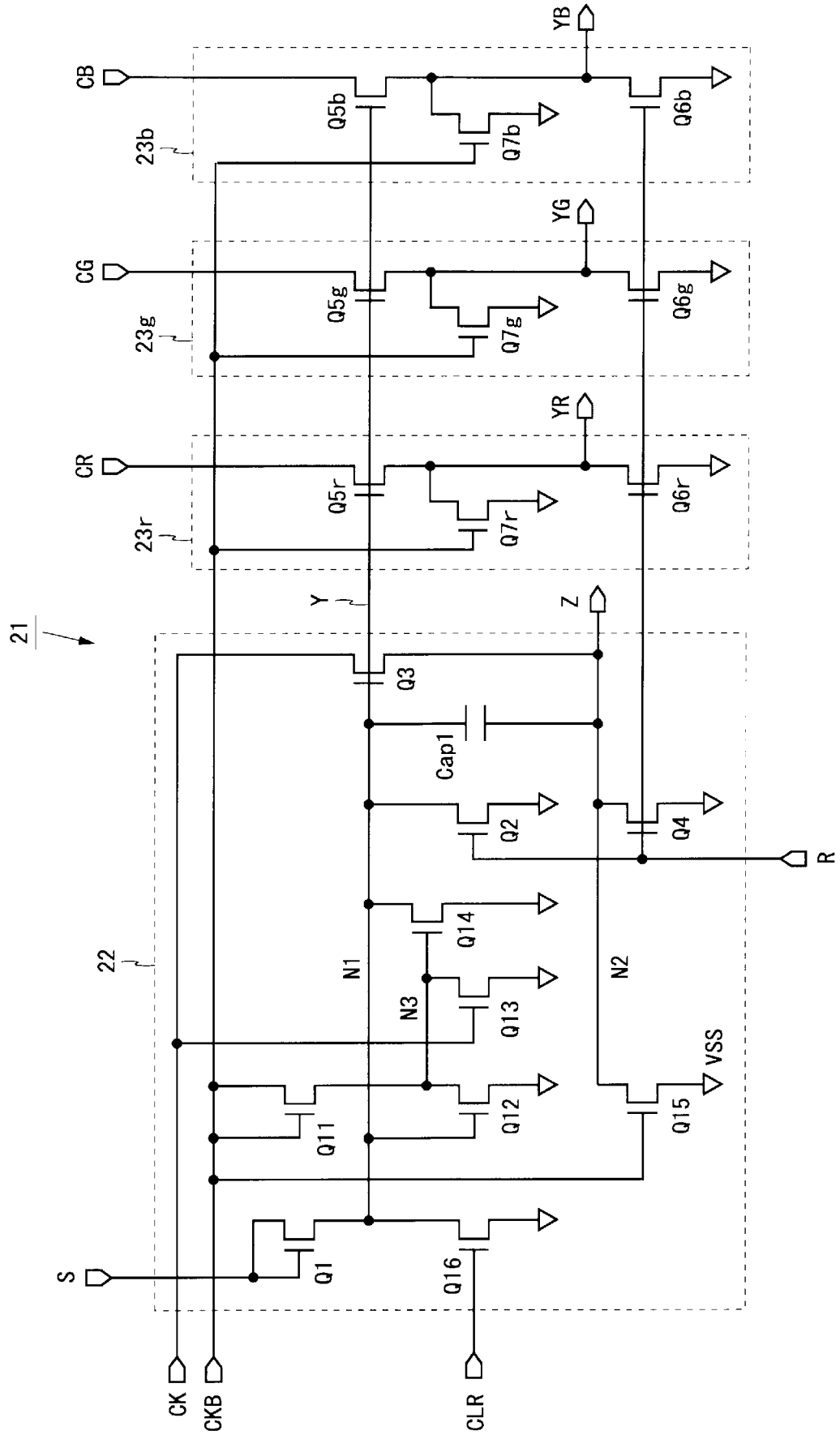
[図8]



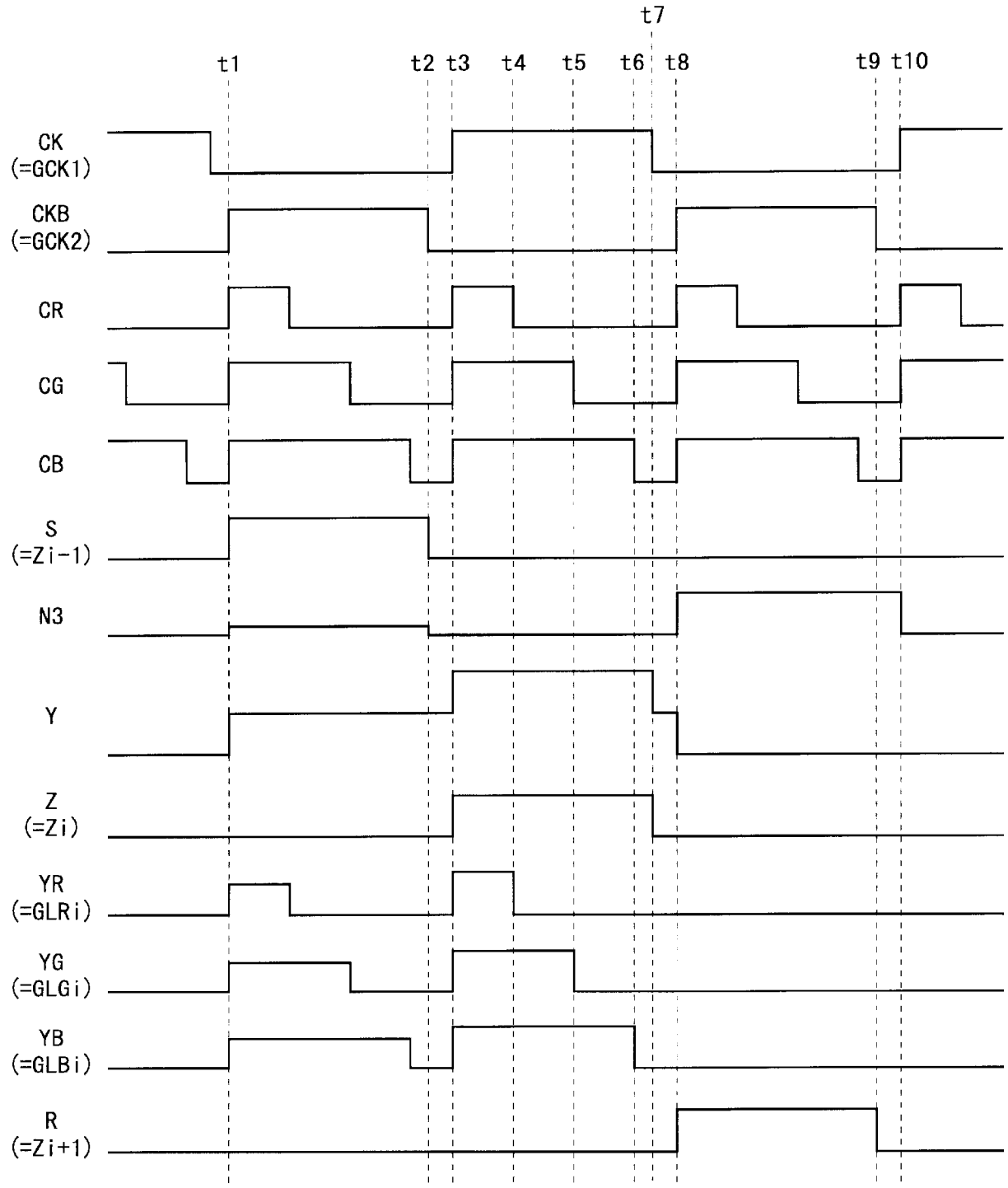
[図9]


バッファ制御回路
7
20
GCK2
GCK1
CLR
GSP
CR
CG
CB
21
22
CK
CKB
CLR
S
Z
R
Y
シフト部
バッファ部 YR
バッファ部 YG
バッファ部 YB
23r
23g
23b
GLR1
GLG1
GLB1
GLR2
GLG2
GLB2
GLR3
GLG3
GLB3
GLR4
GLG4
GLB4
GLRm-1
GLGm-1
GLBm-1
GLRm
GLGm
GLBm
GEP

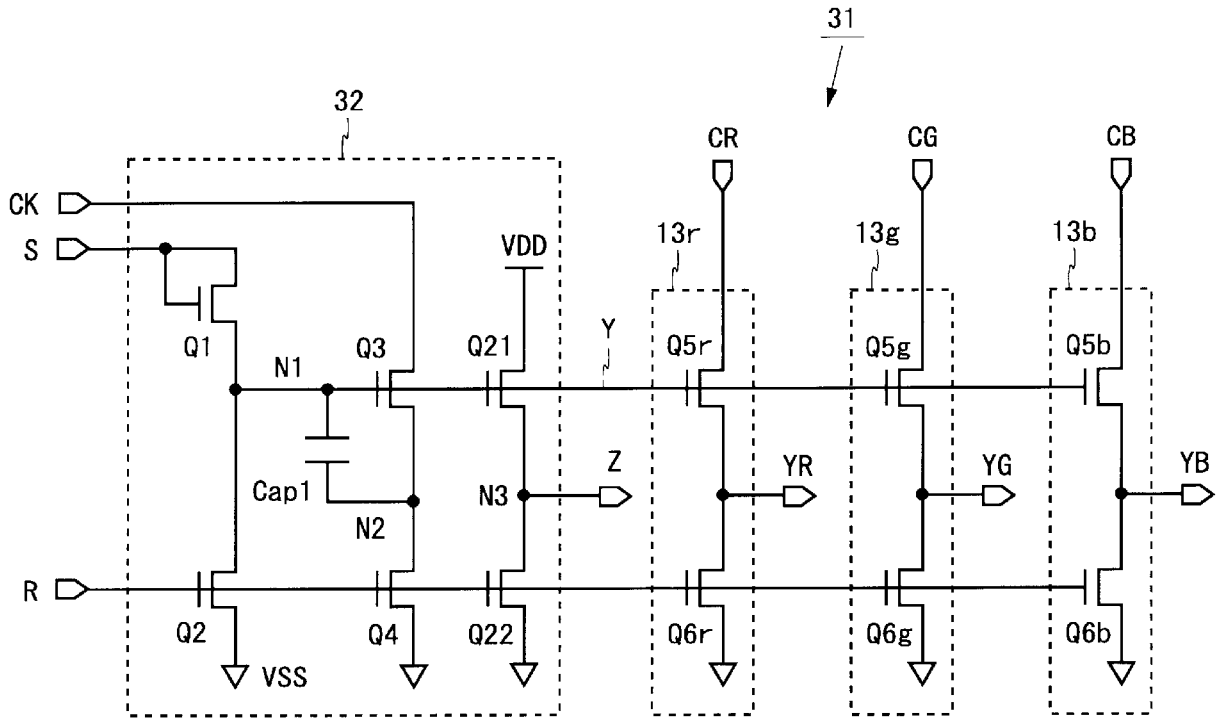
[図10]


YB
CB
Q5b
Q7b
Q6b
23b
YG
CG
Q5g
Q7g
Q6g
23g
YR
CR
Q5r
Q7r
Q6r
23r
Y
Z
21
Q3
Cap1
Q2
Q4
R
22
N1
N2
N3
Q14
Q13
Q12
Q11
Q15
VSS
S
Q1
Q16
CK
CKB
CLR

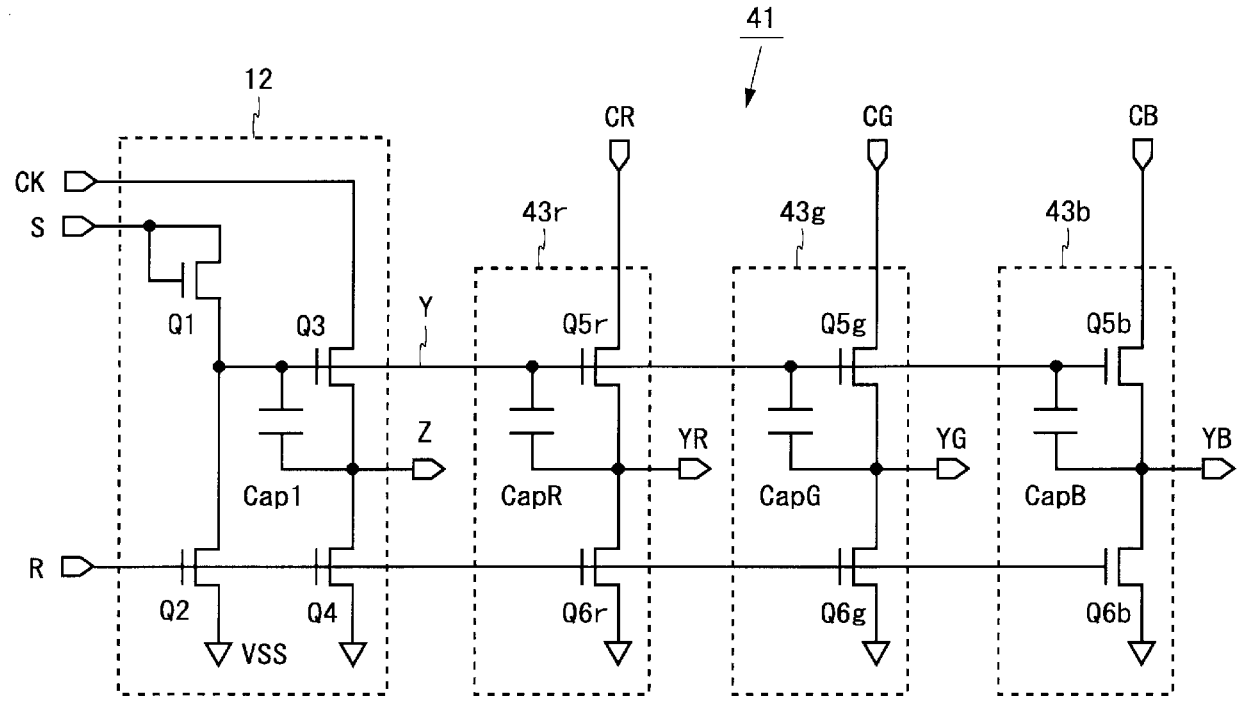
[図11]


t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
CK
(=GCK1)
CKB
(=GCK2)
CR
CG
CB
S
(=Zi-1)
N3
Y
Z
(=Zi)
YR
(=GLRi)
YG
(=GLGi)
YB
(=GLBi)
R
(=Zi+1)

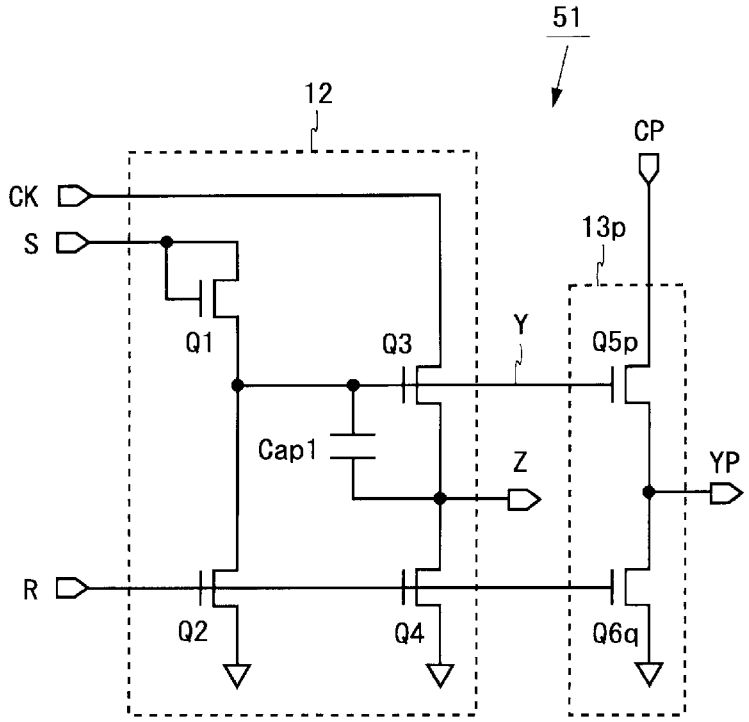
[図12]


31
32
CK
S
Q1
N1
Q3
Q21
VDD
Y
CR
CG
CB
13r
13g
13b
Q5r
Q5g
Q5b
Cap1
N2
N3
Z
YR
YG
YB
R
Q2
Q4
Q22
VSS
Q6r
Q6g
Q6b

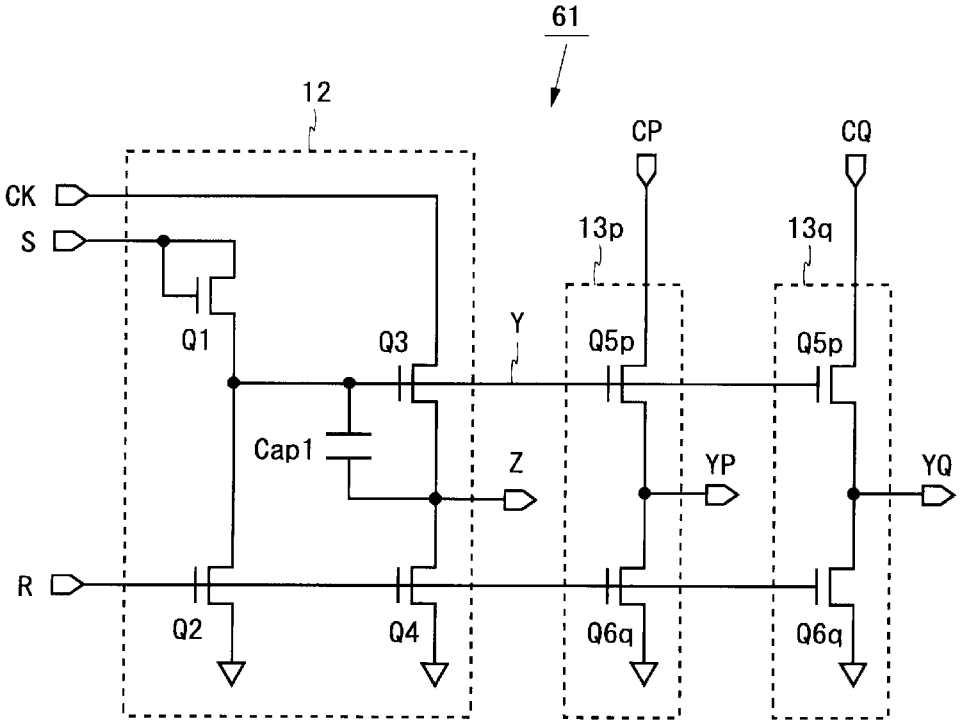
[図13]


41
12
CK
S
Q1
Q3
Y
CR
CG
CB
43r
43g
43b
Q5r
Q5g
Q5b
Z
YR
YG
YB
Cap1
CapR
CapG
CapB
R
Q2
Q4
VSS
Q6r
Q6g
Q6b

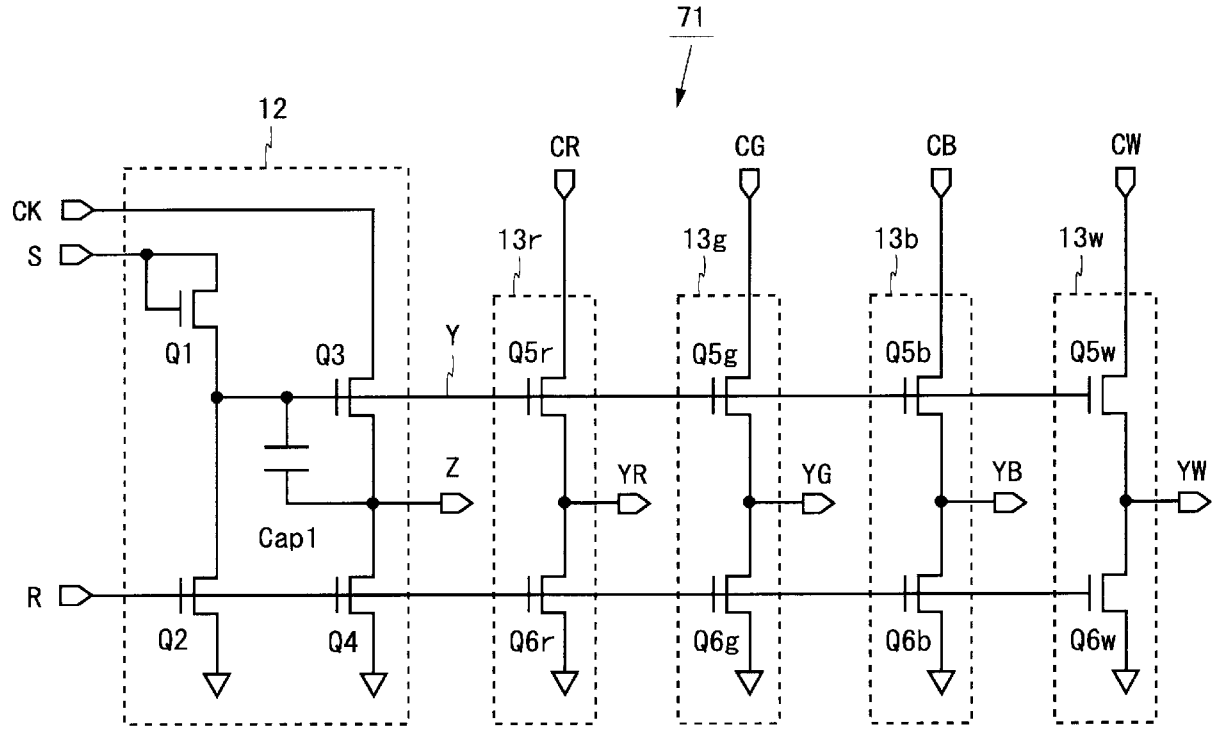
[図14]


51
12
CP
CK
S
13p
Q1
Q3
Y
Q5p
Cap1
Z
YP
R
Q2
Q4
Q6q

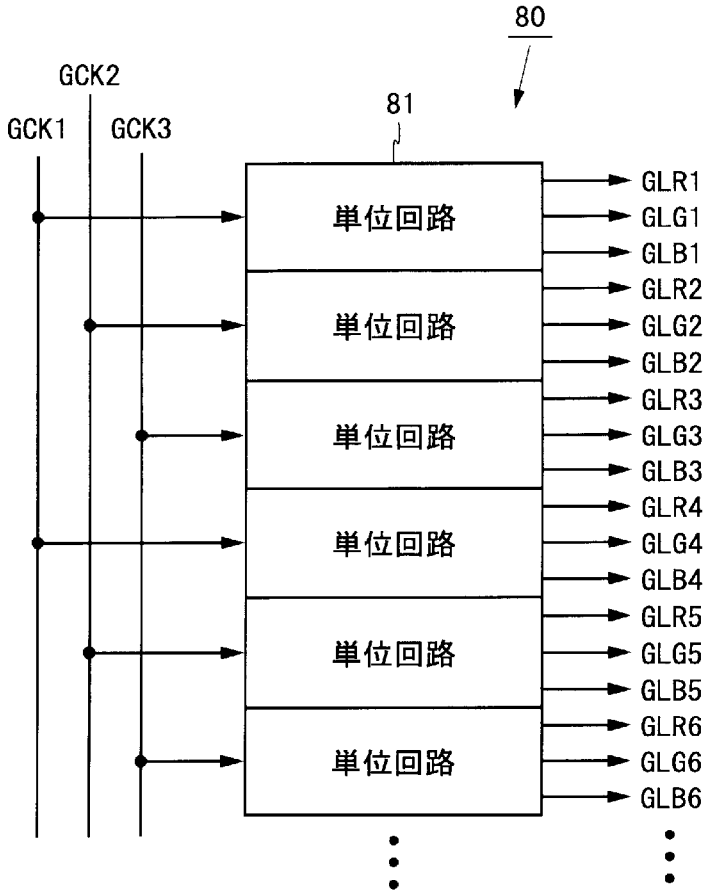
[図15]


61
12
CP
CQ
CK
S
13p
13q
Q1
Q3
Y
Q5p
Q5p
Cap1
Z
YP
YQ
R
Q2
Q4
Q6q
Q6q

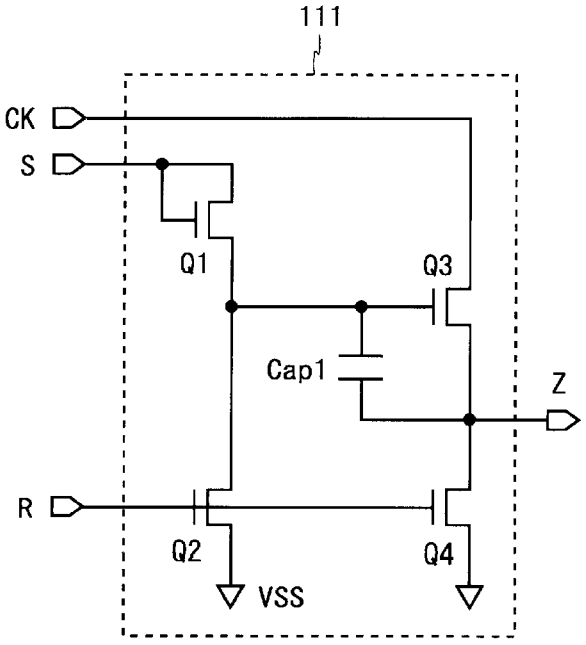
[図16]


71
12
CR
CG
CB
CW
CK
S
13r
13g
13b
13w
Q1
Q3
Y
Q5r
Q5g
Q5b
Q5w
Z
YR
YG
YB
YW
Cap1
R
Q2
Q4
Q6r
Q6g
Q6b
Q6w

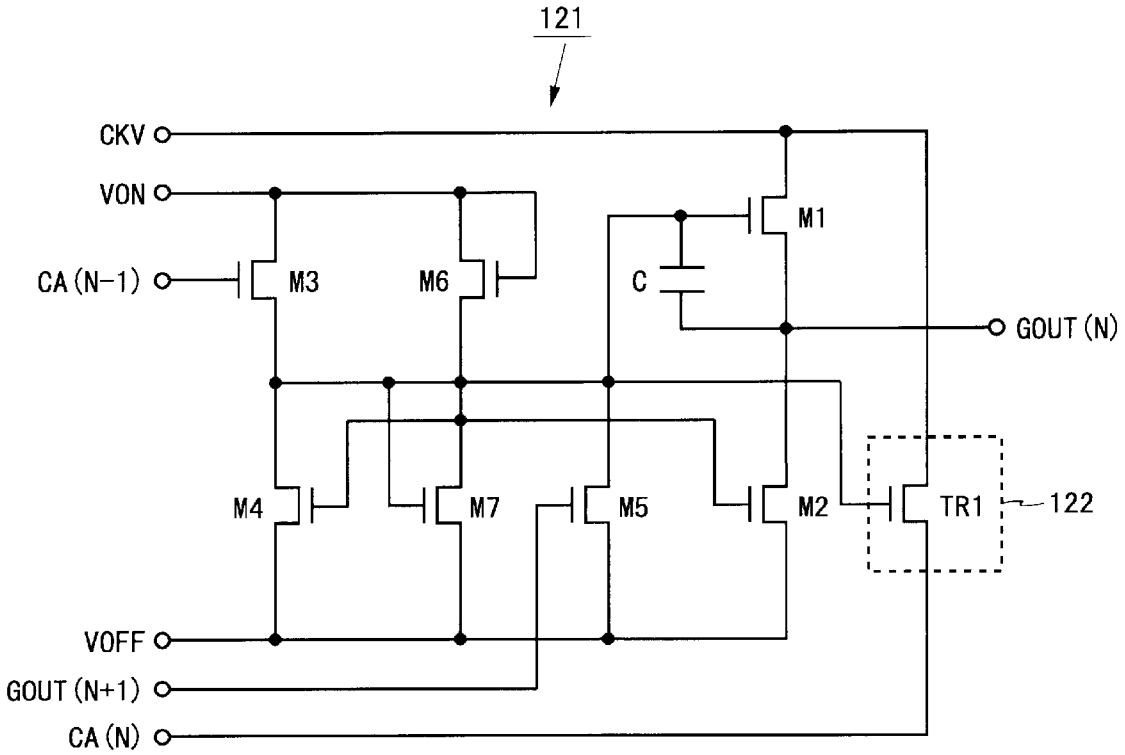
[図17]


80
81
GCK1
GCK2
GCK3
単位回路
単位回路
単位回路
単位回路
単位回路
単位回路
GLR1
GLG1
GLB1
GLR2
GLG2
GLB2
GLR3
GLG3
GLB3
GLR4
GLG4
GLB4
GLR5
GLG5
GLB5
GLR6
GLG6
GLB6

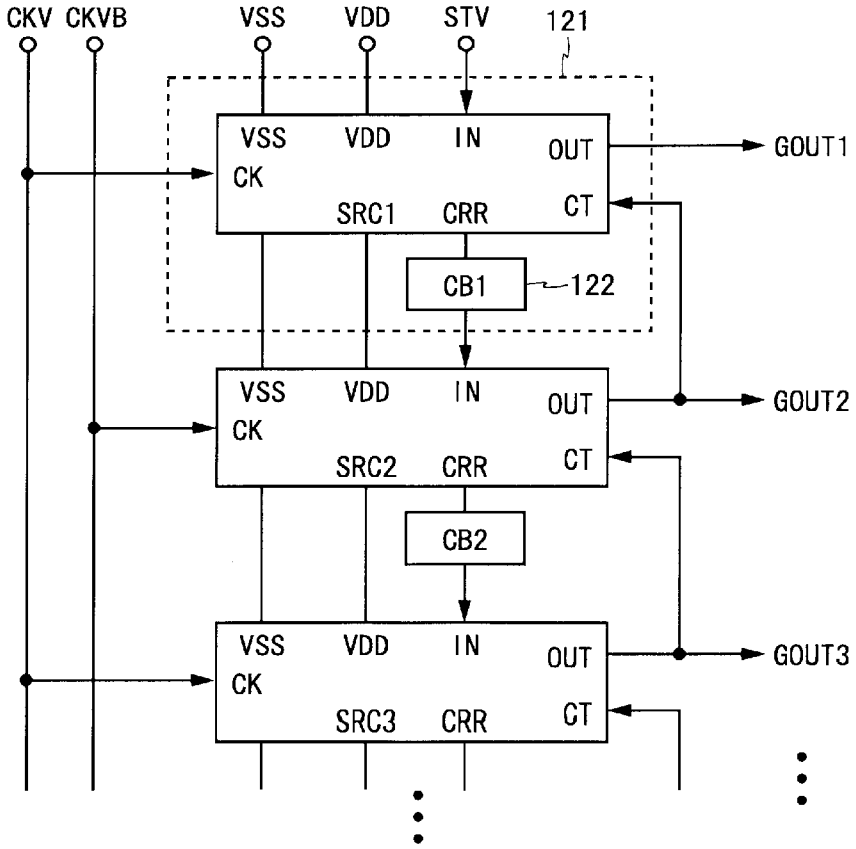
[図18]


111
CK
S
R
Q1
Q2
Q3
Q4
Cap1
Z
VSS

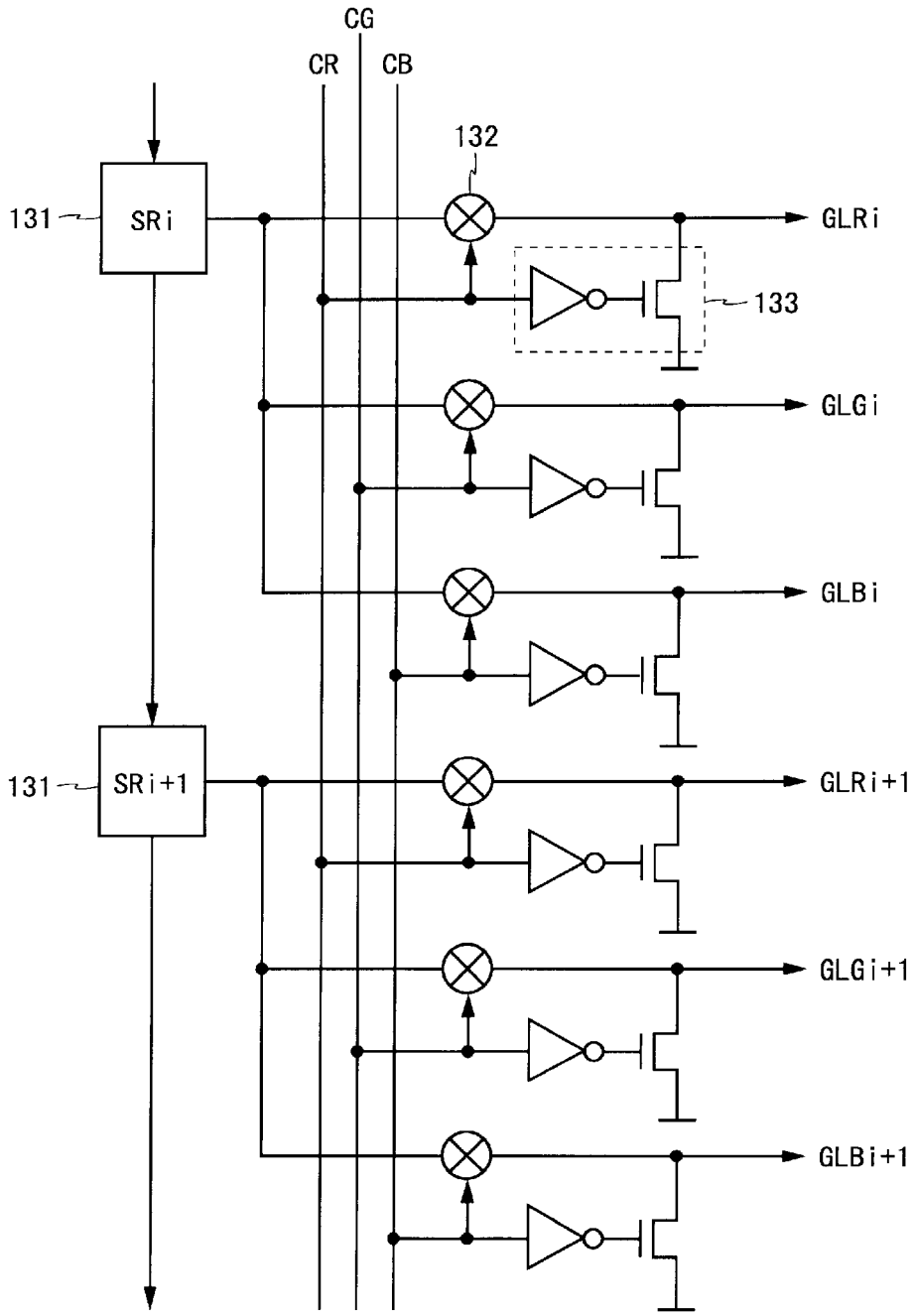
[図19]


121
CKV
VON
CA(N-1)
M3
M6
M1
C
GOUT(N)
M4
M7
M5
M2
TR1
122
VOFF
GOUT(N+1)
CA(N)

[図20]


CKV
CKVB
VSS
VDD
STV
121
VSS
VDD
IN
CK
OUT
CT
SRC1
CRR
GOUT1
CB1
122
VSS
VDD
IN
CK
OUT
CT
SRC2
CRR
GOUT2
CB2
VSS
VDD
IN
CK
OUT
CT
SRC3
CRR
GOUT3

[図21]


CG
CR
CB
132
131
SRi
GLRi
133
GLGi
GLBi
131
SRi+1
GLRi+1
GLGi+1
GLBi+1

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/058555

A. CLASSIFICATION OF SUBJECT MATTER
G11C19/28(2006.01)i, *G09G3/20*(2006.01)i, *G09G3/36*(2006.01)i, *G11C19/00*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G11C19/28, G09G3/20, G09G3/36, G11C19/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2008-140490 A (Seiko Epson Corp.), 19 June 2008 (19.06.2008), paragraphs [0026] to [0032]; fig. 3 to 5 (Family: none)	1-4,17 5-16
Y	JP 2010-92545 A (NEC LCD Technologies, Ltd.), 22 April 2010 (22.04.2010), paragraphs [0037] to [0039]; fig. 5 & US 2010/0085294 A1	5-11
Y	JP 2-82295 A (Fujitsu Ltd.), 22 March 1990 (22.03.1990), page 4, upper right column, line 8 to lower right column, line 4; fig. 3 (Family: none)	7,8,11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
01 July, 2011 (01.07.11)	12 July, 2011 (12.07.11)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/058555

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2010/050262 A1 (Sharp Corp.), 06 May 2010 (06.05.2010), entire text; all drawings (Family: none)	12-16
A	JP 2006-58770 A (Toshiba Matsushita Display Technology Co., Ltd.), 02 March 2006 (02.03.2006), entire text; all drawings & US 2006/0038766 A1 & KR 10-2006-0053199 A	1-17
A	JP 2005-234057 A (Sharp Corp.), 02 September 2005 (02.09.2005), paragraphs [0106] to [0116]; fig. 5 to 6 & US 2005/0200591 A1 & KR 10-2006-0042004 A	1-17

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１１／０５８５５５

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G11C19/28(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i, G11C19/00(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G11C19/28, G09G3/20, G09G3/36, G11C19/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１１年
日本国実用新案登録公報	１９９６－２０１１年
日本国登録実用新案公報	１９９４－２０１１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y	JP 2008-140490 A (セイコーエプソン株式会社) 2008.06.19, 段落【0026】-【0032】, 第3-5図 (ファミリーなし)	1-4, 17 5-16
Y	JP 2010-92545 A (ＮＥＣ液晶テクノロジー株式会社) 2010.04.22, 段落【0037】-【0039】, 第５図 & US 2010/0085294 A1	5-11
Y	JP 2-82295 A (富士通株式会社) 1990.03.22, 第４頁右上欄第８行～右下欄第４行, 第３図 (ファミリーなし)	7, 8, 11

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ０１．０７．２０１１	国際調査報告の発送日 １２．０７．２０１１
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｎ　８８４０ 堀田　和義 電話番号　０３－３５８１－１１０１　内線　３５８５

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	WO 2010/050262 A1（シャープ株式会社）2010.05.06，全文，全図 (ファミリーなし)	12-16
A	JP 2006-58770 A（東芝松下ディスプレイテクノロジー株式会社）2006.03.02，全文，全図 & US 2006/0038766 A1 & KR 10-2006-0053199 A	1-17
A	JP 2005-234057 A（シャープ株式会社）2005.09.02， 段落【0106】-【0116】，第5-6図 & US 2005/0200591 A1 & KR 10-2006-0042004 A	1-17