

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2005 年 12 月 8 日 (08.12.2005)

PCT

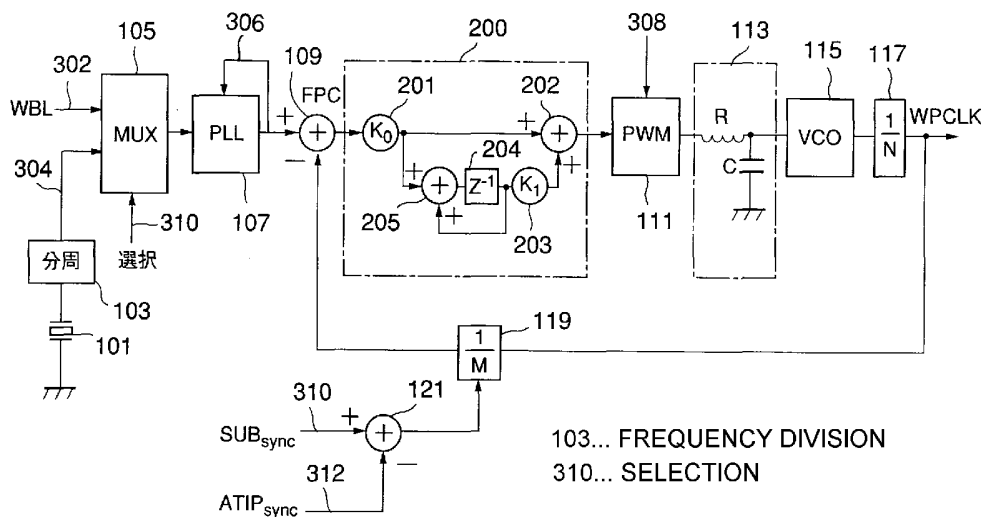
(10) 国際公開番号  
WO 2005/117267 A1

- (51) 国際特許分類: **H03L 7/093**, G11B 20/14 (74) 代理人: 森下 賢樹 (MORISHITA, Sakaki); 〒1500021 東京都渋谷区恵比寿西 2-1 1-1 2 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2004/007196 (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (22) 国際出願日: 2004 年 5 月 26 日 (26.05.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 岡田 功 (OKADA, Isao) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 ローム株式会社内 Kyoto (JP). 平吹 齋 (HIRABUKI, Tsuyoshi) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 ローム株式会社内 Kyoto (JP).
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[ 続葉有 ]

(54) Title: SYSTEM CLOCK GENERATOR CIRCUIT

(54) 発明の名称: システムクロック発生回路



(57) **Abstract:** A system clock signal generator circuit comprising a first PLL circuit that is frequency and phase locked to a wobble signal; a frequency and phase comparator for comprising a first output signal from the first PLL circuit with a system clock signal as frequency divided by M and for outputting a second output signal based on the differences in frequency and in phase; a PLL filter for providing a predetermined cutoff to the second output signal to output a third output signal; a pulse width modulating circuit for generating a pulse wave, the carrier frequency of which is a second reference clock signal, and for outputting a fourth output signal obtained by modulating the pulse width of the pulse wave by the third output signal; a low pass filter for smoothing the fourth output signal to output a fifth output signal; a VCO circuit the control voltage of which is the fifth output signal; a first frequency divider circuit for frequency dividing an output signal of the VCO circuit by N to output a system clock signal; and a second frequency divider circuit for frequency dividing, by M, and feeding the system clock signal back to the frequency and phase comparator.

[ 続葉有 ]



添付公開書類：  
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

(57) 要約:

ウォブル信号に周波数及び位相ロックする第1のPLL回路と、第1のPLL回路からの第1の出力信号とM分周されたシステムクロック信号とを比較し、周波数及び位相の差異に基づく第2の出力信号を出力する周波数・位相比較器と、第2の出力信号に所定のカットオフを与えて第3の出力信号を出力するPLLフィルタと、第2の基準クロック信号をキャリア周波数とするパルス波を発生させ、第3の出力信号によってパルス波のパルス幅が変調された第4の出力信号を出力するパルス幅変調回路と、第4の出力信号を平滑し第5の出力信号を出力するローパスフィルタと、第5の出力信号を制御電圧とするVCO回路と、VCO回路の出力信号をN分周してシステムクロック信号を出力する第1の分周回路と、システムクロック信号をM分周して周波数・位相比較器にフィードバックする第2の分周回路とを具備するシステムクロック信号発生回路。

## 明 細 書

### システムクロック発生回路

### 技術分野

- [0001] 本発明は、システムクロック発生回路に係り、特に、CAV(一定回転速度)でウォブル信号のデータ再生ができ、得られたシステムクロック信号にジッターが少なく、かつ、ウォブル信号の欠損に対しても安定したシステムクロック信号を生成することのできる、デジタル化されたシステムクロック発生回路に関する。

### 背景技術

- [0002] CD-R/RW, DVD-RAM等の光ディスクに書き込みデータを記録するためには、書き込みデータをEFM変調し、レーザコントローラにより書き込み用に制御されたレーザ光を用い、光ディスクの所定のトラックに照射することによりデータの書き込みが行われる。

このような光ディスクでは、グルーブ(溝)を蛇行させて形成することにより回転制御のための同期信号やアドレス情報(絶対時間情報)をウォブル信号として記録している。

- [0003] ウォブル信号は、バイフェーズコードの変調信号(BIDATA)でFSK変調された信号で、ディスク回転が規定の線速度のときにウォブル周波数 $f_{WBL}$ が $22.05 \pm 1\text{kHz}$ (1倍速再生のとき)になる。

ウォブル信号からデータ再生される絶対時間情報を含むATIP(アブソリュート・タイム・イン・プリグルーブ)信号は、BIDATAとして同期信号とアドレスデータ(絶対時間データ)、誤り検出符号CRCとにより構成され、通常、42ビットを単位としている。

そして、同期信号の繰り返し周波数としては75Hzである。光ディスクにウォブル信号として記録されたこのようなデータを再生するには、ウォブル信号のデータを復調する復調回路が必要となる。

この種のシステムクロック発生回路として特許文献1に記載されたものが知られている。

特許文献1:特開2001-143404号公報

[0004] 図5は、上記特許文献1等に紹介されているウォブル信号に同期したシステムクロック発生回路の概略構成を示す図である。

図5に示すシステムクロック発生回路は、PLL回路として構成されており、光ディスクから検出されたウォブル信号WBLがシステムクロック信号WPCLKにロックするように動作する。位相比較回路10、速度(周波数)比較回路20、チャージポンプ回路30、40、ローパスフィルタ(LPF)50、電圧制御発振回路(VCO)60、N(Nは整数)分周回路70とから構成されている。

[0005] このPLLシステムクロック発生回路により発生したシステムクロック(WPCLK)を、図示しないウォブル信号のFM復調回路やデジタルPLL(DTLL)に入力することにより、同期信号とATIP信号とが検出される。

光ディスクをCAV駆動してデータ記録を行うには、光ディスクを駆動するスピンドルモータを一定回転になるように駆動する。

ここで、一定の回転速度を規定速度、すなわち一倍速として説明すると、光ディスクのトラックの内周部においてウォブル周波数 $f_{WBL}$ が $22.05 \pm 1\text{kHz}$ になる。

[0006] 内周トラックより外周側ではウォブル周波数 $f_{WBL}$ は $22.05 \pm 1\text{kHz}$ よりも高い周波数となる。このように、ウォブル周波数 $f_{WBL}$ の周波数変化範囲は、例えば22kHzから53kHz程度である。ウォブル信号WBLは、位相比較回路10及び速度(周波数)比較回路20の一方の入力端子Aに入力される。他方の入力端子Bには、VCO60の出力が分周器70によりN分周されて入力される。

[0007] 位相比較回路10は、入力端子Aの入力パルスの立ち上がりから入力端子Bの入力パルスの立ち上がりまでの位相差に対応する期間ハイとなるチャージアップ信号を出力し、反転バッファアンプ31を介してチャージポンプ回路30に送出する。

また、位相比較回路10は、入力端子Bの入力パルスの立ち上がりから入力端子Aの入力パルスの立ち上がりまでの位相差に対応する期間ハイとなるチャージダウン信号を、チャージポンプ回路30に送出する。

[0008] 同様に、速度比較回路40も速度(周波数)の差に基づく信号を作成し、チャージアップ信号を反転バッファアンプ41を介してpチャネルトランジスタ43に供給し、チャージダウン信号をnチャネルトランジスタ44に供給する。チャージポンプ回路30は、反

転バッファアンプ31、定電流源32、pチャンネルトランジスタ33、nチャンネルトランジスタ34及び定電流源35から構成される。

また、チャージポンプ回路40は、反転バッファ回路41、定電流源42、pチャンネルトランジスタ43、nチャンネルトランジスタ44及び定電流源45から構成される。

[0009] 位相比較器10からのチャージアップ信号に基づいて定電流I0がローパスフィルタ50に供給され、チャージダウン信号に基づいてローパスフィルタ50から定電流I0がシンク電流としてチャージポンプ回路30に吸い出される。同様に、速度比較回路20からのチャージアップ信号により定電流I1がローパスフィルタ50に供給され、チャージダウン信号に基づいてシンク電流として定電流I1がチャージポンプ回路40に吸い出される。ローパスフィルタ(LPF)50は、抵抗Rと容量C1、C2とから構成され、チャージアップ電流の流入及びチャージダウン電流の流出により信号線51の電位は変化し、平滑化された電圧がVCO60の制御電圧として供給される。VCO60は制御電圧に応じたウォブル信号WBLに追従可能な周波数の発振出力信号を出力する。

これにより、 $1/N$ 分周された信号がフィードバックされて位相比較回路10及び速度比較回路20に供給されることにより、PLLループ制御状態となる。これにより、ウォブル信号WBLとシステムクロック信号WPCLKとはロックした状態となる。

## 発明の開示

### 発明が解決しようとする課題

[0010] 図5に示すようなシステムクロック発生回路にあつては、位相比較を行うための位相比較回路10と速度(周波数)比較を行うための速度比較回路20の2つの比較回路が必要となる。また、システムクロックWPCLKを1倍速から56倍速までの広範囲なレンジで動作させようとする、定電流I0、I1、あるいは、抵抗Rの値を変化させる必要がある。

このようなI0、I1、R等のアナログ値を変化させるためには、そのためのアナログ回路を別途搭載する必要があり、回路搭載面積が大きくなるという問題がある。また、ローパスフィルタ回路50には、2個の外付けの容量C1とC2とを必要とする。

[0011] このように、従来のデータ復調回路に用いられているシステムクロック発生回路では、アナログ回路搭載面積が大きくなり、ワンチップ化した集積回路を作成した場合、チ

ップ面積が大きくなるという問題があった。また、さらに外付け容量を2つも使用するため、調整が複雑化するという問題もあった。

本発明は、上述した課題を解決するためになされたものであり、外付容量個数を減らし、簡単な構成のローパスフィルタにすると同時に、チャージポンプ回路の使用を止め回路規模を縮小することのできる、ウォブル信号のデータ復調回路を提供することを目的とする。

#### 課題を解決するための手段

[0012] 本発明のシステムクロック発生回路は、光ディスクを一定回転速度(CAV)で回転させ、取出されたウォブル信号に基づいて、前記光ディスクにCAV記録を行うための前記ウォブル信号にロックしたシステムクロック信号を生成するシステムクロック発生回路において、前記ウォブル信号と第1の基準クロック信号とを周波数及び位相クロックさせる第1のPLL回路と、前記第1のPLL回路からの第1の出力信号と前記システムクロック信号とを比較し、周波数及び位相の差異に基づく第2の出力信号を出力する周波数・位相比較器(FPC)と、前記第2の出力信号に所定のカットオフを与えて第3の出力信号を出力するPLLフィルタと、第2の基準クロック信号をキャリア周波数とするパルス波を発生させ、前記第3の出力信号によって前記パルス波のパルス幅が変調された第4の出力信号を出力するパルス幅変調回路と、前記第4の出力信号に所定のカットオフを与えて平滑し第5の出力信号を出力するローパスフィルタと、前記第5の出力信号を制御電圧として所定の周波数範囲の発振周波数を持つ第6の出力信号を発生するVCO回路と、前記第6の出力信号をN(Nは整数)分周して前記システムクロック信号を出力する第1の分周回路と、前記システムクロック信号をM(Mは整数)分周して前記周波数・位相比較器(FPC)にフィードバックする第2の分周回路とを具備することを特徴とする。

[0013] また、本発明は、システムクロック発生回路において、CAV記録情報のエンコーダから出力されるサブ同期信号(SUBsync)と前記ウォブル信号から得られたATIP同期信号(ATIPsync)との位相差に基づいて前記第2の分周回路の分周比Mを変化させ前記サブ同期信号と前記ATIP同期信号とをロックさせることを特徴とする。

また、本発明は、システムクロック発生回路において、前記第1のPLL回路に、前記

ウォブル信号又は第3の基準クロック信号のいずれかを選択的に入力する選択回路を設けたことを特徴とする。

また、本発明は、システムクロック発生回路において、前記第1のPLL回路がPI型のデジタルフィルタとして構成されることを特徴とする。

また、本発明は、システムクロック発生回路において、前記パルス幅変調回路の前記キャリア周波数の1周期内の変動が最小化するように前記第3の出力信号を分割して前記パルス幅変調回路に供給することを特徴とする。

例えば、本発明は、システムクロック発生回路において、基準クロック信号を203MHz近傍に選択し、前記基準クロック信号を分周することにより前記第1、第2および第3の基準クロック信号を得ることを特徴とする。

#### 発明を実施するための最良の形態

[0014] 図1は、本発明の一実施の形態に係るウォブル信号のデータ復調回路を示す図である。

本発明では図5に示す従来の回路構成と異なり、チャージポンプ回路を採用せず、パルス幅変調(PWM)回路111を採用し、FPC109で位相エラーを求め、この位相エラー信号に基づいてPWM回路111のパルス幅を変化させることにより、等価的にチャージポンプ回路と同等の機能を発揮するように構成している。

[0015] ウォブル信号WBL302は、CAV駆動の場合、一定の回転速度で回転しており、1倍速の場合には22kHz〜53kHzのFSK変調されたウォブル周波数fWBLを持つウォブル信号WBLがマルチプレクサ105の一方の端子に供給される。また、マルチプレクサ105の他方の端子には基準信号304が入力されるようになっており、1倍速の場合のCAV駆動におけるウォブル周波数fWBLの変化する範囲22kHzから53kHzの基準信号304がマルチプレクサ105に供給されている。

[0016] 本実施の形態では、クリスタル発振器101により33.8688MHzを発振させ、これを6進倍して203.2128MHz(約203MHz)の周波数をもつ基準信号を発振させ、33.8688MHzを分周回路103により分周し、基準信号304として用いている。なお、基準信号304とウォブル信号(WBL)302とは選択信号310により選択的に切り替えが可能で、所定の周波数をもつウォブル信号WBLが光ディスクから得られるまで

の間は、基準信号304を選択してシステムクロックWPCLKを発生させ、ウォブル信号WBLが得られるようになった段階で、選択信号310によりマルチプレクサ105を切り替え、ウォブル信号WBLが選択されるように動作させる。

[0017] マルチプレクサ105からの出力は、PLL回路107に入力され、PLL回路107から得られる基準信号306と位相及び周波数ロックする。マルチプレクサ105がウォブル信号を選択して、かつ、PLL回路107が位相ロックしたとき、ウォブル信号とPLL回路107は位相ロック状態を保持する。なお、基準信号306は、前述した約34MHzの信号を分周して供給することが可能である。PLL107の出力は、周波數位相比較器(FPC)109の一方の入力に供給される。FPC109の他方の入力には、システムクロック信号WPCLKの1/M分周された信号が入力され、周波数及び位相比較されてその差異に基づく出力信号はPLLフィルタ200に供給される。

[0018] PLLフィルタ200は、PI型のデジタルフィルタとして構成することができる。すなわち、係数K0およびK1をもつ乗算器201、203と、加算器202、205及び遅延回路204とから構成される。

PLLフィルタ200は、FPC109からの出力に対して所定のカットオフを与えるもので、乗算器201、203のケースK0、K1を変更することにより容易にカットオフ周波数を変化させることができる。

[0019] PLLフィルタ200からの出力信号は、PWM回路111に入力される。PWM回路111は、基準クロック信号308をキャリア周波数とするパルス波を発生させ、PLLフィルタ200からの信号によってそのパルス波のパルス幅が変調される。なお基準信号308として、本実施の形態では、前述した約203MHzを1/8分周した25.4MHzの周波数をもつ基準信号を用いている。

PWM回路111の出力は、R、Cから構成されるローパスフィルタ113に供給される。ローパスフィルタ113は、PWM回路111の出力に所定のカットオフを与えて平滑し、後続のVCO115に対する制御電圧を供給する。

[0020] 本実施の形態で使用されるローパスフィルタ113は、10kHzのカットオフを与えるようにRおよびCの値が選択されている。VCO115は制御電圧が1ボルト変化すると約200MHz程度の周波数変化を持った発振周波数を出力するように構成されている。

VCO115からの出力は、分周器117によってN(Nは整数)分周され、さらに分周器119によってM(Mは整数)分周されて、FPC109にフィードバックされて供給される。これによりFPC109は、PLL107の出力信号と分周器119からの出力信号とを周波数及び位相比較し、その差異に基づく信号を出力する。

[0021] このような閉ループによるPLL動作により、システムクロック信号WPCLKはウォブル信号WBLと周波数及び位相がロックした信号として出力される。

なお、分周器117の分周比Nは、光ディスクの回転倍速に合わせて1, 2, 4が選択される。また、分周器119の分周比Mは、通常は686に設定されている。

[0022] 図2は、CAV記録情報のエンコーダから出力されるサブ同期信号SUBsyncと、ウォブル信号WBLから得られたATIP同期信号ATIPsyncとを示したもので、サブ同期信号は1倍速で回転している時には75Hzの同期信号を出力する。

ATIP同期信号は、光ディスクからデータ復調回路により読み取られた信号であって、同期信号と±2フレーム以内で先端エッジをロックさせる必要がある。

[0023] 本発明の回路においては、サブ同期信号310とATIP同期信号312との位相差を位相差比較回路121により検出し、この検出値に基づいて分周器119の分周比Mを変化させることにより、サブ同期信号をATIP同期信号に一致させる。

具体的には、分周比686を688、もしくは684と変化させることによりこれを実現することができる。

[0024] このようにして作成されたシステムクロックWPCLKは、CAV記録のチャンネルクロックとして用いられるが、線速度一定(CLV)記録の場合のチャンネルクロックとしても用いることが可能である。

また、PLLフィルタ200の乗算器201の係数K0を変えることにより、CAVPLLのループゲインを容易に調整することができる。同様に、乗算器203の係数K1は、このPLLフィルタ200のカットオフ周波数を決定している。したがって、係数K0, K1を適切に選択することにより、PLLループの安定化を容易に計ることができる。

[0025] PLLフィルタ200からの出力により、PWM回路111のキャリア周波数のパルス幅を変更するためのデータは、キャリア周波数の一周期内の変動が最小化するように分割して供給することが望ましい。このように、一周期内の変動が最小化するように分割

して供給することによりVCO115に与えられる制御電圧が大きく変動することなく、発振が安定に得られるからである。

図3は、PLLフィルタからの出力電圧を分割してPWM回路111に与える場合の一例を示した図である。

[0026] このような制御を行うことにより、システムクロック信号WPCLKの変動の標準偏差を1%以下に制御することができた。また、-60dBのPWMキャリア減衰率が得られた。

なお、本実施の形態の場合、約203MHzのクロック周波数を持つ基準クロックを用いて、これにより基準信号を発生させているが、PWM回路111のキャリアによるVCO115の変動を小さくするためには、PWMに供給されるキャリア信号の周波数を高くする必要がある。したがって、基準信号308は、素子の駆動周波数の範囲内で可能な限り高く設定することが好ましい。

図4は、VCO60の出力波形を示したもので、極めて短時間(150  $\mu$ s)程度で安定状態に移行していることがわかる。

#### 産業上の利用可能性

[0027] 以上、本発明の実施の形態に基づいて詳細に説明したが、本発明では、位相比較回路と速度比較回路とを一つにしたデジタルFPCを採用したため、周波数制御と位相制御とを同時に行うことが可能となった。

また、デジタルFPCは、JKフリップフロップ2個とゲートとで簡単に構成することができるため、回路構成が簡略化されるという利点もある。

さらに、PLLフィルタをデジタルのPIフィルタで構成したため、カットオフ周波数を容易に変更することができる。

また、チャージポンプ回路に代わって用いられるPWM回路は、カウンタとして構成することができるため、回路を簡略化できるという利点もある。

また、回路全体を2重PLL構成としたことにより、ウォブル信号の欠損に対しても安定したクロック信号を得ることができる。

#### 図面の簡単な説明

[0028] [図1]本発明の一実施形態に係るウォブル信号のデータ復調回路。

[図2]エンコーダから出力されるサブ同期信号とウォブル信号から得られるATIP同期

信号との位相差の関係を示す図。

[図3]PWM回路に供給される信号の一例を示す図。

[図4]VCOの変化を示す図。

[図5]特許文献1等に紹介されているウォブル信号のデータ復調回路に用いられるシステムクロック発生回路の概略構成を示す図。

### 符号の説明

|        |               |               |
|--------|---------------|---------------|
| [0029] | 101           | クリスタル発振器      |
|        | 103           | 分周回路          |
|        | 105           | マルチプレクサ       |
|        | 107           | PLL回路         |
|        | 109           | 周波數位相比較器(FPC) |
|        | 111           | パルス幅変調(PWM)回路 |
|        | 113           | ローパスフィルタ      |
|        | 115           | VCO           |
|        | 117, 119      | 分周器           |
|        | 121           | 位相差比較回路       |
|        | 200           | PLLフィルタ       |
|        | 201, 203      | 乗算器           |
|        | 202, 205      | 加算器           |
|        | 204           | 遅延回路          |
|        | 302           | ウォブル信号WBL     |
|        | 304, 306, 308 | 基準信号          |
|        | 310           | サブ同期信号        |
|        | 312           | ATIP同期信号      |

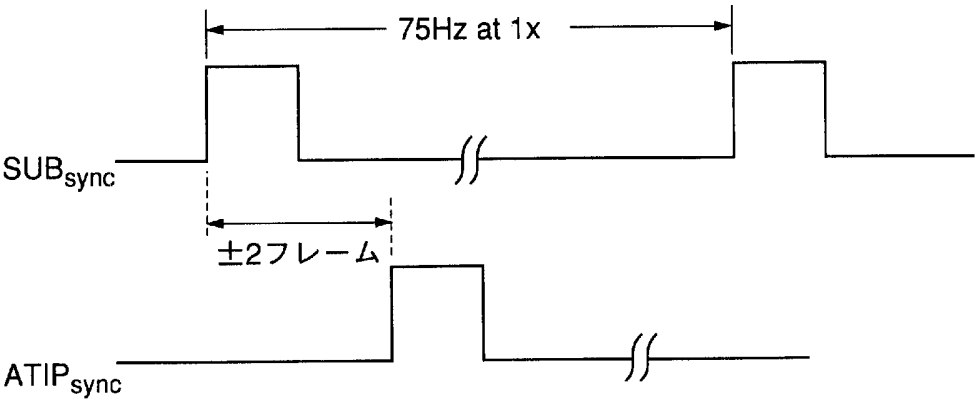
## 請求の範囲

- [1] 光ディスクを一定回転速度(CAV)で回転させ、取出されたウォブル信号に基づいて、前記光ディスクにCAV記録を行うための前記ウォブル信号にロックしたシステムクロック信号を生成するシステムクロック発生回路において、
- 前記ウォブル信号と第1の基準クロック信号とを周波数及び位相クロックさせる第1のPLL回路と、
- 前記第1のPLL回路からの第1の出力信号と前記システムクロック信号とを比較し、周波数及び位相の差異に基づく第2の出力信号を出力する周波数・位相比較器(FPC)と、
- 前記第2の出力信号に所定のカットオフを与えて第3の出力信号を出力するPLLフィルタと、
- 第2の基準クロック信号をキャリア周波数とするパルス波を発生させ、前記第3の出力信号によって前記パルス波のパルス幅が変調された第4の出力信号を出力するパルス幅変調回路と、
- 前記第4の出力信号に所定のカットオフを与えて平滑し第5の出力信号を出力するローパスフィルタと、
- 前記第5の出力信号を制御電圧として所定の周波数範囲の発振周波数を持つ第6の出力信号を発生するVCO回路と、
- 前記第6の出力信号をN(Nは整数)分周して前記システムクロック信号を出力する第1の分周回路と、
- 前記システムクロック信号をM(Mは整数)分周して前記周波数・位相比較器(FPC)にフィードバックする第2の分周回路と、
- を具備することを特徴とするシステムクロック発生回路。
- [2] 請求項1に記載のシステムクロック発生回路において、
- CAV記録情報のエンコーダから出力されるサブ同期信号(SUBsync)と前記ウォブル信号から得られたATIP同期信号(ATIPsync)との位相差に基づいて前記第2の分周回路の分周比Mを変化させ、前記サブ同期信号と前記ATIP同期信号とをロックさせることを特徴とするシステムクロック発生回路。

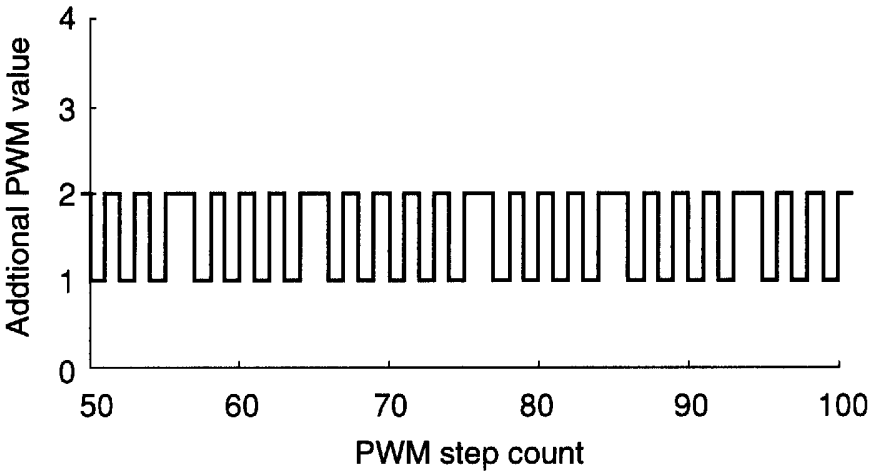
- [3] 請求項1に記載のシステムクロック発生回路において、  
前記第1のPLL回路に、前記ウォブル信号又は第3の基準クロック信号のいずれかを選択的に入力する選択回路を設けたことを特徴とするシステムクロック発生回路。
- [4] 請求項1に記載のシステムクロック発生回路において、  
前記第1のPLL回路がPI型のデジタルフィルタとして構成されることを特徴とするシステムクロック発生回路。
- [5] 請求項1に記載のシステムクロック発生回路において、  
前記パルス幅変調回路の前記キャリア周波数の1周期内の変動が最小化するように前記第3の出力信号を分割して前記パルス幅変調回路に供給することを特徴とするシステムクロック発生回路。
- [6] 請求項3に記載のシステムクロック発生回路において、  
基準クロック信号を204MHz近傍に選択し、前記基準クロック信号を分周することにより前記第1、第2および第3の基準クロック信号を得ることを特徴とするシステムクロック発生回路。



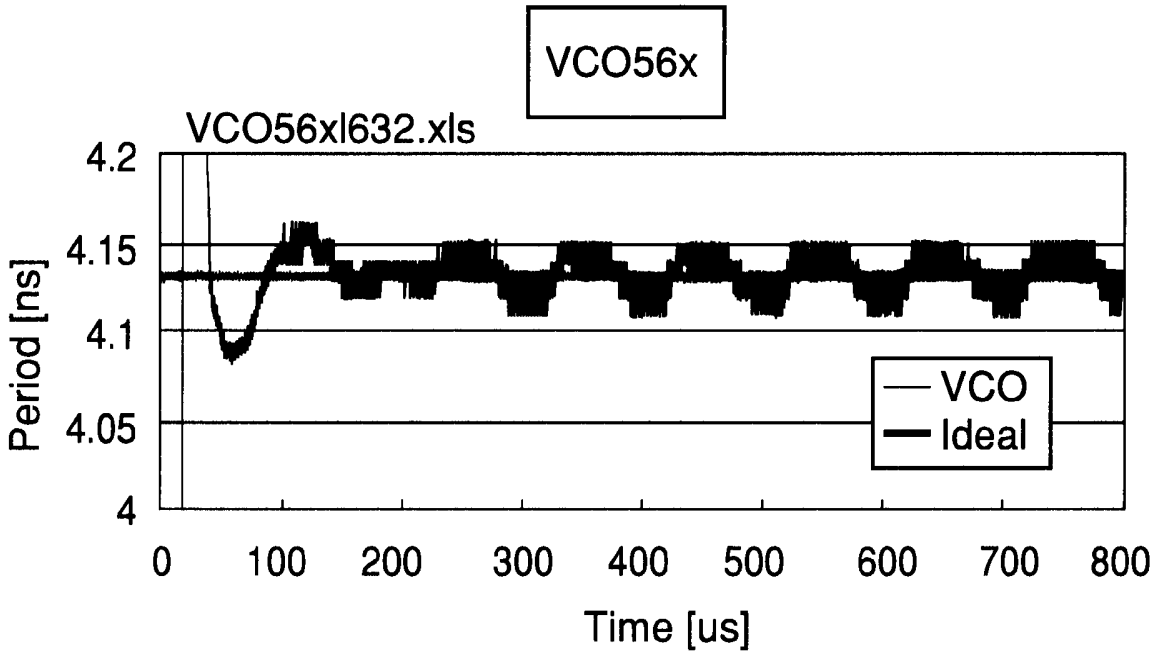
[図2]



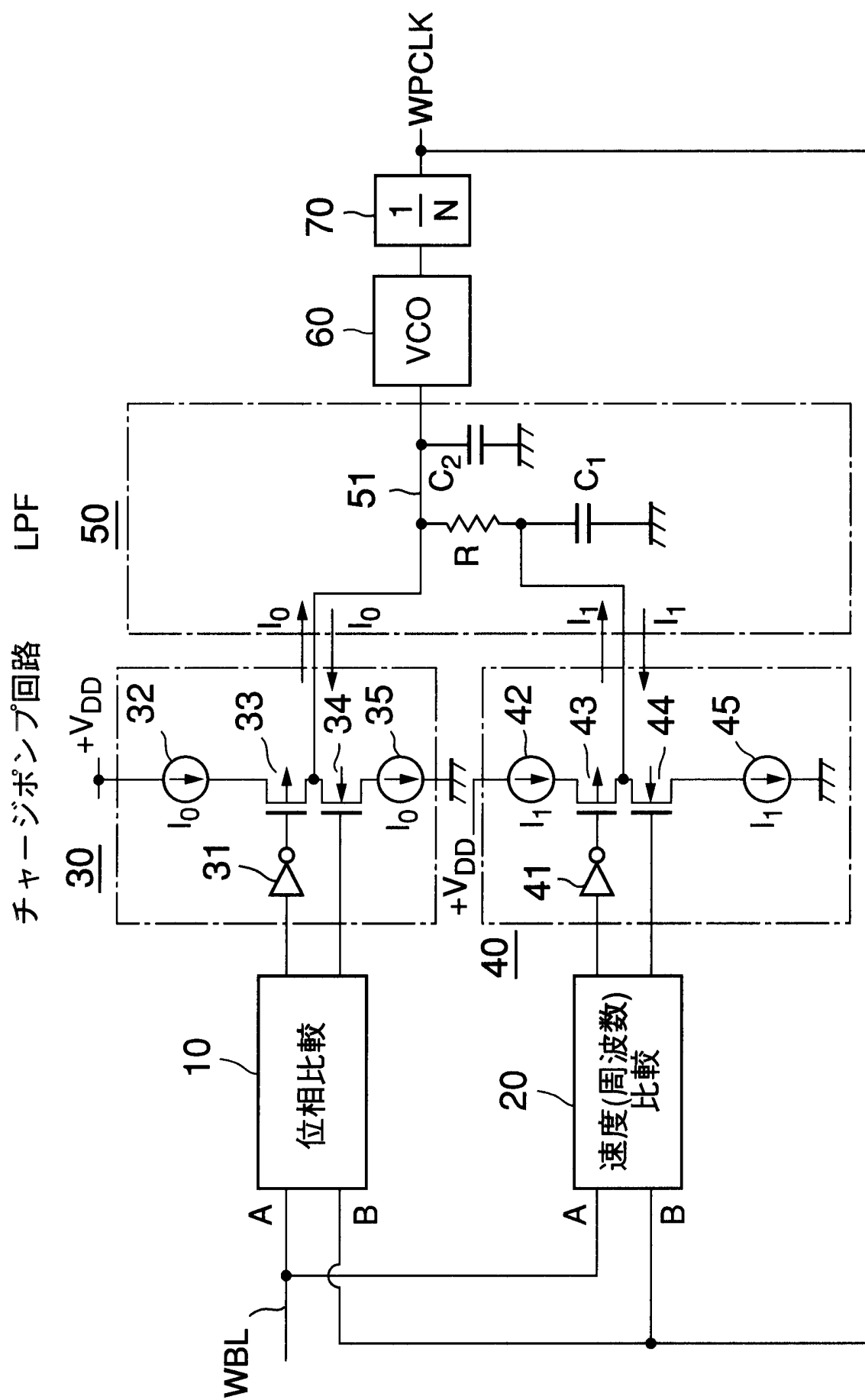
[図3]



[図4]



[図5]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/007196

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H03L7/093, G11B20/14

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H03L7/06-7/23, G11B20/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004  
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                | Relevant to claim No. |
|-----------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y<br>A    | JP 2002-094375 A (NEC Yamagata, Ltd.),<br>29 March, 2002 (29.03.02),<br>Page 5, left column, line 36 to page 10, left<br>column, line 4; Fig. 1<br>(Family: none) | 1, 5<br>2-4, 6        |
| Y<br>A    | JP 11-088128 A (NEC Corp.),<br>30 March, 1999 (30.03.99),<br>Page 5, right column, line 26 to page 7, left<br>column, line 28; Figs. 1, 8<br>(Family: none)       | 1, 5<br>2-4, 6        |
| E, X      | JP 2004-152361 A (Rohm Co., Ltd.),<br>27 May, 2004 (27.05.04),<br>Claims 1 to 6; Fig. 1<br>(Family: none)                                                         | 1-6                   |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
23 August, 2004 (23.08.04)

Date of mailing of the international search report  
07 September, 2004 (07.09.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. <sup>7</sup> H03L 7/093, G11B 20/14

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. <sup>7</sup> H03L 7/06 - 7/23, G11B 20/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2004年  
 日本国登録実用新案公報 1994-2004年  
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                     | 関連する<br>請求の範囲の番号 |
|-----------------|---------------------------------------------------------------------------------------|------------------|
| Y<br>A          | J P 2002-094375 A (山形日本電気株式会社)<br>2002.03.29, 第5頁左欄第36行-第10頁左欄第4<br>行, 第1図 (ファミリーなし)  | 1, 5<br>2-4, 6   |
| Y<br>A          | J P 11-088128 A (日本電気株式会社)<br>1999.03.30, 第5頁右欄第26行-第7頁左欄第28<br>行, 第1図, 第8図 (ファミリーなし) | 1, 5<br>2-4, 6   |

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

23.08.2004

国際調査報告の発送日

07.9.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

甲斐 哲雄

5W

9750

電話番号 03-3581-1101 内線 3575

| C (続き) . 関連すると認められる文献 |                                                                               |                  |
|-----------------------|-------------------------------------------------------------------------------|------------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                             | 関連する<br>請求の範囲の番号 |
| E, X                  | J P 2004-152361 A (ローム株式会社)<br>2004.05.27, 【請求項1】 - 【請求項6】, 第1図 (フ<br>ァミリーなし) | 1-6              |