

400565
公告本

400565

| | |
|------|---------------------------------|
| 申請日期 | 85.4.29 |
| 案號 | 85105096 |
| 類 | Int.別 C1 ⁶ H01L 2/30 |

公告本 A4 C4

(以上各欄由本局填註)

| 發 明 專 利 說 明 書 | | |
|---------------|---------------|--|
| 發 新 型 | | |
| 一、發明 名稱 | 中 文 | 淺溝槽隔離區製程 |
| | 英 文 | |
| 二、發明 創作人 | 姓 名 | 1 盧火鐵 2 周志文 3 陳進來 |
| | 國 籍 | 中華民國 |
| | 住、居所 | 1 台北市復興北路 513 號 3 樓 2 新竹市光復路一段 376 巷 156 弄 10 號 6 樓 3 桃園縣楊梅鎮光裕南街 215 號 |
| 三、申請人 | 姓 名 (名稱) | 聯華電子股份有限公司 |
| | 國 籍 | 中華民國 |
| | 住、居所 (事務所) | 新竹科學工業園區工業東三路三號 |
| | 代 表 人 姓 名 | 曹興誠 |

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

本發明是關於半導體基底上元件隔離區的製造方法。許多半導體電路，均於相鄰接元件之間形成隔離區，用以防止載子經由基底而在各鄰接元件間流通。例如習知在半導體積體電路像動態隨機存取記憶體(DRAMs)中，在相鄰接的場效電晶體(FETs)之間形成元件隔離區，用以減少FETs之間的漏電流。一般，元件隔離區是形成一厚場氧化區，延伸於半導體基底表面之下，在早期，形成一場氧化區最常見的技術是矽局部氧化法(LOCOS)，如第1圖所舉例子。現在請參見第1圖，一矽基底10中的一場氧化區12，用以分開兩個FETs14及16。而每個FET含有源極、汲極、通道以及位於通道之上的閘極。以上所舉例的元件，可能只是一記憶體電路的其中一部份，一般，該元件都會外加電路，例如儲存電荷的電容器，在場氧化區12及其他區域所形成的導線，以及各種的導線、接觸窗和電路。

LOCOS法形成場氧化區的步驟包括：在一矽基底表面形成一氮化矽層；選擇性地蝕刻該氮化矽層，直到該矽基底為止，以形成一氮化矽罩幕，在該氮化矽罩幕的開口露出該矽基底欲形成場氧化區的部分；將該矽基底置於氧化環境，在該氮化矽罩幕的開口露出的部分，成長一厚氧化矽層，該厚氧化矽層延伸至該矽基底表面的下方，亦延伸至該基表面的上方，由於該氮化矽罩幕，在氧化環境不易反應，所以該厚氧化矽層的水平範圍主要取決於該氮化矽罩幕，該氧化矽會沿著該氮化矽罩幕的邊緣，水平延伸於該矽基底表面的上下。因此，如第1圖所舉的例子中，該場

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

氧化區 12 包括沿著其邊緣的一鳥嘴(bird beak)區 18，該鳥嘴區 18 比該場氧化區主要部位還薄。

由於未來欲發展縮小尺寸及空間的記憶單元，所以 LOCOS 法所形成的鳥嘴區，是我們不想要的，因為鳥嘴區很薄，幾乎無隔離效果，且鳥嘴區消耗了矽基底表面積，當欲提供元件隔離區想要的平坦度時，會限制了場氧化區可縮小的範圍。為了提供元件更高的密度，可利用不同的元件隔離構造。

另外一種形成元件隔離區的方法為淺溝槽隔離法 (STI)，淺溝槽隔離法是利用非等向性蝕刻方法在半導體基底上形成一溝槽；在該溝槽中填入氧化物，以提供一元件隔離區，STI 法所形成的淺溝槽隔離區的優點包括：在整個水平範圍皆提供了元件隔離效果；以及提供較平坦的元件構造，但是，卻降低了緊鄰於溝槽隔離區的構造與元件的可靠度。

本發明的目的在提供一種淺溝槽隔離區的製造方法，使鄰接於溝槽隔離區的構造與元件有較高可靠度，以及使隔離區有較佳的平坦度。

本發明為製造半導體元件的方法，其步驟包括：提供一矽基底，該矽基底具有一表面；在該矽基底表面形成一閘極氧化層；在該閘極氧化層上方形成一罩幕，該罩幕具開口以定義溝槽蝕刻區；蝕刻該閘極氧化層及該矽基底表面，以形成一溝槽於該矽基底；在該溝槽中形成一絕緣柱塞，使該絕緣柱塞的上表面與該矽基底表面等高或比該矽基底表面

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

更高;形成一導線,使該導線延伸至該閘極氧化層部分上方,並延伸至該絕緣柱塞的上表面之上。

本發明另一程序包括:提供一矽基底,該矽基底具有一表面;在該矽基底表面形成一閘極氧化層;在該閘極氧化層上沈積一第一導電材料層;在該第一導電材料上方形成一罩幕,該罩幕具開口以定義溝槽蝕刻區;蝕刻該第一導電材料層、該閘極氧化層以及該矽基底表面,以形成一溝槽於該矽基底;在該溝槽中形成一絕緣柱塞,使該絕緣柱塞具有平坦上表面;形成一導線,使該導線延伸於該閘極氧化層部分上方,並延伸至該絕緣柱塞的上表面之上,使至少有一部分的該導線,包含至少一部分的該第一導電材料層。

圖示之簡單說明:

第 1 圖說明以 LOCOS 技術所形成的場氧化區,包括在 LOCOS 場氧化區周圍所形成的鳥嘴區。

第 2 圖至第 12 圖,繪示習知溝隔離形成的製程步驟。

第 13 圖至第 20 圖,繪示根據本發明的較佳實施例,形成溝槽隔離區的製造步驟。

習知形成淺溝槽隔離區的方法,常常產生導線與半導體基底間的不理想耦合,甚至在基底直接產生次臨界電壓下即導通的現象,上述導線與基底的不理想耦合與次臨界電壓下之導通現象,與形成在導電材料層部分下方不佳的閘極氧化層有關,上述導電材料是做為閘極電極及第一層導線用。本發明人發現,產生不佳的閘極氧化層,是由於填入溝槽的氧化柱塞被過度蝕刻,使得該氧化柱塞的表面

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

低於鄰接於溝槽的矽基底表面，在鄰接於該氧化柱塞過度蝕刻部位的矽基底，常產生不理想的閘極氧化層量。

本發明的較佳實施例係提供一種形成淺溝槽隔離區的方法，以提供較可靠的閘極氧化層，本發明的特色為：在一矽基底形成一淺溝槽之前，先形成一熱氧化層，並留下該熱氧化層，做為電晶體的一閘極氧化層；以及填入該淺溝槽的一氧化柱塞必須高於該矽基底表面，以避免在完成必要之蝕刻程序之後，該氧化柱塞上表面低於該矽基底表面。本發明另外一形成淺溝槽隔離區較佳實施例的步驟為：提供一矽基底；在矽基底表面形成一閘極氧化層；在該閘極氧化層表面上形成一第一導電層，以非等向性蝕刻法蝕刻該第一導電層、該閘極氧化層以及該矽基底表面，以在該矽基底上形成一溝槽；在該溝槽中填入一絕緣柱塞；在該第一導電層之上形成一第二導電層，使該第二導電層也覆及該絕緣柱塞的表面，使用該實施例，可選擇產生較高可靠度的該閘極氧化層的步驟來形成該閘極氧化層。

第 2 圖至第 12 圖，繪示習知形成一淺溝槽隔離區方法的連續步驟，該淺溝槽隔離區用來隔離記憶體電路中的場效電晶體。本發明人特別指出習知技術形成一不佳閘極氧化層之處，上述閘極氧化層位於一導電層底下，該不佳的閘極氧化層會造成部分的該導電層與矽基底之間的不理想耦合與次臨界電壓下即導通現象，討論完第 2 圖至第 12 圖中不當的習知技術後，請參見第 13 圖至第 20 圖，所描述本發明形成溝槽隔離區的方法，本方法可產生較可靠的閘極

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

氧化層。

第 2 圖說明形成淺溝槽隔離區習知方法的前幾個步驟：在一矽基底 10 上形成一熱氧化層 22，該熱氧化層 22 被當成墊氧化層，用以在製程中保護該矽基底 10 的表面，且在最後一閘極氧化層形成之前將該熱氧化層 22 去除；以化學氣相沈積法，在該熱氧化層 22 上形成一氮化矽層 24；在該氮化層 24 層表面形成一光阻 A，該光阻 A 經曝光、蝕刻後形成一離子佈植罩幕 26；施以一離子佈植進入該矽基底，以形成一隔離元件，例如隔離井佈植，或是抗擊穿佈植；去除該離子佈植罩幕 26；接著，請參見第 3 圖，在該氮化矽層 24 上形成一光阻 B，該光阻 B 經曝光、蝕刻後形成一溝槽定義罩幕 28；連續蝕刻該氮化矽層 24、熱氧化層 22、矽基底 10 以形成一溝槽 30，請參見第 4 圖；接著去除該溝槽蝕刻罩幕 28。

接著，在該溝槽 30 中填入一氧化矽 32，形成該氧化矽的方法，例如常壓化學氣相沈積法(APCVD)，以四乙基矽氧烷(TEOS)為氣體，該氧化矽 32 必須填入過量，請參見第 5 圖，因為形成的一 TEOS 氧化物會在後續的密化程序縮小；接著在約 1000 °C，處理 10~30 分鐘以密化該 TEOS 氧化物；再以化學機械拋光法去除過量的該 TEOS 氧化物達到全面的平坦化，該氮化矽層 24 當做拋光終止層，留下在該溝槽區的一氧化矽柱塞 34(請參見第 6 圖)，雖然第 6 圖並無表示，因為該氧化矽柱塞比該氮化矽層 24 較“軟”，所以在化學機械程序，該氧化矽柱塞被磨掉較多而使其表面高度低於該氮化

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

矽層 24 表面;去除該氮化矽層 24 以露出該熱氧化層 22, 一般都會留下部分位於該熱氧化層 22 表面上的該氧化柱塞 34; 浸泡氫氟酸(HF)以去除該熱氧化層 22, (請參見第 8 圖), 此時該氧化柱塞 34 被蝕刻的速度比該熱氧化層 22 被蝕刻的速度快。

接著在該矽基底 10 之成長一犧牲氧化層 36, 用以保護該矽基底表面以免在後續步驟中受損;施以一或更多的離子佈植, 如臨界電壓調整佈植(如第 9 圖所示);再浸泡氫氟酸(HF)以去除該犧牲氧化層 36, 結果如第 10 圖所示。經過如第 8 圖及第 10 圖所舉的氧化層蝕刻步驟, 常常導致大量的該氧化柱塞 34 亦被蝕掉, 而使該氧化柱塞 34 的表面低於該矽基底 10 的表面, 上述的過度蝕刻現象大都顯示在: 緊鄰接於該矽基底 10 表面的該氧化柱塞 34 邊緣或該氧化柱塞整個表面均勻地低於該矽基底 10 的表面。另一種情況是, 過度蝕刻會造成該溝槽邊壁處的一部分的基底 38 露出, 或鄰接於該溝槽邊壁的該矽基底上的該氧化矽層太薄。

現在請參見 11 圖, 在該矽基底 10 露出的表面, 高溫成長一閘極氧化層 40, 通常位於該溝槽邊壁的該部分矽基底 38 之上的該閘極氧化層 40 的品質較差;利用化學氣相沈積法在該矽基底表面上沈積一複晶矽層 42;施以一離子佈植及退火程序在該複晶矽 42 之上;圖案轉移以形成一導線 44, 如第 12 圖所示。由於該導線 44 通常延伸於該閘極氧化層 40 及該氧化柱塞 34, 所以必定延伸於鄰接於該溝槽邊壁的該部分矽基底 38 之上, 因此位於 38 之上品質較差的該

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（7）

閘極氧化層與凸出之矽基底，會造成該導線 44 和該矽基底 10 的不理想耦合或次臨界電壓下導通的現象。因為在該導線與該矽基底之間的不理想耦合或次臨界電壓下導通是我們不想要的，故本發明人將形成淺溝槽隔離區的製程加以修正，請參見第 13 圖及第 20 圖以及以下所描述的內容。

為了避免鄰接於淺溝槽隔離區的產生品質低劣以及不可靠的閘極氧化層，本發明的較佳實施例，在半導體電路製程的較早步驟形成一閘極氧化層，且所形成的淺溝槽隔離區穿過該閘極氧化層。本發明另一特色為，使填入溝槽的氧化柱足夠量，使得在形成淺溝槽隔離區的過程，盡可能使緊鄰溝槽邊壁的矽基底表面不露出。本發明之較佳實施例提供一較可靠的閘極氧化層以及減少導線與矽基底造成次臨界電壓下導通的現象。本發明較佳實施例，如現在所描述，並請參見第 13 圖至第 20 圖。

為讓本發明之上述和目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施例

請參見第 13 圖，在一矽基底 10 表面形成一熱氧化層 50，該熱氧化層 50 必須符合半導體電路中電晶體的要求，因為該熱氧化層 50，在元件完成時，被當做一閘極氧化層；在該熱氧化層 50 的表面形成一導電材料層 52，在此實施例，該導電材料層 52，會被留下來以當做導電材料的較低層，留下該導電材料層 52 的好處是，在後續步驟中，可保

五、發明說明（8）

護在第一步驟已形成的該閘極氧化層，以使產生較高品質的該閘極氧化層，在半導體電路中的較低層導線，通常用來形成一閘極電極，而該導電材料層是利用低壓化學氣相沈積法，沈積厚度約 400~1000Å 的複晶矽，該導電材料層最好有足夠的厚度以在後續步驟保護該閘極氧化層 50，但也不能太厚，以免妨礙後續之離子佈植等步驟之進行。在這些實施中，該導電材料層 52 常用複晶矽，而最好先不佈植，等到較後面的步驟才做佈植；可施以一高溫退火步驟，以使雜質（如摻雜的離子）由該複晶矽層擴散至該閘極氧化層 50。

接著，在該導電材料層 52 上沈積一罩幕材料層 54，該罩幕材料層 54 主要的目的，是在後續的步驟保護該導電材料層，例如以化學機械拋光法（CMP）去除填入溝槽的絕緣柱塞多餘的部份時，該罩幕材料層是做為拋光終止層，氮化矽特別適合當做罩幕材料，因為氮化矽當為 CMP 終止層時即耐久又安定，以氮化矽做為該罩幕材料層 54 時，沈積厚度為 1000~3000Å；接著，在該罩幕材料層 54 表面形成一光阻層；以一般的方法，將該光阻層形成一溝槽蝕刻罩幕 56，使該罩幕材料 54 的表面露出欲蝕刻成溝槽的區域 58，已完成該溝槽蝕刻罩幕的圖形，請參見第 14 圖，利用該溝槽蝕刻罩幕 56，一般是做為蝕刻 54、52、50 層以及該矽基底 10，以形成一溝槽用。

接著是一連串的蝕刻步驟，較好的蝕刻方式是非等向性蝕刻，如活性離子蝕刻（RIE）法。蝕刻以氮化矽為材料的

五、發明說明(9)

該罩幕材料層 54，適合的混合氣體，包括 SF₆、He 以及 O₂；而蝕刻該導電材料層 52，適合的混合氣體，包括 Cl₂、He、HBr 以及 O₂；而蝕刻該閘極氧化層 50，適合的混合氣體，包括 CHF₃、O₂ 以及 Ar；而蝕刻該矽基底 10，適合的混合氣體，包括 Cl₂、He、HBr 以及 O₂ 再加上極小量的 SF₆，以使該矽基底 10 的底部形成圓形邊緣。參見第 15 圖，為完成該溝槽蝕刻步驟之圖，該溝槽深度約為 4000Å。如果需要，可在該溝槽邊壁及底部形成一熱氧化薄層，以去除在蝕刻步驟產生的缺陷，而此熱氧化薄層可留下，亦可去除。

接著在該溝槽及露出的表面沈積一層厚絕緣材料 60，如圖 16 所示，常用方法為臭氧 TEOS 或 CVD TEOS 程序，習知的 CVD 技術，包括常壓 CVD 法、低壓 CVD 法以及電漿加強 CVD 法。以 TEOS 氧化物做為該絕緣材料 60 時，其厚度為 6000Å，填充過量的絕緣材料是必要的，因為在密化過程會使沈積上的絕緣材料，縮小約 4-10%，而密化是利用約 1000 °C 高溫，處理 10 至 30 分鐘。

接著，去除過量的該絕緣材料 60，常用化學機械拋光法(CMP)，磨至與罩幕材料 54 表面同高，當使用 CMP 時，該罩幕材料 54 層(氮化矽或其他堅硬物質)，是當做 CMP 終止層，再去除該罩幕材料層 54，若以氮化矽做為罩幕，可用濕蝕刻如 H₃PO₄ 之水溶液於 150-180 °C 去除或電漿蝕刻法去除，使用的氣體為 SF₆、He 以及 O₂。

在該罩幕材料層 54 去除之後的圖形請參照第 18 圖，接

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

著，開始摻植離子，并摻植與通道摻植可穿過該導電材料層 52(複晶矽)，以及該氧化層 50，并摻植是利用在約 300~1000KeV 的能量下摻植硼或磷離子，可穿越該導電材料層 52 及該氧化層 50，進入該矽基底 10，而通道摻植，在較低的能量下操作，一樣是摻植硼、磷或砷離子。在上述的摻植步驟，可利用快速高溫退火(1000-1100 °C， 10-60sec)以活化摻植之雜質。

摻植、活化後，在較低的該導電材料層 52 上沈積一第二導電材料層 64，如第 19 圖所示，如利用低壓化學氣相沈積法，是在約 620 °C 下，沈積厚度約 400~2500Å 的複晶矽層；當沈積完成，必須再對 52 及 64 兩層做佈植，例如是磷離子或硼離子佈植，一樣在佈植後利用高溫退火活化，也可以再沈積一高溫金屬或高溫金屬矽化合物(如矽化鎢)在第二導電材料層 64 上，或取代第二導電材料層，使得導電材料含有金屬矽化合物，且使導線厚度約 2000~3000Å，當該導電材料層 52 及 64 也被當成電晶體的閘極，如閘極電極時，必須考慮到導電層特別的配置；接著，進行圖案轉移與蝕刻以形成一導線 66，如第 20 圖所示，接著以習知半導體製程，完成元件。第 20 圖的虛線表示分開的兩導電材料(複晶矽)層。

如上述，依據本發明製造淺構槽隔離區方法，閘極氧化層在製程適當的步驟中形成，以保持其較高的品質，而且，減少了在矽基底表面下的絕緣柱塞高度降低的機會。

雖然本發明已以一較佳實施例揭露如上，然其並非用

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：淺溝槽隔離區製程)

本發明提供一種淺溝槽隔離區(shallow trench isolation)的製造方法，以確保鄰接於該淺溝槽隔離區之間形成更可靠的閘極氧化層。該方法包括：在一矽基底表面上成長一熱氧化層然後在該熱氧化層表面上沈積一第一複晶矽層，由於該熱氧化層後續將被用來作為場電晶體的閘極氧化層，因此該第一複晶矽層必須有足夠的厚度以保護該熱氧化層；沈積一氮化矽層於該第一複晶矽層上，然後形成一單幕露出該氮化矽層欲形成溝槽的部分；蝕刻上述氮化矽層、第一複晶矽層、熱氧化層以及矽基底的一部分以形成一溝槽；以化學氣相沈積法填入適量之介電質如氧化矽於該溝槽中，然後利用化學性機械拋光程序去除該介電質表面多餘部分，而以該氮化矽層當作拋光程序終止處；去除該氮化矽

(請先閱讀背面之注意事項再填寫本頁各欄)

英文發明摘要(發明之名稱：)

四、中文發明摘要(發明之名稱:)

層後沈積一第二複晶矽層於該第一複晶矽層上;之後,對上述二層複晶矽進行摻植、微影、及蝕刻程序以定義成導線。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱:)

六、申請專利範圍

1. 一種半導體製造方法，其步驟包括：
提供一矽基底，該矽基底具有一表面；
在該矽基底表面，形成一閘極氧化層；
在該閘極氧化層上形成一罩幕，該罩幕具一開口定義溝槽蝕刻區；

蝕刻該閘極氧化層及該矽基底表面，以形成一溝槽於該矽基底上；

在該溝槽之中形成一絕緣柱塞，使該絕緣柱塞的上表面與該矽基底表面等高，或比該矽基底表面更高；以及

形成一導線，使該導線延伸於該閘極氧化層上方的一部分並延伸於該絕緣柱塞上表面之上。

2. 一種半導體元件的製造方法，其步驟包括：

提供一矽基底，該矽基底具有一表面；

在該矽基底表面上形成一閘極氧化層；

在該閘極氧化層上沈積一第一導電材料層；

在該第一導電材料層上形成一罩幕，該罩幕具有一開口定義溝槽蝕刻區；

利用該罩幕的開口蝕刻該第一導電材料層、該閘極氧化層及該矽基底表面，以形成一溝槽於該矽基底上；

在該溝槽中形成一絕緣柱塞，該絕緣柱塞具上表面；及
形成一導線，該導線延伸於該閘極氧化層上方的一部份，並延伸於該絕緣柱塞的上表面上，使得至少部分的該導線包含至少部分的該第一導電材料層。

3. 如申請專利範圍第 2 項所述之方法，其中該第一導電

六、申請專利範圍

材料層包括複晶矽；

4.如申請專利範圍第3項所述之方法，更包括施以一臨界電壓調整佈植步驟，穿過該第一導電材料層及該閘極氧化層而進入該矽基底。

5.如申請專利範圍第4項所述之方法，更包括施以一高溫快速退火的步驟，以處理該臨界電壓調整佈植。

6.如申請專利範圍第3項所述之方法，其中該複晶矽未摻植雜質，其厚度約為400至1000Å。

7.如申請專利範圍第2項所述之方法，更包括在該第一導電材料層上沈積一第二材料層的步驟，其中該第二材料層具有一表面，且在形成溝槽的蝕刻步驟時，較該第一導電材料層先被蝕刻掉。

8.如申請專利範圍第2項所述之方法，其中該絕緣柱塞形成的方法係在該基底表面及該溝槽中沈積一第二氧化層。

9.如申請專利範圍第8項所述之方法，更包括去除部份該第二氧化層的步驟，用以使該第二氧化層的上表面與該第二材料層等高。

10.如申請專利範圍第8項所述的方法，其中該絕緣柱塞包括在該溝槽填入過量的該第二氧化層，其中該第二氧化層過量的部分，以化學機械拋光法去除。

11.如申請專利範圍第10項所述的方法，其中該第二材料層係當成化學機械拋光該第二氧化層之終止層。

12.如申請專利範圍第10項所述的方法，其中該第二材

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

料包括氮化矽。

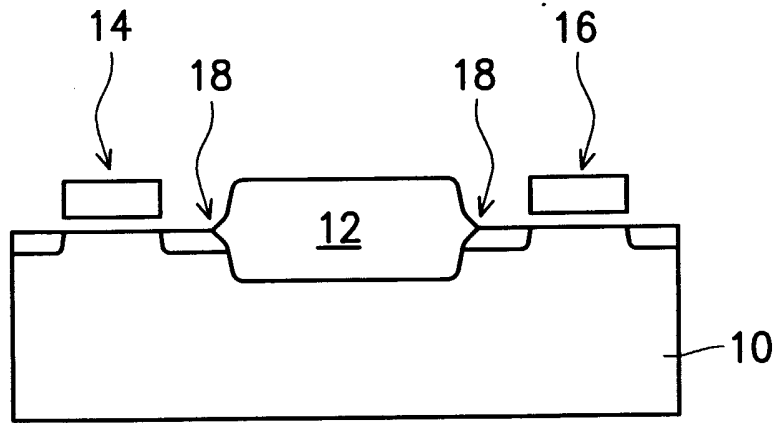
13.如申請專利範圍第 3 項所述的方法，更包括在該第一導電材料層上沈積一第二導電材料層；以及在該第二導電材料層上佈植的兩步驟。

14.如申請專利範圍第 2 項所述的方法，更包括在該溝槽中成長一熱氧化薄層的步驟。

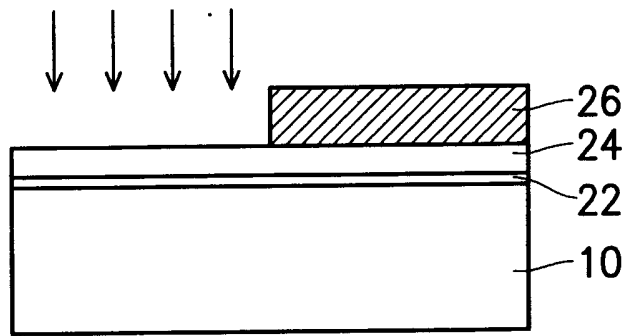
15.如申請專利範圍第 2 項所述的方法，其中該絕緣柱塞的上表面係與該矽基底表面等高或比該矽基底表面更高。

(請先閱讀背面之注意事項再填寫本頁)

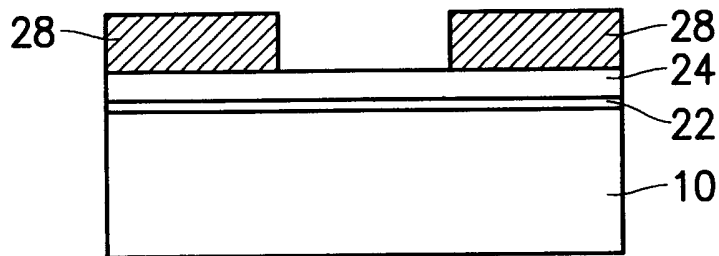
裝
訂
線



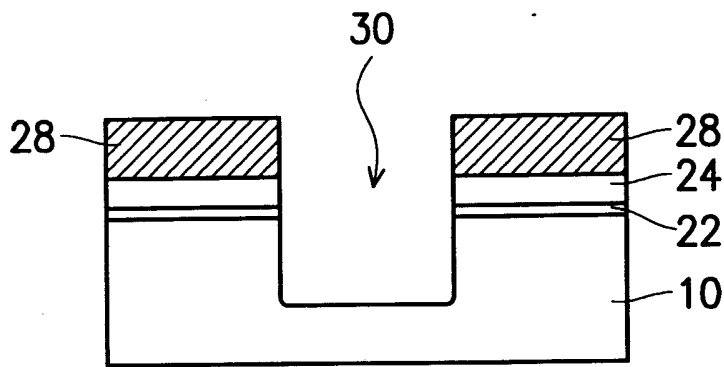
第 1 圖



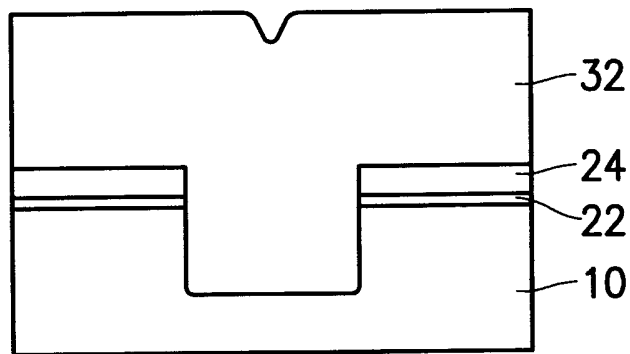
第 2 圖



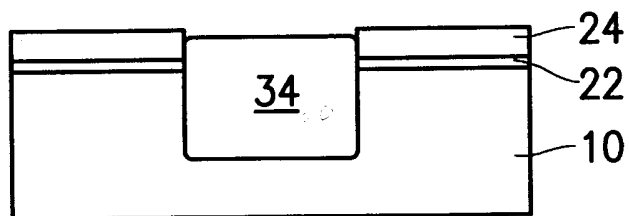
第 3 圖



第 4 圖

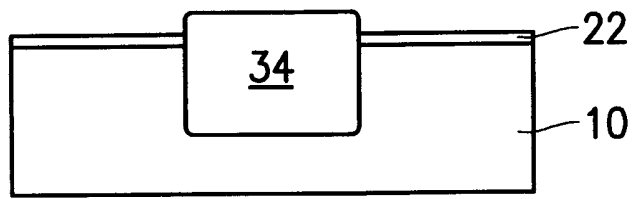


第 5 圖

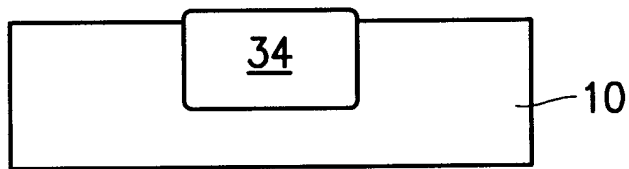


第 6 圖

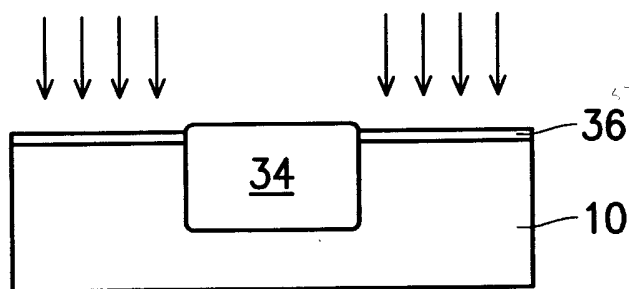
400565



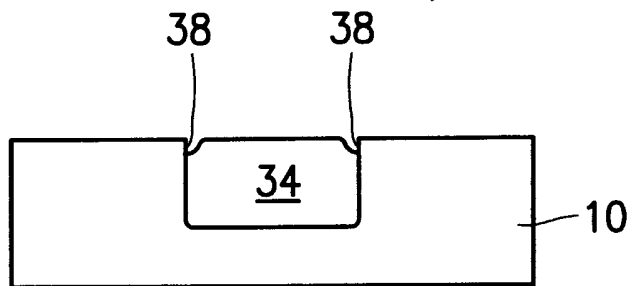
第 7 圖



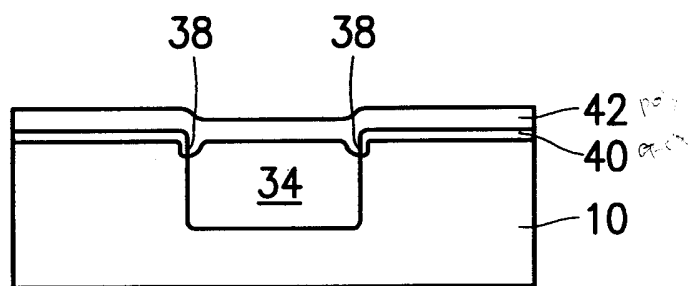
第 8 圖



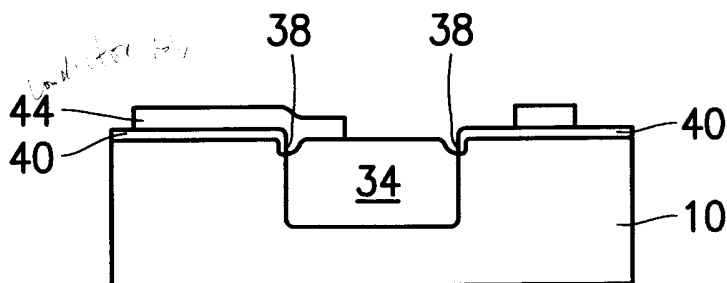
第 9 圖



第 10 圖

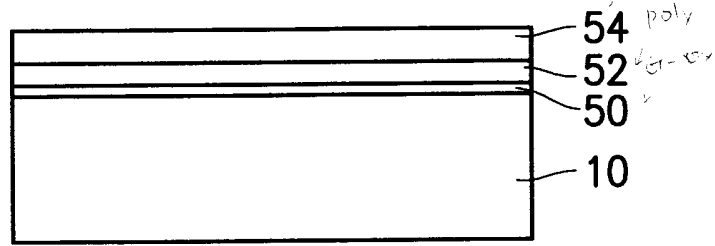


第 11 圖

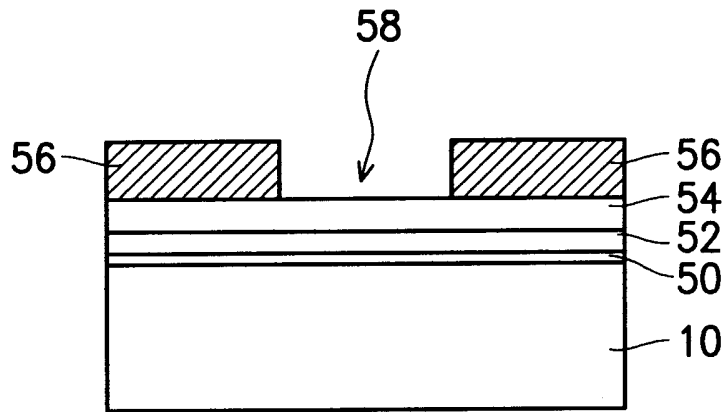


第 12 圖

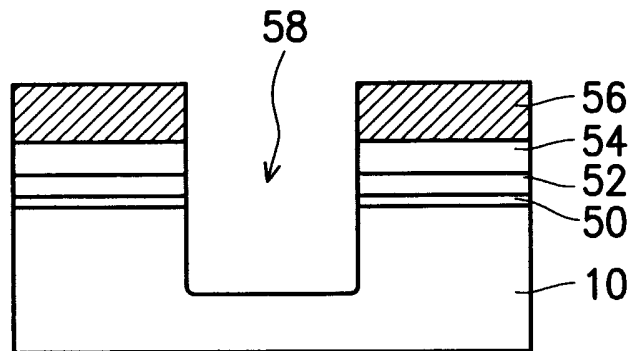
400565



第 13 圖

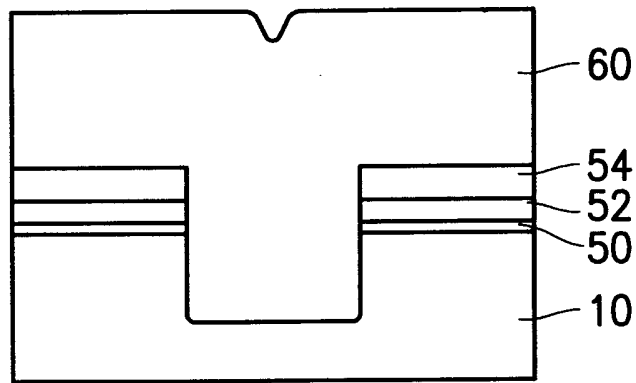


第 14 圖

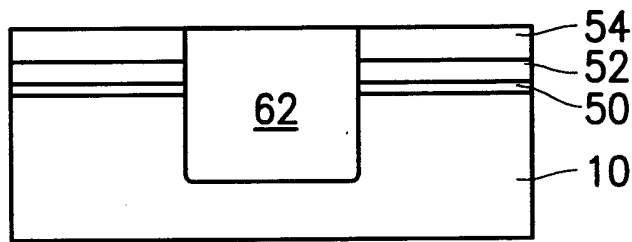


第 15 圖

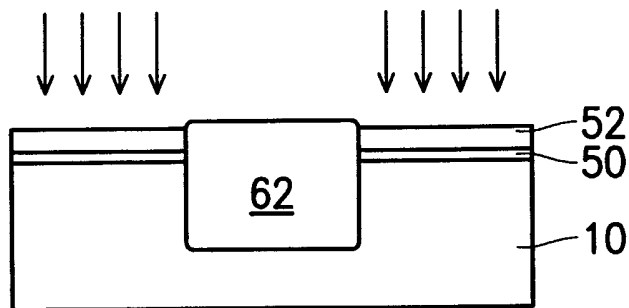
400565



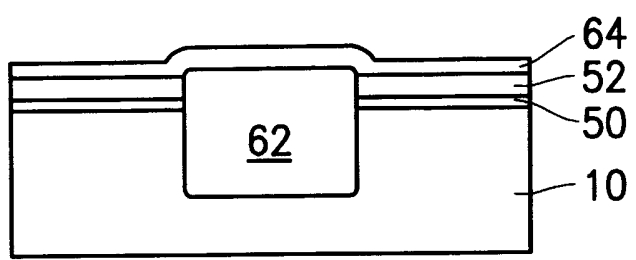
第 16 圖



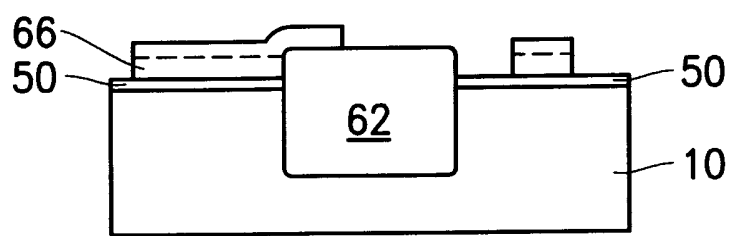
第 17 圖



第 18 圖



第 19 圖



第 20 圖