

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200610072054.4

[51] Int. Cl.

G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

G09G 3/36 (2006.01)

G09F 9/30 (2006.01)

[45] 授权公告日 2009 年 5 月 6 日

[11] 授权公告号 CN 100485467C

[22] 申请日 2006.4.4

[21] 申请号 200610072054.4

[30] 优先权

[32] 2005.4.5 [33] JP [31] 108329/2005

[73] 专利权人 株式会社日立显示器

地址 日本千叶县

[72] 发明人 安田好三 宫泽敏夫 阿部裕行

[56] 参考文献

CN1380579A 2002.11.20

JP2001-033760A 2001.2.9

US2003197673A1 2003.10.23

审查员 胡 阳

[74] 专利代理机构 北京市金杜律师事务所

代理人 季向冈

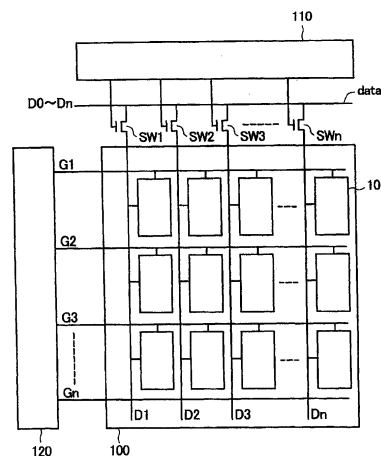
权利要求书 4 页 说明书 15 页 附图 9 页

[54] 发明名称

显示装置

[57] 摘要

本发明提供一种显示装置，按每个显示像素配置了存储器，使存储器的误动作减少，使功耗降低。该显示装置具有显示板，该显示板包括多个显示像素、将图像数据提供给上述显示像素的图像线、以及将扫描电压施加到上述显示像素的扫描线，所述显示装置的特征在于：上述显示像素包括存储器，存储上述图像数据；像素电极；以及开关部，根据存储在上述存储器中的上述图像数据，选择第 1 图像电压或与上述第 1 图像电压不同的第 2 图像电压施加到上述像素电极。



1. 一种具有显示板的显示装置，该显示板包括多个显示像素、将图像数据提供给上述显示像素的图像线、以及将扫描电压施加到上述显示像素的扫描线，所述显示装置的特征在于：

上述显示像素包括

存储器，存储上述图像数据；

像素电极；以及

开关部，根据存储在上述存储器中的上述图像数据，选择第1图像电压或与上述第1图像电压不同的第2图像电压施加到上述像素电极，

上述存储器包括

输入端子连接在第1节点上、输出端子连接在第2节点上的第1反相器电路；以及

输入端子连接在上述第2节点上、输出端子连接在上述第1节点上的第2反相器电路，

上述存储器上连接有在上述扫描线被施加了非选择扫描电压时断开，被施加了选择扫描电压时导通，将提供给上述图像线的上述图像数据施加到上述第1节点的第1开关元件，和

连接在上述第1节点和上述第2反相器电路的上述输出端子之间，在上述扫描线被施加了上述选择扫描电压时断开，被施加了上述非选择扫描电压时导通的第2开关元件。

2. 根据权利要求1所述的显示装置，其特征在于：

包括与上述像素电极对置的公用电极；

在上述公用电极上施加上述第1图像电压。

3. 根据权利要求2所述的显示装置，其特征在于：

以预定的周期相互交换上述第1图像电压的大小和上述第2图像电压的大小。

4. 根据权利要求1所述的显示装置，其特征在于：

上述开关部包括第3开关元件和第4开关元件，其中，所述第3开关元件，在上述第1节点的电压为第2状态时断开，为第1状态时导通，将上述第1图像电压施加到上述像素电极；所述第4开关元件，在上述第2节点的电压为第2状态时断开，为第1状态时导通，将上述第2图像电压施加到上述像素电极。

5. 根据权利要求1所述的显示装置，其特征在于：

上述开关部，包括

第3开关元件，其栅极连接在上述第1节点上，在第1端子上被提供上述第1图像电压，第2端子连接在上述像素电极上；

第4开关元件，其栅极连接在上述第2节点上，在第1端子上被提供上述第2图像电压，第2端子连接在上述像素电极上，

上述第3开关元件的导电类型和上述第4开关元件的导电类型相同。

6. 根据权利要求1所述的显示装置，其特征在于，包括：

图像线移位寄存器电路，选择要提供上述图像数据的上述图像线；

扫描线移位寄存器电路，选择要提供上述扫描电压的上述扫描线。

7. 根据权利要求6所述的显示装置，其特征在于：

上述图像线移位寄存器电路和上述扫描线移位寄存器电路，一体地形成在与上述显示板的形成有上述存储器的基板相同的基板上。

8. 根据权利要求1所述的显示装置，其特征在于，包括：

图像线地址电路，选择要写入上述图像数据的上述显示像素；

扫描线地址电路，选择要提供上述扫描电压的上述扫描线。

9. 根据权利要求8所述的显示装置，其特征在于：

上述图像线地址电路和上述扫描线地址电路，一体地形成在与上述显示板的形成有上述存储器的基板相同的基板上。

10. 根据权利要求1所述的显示装置，其特征在于，包括：

反转上述第1图像电压来生成上述第2图像电压的反相器。

11. 根据权利要求1所述的显示装置, 其特征在于:

由M个上述显示像素构成1个子像素。

12. 根据权利要求11所述的显示装置, 其特征在于:

构成上述1个子像素的上述M个上述显示像素, 其各自的上述像素电极的面积互不相同。

13. 根据权利要求12所述的显示装置, 其特征在于:

上述图像数据是m位图像数据, 其中 $m \geq 2$;

上述M为上述m;

构成上述1个子像素的上述M个显示像素, 其各自的上述像素电极的面积实际上按 $1: 2: \dots: 2^{m-1}$ 的比例进行加权。

14. 根据权利要求11所述的显示装置, 其特征在于:

给上述1个子像素提供上述图像数据的上述图像线, 被分为j条, 通过上述被分为j条的上述图像线, 对上述1个子像素中的每j个上述显示像素, 分时地提供上述图像数据, 其中, $M \geq j$, $j \geq 2$ 。

15. 根据权利要求11所述的显示装置, 其特征在于:

在上述1个子像素上施加上述扫描电压的上述扫描线, 被分为k条,

通过上述被分为k条的上述扫描线, 对上述1个子像素中的每M/k个上述显示像素, 分时地提供上述扫描电压, 其中, $M \geq k$, $k \geq 2$ 。

16. 一种具有显示板的显示装置, 该显示板包括多个显示像素、将图像数据提供给上述显示像素的图像线、以及将扫描电压施加到上述显示像素的扫描线, 所述显示装置的特征在于:

上述显示像素包括

存储器, 存储上述图像数据;

像素电极; 以及

开关部, 根据存储在上述存储器中的上述图像数据, 选择第1图像电压或与上述第1图像电压不同的第2图像电压施加到上述像素电极;

上述显示像素由 M 个上述显示像素构成 1 个子像素，

构成上述 1 个子像素的上述 M 个上述显示像素各自的上述像素电极的面积互不相同，

上述图像数据是 M 位图像数据，其中 $M \geq 2$ ；

构成上述 1 个子像素的上述 M 个上述显示像素的各自的上述像素电极的上述面积实际上按 $1: 2: \dots: 2^{M-1}$ 的比例进行加权。

17. 根据权利要求 1 至权利要求 16 中任一项所述的显示装置，其特征在于：

上述显示装置是液晶显示装置。

显示装置

技术领域

本发明涉及液晶显示装置、EL显示装置等显示装置，尤其涉及按每个显示像素配置了存储器的显示装置。

背景技术

目前，已知一种低功耗、高性能的液晶显示装置，对液晶显示板内的每个显示像素配置存储器，在该存储器中预先存储显示数据，即使在没有来自外部的输入信号时也能够液晶显示板上显示图像。

(参照下述专利文献1)

图11是表示现有的液晶显示板的1个显示像素结构的等价电路图，是表示记载于上述专利文献1中的1个显示像素结构的等价电路图。

在图11中，第1反相器电路INV1和第2反相器电路INV2构成存储器。

控制线L1为高电平，n型MOS晶体管(以下简称为n型晶体管)TR6为导通状态时，在扫描线(也称为栅极线)G上施加选择扫描电压，n型晶体管TR1导通，p型MOS晶体管(以下简称为p型晶体管)TR2截止，在节点node1上写入提供给图像线D的数据(“1”或“0”)。

接着，在扫描线G上施加非选择扫描电压，n型晶体管TR1截止，p型晶体管TR2导通，写入到节点1的数据保持在由第1反相器电路INV1和第2反相器电路INV2构成的存储器中。

例如，在上述图11所示的结构中，在常白的液晶显示板的情况下，在节点node1写入“1”(节点node2为“0”)时为“黑”，在节点node1写入“0”(节点node2为“1”)时为“白”。

与本发明相关联的在先技术文献如下。

【专利文献 1】日本特开 2003-108031 号公报。

发明内容

在上述图 11 中，在控制线 L1 和控制线 L2 施加极性相反的控制电压。

另外，在图 11 所示的结构中，采用公共反转驱动方法作为液晶显示板的交流驱动方法，在像素电极上施加正极性的图像电压时，在控制线 L1 施加高电平，在控制线 L2 施加低电平，使晶体管 TR6 导通，晶体管 TR7 截止；在像素电极上施加负极性的图像电压时，在控制线 L1 施加低电平，在控制线 L2 施加高电平，使晶体管 TR6 截止，晶体管 TR7 导通。

因此，在图 11 所示的结构中，当使施加在控制线 L1 和控制线 L2 上的控制电压的极性变化，使施加在像素电极上的图像电压的极性变化时，通过第 1 反相器电路 INV1 或第 2 反相器电路 INV2 一起在显示像素部写入图像电压。

即，当使施加在像素电极的图像电压的极性变化时，通过反相器电路 INV1 或反相器电路 INV2，充电电流流入保持电容 Cadd，或放电电流从保持电容 Cadd 流出。

这样，由于流入保持电容 Cadd 的充电电流或流出保持电容 Cadd 的放电电流一起流过，会出现以下的问题：不仅耗电量增加，而且有可能产生噪声，使存储器出现误动作。

本发明是为了解决上述以往技术的问题而完成的，本发明的优点在于，能够提供一项技术，在对每个显示像素设置了存储器的显示装置中，使耗电量降低并使存储器的误动作减少。

本说明书的上述优点和其他优点以及新的特征，将通过本说明书的记载和附图来得到明确。

简单说明本申请所公开的发明中代表性的内容的概要如下。

(1) 一种具有显示板的显示装置，该显示板包括多个显示像素、

将图像数据提供给上述显示像素的图像线、以及将扫描电压施加到上述显示像素的扫描线，所述显示装置的特征在于：

上述显示像素包括

存储器，存储上述图像数据；

像素电极；以及

开关部，根据存储在上述存储器中的上述图像数据，选择第1图像电压或与上述第1图像电压不同的第2图像电压施加上述像素电极，

上述存储器包括

输入端子连接在第1节点上、输出端子连接在第2节点上的第1反相器电路；以及

输入端子连接在上述第2节点上、输出端子连接在上述第1节点上的第2反相器电路，

上述存储器上连接有在上述扫描线被施加了非选择扫描电压时断开，被施加了选择扫描电压时导通，将提供给上述图像线的上述图像数据施加到上述第1节点的第1开关元件，和

连接在上述第1节点和上述第2反相器电路的上述输出端子之间，在上述扫描线被施加了上述选择扫描电压时断开，被施加了上述非选择扫描电压时导通的第2开关元件。

(2) 根据(1)的发明，

包括与上述像素电极对置的公用电极；

上述第1图像电压施加在上述公用电极上。

(3) 根据(2)的发明，

以预定的周期相互交换上述第1图像电压的大小和上述第2图像电压的大小。

(4) 根据(1)的发明，包括

上述开关部包括第3开关元件和第4开关元件，其中，所述第3开关元件，在上述第1节点的电压为第2状态时断开，为第1状态时导通，将上述第1图像电压施加到上述像素电极；所述第4开关元件，

在上述第2节点的电压为第2状态时断开，为第1状态时导通，将上述第2图像电压施加到上述像素电极。

(5) 根据(1)的发明，

上述开关部，包括

第3开关元件，其栅极连接在上述第1节点上，在第1端子上被提供上述第1图像电压，第2端子连接在上述像素电极上；

第4开关元件，其栅极连接在上述第2节点上，在第1端子上被提供上述第2图像电压，第2端子连接在上述像素电极上，

上述第3开关元件的导电类型和上述第4开关元件的导电类型相同。

(6) 根据(1)的发明，包括

图像线移位寄存器电路，选择要提供上述图像数据的上述图像线；

扫描线移位寄存器电路，选择要提供上述扫描电压的上述扫描线。

(7) 根据(6)的发明，包括

上述图像线移位寄存器电路和上述扫描线移位寄存器电路，一体地形成在与上述显示板的形成有上述存储器的基板相同的基板上。

(8) 根据(1)的发明，包括

图像线地址电路，选择要写入上述图像数据的上述显示像素；

扫描线地址电路，选择要提供上述扫描电压的上述扫描线。

(9) 根据(8)的发明，

上述图像线地址电路和上述扫描线地址电路，一体地形成在与上述显示板的形成有上述存储器的基板相同的基板上。

(10) 根据(1)的发明，包括

反转上述第1图像电压来生成上述第2图像电压的反相器。

(11) 根据(1)的发明，

由M个上述显示像素构成1个子像素。

(12) 根据(11)的发明，

构成上述 1 个子像素的上述 M 个上述显示像素,其各自的上述像素电极的面积互不相同。

(13) 根据 (12) 的发明,

上述图像数据是 m 位图像数据, 其中 $m \geq 2$;

上述 M 为上述 m;

构成上述 1 个子像素的上述 M 个显示像素,其各自的上述像素电极的面积实际上按 1: 2: ...: 2^{m-1} 的比例进行加权。

(14) 根据 (11) 的发明,

给上述 1 个子像素提供上述图像数据的上述图像线,被分为 j 条,通过上述被分为 j 条的上述图像线,对上述 1 个子像素中的每 j 个上述显示像素,分时地施加上述图像数据,其中, $M \geq j$, $j \geq 2$ 。

(15) 根据 (11) 的发明,

在上述 1 个子像素上施加上述扫描电压的上述扫描线,被分为 k 条,通过上述被分为 k 条的上述扫描线,对上述 1 个子像素中的每 M/k 个上述显示像素,分时地施加上述扫描电压,其中, $M \geq k$, $k \geq 2$ 。

(16) 一种具有显示板的显示装置,该显示板包括多个显示像素、将图像数据提供给上述显示像素的图像线、以及将扫描电压施加到上述显示像素的扫描线,所述显示装置的特征在于:

上述显示像素包括

存储器, 存储上述图像数据;

像素电极; 以及

开关部, 根据存储在上述存储器中的上述图像数据, 选择第 1 图像电压或与上述第 1 图像电压不同的第 2 图像电压施加到上述像素电极,

上述显示像素由 M 个上述显示像素构成 1 个子像素,

构成上述 1 个子像素的上述 M 个上述显示像素各自的上述像素电极的面积互不相同,

上述图像数据是 M 位图像数据, 其中 $M \geq 2$;

构成上述 1 个子像素的上述 M 个上述显示像素的各自的上述像素电极的上述面积实际上按 $1: 2: \dots: 2^{M-1}$ 的比例进行加权。

(17) 根据 (1) ~ (16) 中任一项的发明,

上述显示装置是液晶显示装置。

以上列举的构成仅是本发明的一例, 本发明不限于上述构成, 在不脱离本发明的主旨的范围内可以进行各种变更。

简单说明利用在本申请所公开的发明中代表性的装置而得到的效果如下。

按照本发明, 在对每个显示像素配置了存储器的显示装置中, 可以使存储器的误动作减少, 使耗电量降低。

附图说明

图 1 是表示本发明的实施例 1 的液晶显示装置的概略结构的框

图。

图 2 是图 1 所示的显示像素的等价电路的图。

图 3 是表示本发明的实施例 1 的液晶显示装置的 VCOM 电压与反转了 VCOM 电压的 $\overline{VCOM}$ 电压之间的关系的图。

图 4 是表示本发明的实施例 2 的液晶显示装置的概略结构的框图。

图 5 是图 4 所示的显示像素的等价电路的图。

图 6 是表示本发明的实施例 2 的液晶显示装置的变形例的概略结构的框图。

图 7 是表示本发明的实施例 3 的液晶显示装置的概略结构的框图。

图 8A、图 8B 是用于说明本发明的实施例 3 的液晶显示板的子像素和面积灰阶的图。

图 9 是表示图 7 所示的水平移位寄存器电路和数据锁存电路的内部结构的电路图。

图 10 是表示本发明的实施例 3 的液晶显示装置的驱动时序图的一例的图。

图 11 是表示以往的液晶显示板的 1 个显示像素结构的等价电路图。

具体实施方式

以下将参照附图详细说明将本发明适用于液晶显示装置的实施例。

在用于说明实施例的全部附图中，对具有相同功能的部分添加相同的标号，省略其反复的说明。

[实施例 1]

图 1 是表示本发明的实施例 1 的液晶显示装置的概略结构的框图。

在图 1 中，100 是显示部，110 是水平移位寄存器电路（也称为

图像线移位寄存器电路)，120 是垂直移位寄存器电路（也称为扫描线移位寄存器电路），10 是显示像素。

显示部 100 包括：按矩阵形状配置的多个显示像素 10；将显示数据提供给各个显示像素 10 的图像线（也称为漏极线）D（D1，D2，D3，...，Dn）；以及将扫描信号提供给各个显示像素 10 的扫描线（也称为栅极线）G（G1，G2，G3，...，Gn）。

在这里，图像线 D 为 n 条，扫描线 G 为 n 条，但也可以使图像线 D 的条数与扫描线 G 的条数不同。

图 2 是图 1 所示的显示像素 10 的等价电路的图。

在图 2 中，第 1 反相器电路 INV1 和第 2 反相器电路 INV2 构成存储器。

第 1 反相器电路 INV1，其输入端子连接在第 1 节点（也称为节点 1）node1 上，输出端子连接在第 2 节点（也称为节点 2）node2 上。第 2 反相器电路 INV2，其输入端子连接在第 2 节点 node2 上，输出端子连接在第 1 节点 node1 上。即，第 1 反相器电路与第 2 反相器电路连接成环状。第 2 反相器电路 INV2 的输出端子，通过 p 型晶体管 TR2 与第 1 反相器电路 INV2 的输入端子连接，但是，该 p 型晶体管 TR2 处于通常状态、即存储器保持动作的状态时为导通的。因此，在本说明书中，即使在通过处于存储器保持动作的状态时为导通的晶体管来进行连接的情况下，也表达为“第 1 反相器电路 INV1 与第 2 反相器电路 INV2 连接成环状”。对于“第 2 反相器电路 INV2 的输出端子连接在第 1 节点 node1 上”这样的表达也是相同的。

在节点 node1 上，n 型晶体管 TR1（本发明的第 1 开关元件）的漏极与 p 型晶体管 TR2（本发明的第 2 开关元件）的漏极连接，并且，n 型晶体管 TR1 的栅极和 p 型晶体管 TR2 的栅极，与扫描线 G 连接。

因此，在扫描线 G 上施加选择扫描电压（例如为高电平）时，n 型晶体管 TR1 导通，p 型晶体管 TR2 截止，在节点 node1 上写入施加在图像线 D 中的数据（“1”或“0”）。即，进行写入动作。

另外，在扫描线 G 上施加非选择扫描电压（例如为低电平）时，

n 型晶体管 TR1 截止，p 型晶体管 TR2 导通，写入到节点 node1 的数据值保持在由第 1 反相器电路 INV1 和第 2 反相器电路 INV2 组成的存储器中。即，进行保持动作。

栅极连接在第 1 节点 node1 上的 n 型晶体管 TR3（本发明中的第 3 开关元件），在第 1 节点 node1 的电压为高电平时导通，向像素电极 ITO1 施加第 1 图像电压（这里，为施加到公用电极 ITO2 的 VCOM 电压）。

栅极连接在第 2 节点 node2 上的 n 型晶体管 TR4（本发明中的第 4 开关元件），在第 2 节点 node2 的电压为高电平时导通，向像素电极 ITO1 施加第 2 图像电压（这里，为由反相器反转了施加到公用电极 ITO2 的 VCOM 电压的 $\overline{VCOM}$ 电压）。

第 1 节点 node1 和第 2 节点 node2 之间的关系是信号电平反转的关系。并且，n 型晶体管 TR3 和 n 型晶体管 TR4 的导电方式相同。由于第 1 节点 node1 的电压为高电平时，第 2 节点 node2 的电压为低电平，因此，n 型晶体管 TR3 导通，n 型晶体管 TR4 截止。由于第 1 节点 node1 的电压为低电平时，第 2 节点 node2 的电压为高电平，因此，n 型晶体管 TR3 截止，n 型晶体管 TR4 导通。

这样，开关部（例如由同一导电方式的 2 个晶体管 TR3、TR4 构成）根据存储器所存储的数据（从图像线 D 写入存储器的数据），选择第 1 图像电压或第 2 图像电压施加到像素电极 ITO1。

利用像素电极 ITO1 和与之相对配置的公用电极（公共电极，也称对置电极）ITO2 之间产生的电场来驱动液晶 LC。公用电极 ITO2 可以形成在与形成有像素电极 ITO1 的基板相同的基板上，也可以形成在不同的基板上。

构成反相器电路 INV1、INV2 的晶体管和晶体管 TR1、TR2、TR3、TR4 作为半导体层由采用多晶硅的薄膜晶体管构成。

图 1 中的水平移位寄存器电路 110 和垂直移位寄存器电路 120 是液晶显示板内的电路，这些电路与构成反相器电路 INV1、INV2 的晶体管及晶体管 TR1、TR2、TR3、TR4 相同，作为半导体层由采用多

晶硅的薄膜晶体管构成，这些薄膜晶体管与反相器电路 INV1、INV2 等一并形成。

在本实施例中，由垂直移位寄存器电路 120 按每个 1H 期间（扫描期间）依次对各扫描线 G 输出扫描线选择信号。由此，栅极连接在各扫描线 G 上的晶体管 TR1 导通，晶体管 TR2 截止。

另外，在本实施例中，按每个图像线 D 设置开关晶体管 SW1~SWn。这些开关晶体管 SW1~SWn 在 1H 期间（扫描期间）内，通过从水平移位寄存器 110 所输出的高电平的移位输出，依次被导通，连接图像线 D 和数据线 data。

由此，在节点 node1 上写入施加在图像线 D 中的数据（“1”或“0”），在显示部 100 显示图像。

另外，在扫描线 G 施加非选择扫描电压时，晶体管 TR1 截止，晶体管 TR2 导通，写入到节点 node1 的数据值被保持在由第 1 反相器电路 INV1 和第 2 反相器电路 INV2 组成的存储器中。因此，即使在没有图像输入的期间内，也能在显示部 100 显示图像。

例如，在本实施例中，在常白的液晶显示板的情况下，在节点 node1 写入“1”（节点 node2 写入“0”）时为“白”，在节点 node1 写入“0”（节点 node2 写入“1”）时为“黑”。

在不需要重写图像的情况下，能够停止水平移位寄存器电路 110 和垂直移位寄存器电路 120 的动作，因此，可以降低功耗。

在本实施例中，也采用公共反转驱动方法作为液晶显示板的交流驱动方法。在本实施例中，如图 3 所示，使 VCOM 电压（第 1 图像电压）和反转了 VCOM 电压的 $\overline{VCOM}$ 电压（第 2 图像电压）随公共反转周期进行变化即可。VCOM 电压按照公共反转周期，在低电平（例如 0V）和高电平（例如 5V）之间进行反转。能够使用反相器将 VCOM 电压反转来生成 $\overline{VCOM}$ 电压。VCOM 电压为低电平时， $\overline{VCOM}$ 电压为高电平；VCOM 电压为高电平时， $\overline{VCOM}$ 电压为低电平。即，以预定周期相互交换 VCOM 电压的大小和 $\overline{VCOM}$ 电压的大小。

在本实施例中，不存在这样的情况：如图 11 所示的结构那样，

在使施加在像素电极的图像电压的极性变化时,经由反相器电路 INV1 或反相器电路 INV2,流入保持电容 Cadd 的充电电流或流出保持电容 Cadd 的放电电流一起流过,因此,可以减少由噪声的产生引起的存储器的误动作,使功耗降低。

进而,在本实施例中,由于不需要图 11 所示的保持电容 Cadd,所以能够增加各个显示像素的透光率。另外,由于不需要保持电容 Cadd,对像素电极的写入负载小,所以能够降低功耗。

另外,在图 11 所示的情况下,对存储器写入数据时,控制线 L1 被限制为高电平,但在本实施例中,由于使数据写入与公共反转驱动方法的反转周期各自独立,能够简单的结构构成通用性高的液晶显示装置。不需要使公共反转周期与数据写入同步,因此能够任意地设定公共反转的周期或时序。例如,公共反转周期可以按 1 帧、1 行(1 扫描期间)、多行(多个扫描期间)进行设定,也可以设定为其他的任意的期间。

[实施例 2]

图 4 是表示本发明的实施例 2 的液晶显示装置的概略结构的框图。

在本实施例中,使用 X-地址电路(也称为图像线地址电路)210 和 Y-地址电路(也称为扫描线地址电路)220 来替代图 1 所示的水平移位寄存器电路 110 和垂直移位寄存器电路 120。以下,以与上述实施例 1 的不同点为中心来说明本实施例。

X-地址电路 210 和 Y-地址电路 220 都由 n 型 MOS 晶体管列和 p 型 MOS 晶体管列构成。将每个晶体管的栅极与预定的地址线连接,使得与所输入的地址对应地选择扫描线 G 或图像线 D。

XAD0B~XAD7B 是 XAD0~XAD7 的反转脉冲, YAD0B~YAD7B 是 YAD0~YAD7 的反转脉冲,图 4 表示 8 位的例子。因此,能够分别选择从 1 条至 $n = 2^8 = 256$ 条为止的扫描线 G 和图像线 D。数据被输入到直接显示像素 10 的存储器。

图 5 是图 4 所示的显示像素的等价电路图。

图 5 所示的等价电路与图 2 所示的等价电路的不同点在于, n 型晶体管 TR1 与晶体管 TR5 串连连接, 该 n 型晶体管 TR5 的栅极与图像线 D 连接, n 型晶体管 TR5 的源极与数据线 data 连接。

在本实施例中, Y-地址电路 220 根据所输入的地址 (YAD0~YAD7, YAD0B~YAD7B) 选择预定的扫描线 G, 向该所选择的扫描线输出选择扫描电压。由此, 栅极与该所选择的扫描线 G 相连接的 n 型晶体管 TR1 导通, p 型晶体管 TR2 截止。

并且, X-地址电路 210 根据所输入的地址 (XAD0~XAD7, XAD0B~XAD7B) 选择预定的图像线 D, 栅极与该所选择的图像线 D 相连接的 n 型晶体管 TR5 导通。

因此, 在该所选择的显示像素 10 的节点 node1 上写入施加在数据线 data 中的数据 (“1” 或 “0”), 在没有图像输入的期间内, 也在显示部 100 显示图像。

在本实施例中, 也能够使施加在公用电极 ITO2 上的 VCOM 电压的反转周期与数据的写入各自独立。

因此, 也可以是, 如图 6 所示, 在液晶显示板内部内置由振荡电路 150 和分频电路 151 组成的公共电压生成电路, 产生施加在公用电极 ITO2 上的 VCOM 电压。能够由反相器将 VCOM 电压反转来生成反相 VCOM 电压。

另外, 在本实施例中, 在写入数据时, 不需要考虑 VCOM 电压为高电平或低电平, 在写入数据时, 只要输入数据和地址即可, 能够如使用通常的 SRAM 存储器一样在液晶显示板上显示图像。因此, 能够兼用图像的缓存器, 能够减少图像存储器。

[实施例 3]

图 7 是表示本发明的实施例 3 的液晶显示装置的概略结构的框图。

本实施例为采用了面积灰阶的实施例, 如图 8A 所示, 在本实施例中, 由 4 个显示像素 11~14 构成 1 个子像素 Subpix。

因此, 如图 8B 所示, 构成 1 个子像素 Subpix 的 4 个显示像素

(11~14)，在像素电极的面积上被取为预定的权(weight)。

在图 8B 所示的例子中，显示数据是 4 位的显示数据 D0、D1、D2、D3。4 个显示像素 11~14 的像素电极 ITO1 的面积实际上为 1 ($1=2^0$): 2 ($2=2^1$): 4 ($4=2^2$): 8 ($8=2^3$) 的比例。

在此，4 位的显示数据 D0、D1、D2、D3 中的数据 D0 输入到显示像素 11，同样地，4 位的显示数据 D0、D1、D2、D3 中的数据 D1 输入到显示像素 12，4 位的显示数据 D0、D1、D2、D3 中的数据 D2 输入到显示像素 13，4 位的显示数据 D0、D1、D2、D3 中的数据 D3 输入到显示像素 14。

在图 8A~图 8B 所示的例子中，由于 4 个显示像素 11~14 的等价电路与图 2 所示的等价电路相同，因此省略再次的说明。

另外，如图 7 所示，在本实施例中，为了对构成 1 个子像素 Subpix 的 4 个显示像素 11~14 分别输入选择扫描电压和数据，将图 1 所示的 1 条图像线 D 分为 Da 和 Db 这 2 条图像线，将图 1 所示的 1 条扫描线 G 分为 Ga 和 Gb 这 2 条扫描线。

进而，在水平移位寄存器电路 110 和显示部 100 之间设有数据锁存电路 130。

图 9 是表示图 7 所示的水平移位寄存器电路和数据锁存电路的内部结构的电路图。

水平移位寄存器电路 110 根据启动脉冲 HIN 和时钟 HCK 进行动作。

所输入的 4 位显示数据 D0、D1、D2、D3，通过从水平移位寄存器电路 110 所输出的高电平的移位输出，在 1H 期间（扫描期间）内依次被数据锁存电路 130 锁存。

被数据锁存电路 130 锁存的数据分 2 次输入到存储器。控制该数据的是控制信号 HCON1、HCON2、VCON1、VCON2。

当控制信号 HCON1 为高电平，控制信号 HCON2 为低电平时，门电路 TG1、TG4 导通，由数据锁存电路 130 将 4 位显示数据 D0、D1、D2、D3 中的数据 D0 输出到图像线 D1a~Dna，另外，将 4 位显

示数据 D0、D1、D2、D3 中的数据 D1 输出到图像线 D1b~Dnb。

与此同步，当控制信号 VCON1 为高电平，控制信号 VCON2 为低电平时，来自垂直移位寄存器电路 120 的扫描线选择信号，经由“与”逻辑电路 AND1 输出到扫描 G1a~Gna 中的一者，4 位显示数据 D0、D1、D2、D3 中的数据 D0 输入到显示像素 11，4 位显示数据 D0、D1、D2、D3 中的数据 D1 输入到显示像素 12。

另外，当控制信号 HCON1 为低电平，控制信号 HCON2 为高电平时，门电路 TG2、TG3 导通，由数据锁存电路 130 将 4 位显示数据 D0、D1、D2、D3 中的数据 D3 输出到图像线 D1a~Dna，另外，将 4 位显示数据 D0、D1、D2、D3 中的数据 D2 输出到图像线 D1b~Dnb。

与此同步，当控制信号 VCON1 为低电平，控制信号 VCON2 为高电平时，来自垂直移位寄存器电路 120 的扫描线选择信号经由“与”逻辑电路 AND2 输出到扫描线 G1a~Gna 中的一者，4 位显示数据 D0、D1、D2、D3 中的数据 D3 输入到显示像素 14，4 位显示数据 D0、D1、D2、D3 中的数据 D2 输入到显示像素 13。

图 10 表示本实施例的驱动时序图的一个例子。

在控制信号 HCON1 为高电平、控制信号 VCON1 为高电平的期间，4 位显示数据 D0、D1、D2、D3 中的数据 D0 输出到图像线 D1a~Dna，4 位显示数据 D0、D1、D2、D3 中的数据 D1 输出到图像线 D1b~Dnb。这些数据输入到构成 1 个子像素 Subpix 的 4 个显示像素 11~14 中的显示像素 11 和显示像素 12。

接着，在控制信号 HCON2 为高电平，控制信号 VCON2 为高电平的期间，4 位显示数据 D0、D1、D2、D3 中的数据 D3 输出到图像线 D1a~Dna，4 位显示数据 D0、D1、D2、D3 中的数据 D2 输出到图像线 D1b~Dnb。这些数据输入到构成 1 个子像素 Subpix 的 4 个显示像素 11~14 中的显示像素 14 和显示像素 13。

优选的是，在从上一个 1H 期间的结束（图 10 中水平同步信号 HSYNC 的下降沿）到下一信号的输入为止的消隐（blanking）期间进行上述的数据传送处理。这时，在数据传送处理之后，即

控制信号 HCON、VCON2 的下降沿之后，以未图示的定时输入下一信号（下一个 4 位显示数据 D0、D1、D2、D3），通过由水平移位寄存器电路 110 所输出的高电平的移位输出，依次在数据锁存电路 130 中锁存。

上述说明，是对于显示数据为 4 位的情况的说明，但是，在显示数据为 m ($m \geq 2$) 位的情况下，构成 1 个子像素 Subpix 的显示像素数为 m 个，此时像素电极的面积的比例，实际上取为 $2^0:2^1:\dots:2^{m-1}$ 的比例即可。扫描线 G、图像线 D 的分配方法也可以适当变化。例如， $m = 6$ 位时，最好是将图像线 D 分为 3 条，但也可以将扫描线 G 分为 3 条。

另外，在上述的各个实施例中，对把本发明应用于液晶显示装置的情况进行了说明，但本发明并不仅限于此，不言而喻，本发明也可以应用于 EL 显示装置等（有机 EL 显示装置等）。

对于使用了实施例 2 所说明的地址电路的实施例，也可以使其应用实施例 3 所说明的面积灰阶。此时，4 个显示像素 11~14 的等价电路使用图 5 所示的等价电路。

在上述各实施例中，对于将周边电路（例如，具有移位寄存器的驱动电路）内置于显示板中（一体地形成在显示板的基板上）的情况进行了说明，但本发明并不仅限于此，也可以使用半导体芯片构成周边电路的一部分功能。

在上述各实施例中，对使用 MOS 晶体管作为薄膜晶体管的情况进行了说明，但也可以使用比 MOS 晶体管概念更宽泛的 MIS 晶体管。

以上，基于上述实施例具体说明了本发明者所设计的发明，但本发明不限于上述实施例，在不脱离本发明的主旨的范围内可以进行各种变更。

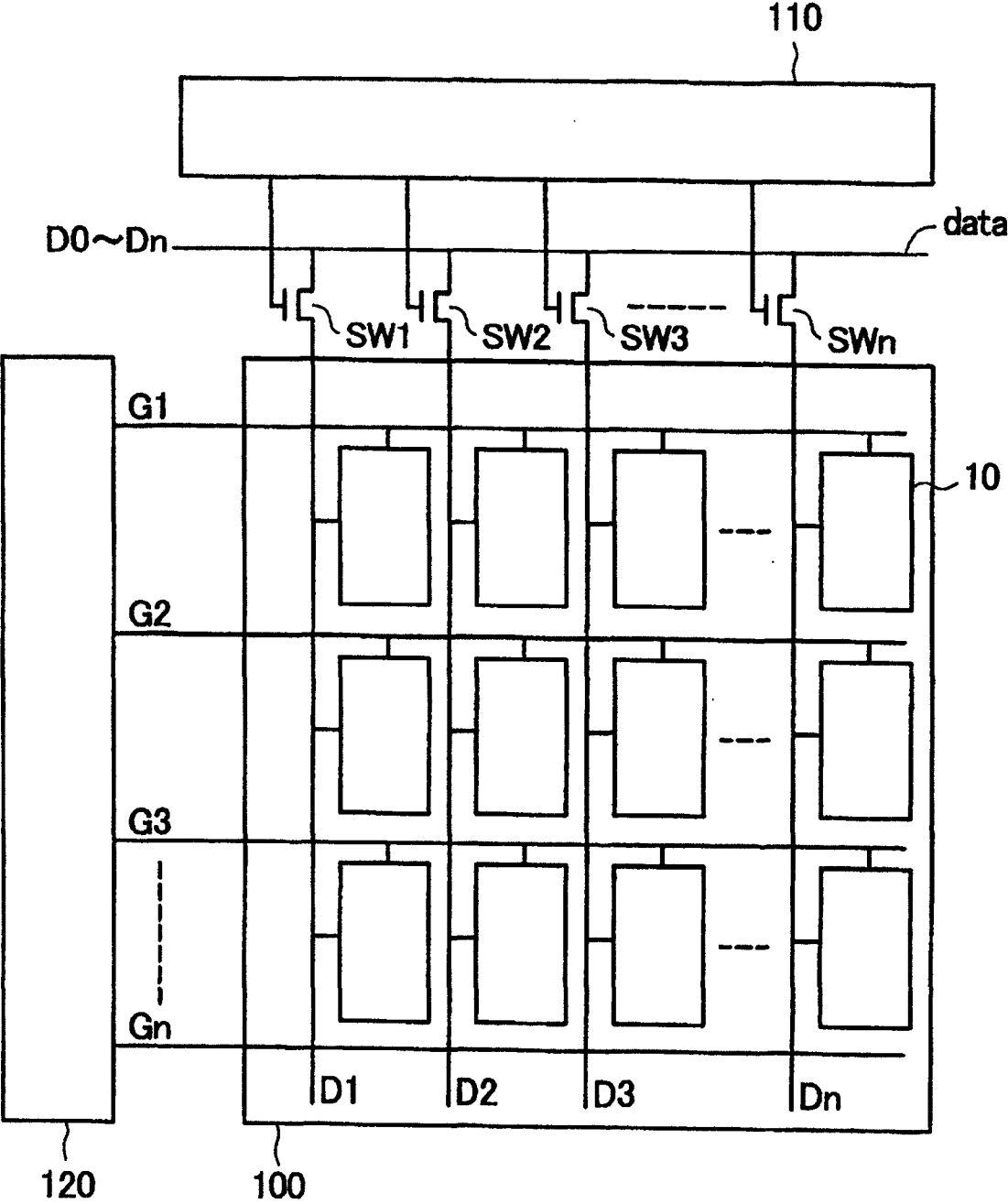


图 1

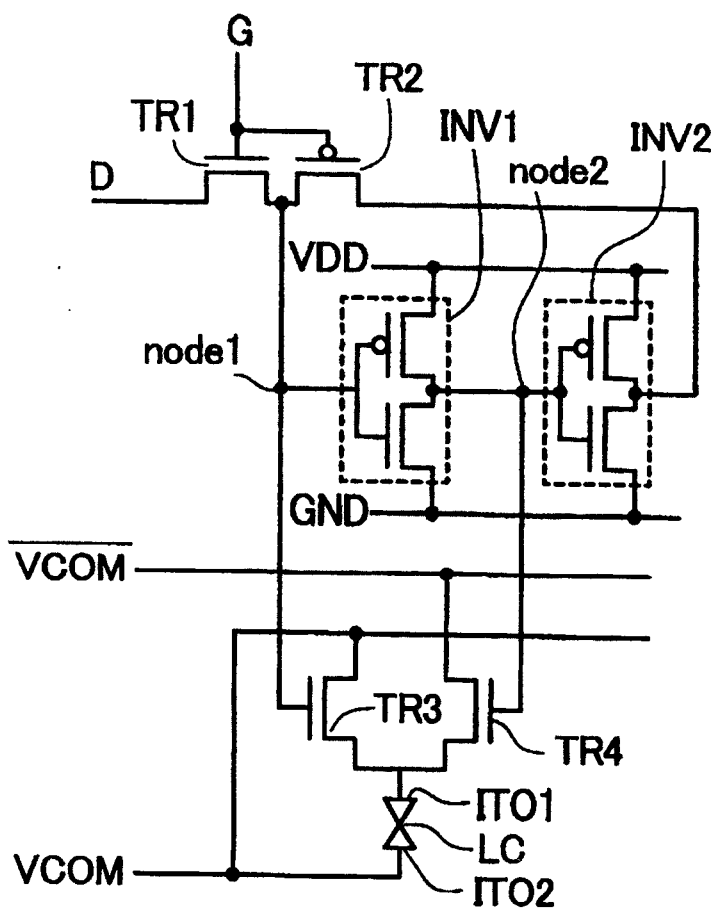


图 2

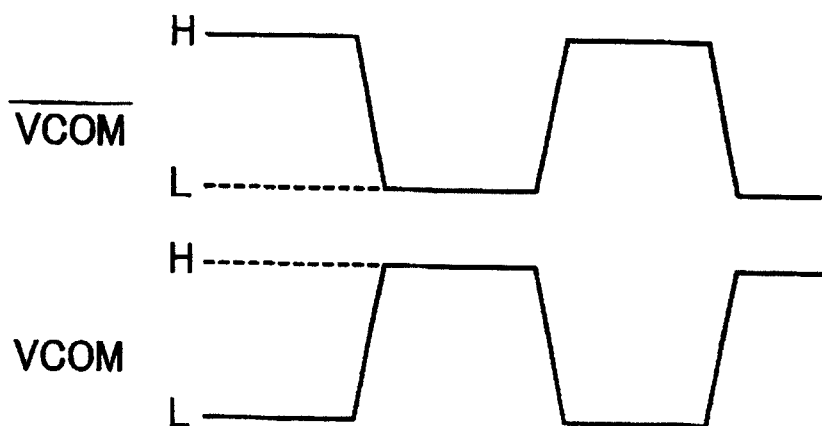


图 3

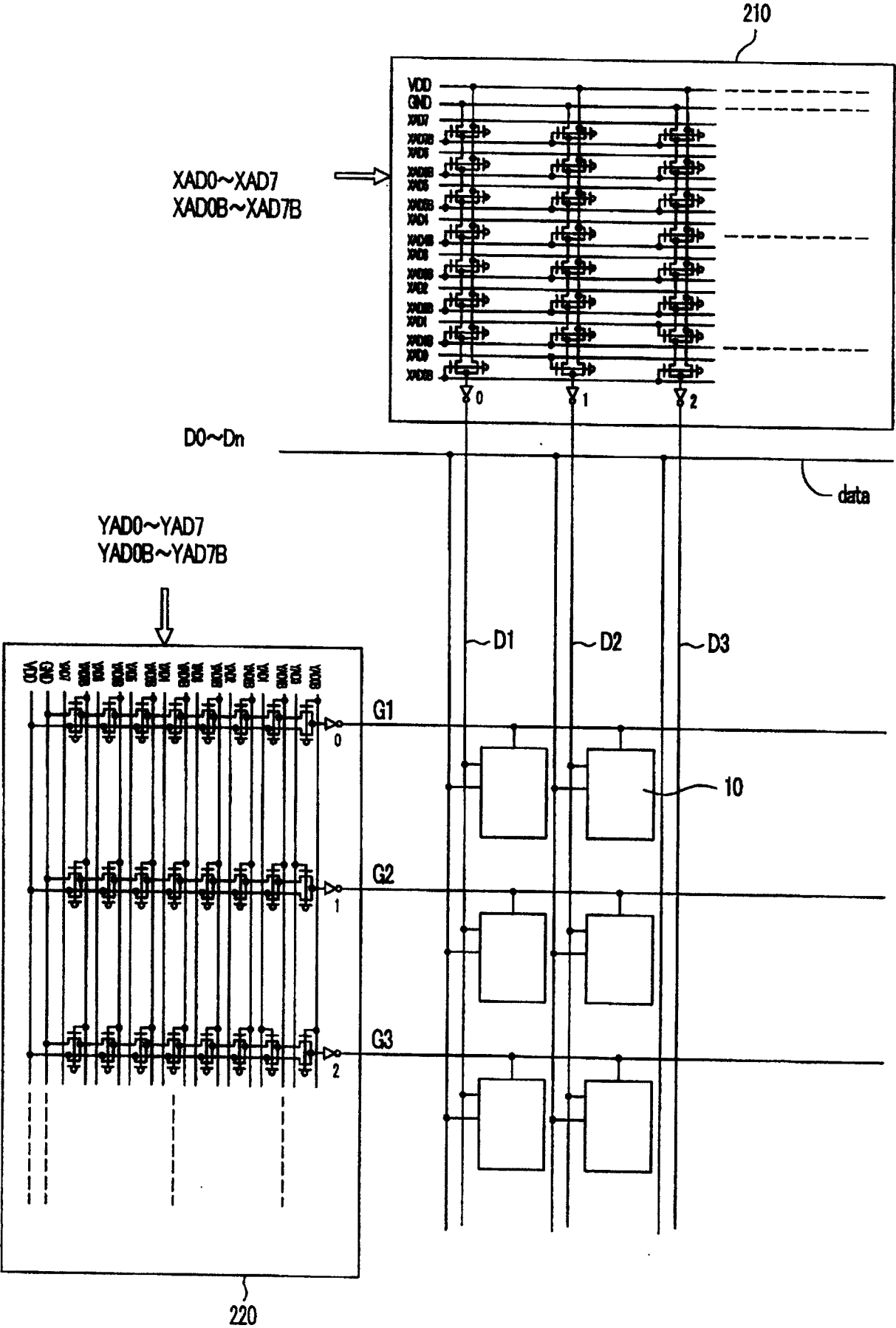


图 4

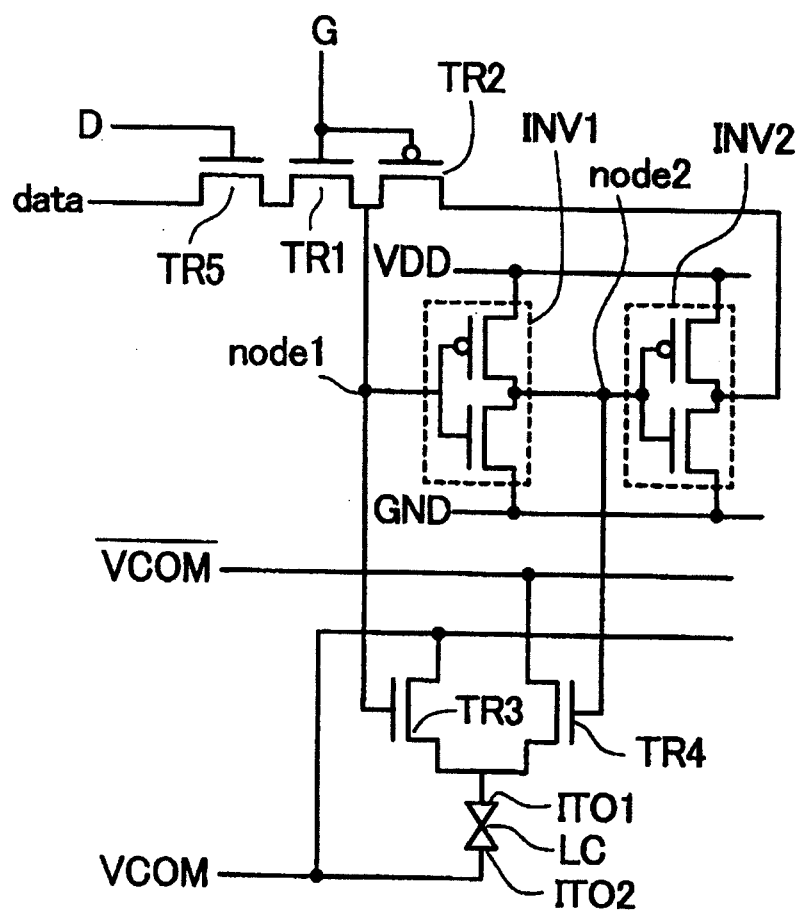


图 5

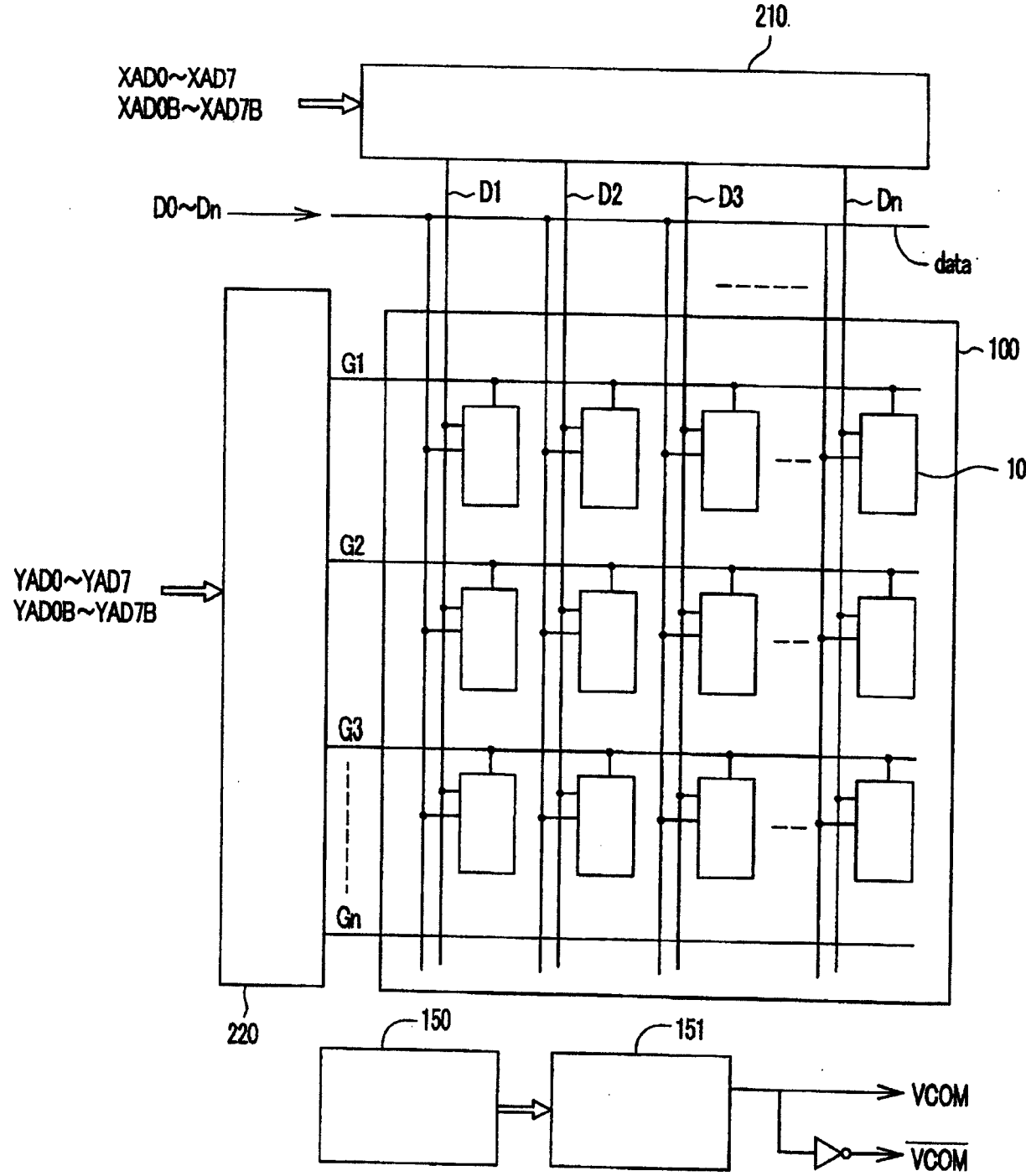


图 6

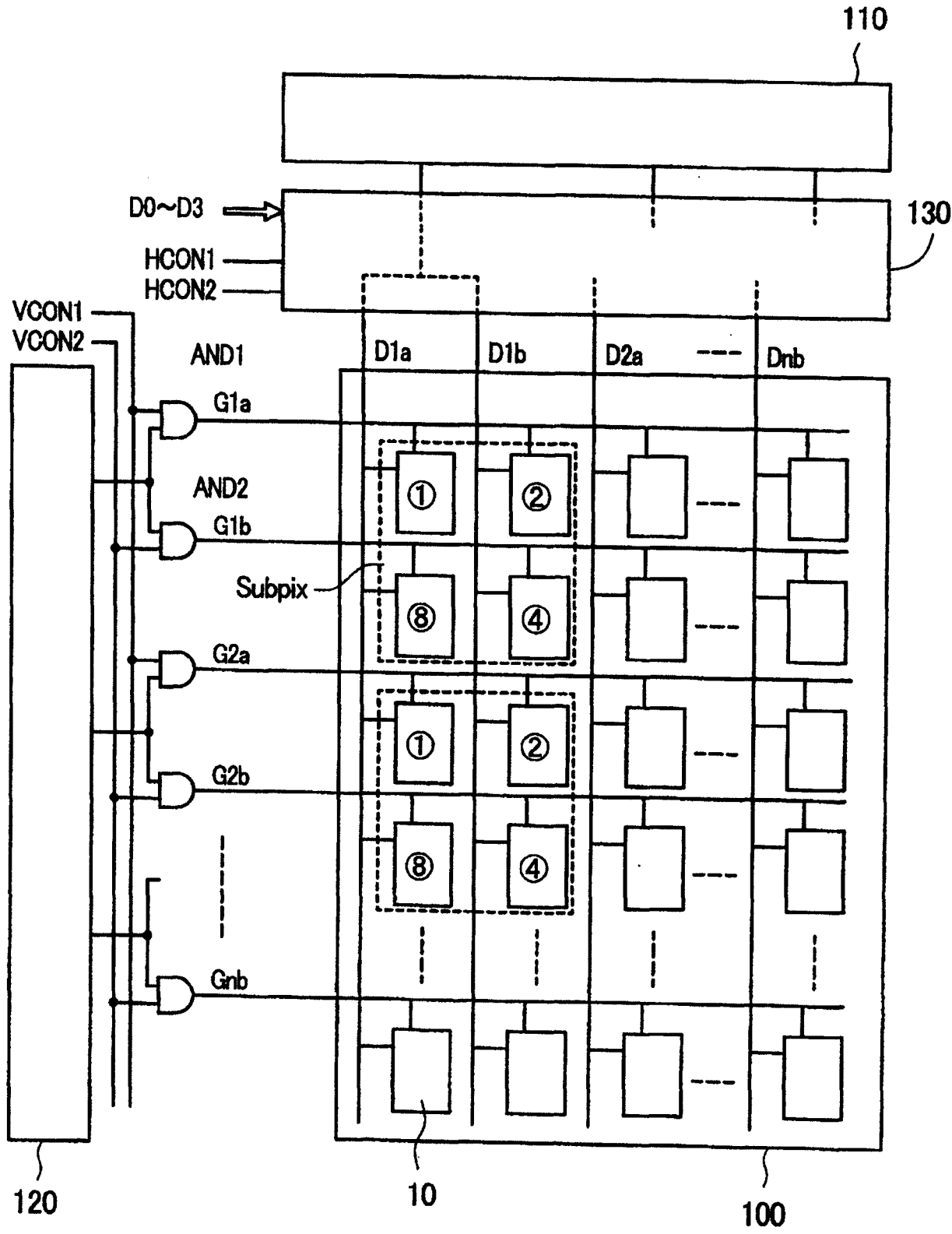


图 7

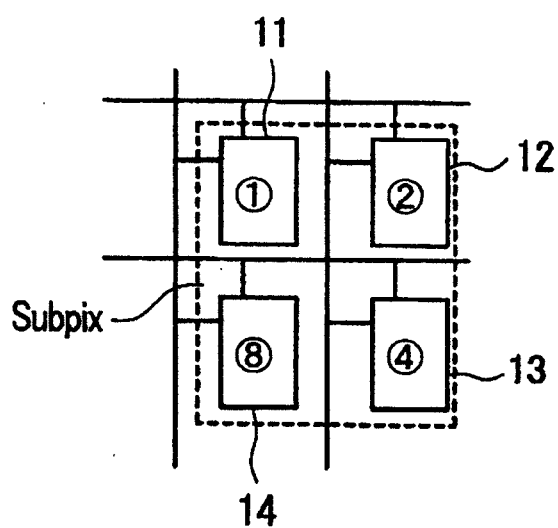


图 8A

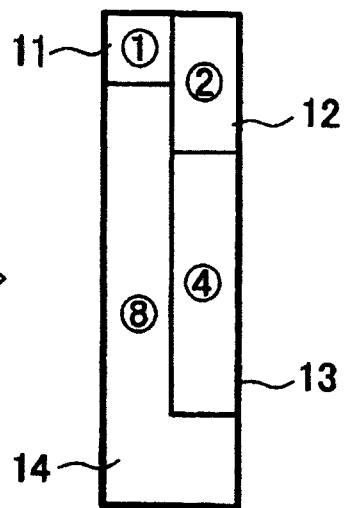


图 8B

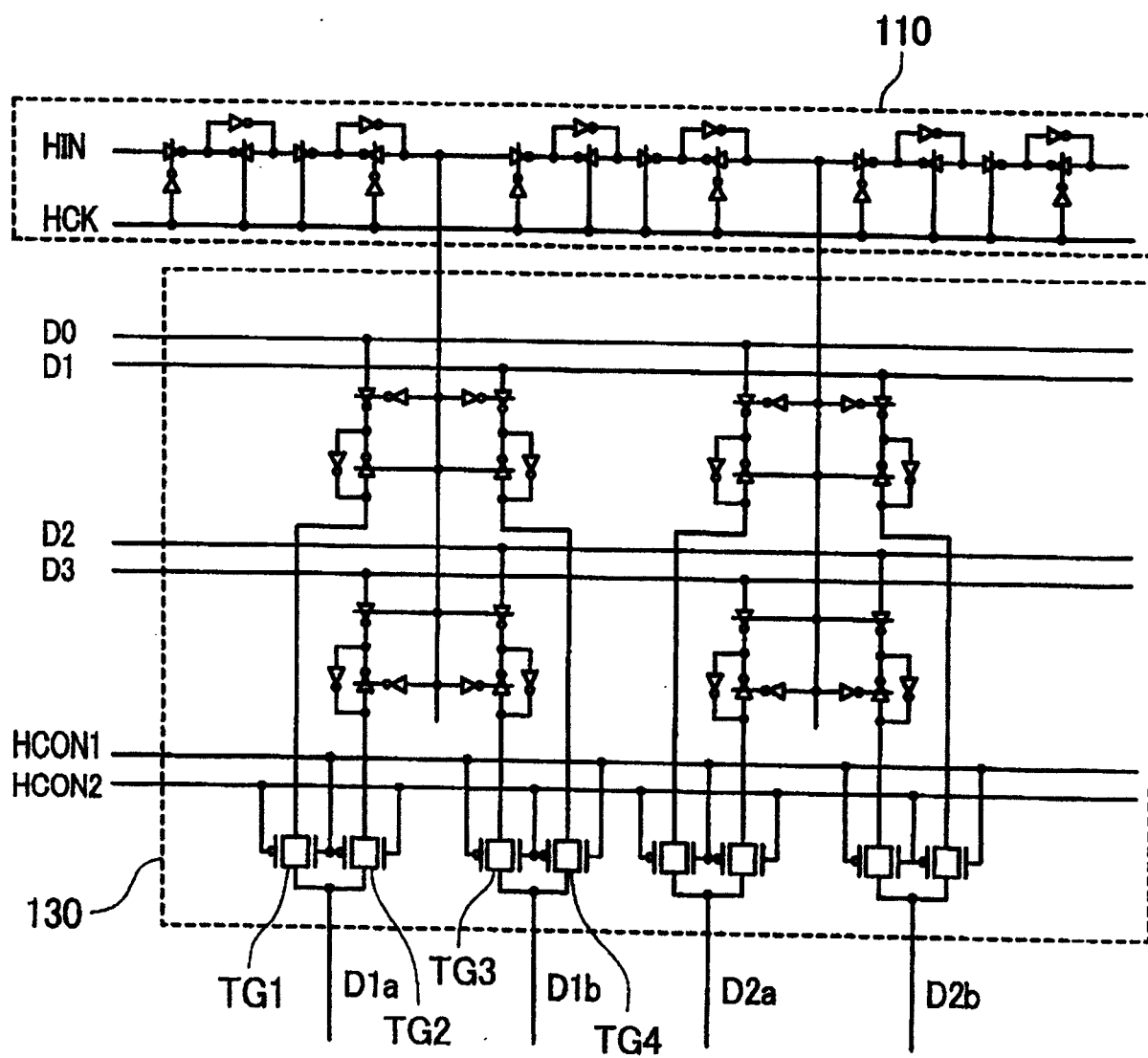


图 9

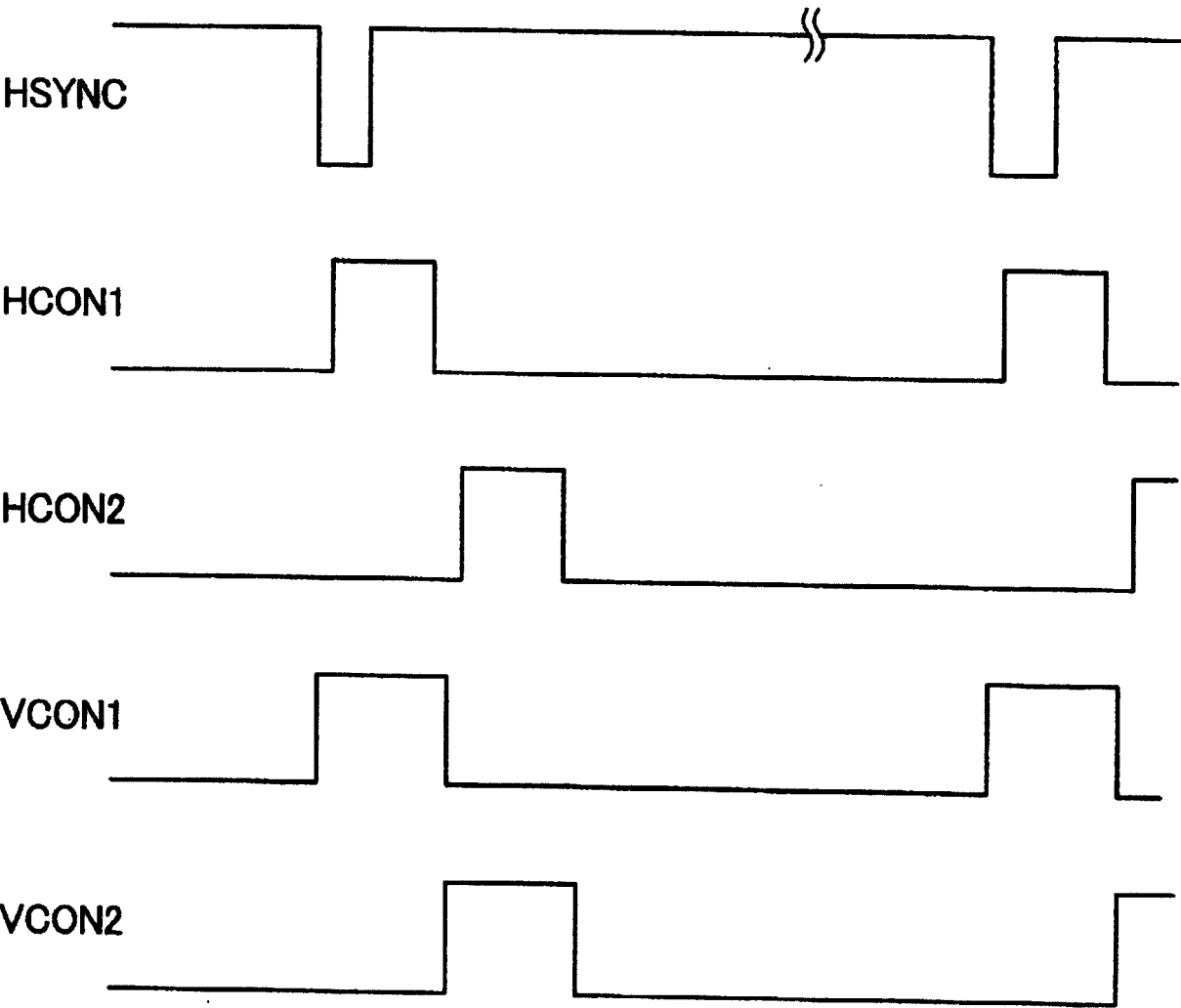
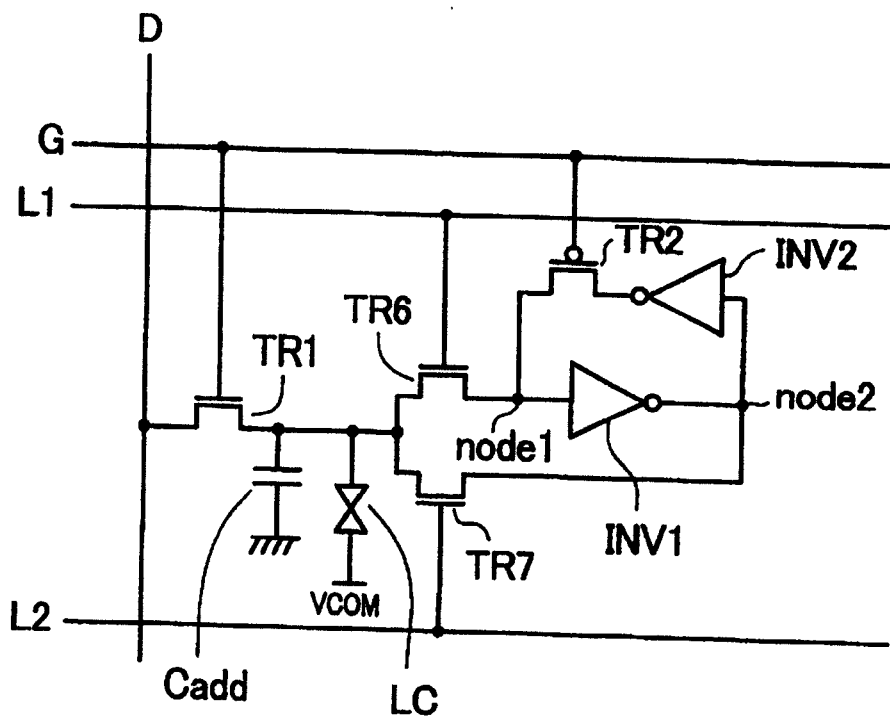


图 10



现有技术

图 11