

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 10 月 18 日(18.10.2012)



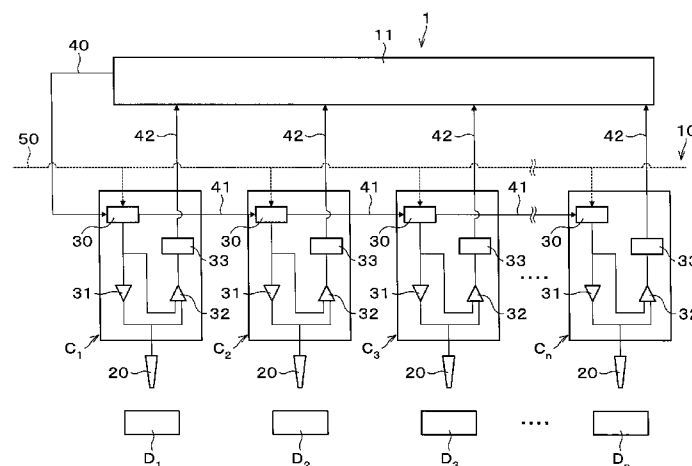
(10) 国際公開番号
WO 2012/141203 A1

- (51) 国際特許分類:
G01R 31/28 (2006.01) *H01L 21/66* (2006.01)
- (21) 国際出願番号: PCT/JP2012/059882
- (22) 国際出願日: 2012 年 4 月 11 日(11.04.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-087923 2011 年 4 月 12 日(12.04.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): 東京エレクトロン株式会社(TOKYO ELECTRON LIMITED) [JP/JP]; 〒1076325 東京都港区赤坂五丁目 3 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 岩津 春生 (IWATSU, Haruo) [JP/JP]; 〒8611116 熊本県合志市福原 1-1 東京エレクトロン株式会社内 Kumamoto (JP). 藤澤 良徳 (FUJISAWA, Yoshinori) [JP/JP]; 〒1838705 東京都府中市住吉町 2-3 0-7 東京エレクトロン株式会社内 Tokyo (JP).
- (74) 代理人: 金本 哲男, 外 (KANEMOTO, Tetsuo et al.); 〒1620065 東京都新宿区住吉町 1-2 0 角 張ビル はづき国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: TESTING DEVICE, TESTING SYSTEM AND TESTING METHOD

(54) 発明の名称: 検査装置、検査システム及び検査方法

[図2]



(57) Abstract: The testing device that tests multiple test items has multiple test cells provided to correspond to the test items. Said test cells are equipped with: a test pattern memory that temporarily holds a test pattern; a driver that transmits a test signal to the test item according to said test pattern; a comparator that compares the output signal from the test item and the expected value corresponding to said test pattern and derives test results; and a test result memory for temporarily holding said test results. Between the respective test cells, a test pattern wire is provided for transmitting said test pattern from the test pattern memory of the test cell on the upstream side to the test pattern memory of the test cell on the downstream side in the testing order for the test items.

(57) 要約:

[続葉有]

WO 2012/141203 A1



複数の被検査体を検査する検査装置は、被検査体に対応して設けられた検査セルを複数有する。前記検査セルは、テストパターンを一時的に保持するテストパターンメモリと、前記テストパターンに従って、被検査体に検査信号を送信するドライバと、被検査体からの出力信号と前記テストパターンに対応する期待値とを比較してテスト結果を導出するコンパレータと、前記テスト結果を一時的に保持するテスト結果メモリと、を備える。前記各検査セル間には、被検査体の検査順に上流側の前記検査セルのテストパターンメモリから下流側の前記検査セルのテストパターンメモリに前記テストパターンを送信するためのテストパターン用配線が設けられている。

明 細 書

発明の名称： 検査装置、検査システム及び検査方法

技術分野

[0001] 本明細書の開示技術は、複数の被検査体を検査する検査装置、検査システム及び検査方法に関する。

背景技術

[0002] 例えば半導体ウェハ（以下、「ウェハ」という）上に形成されたデバイスの電気的特性の検査は、例えばプローブ装置に装着されたプローブカードやテストなどを用いて行われている。プローブカードは、通常、複数のプローブと、当該プローブを支持するコンタクトと、各プローブに検査信号を送信する回路基板などを備えている。また、テストは、プローブカードに検査信号を送信するためのドライバや、プローブカードからの出力信号と期待値とを比較するためのコンパレータなどを備えている。

[0003] かかる場合、デバイスの電気的特性の検査は、複数のプローブをウェハ上に形成されたデバイスの電極に接触させ、テストのドライバから回路基板、コンタクト、プローブを通じて、ウェハ上のデバイスに検査信号を送信する。さらに、デバイスからプローブ、コンタクト、回路基板を通じて、テストのコンパレータに出力信号が送信される。そして、コンパレータにおいて出力信号と期待値とを比較し、デバイスの電気的特性の検査が行われている。

[0004] しかしながら、テストにドライバとコンパレータが設けられている場合、テストとプローブカードを接続する配線長が増大する。そうすると、配線の抵抗が大きくなったり、あるいは配線遅延が大きくなるおそれがある。またかかる場合、テストとプローブカードとの間で信号を適切に送信できないため、デバイスの検査精度が悪化したり、検査速度が低下する。

[0005] そこで、従来テストに設けられていたコンパレータを検査対象であるデバイスの近傍に配置することが提案されている（特許文献１）。

先行技術文献

特許文献

[0006] 特許文献1：日本国特開平 1－2 3 5 3 4 5 号公報

発明の概要

発明が解決しようとする課題

[0007] ところで、近年、半導体装置の高性能化が要求され、デバイスの高集積化が進んでいる。これに伴い、デバイスの数が増大すると共に、プローブの数や、ドライバとコンパレータの数も増大している。

[0008] かかる場合、特許文献 1 に記載されたようにコンパレータをデバイスの近傍に配置したとしても、テストと各プローブとを接続する配線長にばらつきが生じる。このため、デバイスの検査精度が低下する。

[0009] また、ドライバの数が増大するので、各ドライバからの検査信号を個別に制御する際、複雑な制御が必要となる。

[0010] 本明細書の開示技術は、かかる点に鑑みてなされたものであり、複数の被検査体を簡易且つ適切に検査することを目的とする。

課題を解決するための手段

[0011] 前記の目的を達成するため、本明細書の開示技術は、複数の被検査体を検査する検査装置であって、被検査体に対応して設けられた検査セルを複数有し、前記検査セルは、テストパターンを一時的に保持するテストパターンメモリと、前記テストパターンに従って、被検査体に検査信号を送信するドライバと、被検査体からの出力信号と前記テストパターンに対応する期待値とを比較してテスト結果を導出するコンパレータと、前記テスト結果を一時的に保持するテスト結果メモリと、を備え、前記各検査セル間には、被検査体の検査順に上流側の前記検査セルのテストパターンメモリから下流側の前記検査セルのテストパターンメモリに前記テストパターンを送信するためのテストパターン用配線が設けられている。

[0012] 本明細書の開示技術によれば、検査セルはテストパターンメモリ、ドライバ、コンパレータ及びテスト結果メモリを備えているので、検査セルを被検

査体の近傍に配置して、当該被検査体を検査することができる。したがって、検査セルのドライバ及びコンパレータと、被検査体との間で信号を送信する距離が短くなる。このため、被検査体の検査精度を向上させることができると共に、検査速度も向上させることができる。

[0013] また、各検査セル間にはテストパターン用配線が設けられているので、一の検査セルのテストパターンメモリに保持されたテストパターンを、当該一の検査セルの下流側にある検査セルのテストパターンメモリに順次送信することができる。すなわち、検査装置の外部（例えばテスト）から最上流側の検査セルのテストパターンメモリにテストパターンが送信されれば、複数の被検査体を順次検査することができる。したがって、従来のようにテストから各被検査体に個別に信号を送信する必要がなく、当該信号を送信するための配線長にばらつきが生じない。このため、被検査体の検査精度を向上させることができる。

[0014] また、このようにテストパターンを検査セルのテストパターンメモリに順次送信することができるので、テストパターンメモリではテストパターンが順次書き換えられていく。このため、複数のテストパターンで被検査体の検査を行う場合でも、テストパターンメモリは当該検査セルで行われているテストパターンのみを保持していればよい。したがって、複数のテストパターンに従った被検査体の検査を簡易な構成で行うことができる。またこの場合、検査セルを簡易な構成にできるので、当該検査セルをさらに被検査体の近傍に配置することができ、特に被検査体の数が多い場合に有用である。

[0015] さらに、検査装置の外部からのテストパターンの制御は、最上流側の検査セルへのテストパターンの制御のみを行えばよいので、従来よりも簡易な制御で被検査体の検査を行うことができる。また、このような簡易な制御のため、被検査体の検査速度をさらに向上させることもできる。以上のように本明細書の開示技術によれば、複数の被検査体を簡易且つ適切に検査することができる。

[0016] 別な観点による本明細書の開示技術は、複数の被検査体を検査する検査装

置を備えた検査システムであって、前記検査装置は、被検査体に対応して設けられた検査セルを複数有し、前記検査セルは、テストパターンを一時的に保持するテストパターンメモリと、前記テストパターンに従って、被検査体に検査信号を送信するドライバと、被検査体からの出力信号と前記テストパターンに対応する期待値とを比較してテスト結果を導出するコンパレータと、前記テスト結果を一時的に保持するテスト結果メモリと、を備え、前記各検査セル間には、被検査体の検査順に上流側の前記検査セルのテストパターンメモリから下流側の前記検査セルのテストパターンメモリに前記テストパターンを送信するためのテストパターン用配線が設けられ、前記検査システムは、前記テストパターンメモリに前記テストパターンを送信し、且つ前記テスト結果メモリから前記テスト結果を受信するテストと、前記検査装置における被検査体の検査を制御する制御部と、を有する。

[0017] また別な観点による本明細書の開示技術は、複数の被検査体を検査する検査方法であって、テストパターンを一時的に保持するテストパターンメモリと、前記テストパターンに従って、被検査体に検査信号を送信するドライバと、被検査体からの出力信号と前記テストパターンに対応する期待値とを比較してテスト結果を導出するコンパレータと、前記テスト結果を一時的に保持するテスト結果メモリと、を備えた検査セルが被検査体に対応して設けられ、一の前記検査セルのテストパターンメモリに保持されたテストパターンを、当該一の検査セルの下流側にある前記検査セルのテストパターンメモリに順次送信し、各検査セルにおいて前記送信されたテストパターンに従って被検査体を検査して、複数の被検査体を順次検査する。

発明の効果

[0018] 本明細書の開示技術によれば、複数の被検査体を簡易且つ適切に検査することができる。

図面の簡単な説明

[0019] [図1]本実施の形態にかかる検査システムの構成の概略を示す説明図である。

[図2]検査システムの構成の概略を示す説明図である。

[図3]検査システムで複数のデバイスを検査するタイミングを示す説明図である。

[図4]他の実施の形態にかかる検査システムの構成の概略を示す説明図である。

[図5]他の実施の形態にかかる検査システムの構成の概略を示す説明図である。

[図6]他の実施の形態にかかる検査システムで複数のデバイスを検査するタイミングを示す説明図である。

[図7]他の実施の形態にかかる検査システムの構成の概略を示す説明図である。

[図8]他の実施の形態にかかる検査システムで複数のデバイスを検査するタイミングを示す説明図である。

[図9]他の実施の形態にかかる検査システムの構成の概略を示す説明図である。

[図10]他の実施の形態にかかる検査システムの構成の概略を示す説明図である。

[図11]他の実施の形態にかかる検査装置の構成の概略を示す説明図である。

[図12]他の実施の形態にかかる検査装置の構成の概略を示す説明図である。

[図13]他の実施の形態にかかる検査システムの構成の概略を示す説明図である。

[図14]他の実施の形態にかかる検査システムの構成の概略を示す説明図である。

発明を実施するための形態

[0020] 以下、本明細書の開示技術の実施の形態について説明する。図1は、本実施の形態にかかる検査システム1の構成を示す説明図である。検査システム1は、ウェハW上に複数形成された被検査体としてのデバイスDを検査する。なお、本実施の形態においては、デバイスDの検査として、デバイスDの動的特性の検査、例えばデバイスDの動作や動作速度を検査するファンクシ

ョンテストを行う場合について説明する。

[0021] 検査システム 1 は、例えば図 1 に示すように検査装置 10 とテスト 11 とを有している。テスト 11 は、検査装置 10 にテストパターンを送信し、且つ検査装置 10 からテスト結果を受信する。また、検査システム 1 は、例えば複数のデバイス D の検査を制御すべく、検査装置 10 とテスト 11 とを制御する制御部 12 を有している。なお、検査システム 1 には、図示はしないが、ウェハ W を吸着保持するチャックや、当該チャックを鉛直方向及び水平方向に移動させる移動機構なども備えている。

[0022] 検査装置 10 は、複数の検査セル C を有している。複数の検査セル C は、例えば支持基板 S に支持されている。支持基板 S は、例えばウェハ W と同じ材料から成り、またウェハ W と同じ平面形状を有している。各検査セル C には、デバイス D の電極と接触するプローブ 20 が設けられている。すなわち、検査セル C とプローブ 20 は、1 対 1 の対応で設けられている。なお、支持基板 S の材料と形状は、本実施の形態に限定されず、複数の検査セル C を支持できる基板であれば種々の材料と形状を取り得る。

[0023] 複数の検査セル C は、ウェハ W 上の複数のデバイス D にそれぞれ対応して設けられている。本実施の形態では、説明の便宜上、検査装置 10 は n 個（ n は 2 以上の整数）の検査セル C を有し、各検査セル C を第 1 の検査セル C_1 から第 n の検査セル C_n と呼ぶ場合がある。同様に、ウェハ W 上に形成される各デバイス D を第 1 のデバイス D_1 から第 n のデバイス D_n と呼ぶ場合がある。そして、第 1 の検査セル C_1 から第 n の検査セル C_n と第 1 のデバイス D_1 から第 n のデバイス D_n は、それぞれ 1 対 1 の対応で設けられている。また、本実施の形態では、第 1 のデバイス D_1 から第 n のデバイス D_n は、第 1 の検査セル C_1 から第 n の検査セル C_n によってそれぞれこの順で検査される。なお、ウェハ W 上における複数のデバイス D と検査装置 10 における複数の検査セル C は任意に配置できる。

[0024] 検査セル C は、図 2 に示すようにテストパターンメモリ 30 と、ドライバ 31 と、コンパレータ 32 と、テスト結果メモリ 33 とを有している。テスト

トパターンメモリ30は、テスト11から送信されたテストパターンを一時的に保持する。なお、後述するようにテスト11からのテストパターンを受信するテストパターンメモリ30は、第1の検査セルC₁におけるテストパターンメモリ30のみである。テストパターンメモリ30に保持されたテストパターン（当該テストパターンに対応する期待値を含む）は、ドライバ31とコンパレータ32に送信される。ドライバ31は、テストパターンメモリ30からのテストパターンに従って、プローブ20を介してデバイスDに検査信号を送信する。コンパレータ32は、デバイスDからの出力信号とテストパターンメモリ30からのテストパターンに対応する期待値とを比較して、テスト結果、すなわち「Pass」か「Fail」を導出する。コンパレータ32において導出されたテスト結果は、テスト結果メモリ33に送信される。テスト結果メモリ33は、コンパレータ32からのテスト結果を一時的に保持する。

[0025] なお、ドライバ31からの検査信号はハイインピーダンスで出力される。このため、本実施の形態では、ドライバ31とコンパレータ32を切り替えるスイッチを設けていない。しかしながら、勿論、ドライバ31及びコンパレータ32と、プローブ20との間に、上記スイッチを設けてもよい。

[0026] テスタ11と第1の検査セルC₁のテストパターンメモリ30との間には、テストパターン（当該テストパターンに対応する期待値を含む）を送信するための配線40が設けられている。また、隣り合う検査セルC、C間には、テストパターンを送信するためのテストパターン用配線41が設けられている。テストパターン用配線41は、隣り合う検査セルC、Cにおけるテストパターンメモリ30、30を接続している。ここで、隣り合う検査セルC、C間とは、例えば第1の検査セルC₁と第2の検査セルC₂との間や、第2の検査セルC₂と第3の検査セルC₂との間など、デバイスDの検査順に上流側の検査セルCと下流側の検査セルCとの間をいう。したがって、隣り合う検査セルC、Cとは、平面視における物理的な配置が隣り合う検査セルC、Cに限定されない。そして、テスト11から最上流側の第1の検査セルC₁のテ

ストパターンメモリ 30 にテストパターンが送信され、さらに第 1 の検査セル C_1 のテストパターンメモリ 30 から最下流側の第 n の検査セル C_n のテストパターンメモリ 30 にテストパターンが順次送信されるようになっている。

[0027] テスタ 11 と各検査セル C のテスト結果メモリ 33 との間には、それぞれテスト結果を送信するための配線 42 が設けられている。そして、各検査セル C のテスト結果メモリ 33 に保持されたテスト結果は、配線 42 を介して個別にテスタ 11 に送信される。

[0028] 各検査セル C のテストパターンメモリ 30 には、クロック信号を送信するクロック用配線 50 が接続されている。クロック信号配線 50 は、図示しないクロック信号発生部に接続されている。そして、テストパターンメモリ 30 では、クロック用配線 50 から送信されたクロック信号と同期して、当該テストパターンメモリ 30 に保持されたテストパターンが書き換えられるようになっている。

[0029] 図 1 に示した制御部 12 は、例えばコンピュータであり、プログラム格納部（図示せず）を有している。プログラム格納部には、検査装置 10 とテスタ 11 における各信号の送受信等を制御して、複数のデバイス D の検査を制御するプログラムが格納されている。なお、前記プログラムは、例えばコンピュータ読み取り可能なハードディスク（HD）、フレキシブルディスク（FD）、コンパクトディスク（CD）、マグネットオプティカルディスク（MO）、メモリーカードなどのコンピュータに読み取り可能な記憶媒体に記録されていたものであって、その記憶媒体から制御部 12 にインストールされたものであってもよい。

[0030] 本実施の形態にかかる検査システム 1 は以上のように構成されている。次に、その検査システム 1 で行われる複数のデバイス D を検査する方法について説明する。図 3 は、検査システム 1 で複数のデバイス D を検査するタイミングを示す説明図である。図 3 において、クロックの凹凸は、クロック信号のパルスを示している。「TP」は Test Pattern（テストパタ

ーン)の略である。「TR」はTest Result (テスト結果)の略である。また、「TP1」や「TR1」における「1」は1回目の検査を示し、「TP2」や「TR2」における「2」は2回目の検査を示している。なお、図3においては、図示の都合上、第1の検査セルC₁から第3の検査セルC₃によって第1のデバイスD₁から第3のデバイスD₃を順次検査する場合について説明しているが、実際には第1の検査セルC₁から第nの検査セルC_nによって第1のデバイスD₁から第nのデバイスD_nが順次検査される。

[0031] 先ず、検査システム1において、ウェハWを水平方向に移動させ、当該ウェハWを検査装置10に対向して配置する。すなわち、ウェハW上の各デバイスDと検査装置10の各検査セルCに対向して配置する。その後、ウェハWを鉛直方向に移動させ、ウェハW上の各デバイスDの電極に検査装置10の各プローブ20を接触させる。

[0032] 次に、テスト11から第1の検査セルC₁のテストパターンメモリ30にテストパターンが送信され、当該テストパターンはテストパターンメモリ30に一時的に保持される。そして、第1の検査セルC₁では、テストパターンメモリ30に送信されるクロック信号と同期して、第1のデバイスD₁の検査が行われる。

[0033] 第1の検査セルC₁では、テストパターンメモリ30に保持されたテストパターン(当該テストパターンに対応する期待値を含む)が、クロック信号と同期してドライバ31とコンパレータ32に送信される。そして、テストパターンメモリ30では、クロック信号と同期してテストパターンが書き換えられる。ドライバ31では、テストパターンメモリ30からのテストパターンに従って、プローブ20を介して第1のデバイスD₁に検査信号が送信される。この検査信号に基づいて、第1のデバイスD₁からコンパレータ32に出力信号が送信される。コンパレータ32では、第1のデバイスD₁からの出力信号とテストパターンメモリ30からのテストパターンに対応する期待値とを比較して、テスト結果が導出される。コンパレータ32において導出されたテスト結果は、テスト結果メモリ33に送信される。テスト結果メモリ3

3は、コンパレータ32からのテスト結果を一時的に保持する。テスト結果メモリ33に保持されたテスト結果は、テスト11に送信される。こうして、第1の検査セルC₁によって第1のデバイスD₁が検査される。

[0034] 第1のデバイスD₁の検査と並行して、すなわちクロック信号と同期して、第1の検査セルC₁のテストパターンメモリ30から第2の検査セルC₂のテストパターンメモリ30にテストパターンが送信される。このテストパターンは、第2の検査セルC₂のテストパターンメモリ30に一時的に保持される。そして、第2の検査セルC₂では、テストパターンメモリ30のテストパターンに従って、第2のデバイスD₂の検査が行われる。なお、この第2のデバイスD₂の検査は、上述した第1のデバイスD₁の検査と同様であるので説明を省略する。

[0035] このようにテストパターンは、第1の検査セルC₁のテストパターンメモリ30から第nの検査セルC_nのテストパターンメモリ30に順次送信される。そして、各検査セルCでは、当該検査セルCのテストパターンメモリ30に保持されたテストパターンに従ってデバイスDの検査が行われる。こうして、検査システム1によって、第1のデバイスD₁から第nのデバイスD_nが順次検査される。

[0036] なお、各検査セルCでは、例えば複数のテストパターンに従って、各デバイスDを複数回検査する。図3の例においては、各検査セルCによってデバイスDの検査を2回行う場合について示しているが、デバイスDの検査回数は任意に設定することができる。

[0037] 以上の実施の形態によれば、検査セルCはテストパターンメモリ30、ドライバ31、コンパレータ32及びテスト結果メモリ33を備えているので、検査セルCをデバイスDの近傍に配置して、当該デバイスDを検査することができる。したがって、検査セルCのドライバ31及びコンパレータ32と、デバイスDとの間で信号を送信する距離が短くなる。このように送信距離が短くなれば、信号波形（立上がり及び立下がり）のなまりが抑制され、再現性よく信号が伝達されることになるので、送信周波数を上げることが可

能になる。検査セルCのドライバ31及びコンパレータ32と、デバイスDとの間で行われる信号の送信周波数は、デバイスDの応答速度に依存するものではあるが、本実施の形態を用いれば、周波数の高い検査システムを容易に設計することができるのである。

[0038] また、各検査セルC、C間にはテストパターン用配線41が設けられているので、テストパターンは、第1の検査セルC₁のテストパターンメモリ30から第nの検査セルC_nのテストパターンメモリ30に順次送信される。すなわち、テスト11から最上流側の第1の検査セルC₁のテストパターンメモリ30にテストパターンが送信されれば、第1のデバイスD₁から第nのデバイスD_nを順次検査することができる。したがって、従来のようにテストから各デバイスに個別に信号を送信する必要がなく、当該信号を送信するための配線長にばらつきが生じない。このため、デバイスDの検査精度を向上させることができる。

[0039] また、このようにテストパターンを検査セルCのテストパターンメモリ30に順次送信することができるので、テストパターンメモリ30ではテストパターンが順次書き換えられていく。このため、複数のテストパターンでデバイスDの検査を行う場合でも、テストパターンメモリ30は当該検査セルCで行われているテストパターンのみを保持していればよい。したがって、複数のテストパターンに従ったデバイスDの検査を簡易な構成で行うことができる。またこの場合、検査セルCを簡易な構成にできるので、当該検査セルCをさらにデバイスDの近傍に配置することができ、特にウェハW上のデバイスDの数が多い場合に有用である。

[0040] さらに、テスト11からのテストパターンの制御は、最上流側の第1の検査セルC₁へのテストパターンの制御のみを行えばよいので、従来よりも簡易な制御でデバイスDの検査を行うことができる。また、このような簡易な制御のため、デバイスDの検査速度をさらに向上させることもできる。

[0041] また、各検査セルCのテストパターンメモリ30では、クロック信号と同期してテストパターンが書き換えられるので、適切なタイミングでデバイス

Dを検査することができる。

[0042] なお、以上の実施の形態では、例えば各検査セルCにおいて、テストパターンメモリ30におけるテストパターンの書き換えと、テスト結果メモリ33からテスト11へのテスト結果の送信は、クロック用配線50から送信されたクロック信号と同期して行われていたが、これらテストパターンの書き換えとテスト結果の送信を異なるタイミングで行ってもよい。例えばクロック信号の周期と検査セルCにおけるテスト速度が異なる場合、テストパターンメモリ30ではクロック信号と同期してテストパターンが書き換えられ、テスト結果メモリ33ではテスト速度に同期してテスト結果がテスト11に送信されるようにしてもよい。具体的には、例えばクロック信号の立ち上がりで、テストパターンメモリ30におけるテストパターンの書き換えを行い、例えばテスト速度に合わせたタイミングでクロック信号を立ち下げ、テスト結果メモリ33からテスト11にテスト結果を送信してもよい。かかる場合、検査セルCでは、クロック信号の周期とテスト速度の違いを吸収できるキャッシュを備えることができる。

[0043] 以上の実施の形態では、テスト11と各検査セルCのテスト結果メモリ33とは個別の配線42で接続されていたが、図4に示すようにテスト11と各テスト結果メモリ33は一本の配線60で接続されていてもよい。そして、第1の検査セルC₁から第nの検査セルC_nまで、テスト結果メモリ33からテスト11に順次テスト結果が送信される。かかる場合、テスト11と検査装置10との間において、テスト結果を出力する配線を複数設ける必要がないので、検査システム1の構成を簡略化することができる。なお、テスト11とテストパターン30を接続する配線40と、上記テスト11と各テスト結果メモリ33とを接続する配線60とを纏めてさらに一本の配線としてもよい。

[0044] 以上の実施の形態の検査システム1では、デバイスDの動的特性の検査、例えばファンクションテストを行っていたが、当該検査システム1においてデバイスDの静的検査、例えばデバイスDの作動時の電圧や電流を検査する

DCテストを行うようにしてもよい。デバイスDのDCテストを行うため、図5に示すように各検査セルCは、スイッチ70を有している。スイッチ70とテスト11との間には、テスト11からDCテストを行うための検査信号をデバイスDに送信し、且つデバイスDからの出力信号（テスト結果）をテスト11に送信するDCテスト用配線71が設けられている。そして、スイッチ70は、デバイスDのファンクションテストを行うためのドライバ31からの検査信号及びコンパレータ32への出力信号と、デバイスDのDCテストを行うための信号とを切り替えることができる。

[0045] かかる場合、検査システム1では、例えば図6に示すタイミングでデバイスDの検査が行われる。すなわち、各検査セルCにおいて、先ずデバイスDのファンクションテストを行う。このファンクションテストについては、上記実施の形態と同様であるので説明を省略する。その後、スイッチ70をDCテスト用配線71側に切り替えて、テスト11からデバイスDにDCテスト用の検査信号が送信される。この検査信号に基づいて、デバイスDからテスト11に出力信号（テスト結果）が送信される。こうして、デバイスDのDCテストが行われる。

[0046] また、上記実施の形態と同様に、第1の検査セルC₁のテストパターンメモリ30から第nの検査セルC_nのテストパターンメモリ30にテストパターンが順次送信される。そして、第1のデバイスD₁から第nのデバイスD_nに対して、ファンクションテストとDCテストが順次行われる。

[0047] 本実施の形態によれば、テストパターンを第1の検査セルC₁から第nの検査セルC_nに順次送信することで、アットスピードテストが要求されるファンクションテストを適切に行うことができると共に、スイッチ70を切り替えることによってDCテストも行うことができる。このように一の検査システム1でファンクションテストとDCテストを両方行うことができるので、デバイスDの検査を効率よく行うことができる。

[0048] 以上の実施の形態の検査システム1において、図7に示すように隣り合う検査セルC、C間には、テスト結果を送信するためのテスト結果用配線80

が設けられていてもよい。テスト結果用配線 80 は、隣り合う検査セル C、C におけるテスト結果メモリ 33、33 を接続している。ここで、隣り合う検査セル C、C 間とは、上述したようにデバイス D の検査順に上流側の検査セル C と下流側の検査セル C との間をいう。また、テスト 11 と第 n の検査セル C_n のテスト結果メモリ 33 との間には、テスト結果を送信するための配線 81 が設けられている。

[0049] かかる場合、検査システム 1 では、例えば図 8 に示すタイミングでデバイス D の検査が行われる。すなわち、各検査セル C において、デバイス D のファンクションテストと DC テストが行われる。これらデバイス D のファンクションテストと DC テスト自体については、上記実施の形態と同様であるので説明を省略する。ここでは、各検査セル C におけるファンクションテスト後、当該検査セル C のテスト結果メモリ 33 に保存されたテスト結果をテスト 11 に送信する方法について説明する。

[0050] 第 1 の検査セル C₁ のテスト結果メモリ 33 に保持された第 1 のデバイス D₁ についてのテスト結果は、第 2 の検査セル C₂ のテスト結果メモリ 33 に送信される。このとき、第 2 の検査セル C₂ では第 2 のデバイス D₂ の検査が終了し、テスト結果メモリ 33 に第 2 のデバイス D₂ についてのテスト結果が保持されている。そして、第 2 の検査セル C₂ のテスト結果メモリ 33 において、第 1 のデバイス D₁ のテスト結果と第 2 のデバイス D₂ のテスト結果が共に「Pass」であれば、テスト結果は「Pass」となる。一方、少なくとも第 1 のデバイス D₁ のテスト結果又は第 2 のデバイス D₂ のテスト結果が「Fail」であれば、テスト結果は「Fail」となる。そして、第 1 の検査セル C₁ のテスト結果メモリ 33 からの第 n の検査セル C_n のテスト結果メモリ 33 にテスト結果が順次送信される。

[0051] そうすると、本実施の形態の検査システム 1 では、複数のデバイス D 全体で一つのテスト結果が導出される。すなわち、複数のデバイス D のテスト結果が全て「Pass」であれば、第 n の検査セル C_n のテスト結果メモリ 33 にはテスト結果として「Pass」が保持される。一方、複数のデバイス D

のテスト結果のうち、いずれか一つでも「F a i l」であれば、テスト結果として「F a i l」が保持される。そして、第 n の検査セル C_n のテスト結果メモリ 33 に保持されたテスト結果は、配線 81 を介してテスト 11 に送信される。

[0052] 本実施の形態によれば、検査装置 10 からのテスト結果は一本の配線 81 を介して送信される。したがって、従来のように各デバイスからテストに個別に信号を送信する必要がなく、当該信号を送信するための配線長にばらつきが生じない。このため、デバイス D の検査精度をさらに向上させることができる。

[0053] また、テスト 11 へのテスト結果の制御は、最下流側の第 n の検査セル C_n からのテスト結果の制御のみを行えばよいので、従来よりも簡易な制御でデバイス D の検査を行うことができる。また、このような簡易な制御のため、デバイス D の検査速度をさらに向上させることもできる。

[0054] なお、以上の実施の形態においても、各検査セル C のテストパターン 30 におけるテストパターンの書き換えと、上流側から下流側の検査セル C へのテスト結果の送信及び第 n の検査セル C_n からテスト 11 へのテスト結果の送信とは、クロック用配線 50 から送信されたクロック信号と同期して行われてよいし、異なるタイミングで行われてもよい。すなわち、例えばテストパターンメモリ 30 ではクロック信号と同期してテストパターンが書き換えられる。一方、上流側の検査セル C のテスト結果メモリ 33 から下流側の検査セル C のテスト結果メモリ 33 へのテスト結果の送信と、最下流の第 n の検査セル C_n のテスト結果メモリ 33 からテスト 11 へのテスト結果の送信とは、テスト速度に同期して送信される。

[0055] 以上の実施の形態では、テスト 11 と検査装置 12 との間は、個別の配線 40、81 で接続されていたが、図 9 に示すように一本の配線 90 で接続されていてもよい。かかる場合、テスト 11 から第 1 の検査セル C_1 へのテストパターンと、第 n の検査セル C_n からテスト 11 へのテスト結果とは、一本の配線 90 で送信される。かかる場合、配線を一本省略することができるので

、検査システム 1 の構成を簡略化することができる。

[0056] 以上の実施の形態では、テスト 1 1 から第 1 の検査セル C_1 のテストパターンメモリ 3 0 に、テストパターンと当該テストパターンに対応する期待値が順次送信されていたが、テスト 1 1 から第 1 の検査セル C_1 のテストパターンメモリ 3 0 に、テストパターンのみを送信する場合にも本明細書の開示技術を適用することができる。

[0057] かかる場合、例えば図 1 0 に示すように、第 1 の検査セル C_1 のテスト結果メモリ 3 3 と第 2 の検査セル C_2 のテストパターンメモリ 3 0 は、配線 1 0 0 で接続されている。

[0058] そして、複数のデバイス D を検査する際には、先ず、第 1 の検査セル C_1 において、テスト 1 1 から送信されたテストパターンに従って第 1 のデバイス D_1 に検査信号が送信され、当該第 1 のデバイス D_1 からの出力信号がテスト結果メモリ 3 3 に出力される。このとき、テスト 1 1 からはテストパターンに対応する期待値が送信されていないため、コンパレータ 3 2 では、上記実施の形態のように第 1 のデバイス D_1 からの出力信号とテストパターンに対応する期待値との比較が行われない。そして、この第 1 のデバイス D_1 からの出力信号が、第 1 の検査セル C_1 の下流側の検査セル $C_2 \sim C_n$ において、テストパターンに対応する期待値となる。

[0059] 次に、第 2 の検査セル C_2 のテストパターンメモリ 3 0 に対して、第 1 の検査セル C_1 のテストパターンメモリ 3 0 からテストパターンが送信されると共に、第 1 の検査セル C_1 のテスト結果メモリ 3 3 から第 1 のデバイス D_1 からの出力信号が送信される。

[0060] 第 2 の検査セル C_2 では、テストパターンメモリ 3 0 に保持されたテストパターンと第 1 のデバイス D_1 からの出力信号が、ドライバ 3 1 とコンパレータ 3 2 に送信される。ドライバ 3 1 では、テストパターンメモリ 3 0 からのテストパターンに従って、プローブ 2 0 を介して第 2 のデバイス D_2 に検査信号が送信される。この検査信号に基づいて、第 2 のデバイス D_2 からコンパレータ 3 2 に出力信号が送信される。コンパレータ 3 2 では、第 2 のデバイス D_2

からの出力信号とテストパターンメモリ30からの第1のデバイス D_1 からの出力信号とを比較して、これらの出力信号が同一か否かのテスト結果が導出される。コンパレータ32において導出されたテスト結果は、テスト結果メモリ33に送信される。テスト結果メモリ33は、コンパレータ32からのテスト結果を一時的に保持する。テスト結果メモリ33に保持されたテスト結果は、テスト11に送信される。こうして、第2の検査セル C_2 によって第2のデバイス D_2 が検査される。

[0061] その後、テストパターンと第1のデバイス D_1 からの出力信号は、第2の検査セル C_2 のテストパターンメモリ30から第 n の検査セル C_n のテストパターンメモリ30に順次送信される。そして、各検査セル C では、当該検査セル C のテストパターンメモリ30に保持されたテストパターンと第1のデバイス D_1 からの出力信号に従って、デバイス D の検査が行われる。こうして、検査システム1によって、第2のデバイス D_2 から第 n のデバイス D_n が順次検査される。

[0062] 以上のように本実施の形態では、第1のデバイス D_1 からの出力信号をテストパターンに対応する期待値と見做して、第2のデバイス D_2 から第 n のデバイス D_n が順次検査される。すなわち、第2のデバイス D_2 から第 n のデバイス D_n からの出力信号が、第1のデバイス D_1 からの出力信号と一致するかどうかの比較検査が行われる。そうすると、例えばテストパターンに対応する期待値が事前に導出されていない場合であっても、第1のデバイス D_1 から第 n のデバイス D_n における比較検査を行うことができる。換言すれば、例えばテスト11からのテストパターンとしてランダムな信号を第1の検査セル C_1 に送信すれば、本実施の形態の比較検査を行うことができ、不良なデバイス D を検出することができる。したがって、より簡易な方法で第1のデバイス D_1 から第 n のデバイス D_n を検査することができる。

[0063] なお、製品の量産段階においては、一般的にデバイス D の不良率は低い。したがって、本実施の形態のように第1のデバイス D_1 から第 n のデバイス D_n を比較検査することは、不良なデバイス D の検出に有効である。

[0064] 以上の実施の形態の検査装置 10 において、図 11 に示すように第 1 の検査セル C_1 から第 n の検査セル C_n までの一連の検査セル C が複数セット、例えば m セット (m は 2 以上の整数) 設けられていてもよい。すなわち、例えば第 1 の検査セル C_1 は複数、例えば m 個設けられていてもよい。そして、これら複数の第 1 の検査セル C_1 は第 1 の検査チップ P_1 を構成している。同様に複数の第 n の検査セル C_n も第 n の検査チップ P_n を構成している。これら各検査チップ P は、例えばウェハ W 上の複数のデバイス D で形成されるチップに対応して設けられている。

[0065] 各検査チップ P には、当該検査チップ P 内の複数の検査セル C に対して、例えばクロック用配線 50 からのクロック信号を送信するためのドライバ 51 が設けられている。ドライバ 51 から各検査セル C までの配線は、その配線長が同一になるように配置されている。なお、図 11 においては、図示の都合上、前記配線長が必ずしも同一になっていない。そして、このように各配線の配線長を同一にすることで、一の検査チップ P 内において複数の検査セル C に送信されるクロック信号のパルスが同じタイミングとなる。すなわち、一の検査チップ P 内において、複数の検査セル C によるデバイス D の検査が同時に行われる。なお、クロック信号のパルスを同じタイミングにするための方法は、本実施の形態のように配線長を同一にする方法に限定されない。例えば検査チップ P 内にクロック信号を一時的に保持するメモリを設けてもよい。

[0066] また、これら第 1 の検査チップ P_1 から第 n の検査チップ P_n は、図 12 に示すように支持基板 S 上にそれぞれ複数設けられていてもよい。

[0067] 以上の実施の形態のように、本明細書の開示技術の検査装置 10 は、被検査体がデバイス単位やチップ単位など、種々の単位の被検査体を検査する場合にも適用することができる。

[0068] また、以上の実施の形態では、検査装置 10 の複数の検査セル C とウェハ W 上の複数のデバイス D は 1 対 1 の対応で設けられ、検査システム 1 はウェハ W 上の複数のデバイス D を一括して検査していたが、本明細書の開示技術

の検査方法はこれに限定されない。例えば検査装置 10 の検査セル C の個数がウェハ W 上のデバイス D の個数の $1/4$ であって、ウェハ W を $1/4$ 面ずつ検査装置 10 を移動させて検査してもよい。あるいは、例えば検査装置 10 の検査セル C の個数がウェハ W 上の 1 つのチップ内のデバイス D の個数であって、チップ単位で検査装置を移動させて検査してもよい。

[0069] 以上の実施の形態では、テスト 11 から第 1 の検査セル C₁ のテストパターンメモリ 30 へのテストパターンの送信は、配線 40 を介して行われていたが、光を含む無線によって行われてもよい。また、検査セル C のテスト結果メモリ 33 からテスト 11 へのテスト結果の送信も同様に、光を含む無線によって行われてもよい。このように無線によってもテストパターンとテスト結果を適切に送信することができるので、上記実施の形態と同様の効果を楽しむことができる。

[0070] また、これらテストパターンの送信とテスト結果の送信は、いずれか一方のデータの送信のみを無線によって行ってもよい。例えば検査セル C のテスト結果メモリ 33 からテスト 11 へのテスト結果の送信が無線によって行われ、テスト 11 から第 1 の検査セル C₁ のテストパターンメモリ 30 へのテストパターンの送信が配線 40 を介して行われてもよい。かかる場合、テスト結果はデジタルデータであるため、検査セル C のテスト結果メモリ 33 からテスト 11 へのテスト結果の送信を無線によって容易に行うことができる。また、このようにテスト結果の送信を無線によって行う場合、配線 42 を省略することができる。このため、テスト 11 と各検査セル C との間の配線を非常に簡素化することができる。

[0071] 以上の実施の形態では、テスト 11 と制御部 12 が別々に設けられていたが、制御部 12 がテスト 11 の機能を有していてもよい。すなわち、制御部 12 が、検査装置 10 にテストパターンを送信し、且つ検査装置 10 からテスト結果を受信してもよい。制御部 12 は例えばコンピュータであり、上記機能を発揮することが可能である。かかる場合、当該テスト 11 を省略することができ、検査システム 1 をさらに簡略化することができる。

[0072] 以上の実施の形態の検査装置 10 はプローブ 20 を有していたが、図 13 に示すようにプローブ 20 を省略してもよい。かかる場合、例えば検査セル C とデバイス D の電極を接触させて、当該デバイス D の検査が行われる。また、図 13 では、技術的な理解を容易にするため、支持基板 S の厚みに対する検査チップ C 及びデバイス D の厚みの比率は実際の比率に対応していない。すなわち、実際には検査チップ C とデバイス D の厚みは極めて薄い。そこで、ウェハ W と支持基板 S を貼り合わせて、検査セル C とデバイス D の電極を接触させてもよい。いずれにしても、検査セル C とデバイス D とを電氣的に導通させることでデバイス D の検査を行うことができる。

[0073] 以上の実施の形態の検査システム 1 において、図 14 に示すようにクロック用配線 50 は各検査セル C のテスト結果メモリ 33 に接続されていてもよい。かかる場合、クロック信号の立ち上がりを利用して、テストパターンメモリ 30 におけるテストパターンの書き換えを行い、ドライバ 31 を駆動させてデバイス D に検査信号が送信される。またクロック信号の立ち下がりを利用して、コンパレータ 32 を駆動させ、デバイス D からの出力信号とテストパターンメモリ 30 からのテストパターンに対応する期待値とを比較して、テスト結果が導出される。なお、実際には、デバイス D のセットアップ時間が必要になるため、数クロック後におけるクロック信号の立ち上がりと立ち下がりを利用してよい。本実施の形態によってもテストパターンとテスト結果を適切に送信することができるので、上記実施の形態と同様の効果を享受することができる。

[0074] 以上の実施の形態において、検査セル C のテスト結果メモリ 33 は、テスト結果の判定機能を有すると共に、テスト結果を上書き保存できるようにしてもよい。かかる場合、テスト結果メモリ 33 には、複数回の検査で一つのテスト結果が保存される。具体的には、例えば一度でもテスト結果が「F a i l」になれば、テスト結果メモリ 33 には「F a i l」が保持される。一方、例えば全てのテスト結果が「P a s s」である場合、テスト結果メモリ 33 には「P a s s」が保持される。そして、各検査セル C の検査終了後、

全ての検査セルCのテスト結果メモリ33をスキャンし、チップとしての良否が判定される。かかる場合、各テスト結果メモリ33からテスト11へのテスト結果の送信を頻繁に行う必要がないので、検査を簡素化することができる。

[0075] なお、テスト結果メモリ33において「F a i l」が保持された場合に、テスト結果メモリ33にその際の不良なデバイスDのアドレスを記録してもよい。かかる場合、チップとしての良否が判定されると共に、不良なデバイスDのアドレスも把握することができる。

[0076] 以上の実施の形態では、検査システム1がウェハW上のデバイスDを検査する場合について説明したが、本明細書の開示技術の検査システム1が検査できる被検査体はこれに限定されない。例えば複数の被検査体を検査する場合には、本明細書の開示技術の検査システム1を適用することができる。

[0077] 以上、添付図面を参照しながら本明細書の開示技術の好適な実施の形態について説明したが、本明細書の開示技術はかかる例に限定されない。当業者であれば、特許請求の範囲に記載された思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本明細書の開示技術の技術的範囲に属するものと了解される。本明細書の開示技術はこの例に限らず種々の態様を採りうるものである。本明細書の開示技術は、基板がウェハ以外のFPD（フラットパネルディスプレイ）、フォトリソ用のマスキングレチクルなどの他の基板である場合にも適用できる。

符号の説明

- [0078]
- 1 検査システム
 - 10 検査装置
 - 11 テスタ
 - 12 制御部
 - 30 テストパターンメモリ
 - 31 ドライバ
 - 32 コンパレータ

- 3 3 テスト結果メモリ
- 4 0 配線
- 4 1 テストパターン用配線
- 5 0 クロック用配線
- 5 1 ドライバ
- 6 0 配線
- 7 0 スイッチ
- 7 1 D C テスト用配線
- 8 0 テスト結果用配線
- 8 1 配線
- 9 0 配線
- C 検査セル
- D デバイス
- P 検査チップ
- S 支持基板

請求の範囲

- [請求項1] 複数の被検査体を検査する検査装置であって、
被検査体に対応して設けられた検査セルを複数有し、
前記検査セルは、
テストパターンを一時的に保持するテストパターンメモリと、
前記テストパターンに従って、被検査体に検査信号を送信するドライバと、
被検査体からの出力信号と前記テストパターンに対応する期待値とを比較してテスト結果を導出するコンパレータと、
前記テスト結果を一時的に保持するテスト結果メモリと、を備え、
前記各検査セル間には、被検査体の検査順に上流側の前記検査セルのテストパターンメモリから下流側の前記検査セルのテストパターンメモリに前記テストパターンを送信するためのテストパターン用配線が設けられている。
- [請求項2] 請求項 1 に記載の検査装置であって、
前記テストパターンメモリにおいて、クロック信号と同期して前記テストパターンが書き換えられる。
- [請求項3] 請求項 1 に記載の検査装置であって、
クロック信号の立ち上がりを利用して、前記テストパターンメモリにおいて前記テストパターンが書き換えられ、且つ前記ドライバを駆動して被検査体に検査信号が送信され、
クロック信号の立ち下がりを利用して、前記コンパレータを駆動してテスト結果が導出される。
- [請求項4] 請求項 1 に記載の検査装置であって、
被検査体の動的特性を検査するための前記ドライバからの検査信号及び前記コンパレータへの出力信号と、被検査体の静的特性を検査するための信号とを切り替えるスイッチを、前記検査セルは有する。
- [請求項5] 請求項 1 に記載の検査装置であって、

前記各検査セル間には、被検査体の検査順に上流側の前記検査セルのテスト結果メモリから下流側の前記検査セルのテスト結果メモリに前記テスト結果を送信するためのテスト結果用配線が設けられている。

- [請求項6] 請求項1に記載の検査装置であって、
被検査体の検査順に上流側の前記検査セルにおける被検査体からの出力信号を、当該上流側の検査セルの下流側の検査セルにおける前記テストパターンに対応する期待値とする。
- [請求項7] 請求項6に記載の検査装置であって、
少なくとも3つ以上ある被検査体の検査順に最上流の前記検査セルにおける被検査体からの出力信号を、当該最上流の検査セルの下流側の検査セルにおける前記テストパターンに対応する期待値とする。
- [請求項8] 請求項1に記載の検査装置であって、
前記テストパターン用配線で接続された一連の検査セルが複数セット設けられている。
- [請求項9] 請求項1に記載の検査装置であって、
前記テスト結果メモリは、テスト結果を判定し、当該テスト結果を上書き保持できる。
- [請求項10] 複数の被検査体を検査する検査装置を備えた検査システムであって、
前記検査装置は、被検査体に対応して設けられた検査セルを複数有し、
前記検査セルは、テストパターンを一時的に保持するテストパターンメモリと、前記テストパターンに従って、被検査体に検査信号を送信するドライバと、被検査体からの出力信号と前記テストパターンに対応する期待値とを比較してテスト結果を導出するコンパレータと、前記テスト結果を一時的に保持するテスト結果メモリと、を備え、
前記各検査セル間には、被検査体の検査順に上流側の前記検査セルのテストパターンメモリから下流側の前記検査セルのテストパターンメモリに前記テストパターンを送信するためのテストパターン用配線が

設けられ、

前記検査システムは、

前記テストパターンメモリに前記テストパターンを送信し、且つ前記テスト結果メモリから前記テスト結果を受信するテストと、
前記検査装置における被検査体の検査を制御する制御部と、を有する。
。

[請求項11] 請求項10に記載の検査システムであって、
前記テストと前記検査セルとの間において、前記テストパターンと前記テスト結果は一本の配線で送信される。

[請求項12] 請求項10に記載の検査システムであって、
前記テストと前記検査セルとの間において、少なくとも前記テストパターン又は前記テスト結果は無線で送信される。

[請求項13] 複数の被検査体を検査する検査方法であって、
テストパターンを一時的に保持するテストパターンメモリと、
前記テストパターンに従って、被検査体に検査信号を送信するドライバと、
被検査体からの出力信号と前記テストパターンに対応する期待値とを比較してテスト結果を導出するコンパレータと、
前記テスト結果を一時的に保持するテスト結果メモリと、
を備えた検査セルが被検査体に対応して設けられ、
一の前記検査セルのテストパターンメモリに保持されたテストパターンを、当該一の前記検査セルの下流側にある前記検査セルのテストパターンメモリに順次送信し、各検査セルにおいて前記送信されたテストパターンに従って被検査体を検査して、複数の被検査体を順次検査する。
。

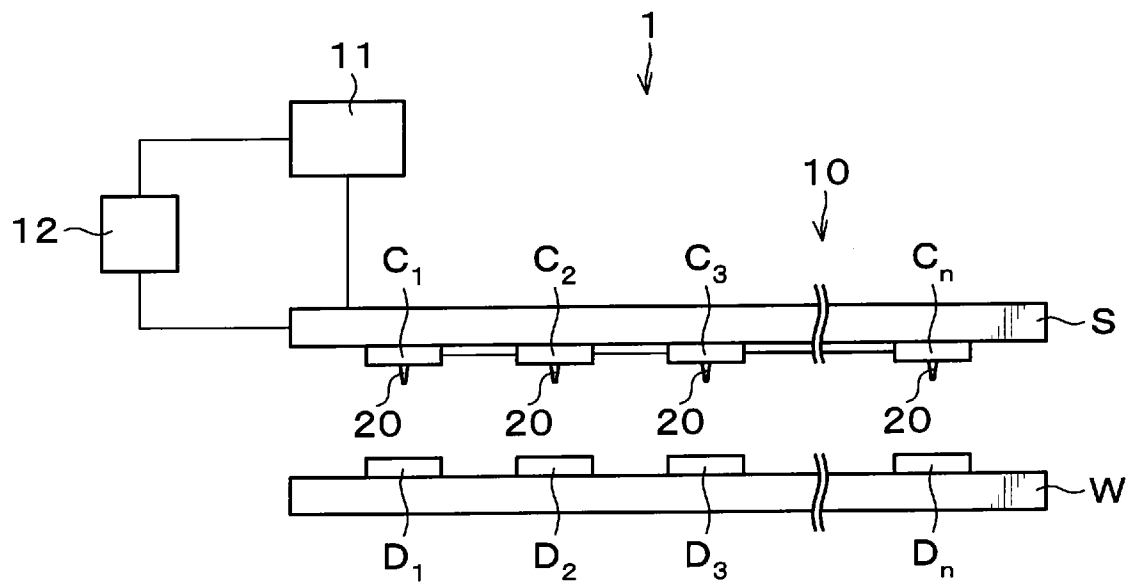
[請求項14] 請求項13に記載の検査方法であって、
前記テストパターンメモリにおいて、クロック信号と同期して前記テストパターンが書き換えられる。

- [請求項15] 請求項 1 3 に記載の検査方法であって、
クロック信号の立ち上がりを利用して、前記テストパターンメモリにおいて前記テストパターンが書き換えられ、且つ前記ドライバを駆動して被検査体に検査信号が送信され、
クロック信号の立ち下がりを利用して、前記コンパレータを駆動してテスト結果が導出される。
- [請求項16] 請求項 1 3 に記載の検査方法であって、
被検査体の動的特性を検査するための前記ドライバからの検査信号及び前記コンパレータへの出力信号と、被検査体の静的特性を検査するための信号とを切り替えるスイッチを、前記検査セルは有し、
前記スイッチを切り替えることによって、被検査体の動的特性と静的特性を両方検査する。
- [請求項17] 請求項 1 3 に記載の検査方法であって、
一の前記検査セルのテスト結果メモリに保持されたテスト結果を、当該一の検査セルの下流側にある前記検査セルのテスト結果メモリに順次送信し、複数の被検査体全体で一つのテスト結果を導出する。
- [請求項18] 請求項 1 3 に記載の検査方法であって、
被検査体の検査順に上流側の前記検査セルにおける被検査体からの出力信号を、当該上流側の検査セルの下流側の検査セルにおける前記テストパターンに対応する期待値とする。
- [請求項19] 請求項 1 8 に記載の検査方法であって、
少なくとも 3 つ以上ある被検査体の検査順に最上流の前記検査セルにおける被検査体からの出力信号を、当該最上流の検査セルの下流側の検査セルにおける前記テストパターンに対応する期待値とする。
- [請求項20] 請求項 1 3 に記載の検査方法であって、
前記テストパターン用配線で接続された一連の検査セルが複数セット設けられ、
前記一連の検査セルのセットにおいて順次行われる複数の被検査体の

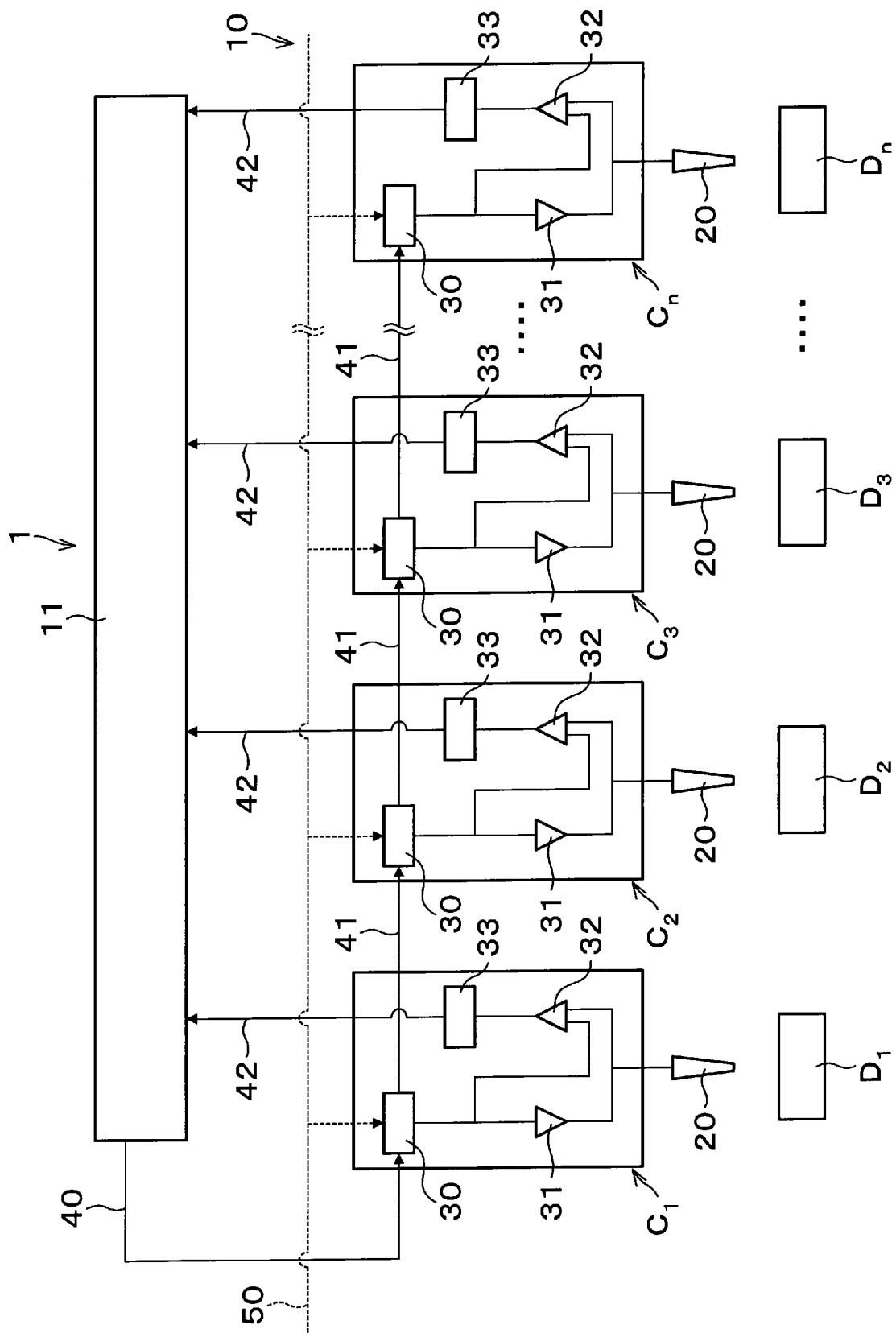
検査が、並行して行われる。

- [請求項21] 請求項 1 3 に記載の検査方法であって、
前記テスト結果メモリは、テスト結果を判定し、当該テスト結果を上書き保持できる。
- [請求項22] 請求項 1 3 に記載の検査方法であって、
前記テストパターンはテストタから前記検査セルに送信され、且つ前記テスト結果は前記検査セルから前記テストタに送信され、
前記テストタと前記検査セルとの間において、前記テストパターンと前記テスト結果は一本の配線で送信される。
- [請求項23] 請求項 1 3 に記載の検査方法であって、
少なくとも前記テストパターンはテストタから前記検査セルに無線で送信され、又は前記テスト結果は前記検査セルから前記テストタに無線で送信される。

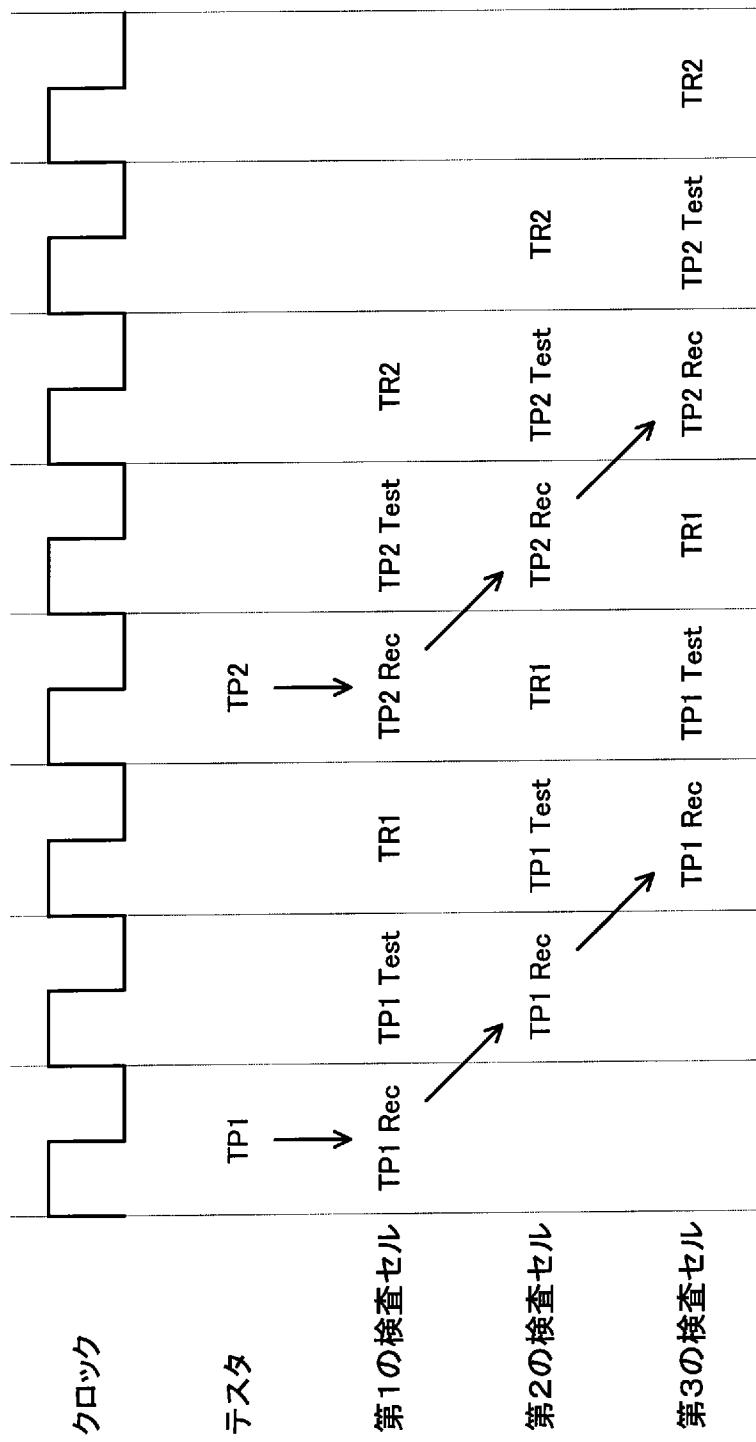
[図1]



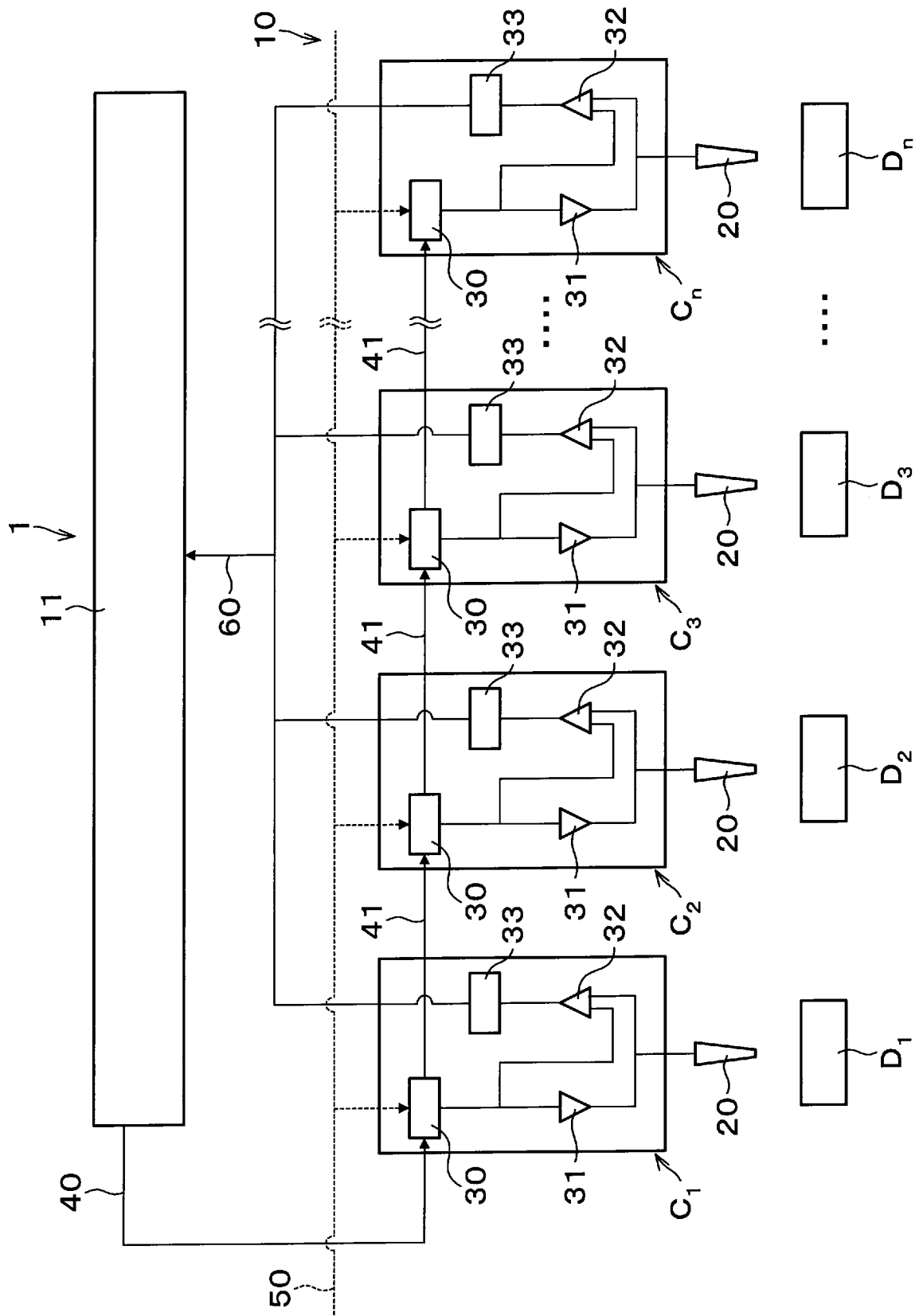
[図2]



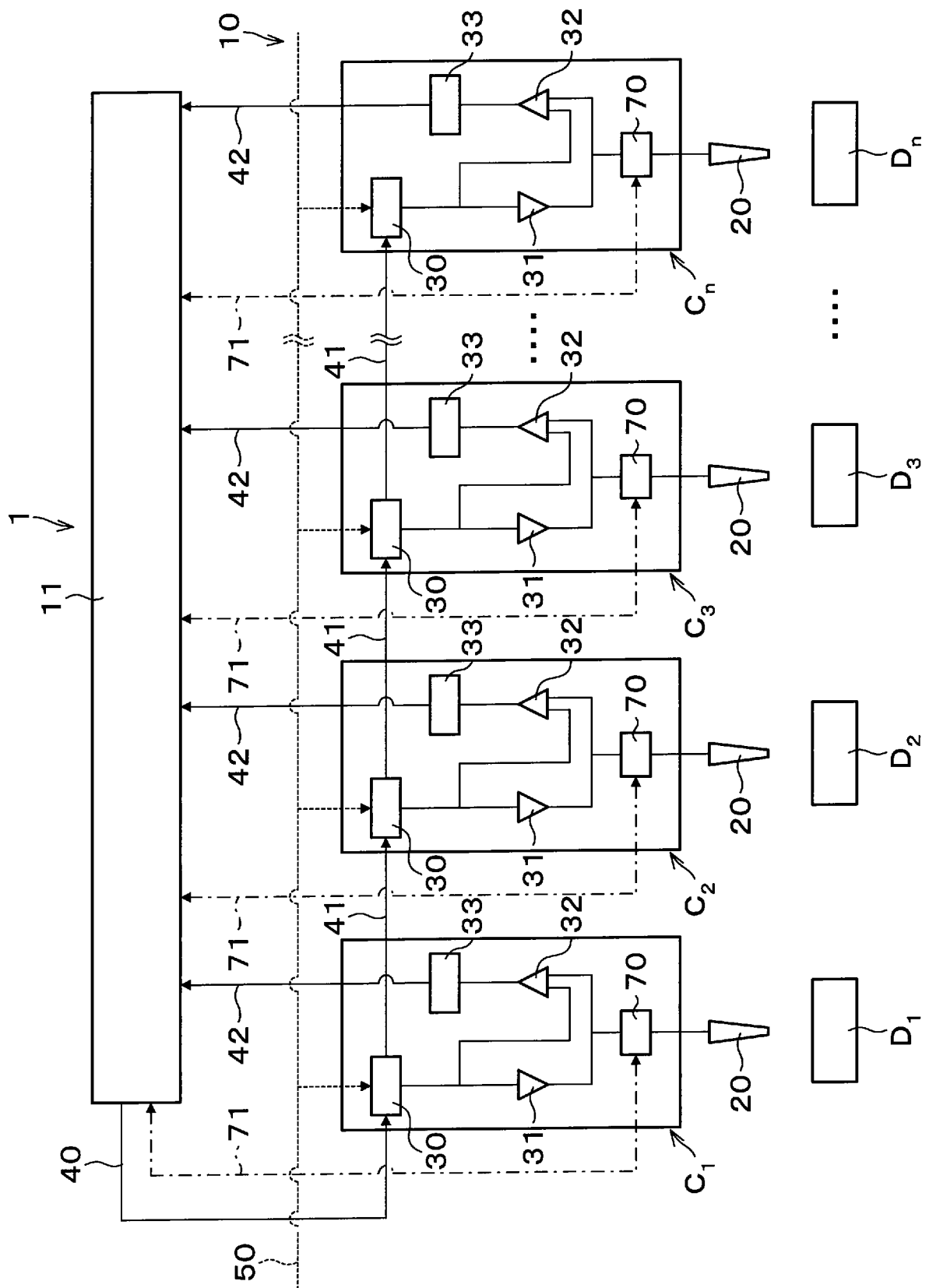
[図3]



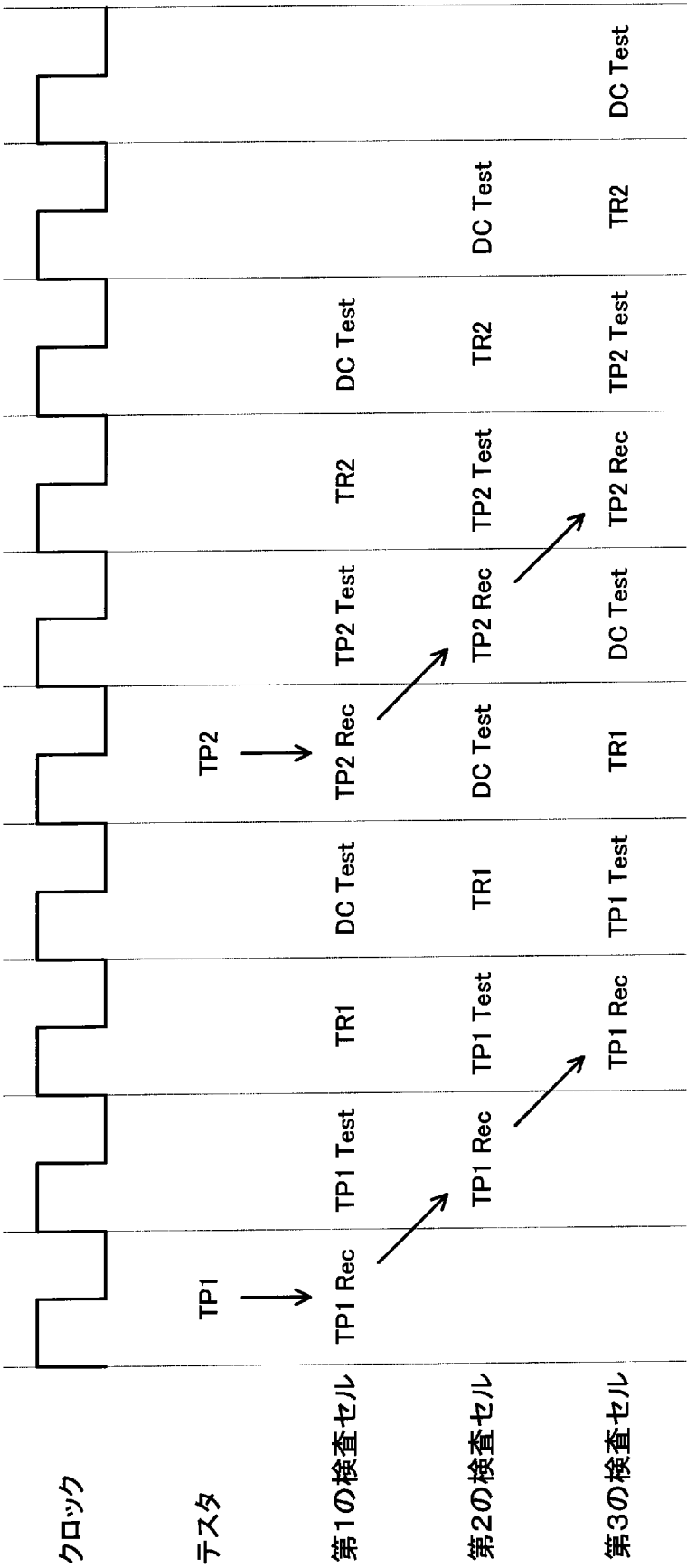
[図4]



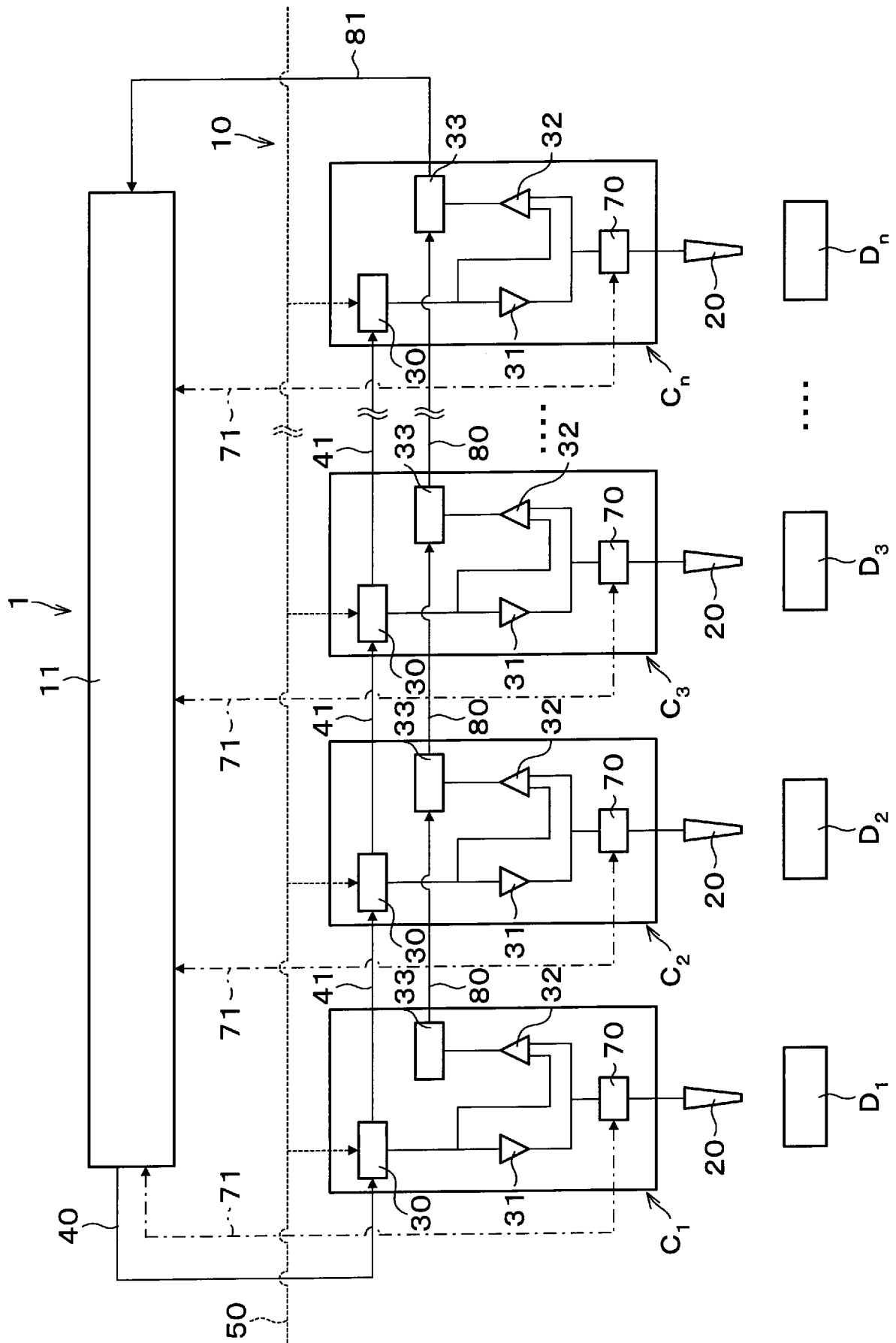
[図5]



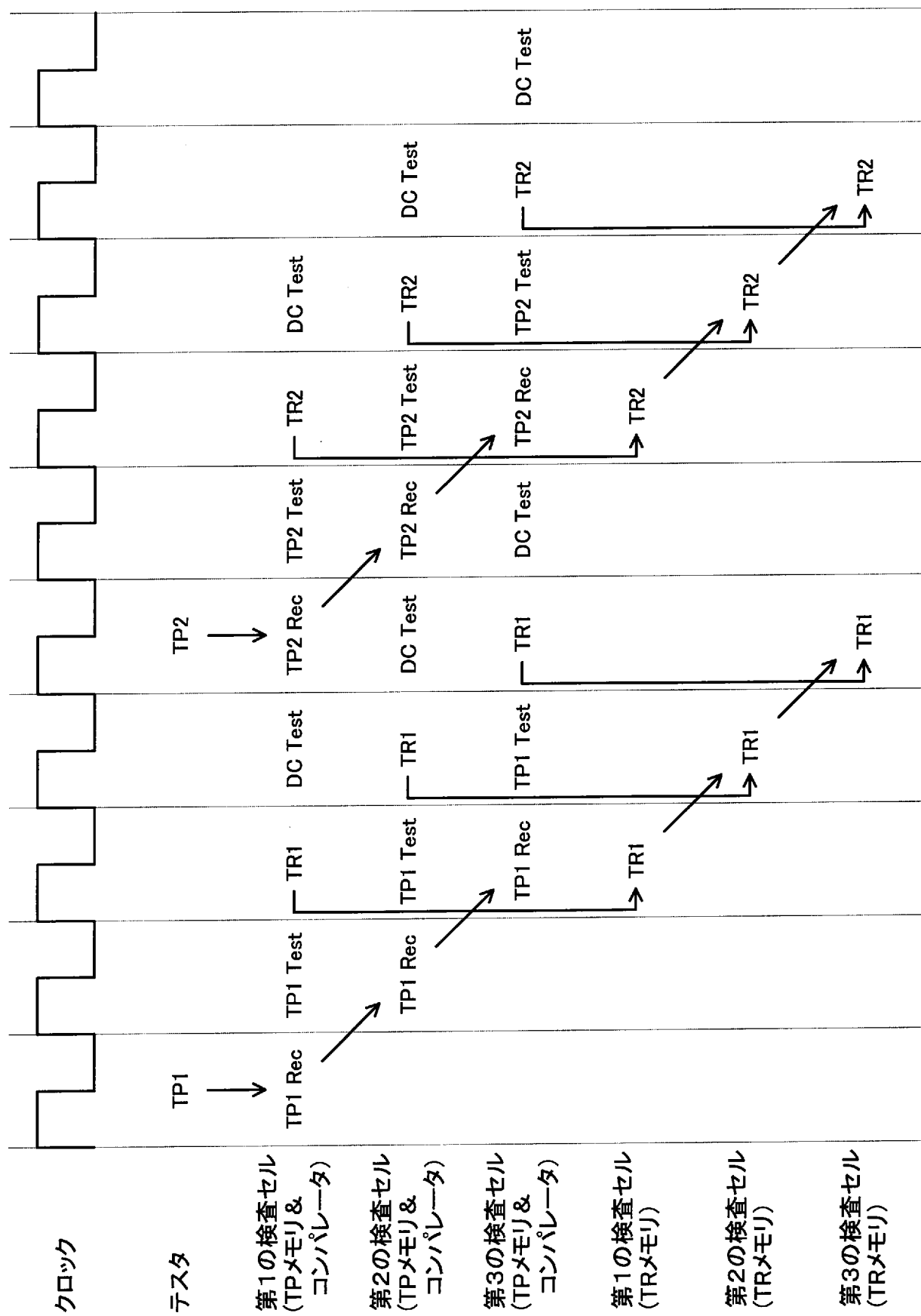
[図6]



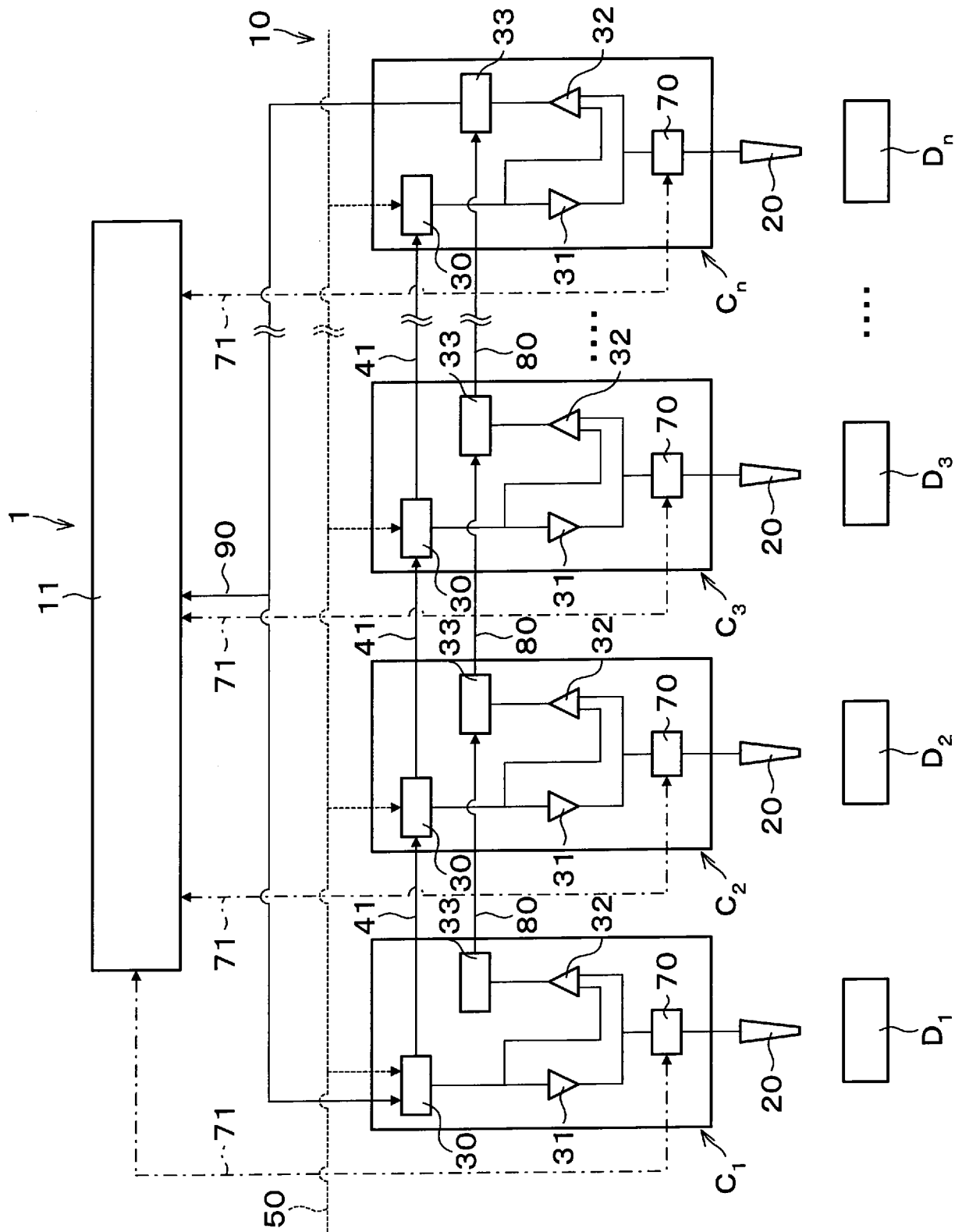
[図7]



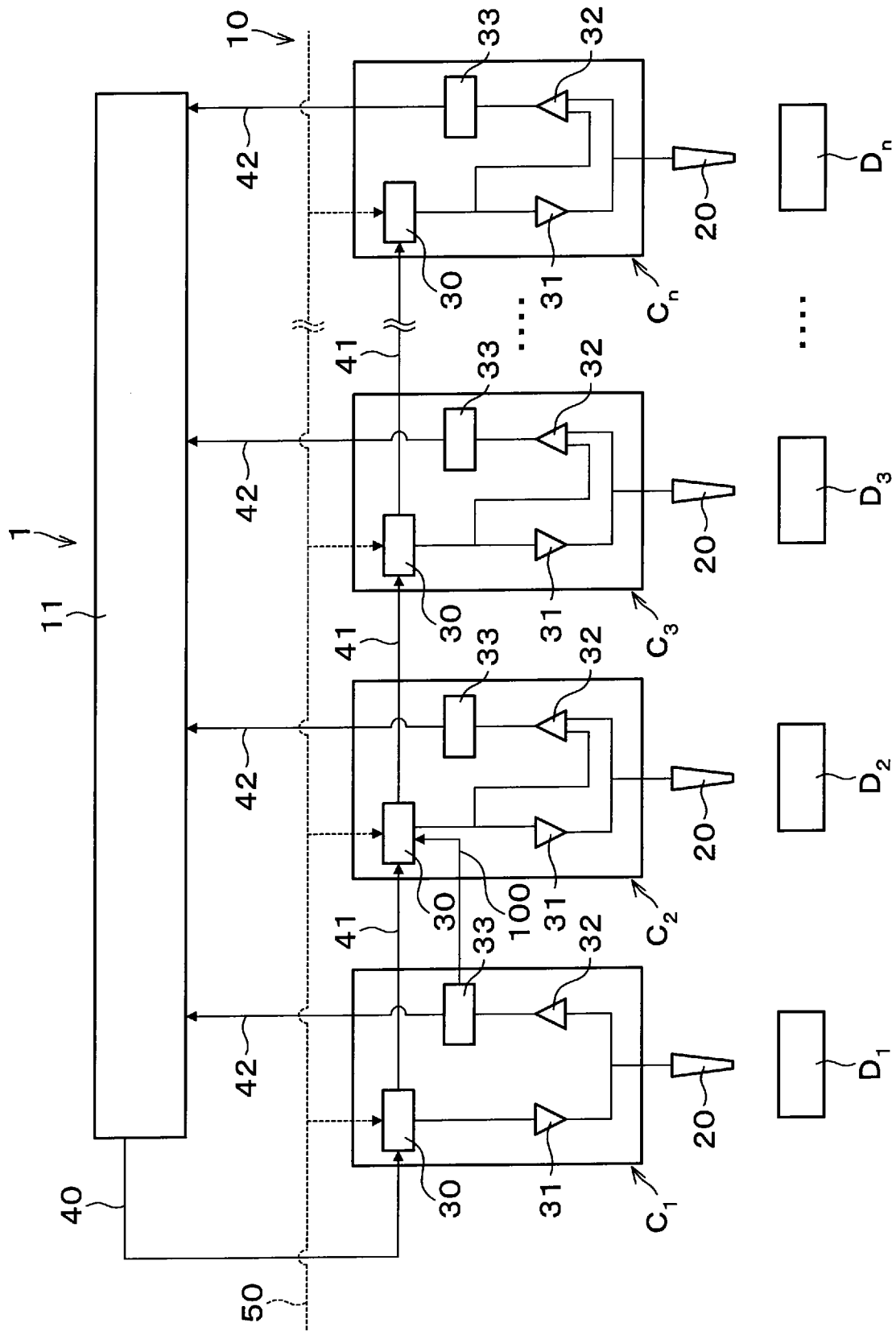
[図8]



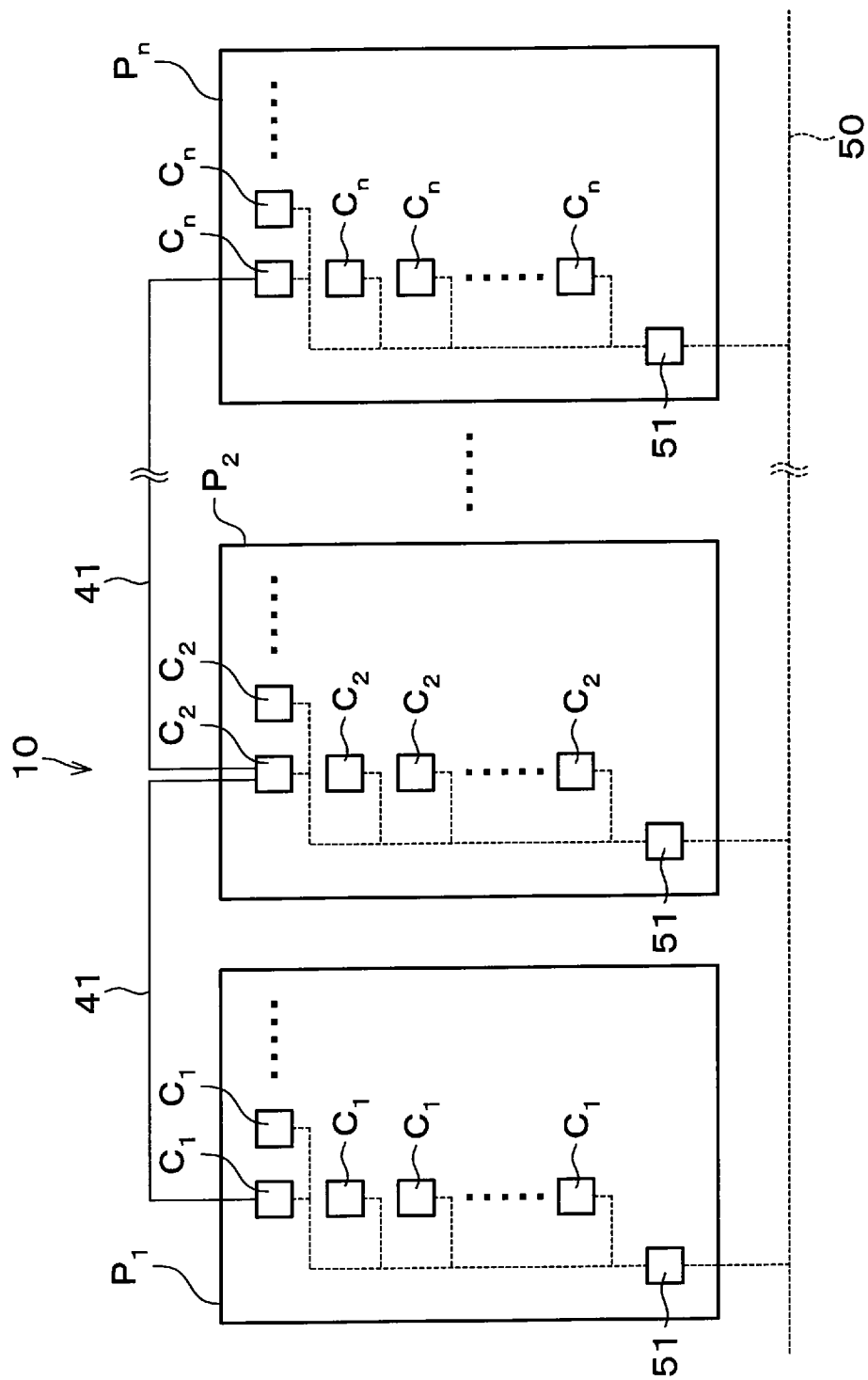
[図9]



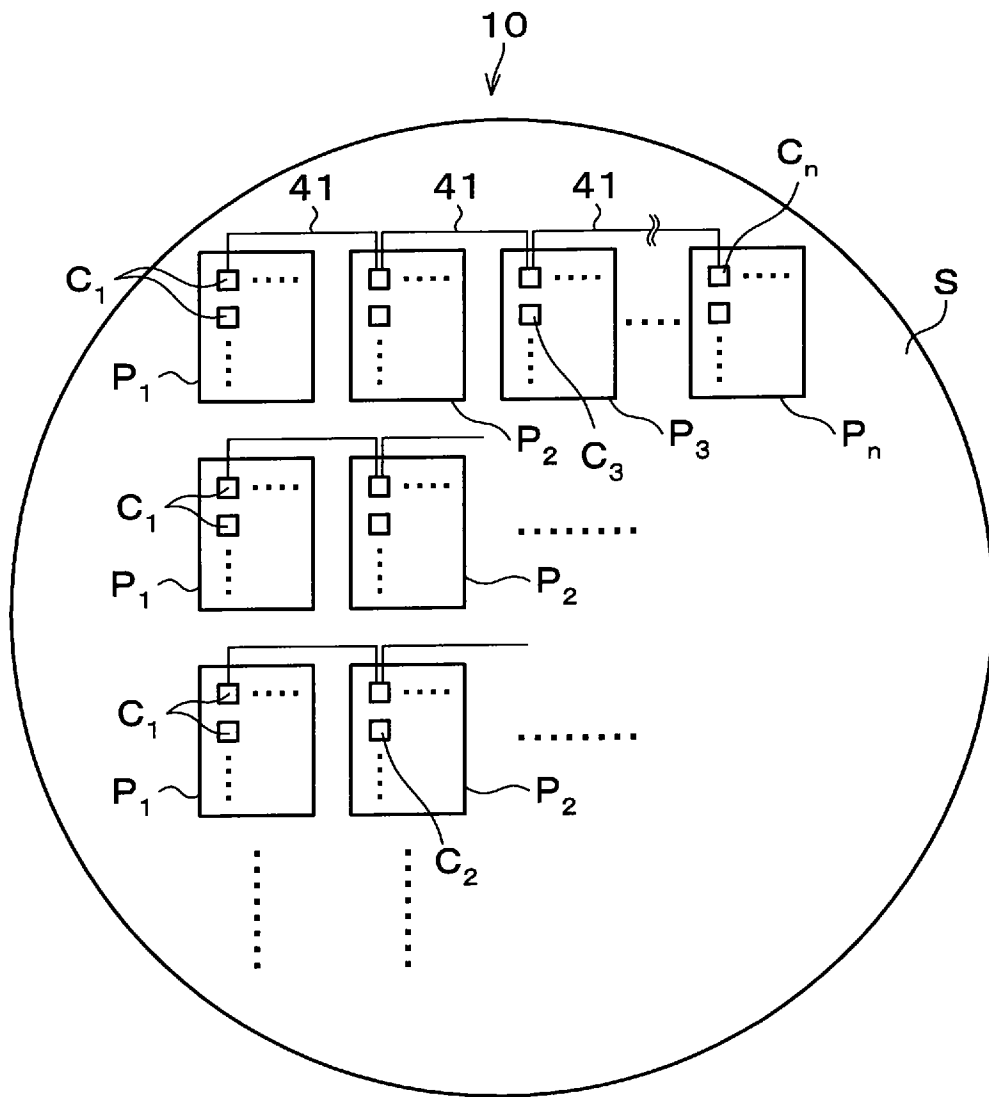
[図10]



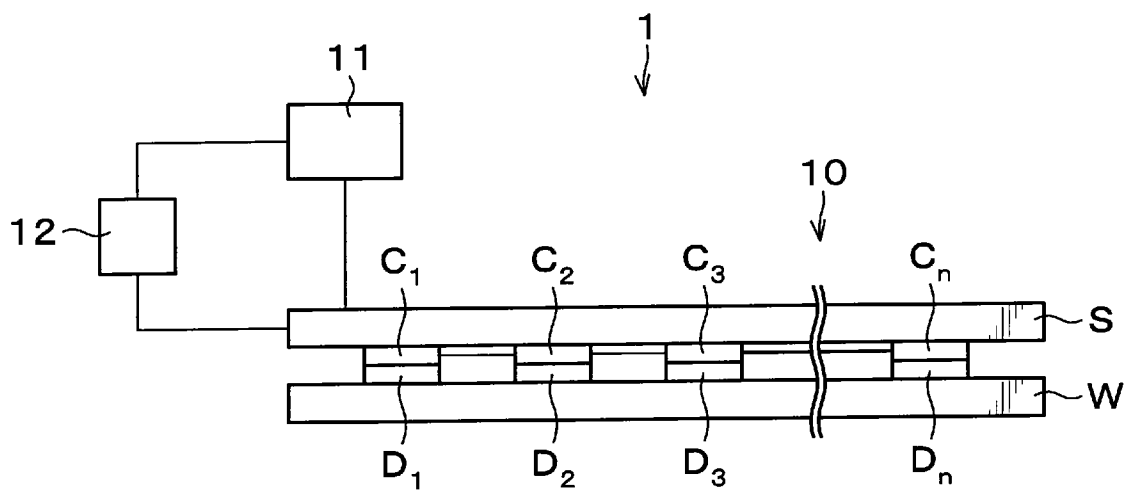
[図11]



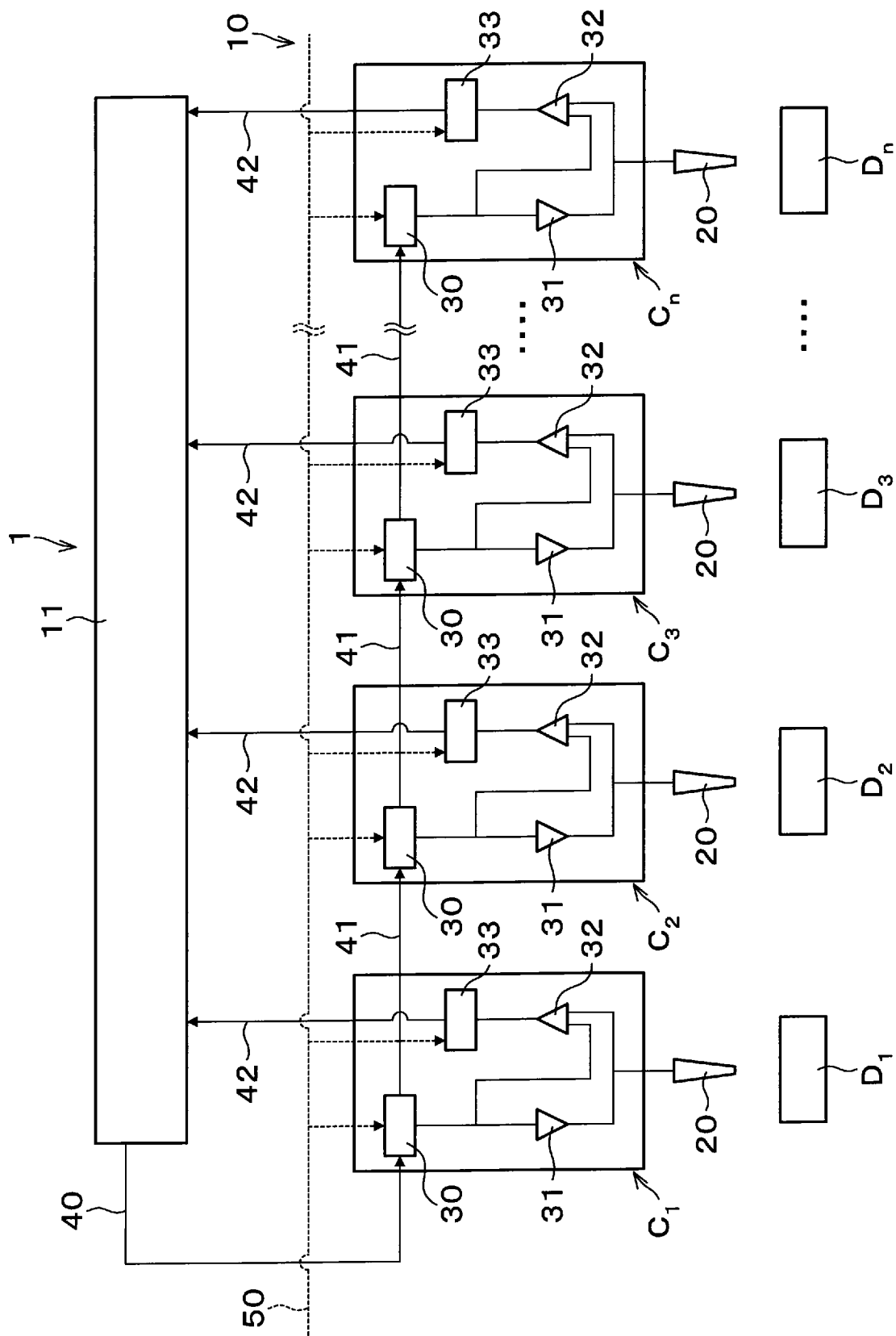
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/059882

A. CLASSIFICATION OF SUBJECT MATTER

G01R31/28(2006.01) i, H01L21/66(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R31/28, H01L21/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 60-100064 A (Hitachi, Ltd.), 03 June 1985 (03.06.1985), page 6, upper left column, line 16 to upper right column, line 3; fig. 3 to 5 (Family: none)	1-23
A	JP 2005-504970 A (Nextest Systems Corp.), 17 February 2005 (17.02.2005), paragraph [0033]; fig. 8 & US 2003/0062888 A1 & WO 2003/029833 A2	1-23



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
03 July, 2012 (03.07.12)

Date of mailing of the international search report
10 July, 2012 (10.07.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. G01R31/28(2006.01)i, H01L21/66(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G01R31/28, H01L21/66

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 60-100064 A（株式会社日立製作所）1985.06.03, 第6頁左上欄 第16行-右上欄第3行, 第3-5図（ファミリーなし）	1-23
A	JP 2005-504970 A（ネクステスト システムズ コーポレイション） 2005.02.17, 段落【0033】, 【図8】 & US 2003/0062888 A1 & WO 2003/029833 A2	1-23

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 3 . 0 7 . 2 0 1 2

国際調査報告の発送日

1 0 . 0 7 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

中村 和正

電話番号 03-3581-1101 内線 3258

2 S

4 4 0 1