

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

**特許第3738280号
(P3738280)**

(45) 発行日 平成18年1月25日(2006. 1. 25)

(24) 登録日 平成17年11月11日(2005. 11. 11)

(51) Int. Cl.

F I

G 0 5 F 1/56 (2006. 01)
G 1 1 C 11/407 (2006. 01)G O 5 F 1/56 3 1 O D
G O 5 F 1/56 3 1 O U
G O 5 F 1/56 3 1 O X
G 1 1 C 11/34 3 5 4 F

請求項の数 4 (全 15 頁)

(21) 出願番号	特願2000-22153 (P2000-22153)	(73) 特許権者	000005223
(22) 出願日	平成12年1月31日(2000. 1. 31)		富士通株式会社
(65) 公開番号	特開2001-216034 (P2001-216034A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成13年8月10日(2001. 8. 10)	(74) 代理人	100108187
審査請求日	平成16年4月20日(2004. 4. 20)		弁理士 横山 淳一
		(74) 代理人	100068755
			弁理士 恩田 博宣
		(74) 代理人	100105957
			弁理士 恩田 誠
		(72) 発明者	小林 勇
			愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴィエルエスアイ株式会社内
		審査官	川端 修
			最終頁に続く

(54) 【発明の名称】 内部電源電圧生成回路

(57) 【特許請求の範囲】

【請求項1】

第1の基準電圧を所定の電圧に基づいて調整して第2の基準電圧を生成するレベルトリミング回路と、

前記レベルトリミング回路に接続され、前記第2の基準電圧を用いて1つ以上の内部基準電圧を生成する基準電圧生成回路と

を備え、前記レベルトリミング回路は、

第1の抵抗、第2の抵抗、及び前記第1の抵抗と第2の抵抗との間に直列に接続されている、同一の抵抗値を有する複数の第3の抵抗で構成されており前記第2の基準電圧を分圧して複数の分圧電圧を生成する分圧回路と、

前記第1の抵抗に並列に接続されており該第1の抵抗を短絡させる第1の短絡スイッチと、

前記第2の抵抗に並列に接続されており該第2の抵抗を短絡させる第2の短絡スイッチと

を有しており、

外部の回路から出力される第1の信号に基づいて、前記第1の短絡スイッチ及び第2の短絡スイッチを相補的にオン・オフすることで前記第1の抵抗及び第2の抵抗の何れか一方を短絡させるとともに、外部の回路から出力される第2の信号に基づいて、前記複数の分圧電圧のうち何れか1つの分圧電圧を選択して前記所定の電圧として出力することを特徴とする内部電源電圧生成回路。

【請求項 2】

前記レベルトリミング回路は、前記分圧回路からフィードバック電圧として出力される前記分圧電圧及び前記第 1 の基準電圧に基づいて差動出力電圧を生成する差動アンプと、該差動アンプに接続されており、前記差動出力電圧に応答して前記第 2 の基準電圧を生成する駆動ドライバとを更に有することを特徴とする請求項 1 に記載の内部電源電圧生成回路。

【請求項 3】

前記レベルトリミング回路は、前記フィードバック電圧の位相ずれを補償する位相補償回路を更に有することを特徴とする請求項 2 に記載の内部電源電圧生成回路。

【請求項 4】

前記第 3 の抵抗は n 個の抵抗で構成されており、前記第 1 の抵抗及び第 2 の抵抗の抵抗値は、それぞれ前記第 3 の抵抗の抵抗値に $n - 1$ を乗じた値であることを特徴とする請求項 1 ～ 3 のうち何れか 1 項に記載の内部電源電圧生成回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、内部電源電圧生成回路に係り、特に半導体記憶装置において外部電源電圧を降圧させて生成した内部電源電圧を各内部回路に供給するのに好適な内部電源電圧生成回路に関するものである。

【0002】

【従来の技術】

近年、半導体記憶装置においては、微細化及び低消費電力化が進み、その一つ手段として外部電源電圧を降圧させて生成した内部電源電圧を各内部回路の駆動電源としている。この内部電源電圧を生成する内部電源電圧生成回路は、一般に基準電位発生回路と降圧レギュレータとからなる。

【0003】

基準電位発生回路は、外部装置から供給される外部電源電圧に対して所望電位の基準電圧を生成し、その生成した基準電圧を降圧レギュレータに出力する。降圧レギュレータは、この基準電圧と前記外部電源電圧を入力する。そして、降圧レギュレータは、基準電圧を制御信号として外部電源電圧を降圧して安定した内部電源電圧を生成する。降圧レギュレータは、生成した内部電源電圧を内部電源線を介して各種の内部回路の動作電源として供給する。

【0004】

ところで、降圧レギュレータにて生成された内部電源電圧は、近年ますますレベルばらつきを極力小さくすることが要求されている。従って、降圧レギュレータは基準電圧に基づいて外部電源電圧を内部電源電圧に降圧することから、その降圧レギュレータに入力される基準電圧は、精度の高い所望の電位が基準電位発生回路から生成される必要がある。

【0005】

しかしながら、基準電位発生回路は、数マイクロアンペア・オーダーの電流しか流していない微小電流回路であり、該回路を構成している各トランジスタの閾値は製造ばらつきの影響を受けて一様でない。従って、基準電圧はシビアにレベルがばらついてしまう。

【0006】

そこで、基準電位発生回路と降圧レギュレータの間に内部リファレンス生成回路を設けた内部電源電圧生成回路が提案されている。この内部リファレンス生成回路は、製造ばらつきに基づくばらつきのある基準電圧を所望電位に調節した基準電圧（第 2 の基準電圧）にして降圧レギュレータに入力するものである。

【0007】

図 6 は、その内部リファレンス生成回路を備えた内部電源電圧生成回路を示す。内部電源電圧生成回路 50 は、基準電位発生回路 51、内部リファレンス生成回路 52 及び降圧レギュレータ 53 を備えている。

10

20

30

40

50

【0008】

基準電位発生回路51は、外部装置から供給される外部電源電圧 V_{cc} に対して所望電位の第1の基準電圧 V_{flat1} を生成し、その生成した第1の基準電圧 V_{flat1} を内部リファレンス生成回路52に出力する。内部リファレンス生成回路52は、その第1の基準電圧 V_{flat1} に基づいて第2の基準電圧 V_{flat2} を生成する。

【0009】

図7はその内部リファレンス生成回路52の一例を示す。図7において、内部リファレンス生成回路52は、差動アンプ56、駆動ドライバ57、トリミング回路58及び位相補償回路59を有してゐる。

【0010】

差動アンプ56は、図8に示すように、差動増幅部としての第1のNチャネルMOSトランジスタ（以下、NMOSトランジスタという）Q1及び第2のNMOSトランジスタQ2を有し、両NMOSトランジスタQ1、Q2のソースは共通の電流制御用NMOSトランジスタQ3を介してグランド電圧が印加されているグランド電源線に接続されている。電流制御用NMOSトランジスタQ3のゲートは第1のNMOSトランジスタQ1のゲートに接続されている。

【0011】

又、両NMOSトランジスタQ1、Q2のドレインは、それぞれPチャネルMOSトランジスタ（以下、PMOSトランジスタという）Q4、Q5を介して外部電源電圧 V_{cc} が印加されている電源線に接続されている。PMOSトランジスタQ4、Q5のゲートは、互いに接続されているとともに第2のNMOSトランジスタQ2のドレインに接続されている。

【0012】

第1のNMOSトランジスタQ1のゲートには、前記基準電位発生回路51からの第1の基準電圧 V_{flat1} が入力される。第2のNMOSトランジスタQ2のゲートには、トリミング回路58からのフィードバック電圧 V_f が入力される。

【0013】

第1のNMOSトランジスタQ1のドレインは差動アンプ56の出力端子であって、その出力端子が駆動ドライバ57に接続されている。駆動ドライバ57はPMOSトランジスタQ6よりなり、PMOSトランジスタQ6のゲートに差動アンプ56の出力電圧 V_{out} が入力される。PMOSトランジスタQ6のソースは外部電源電圧 V_{cc} が印加されている電源線に接続され、PMOSトランジスタQ6のドレインは降圧レギュレータ53に接続されている。そして、PMOSトランジスタQ6のドレイン電位が、第2の基準電圧 V_{flat2} として降圧レギュレータ53に入力される。

【0014】

又、PMOSトランジスタQ6のドレインは、トリミング回路58を介してグランド電源線に接続されている。トリミング回路58は、4個の抵抗 $R_1 \sim R_4$ からなる分圧回路と、分圧回路の各抵抗 $R_1 \sim R_4$ 間に一端がそれぞれ接続され他端がそれぞれ前記差動アンプ56の第2のNMOSトランジスタQ2のゲートに接続された3個のトランスファークゲート $G_1 \sim G_3$ からなる選択回路からなる。そして、3個のトランスファークゲート $G_1 \sim G_3$ のいずれか一つのトランスファークゲートが選択信号 $\phi_1 \sim \phi_3$ に基づいてオンされ、残る二つのトランスファークゲートがオフされる。そして、オンしたトランスファークゲートを介して該トランスファークゲートに接続された分圧回路の抵抗 $R_1 \sim R_4$ 間に発生する分圧電圧がフィードバック電圧 V_f として差動アンプ56の非反転入力端子（第2のNMOSトランジスタQ2のゲート）に出力される。

【0015】

又、PMOSトランジスタQ6のドレインは、位相補償回路59を介してグランド電源線に接続されている。位相補償回路59は、抵抗 R_5 及び容量 C_1 とからなる。

【0016】

このように構成した内部リファレンス生成回路によれば、差動アンプ56はフィードバッ

10

20

30

40

50

ク電圧 V_f を第 1 の基準電圧 V_{flat1} と同じレベルとなるように出力電圧のレベルを上下させ、第 2 の基準電圧 V_{flat2} のレベルを調整する。つまり、出荷前にテスト試験において、製造ばらつき等によって基準電位発生回路 51 の第 1 の基準電圧 V_{flat1} がばらついて第 2 の基準電圧 V_{flat2} が所定電位になっているかどうかを検出する。そして、第 2 の基準電圧 V_{flat2} が所定電位にならないことを検出したとき、第 2 の基準電圧 V_{flat2} が所定電位となるように、3 個のトランスファークゲート $G1 \sim G3$ のいずれか一つのトランスファークゲートがオンさせてフィードバック電圧 V_f を調節すれば、第 2 の基準電圧 V_{flat2} は所定電位に調整される。従って、降圧レギュレータ 53 は、製造ばらつきが補償された第 2 の基準電圧 V_{flat2} に基づいて精度の高い安定した内部電源電圧 V_{dd} を生成することができる。

10

【0017】

尚、PMOS トランジスタ $Q6$ のソースに接続された位相補償回路 59 は、トリミング回路 58 を介して差動アンプ 56 に入力される選択されたフィードバック電圧 V_f の位相ズレに基づいて内部リファレンス生成回路 52 が発振動作するのを防止する。

【0018】

ところで、半導体記憶装置においては、前記内部電源電圧 V_{dd} もそれぞれの用途において、別々の電位（例えば、周辺機能回路の電源と、メモリセル（コア）部回路の電源等）が用意されるようになってきている。つまり、半導体記憶装置は、プロセスの微細化に基づく耐圧問題や消費電力の問題、電源ノイズや降圧電位の設定レベルの種々の要因から、例えば入出力回路用内部電源電圧生成回路、周辺機能回路用内部電源電圧生成回路、メモリアレイ部用内部電源電圧生成回路等がそれぞれ独立して設けられるようになってきている。

20

【0019】

図 9 は、そのための内部電源電圧生成回路の構成を示す。図 9 に示すように、複数個の降圧レギュレータ 61, 62, 63 がそれぞれ設けられ、それに伴って 1 つの基準電位発生回路 51 に対して複数個の内部リファレンス生成回路 64, 65, 66 が設けられる。つまり、各内部リファレンス生成回路 64, 65, 66 は、基準電位発生回路 51 の第 1 の基準電圧 V_{flat1} に対してそれぞれ第 2 の基準電圧 V_{flat2a} , V_{flat2b} , V_{flat2c} を生成する。そして、各降圧レギュレータ 61, 62, 63 は、それぞれの第 2 の基準電圧 V_{flat2a} , V_{flat2b} , V_{flat2c} に基づいて内部電源電圧 V_{dda} , V_{ddb} , V_{ddc} をそれぞれ生成して対応する内部回路に供給する。

30

【0020】

しかしながら、この場合、各内部電源電圧 V_{dda} , V_{ddb} , V_{ddc} に対してそれぞれ内部リファレンス生成回路 64, 65, 66 が設けられることになり、その内部リファレンス生成回路が増加する分だけ回路規模が増大する。

【0021】

そこで、図 10 に示すように、1 つの内部リファレンス生成回路 67 にて、複数個の第 2 の基準電圧 V_{flat2a} , V_{flat2b} , V_{flat2c} を生成する方法が提案されている。詳述すると、駆動ドライバ 57 を構成する PMOS トランジスタ $Q6$ のドレイン電位を第 2 の基準電圧 V_{flat2a} として取り出す他に、トリミング回路 58 の 5 個の抵抗 $R11 \sim R15$ よりなる分圧回路の分圧電圧をそれぞれの第 2 の基準電圧 V_{flat2b} , V_{flat2c} として取り出すものである。従って、1 つの内部リファレンス生成回路 67 にて複数個の第 2 の基準電圧 V_{flat2a} , V_{flat2b} , V_{flat2c} を生成することから、半導体記憶装置の回路規模を小型化することができる。

40

【0022】**【発明が解決しようとする課題】**

しかしながら、トリミング回路 58 は、第 1 の基準電圧 V_{flat1} のばらつきに基づいて 3 個のトランスファークゲート $G1 \sim G3$ のうちの 하나가選択される。従って、差動アンプ 56 の非反転入力端子（NMOS トランジスタ $Q2$ のゲート）から見た負荷は、選択されるトランスファークゲートによって降圧レギュレータ 62, 63 の負荷が加わることになり大

50

きく変動する。この負荷の大きな変動は、発振防止の位相補償回路 59 では補償することができず、内部リファレンス生成回路 67 が発振する。

【0023】

又、近年、半導体記憶装置においては、内部電源電圧 V_{dd} 、 V_{dda} 、 V_{ddb} 、 V_{ddc} のレベルばらつきを極力小さくする傾向にある。そのためにレベルトリミングの精度が細かく、即ち、トリミング回路 58 の分圧回路の抵抗の数が増加してきている。図 11 は、そのトリミング回路 70 を示す。図 11 において、トリミング回路 70 の分圧回路は 17 個の抵抗 $R_{a1} \sim R_{a17}$ からなる。又、フィードバック電圧 V_f を選択する選択回路は、16 個のトランスファークロップ $G_{a1} \sim G_{a16}$ から構成されている。

【0024】

そして、トランスファークロップ $G_{a1} \sim G_{a16}$ のいずれか一つを選択することによって、16 通りフィードバック電圧 V_f を選択することができる。従って、第 1 の基準電圧 V_{flat1} のより細かなばらつきを調整でき、内部電源電圧 V_{dd} 、 V_{dda} 、 V_{ddb} 、 V_{ddc} のレベルばらつきを小さくすることができる。しかしながら、分圧回路の抵抗及び選択回路のトランスファークロップの数の増加に基づいて回路規模の増大を招いていた。しかも、16 個のトランスファークロップ $G_{a1} \sim G_{a16}$ を選択するための信号線の増加を招き同様に回路規模の増大を招いていた。

【0025】

本発明は、上記問題点を解消するためになされたものであって、その目的は回路規模を大きくすることなく、しかも、フィードバック電圧の調整による負荷の変動を小さくでき精度の高い複数種類の内部電源電圧を生成することができる内部電源電圧生成回路を提供することある。

【0026】

【課題を解決するための手段】

請求項 1 に記載の発明は、第 1 の基準電圧を 所定の電圧に基づいて調整して第 2 の基準電圧を生成するレベルトリミング回路と、前記レベルトリミング回路に接続され、前記第 2 の基準電圧を用いて 1 つ以上の内部基準電圧を生成する基準電圧生成回路とを備え、前記レベルトリミング回路は、第 1 の抵抗、第 2 の抵抗、及び前記第 1 の抵抗と第 2 の抵抗との間に直列に接続されている、同一の抵抗値を有する複数の第 3 の抵抗で構成されており前記第 2 の基準電圧を分圧して複数の分圧電圧を生成する分圧回路と、前記第 1 の抵抗に並列に接続されており該第 1 の抵抗を短絡させる第 1 の短絡スイッチと、前記第 2 の抵抗に並列に接続されており該第 2 の抵抗を短絡させる第 2 の短絡スイッチとを有しており、外部の回路から出力される第 1 の信号に基づいて、前記第 1 の短絡スイッチ及び第 2 の短絡スイッチを相補的にオン・オフすることで前記第 1 の抵抗及び第 2 の抵抗の何れか一方を短絡させるとともに、外部の回路から出力される第 2 の信号に基づいて、前記複数の分圧電圧のうち何れか 1 つの分圧電圧を選択して前記所定の電圧として出力する。

【0027】

請求項 2 に記載の発明は、前記レベルトリミング回路は、前記分圧回路からフィードバック電圧として出力される前記分圧電圧及び前記第 1 の基準電圧に基づいて差動出力電圧を生成する差動アンプと、該差動アンプに接続されており、前記差動出力電圧に応答して前記第 2 の基準電圧を生成する駆動ドライバとを更に有する。

【0028】

請求項 3 に記載の発明は、前記レベルトリミング回路は、前記フィードバック電圧の位相ずれを補償する位相補償回路を更に有する。

【0029】

請求項 4 に記載の発明は、前記第 3 の抵抗は n 個の抵抗で構成されており、前記第 1 の抵抗及び第 2 の抵抗の抵抗値は、それぞれ前記第 3 の抵抗の抵抗値に $n - 1$ を乗じた値である。

【0033】

【発明の実施の形態】

10

20

30

40

50

以下、本発明をシンクロナス D R A M に内蔵された内部電源電圧生成回路に具体化した一実施形態を図面に従って説明する。

【0034】

図1は、複数個の内部電源電圧 V_{dd1} 、 V_{dd2} 、 V_{dd3} を生成する内部電源電圧生成回路1の構成を示すブロック回路図である。

内部電源電圧生成回路1は、基準電位発生回路2、内部リファレンス生成回路3及び複数（本実施形態では3個）の第1～第3降圧レギュレータ4～6を有している。基準電位発生回路2は、図6で示した従来の基準電位発生回路51と同一の回路構成であって、図示しない外部装置から供給される外部電源電圧 V_{cc} に対して第1の基準電圧 V_{flat1} を生成する。その生成された第1の基準電圧 V_{flat1} は内部リファレンス生成回路3に出力され

10

【0035】

内部リファレンス生成回路3は、レベルトリミング回路7と基準電圧生成回路8を備えている。レベルトリミング回路7は前記第1の基準電圧 V_{flat1} を入力し、第1の基準電圧 V_{flat1} を予め定めたレベルの第2の基準電圧 V_{flat2} に調整し出力する。基準電圧生成回路8は、レベルトリミング回路7からの第2の基準電圧 V_{flat2} を入力し、該第2の基準電圧 V_{flat2} に基づいて第3の基準電圧としての3種類の第1～第3最終内部基準電圧 V_{flat3a} 、 V_{flat3b} 、 V_{flat3c} を生成する。

【0036】

第1降圧レギュレータ4は、第1最終内部基準電圧 V_{flat3a} を入力し、第1最終内部基準電圧 V_{flat3a} を制御信号として外部電源電圧 V_{cc} を降圧して安定した内部電源電圧 V_{dd1} を生成する。第2降圧レギュレータ5は、第2最終内部基準電圧 V_{flat3b} を入力し、第2最終内部基準電圧 V_{flat3b} を制御信号として外部電源電圧 V_{cc} を降圧して安定した内部電源電圧 V_{dd2} を生成する。第3降圧レギュレータ6は、第3最終内部基準電圧 V_{flat3c} を入力し、第3最終内部基準電圧 V_{flat3c} を制御信号として外部電源電圧 V_{cc} を降圧して安定した内部電源電圧 V_{dd3} を生成する。

20

【0037】

次に、レベルトリミング回路7と基準電圧生成回路8を備えた内部リファレンス生成回路3の詳細を図2に従って説明する。

図2において、レベルトリミング回路7は、差動アンプ11、駆動ドライバ12、トリミング回路13及び位相補償回路14を有して

30

【0038】

差動アンプ11は、前記従来技術で説明した差動アンプ56と同一構成であるのでその詳細を省略する。差動アンプ11は、その反転（マイナス）入力端子に前記第1の基準電圧 V_{flat1} を入力する。差動アンプ11の出力端子は駆動ドライバ12に接続されている。駆動ドライバ12は P M O S トランジスタ Q_{11} よりなり、該 P M O S トランジスタ Q_{11} のゲートが前記差動アンプ11の出力端子と接続されている。該 P M O S トランジスタ Q_{11} のソースが外部電源電圧 V_{cc} が供給されている電源線に接続されている。そして、P M O S トランジスタ Q_{11} のドレインは基準電圧生成回路8に接続され、そのドレイン電位が第2の基準電圧 V_{flat2} として基準電圧生成回路8に入力される。

40

【0039】

又、P M O S トランジスタ Q_{11} のドレインは、トリミング回路13を介してグランド電源線に接続されている。トリミング回路13は、4個の抵抗 $R_{11} \sim R_{14}$ からなる分圧回路と、分圧回路の各抵抗 $R_{11} \sim R_{14}$ 間に一端がそれぞれ接続され他端がそれぞれ前記差動アンプ11の非反転（プラス）入力端子に接続された3個のトランスファークラップゲート $G_{11} \sim G_{13}$ からなる選択回路を有している。

【0040】

3個のトランスファークラップゲート $G_{11} \sim G_{13}$ は、図示しない選択制御回路からの選択信号 $\phi_1 \sim \phi_3$ に基づいて、いずれか一つのトランスファークラップゲートがオンされ、残る二つのトランスファークラップゲートがオフされる。このオンしたトランスファークラップゲートを介して該トラン

50

スファークゲートに接続された分圧回路の抵抗 $R_{11} \sim R_{14}$ 間に発生する分圧電圧がフィードバック電圧 V_{f1} として差動アンプ 11 の非反転（プラス）入力端子に出力される。尚、選択制御回路からの選択信号 $\phi_1 \sim \phi_3$ は、内部テストモード信号などによって随時可変可能な制御信号、或いは、ROMなどの固定的な制御信号である。

【0041】

そして、出荷前のテスト試験において、製造ばらつき等によって基準電位発生回路 2 の第 1 の基準電圧 V_{flat1} がばらついて第 2 の基準電圧 V_{flat2} が所定電位になっているか否かを検査する。検査の結果、第 2 の基準電圧 V_{flat2} が所定電位になっていないとき、第 2 の基準電圧 V_{flat2} が所定電位となるように、3 個のトランスファークゲート $G_{11} \sim G_{13}$ のいずれか一つのトランスファークゲートがオンさせてフィードバック電圧 V_{f1} を調節することにより、第 2 の基準電圧 V_{flat2} は所定電位に調整されることになる。従って、基準電圧生成回路 8 には、製造ばらつきが補償された第 2 の基準電圧 V_{flat2} が入力される。

10

【0042】

又、PMOS トランジスタ Q_{11} のドレインとグランド電源線との間には、位相補償回路 14 が接続されている。位相補償回路 14 は、抵抗 R_{15} 及び容量 C_2 とからなり、トリミング回路 13 を介して差動アンプ 11 に入力される選択されたフィードバック電圧 V_f の位相ズレを補償してレベルトリミング回路 7 が発振動作するのを防止する。

【0043】

レベルトリミング回路 7 が生成した第 2 の基準電圧 V_{flat2} は、基準電圧生成回路 8 に入力される。基準電圧生成回路 8 は、差動アンプ 21、駆動ドライバ 22、分圧回路 23 及び位相補償回路 24 を有してゐる。

20

【0044】

差動アンプ 21 は、差動アンプ 11 と同様に、前記従来技術で説明した差動アンプ 56 と同一構成であるのでその詳細を省略する。差動アンプ 21 は、その反転（マイナス）入力端子に前記第 2 の基準電圧 V_{flat2} を入力する。差動アンプ 21 の出力端子は PMOS トランジスタ Q_{12} よりなり駆動ドライバ 22 に接続されている。該 PMOS トランジスタ Q_{12} のゲートが前記差動アンプ 21 の出力端子と接続されている。該 PMOS トランジスタ Q_{12} のソースが外部電源電圧 V_{cc} が供給されている電源線に接続されている。そして、PMOS トランジスタ Q_{12} のドレインは第 1 降圧レギュレータ 4 に接続され、そのドレイン電位が第 1 最終内部基準電圧 V_{flat3a} として第 1 降圧レギュレータ 4 に入力される。

30

【0045】

PMOS トランジスタ Q_{12} のドレインとグランド電源線との間には分圧回路 23 が接続されている。分圧回路 23 は、4 個の抵抗 $R_{21} \sim R_{24}$ からなる。そして、抵抗 R_{21} と抵抗 R_{22} の接続点は、差動アンプ 21 の非反転（プラス）入力端子に接続され、該入力端子にフィードバック電圧 V_{f2} を入力するようになっている。又、抵抗 R_{22} と抵抗 R_{23} の接続点の分圧電圧は、第 2 最終内部基準電圧 V_{flat3b} として第 2 降圧レギュレータ 5 に入力される。さらに、抵抗 R_{23} と抵抗 R_{24} の接続点の分圧電圧は、第 3 最終内部基準電圧 V_{flat3c} として第 3 降圧レギュレータ 6 に入力される。

40

【0046】

ところで、第 1 降圧レギュレータ 4 に入力される第 1 最終内部基準電圧 V_{flat3a} が予め定められた電圧値になるように設定されていて、前記フィードバック電圧 V_{f2} によって決定される。又、第 2 最終内部基準電圧 V_{flat3b} 及び第 3 最終内部基準電圧 V_{flat3c} も予め定められた電圧値になるように設定されていて、前記第 1 最終内部基準電圧 V_{flat3a} を分圧することによって生成される。

【0047】

つまり、差動アンプ 21 は、フィードバック電圧 V_{f2} を第 2 の基準電圧 V_{flat2} と同じレベルとなるように動作することから、

$$V_{flat2} = V_f$$

$$= V_{flat3a} \cdot (R_{22} + R_{23} + R_{24}) / (R_{21} + R_{22} + R_{23} + R_{24})$$

となる。今、 $R_{22} + R_{23} + R_{24} = R_A$ とすると、

$$V_{flat3a} = V_{flat2} \cdot (R_{21} + R_{22} + R_{23} + R_{24}) / (R_{22} + R_{23} + R_{24})$$

$$= V_{flat2} \cdot (R_{21} + R_A) / R_A$$

となる。

【0048】

10

$$\text{又、} V_{flat3b} = V_{flat3a} \cdot (R_{23} + R_{24}) / (R_{21} + R_{22} + R_{23} + R_{24})$$

$$= V_{flat2} \cdot (R_{23} + R_{24}) / (R_{22} + R_{23} + R_{24})$$

$$\text{又、} V_{flat3c} = V_{flat3a} \cdot R_{24} / (R_{21} + R_{22} + R_{23} + R_{24})$$

$$= V_{flat2} \cdot R_{24} / (R_{22} + R_{23} + R_{24})$$

となる。

【0049】

従って、各抵抗 $R_{21} \sim R_{24}$ の抵抗値をそれぞれ予め設定することによって、所望の電圧値の第1～第3最終内部基準電圧 V_{flat3a} , V_{flat3b} , V_{flat3c} を、図3に示すように、基準電圧生成回路8から出力させることができる。

20

【0050】

又、PMOSトランジスタ Q_{12} のドレインとグランド電源線との間には、位相補償回路24が接続されている。位相補償回路24は、抵抗 R_{25} 及び容量 C_3 とからなり、分圧回路23を介して差動アンプ21に入力される選択されたフィードバック電圧 V_f の位相ズレを補償して基準電圧生成回路8が発振動作するのを防止する。

【0051】

次に、上記のように構成したレベルトリミング回路7と基準電圧生成回路8を備えた内部リファレンス生成回路3の特徴を以下に記載する。

(1) 本実施形態の内部リファレンス生成回路3は、基準電圧生成回路8に設けた分圧回路23によって、第1～第3降圧レギュレータ4～6のための第1～第3最終内部基準電圧 V_{flat3a} , V_{flat3b} , V_{flat3c} をそれぞれ生成するようにしたので、回路規模を小型化することができる。

30

【0052】

(2) 本実施形態の内部リファレンス生成回路3は、レベルトリミング回路7にて、ばらつく第1の基準電圧 V_{flat1} を補償した第2の基準電圧 V_{flat2} を生成したのち、該第2の基準電圧 V_{flat2} を次段の基準電圧生成回路8に入力する。そして、基準電圧生成回路8において第1～第3降圧レギュレータ4～6のための第1～第3最終内部基準電圧 V_{flat3a} , V_{flat3b} , V_{flat3c} をそれぞれ生成するようにした。

【0053】

40

つまり、レベルトリミング回路7の差動アンプ11の非反転（プラス）入力端子から見た負荷は、選択されるトランスファークロウ $G_{11} \sim G_{13}$ によって第1～第3降圧レギュレータ4～6の負荷が加わることがない。従って、負荷の変動は小さく抑えられるため、位相補償回路14によってレベルトリミング回路7での発振動作を防止することができる。

【0054】

尚、基準電圧生成回路8の差動アンプ21の非反転（プラス）入力端子から見た負荷は、第1～第3降圧レギュレータ4～6の負荷が見えるが、レベルトリミング回路7のようにトランスファークロウ $G_{11} \sim G_{13}$ が無いため、変動はない。従って、位相補償回路24によって基準電圧生成回路8での発振動作を防止することができる。

50

【0055】

(3) 本実施形態では、基準電圧生成回路8において、差動アンプ21を設け、その非反転（プラス）入力端子にフィードバック電圧 V_{f2} を供給するようにした。つまり、第1最終内部基準電圧 V_{flat3a} を分圧して得られるフィードバック電圧 V_{f2} を適宜変更するだけで第1～第3最終内部基準電圧 V_{flat3a} 、 V_{flat3b} 、 V_{flat3c} の電圧値を適宜変更することができる。

【0056】

(第2実施形態)

本実施形態は、上記第1実施形態の基準電圧生成回路に特徴を有するため、説明の便宜上、基準電圧生成回路について詳細に説明する。

10

【0057】

図4は、本実施形態の内部リファレンス生成回路3を説明するための回路図を示す。図4に示すように、本実施形態の基準電圧生成回路31は、4個の抵抗 $R_{31} \sim R_{34}$ からなる分圧回路32にて構成され、第1実施形態の差動アンプ21、駆動ドライバ22及び位相補償回路24に相当するものを無くした構成にしたものである。この場合、最も高電位の第1降圧レギュレータ4～6のための第1最終内部基準電圧 V_{flat3a} は、レベルトリミング回路7にて生成された第2の基準電圧 V_{flat2} となり、第2の基準電圧 V_{flat2} より高い電位の第1最終内部基準電圧 V_{flat3a} を得ることはできない。

【0058】

このように、構成することによっても、上記した第1実施形態で説明した内部リファレンス生成回路3の(1)及び(2)の特徴を有するとともに、差動アンプ21、駆動ドライバ22及び位相補償回路24を省略した分だけ回路規模をさらに小型化することができる。

20

【0059】

(第3実施形態)

本実施形態は、上記第1実施形態のレベルトリミング回路に特徴を有するため、説明の便宜上、レベルトリミング回路について詳細に説明する。

【0060】

図5は、本実施形態の内部リファレンス生成回路3のレベルトリミング回路7を説明するための回路図を示す。図5に示すように、本実施形態のレベルトリミング回路7のトリミング回路33を構成する分圧回路は11個の抵抗 $R_{40} \sim R_{50}$ からなる。そして、最も駆動ドライバ12側の第1の抵抗としての抵抗 R_{40} 及び最もグランド電源線側の第2の抵抗としての抵抗 R_{50} を除く9個の第3の抵抗としての抵抗 $R_{41} \sim R_{49}$ の抵抗値は、全て同じ抵抗値である。尚、抵抗 R_{40} 及び抵抗 R_{50} の抵抗値は、各抵抗 $R_{41} \sim R_{49}$ の抵抗値の8倍の値である。

30

【0061】

又、フィードバック電圧 V_{f1} を選択する選択回路は、8個のトランスファークロスタックG21～G28と、短絡スイッチとしてのPMOSトランジスタTP1及びNMOSトランジスタTN1とから構成されている。トランスファークロスタックG21～G28は、抵抗 $R_{41} \sim R_{49}$ の各接続点と、差動アンプ11の非反転（プラス）入力端子との間にそれぞれ接続される。そして、トランスファークロスタックG21～G28のいずれ一つが図示しない選択制御回路からの選択信号 $\phi_1 \sim \phi_8$ に基づいて選択され、その選択されたトランスファークロスタックを介して入力される分圧電圧がフィードバック電圧 V_{f1} として差動アンプ11の非反転（プラス）入力端子に入力される。尚、選択制御回路からの選択信号 $\phi_1 \sim \phi_8$ は、内部テストモード信号などによって随時可変可能な制御信号、或いは、ROMなどの固定的な制御信号である。

40

【0062】

PMOSトランジスタTP1は最も駆動ドライバ12側の抵抗 R_{40} と並列に接続され、NMOSトランジスタTN1は最もグランド電源線側の抵抗 R_{50} と並列に接続されている。PMOSトランジスタTP1及びNMOSトランジスタTN1のゲートは、同じく図

50

示しない選択制御回路からのモード選択信号fazを入力する。従って、モード選択信号fazがHレベルの時（以下、第1モードという）、PMOSトランジスタTP1がオフし、NMOSトランジスタTN1がオンする。モード選択信号fazがLレベルの時（以下、第2モードという）、PMOSトランジスタTP1がオンし、NMOSトランジスタTN1がオフする。

【0063】

つまり、第1モードにすると、 $8 \cdot V_{flat2} / 17$ ボルトから $V_{flat2} / 17$ ボルトの間において、フィードバック電圧 V_{f1} はトランスファークロウG21～G28により8通りのフィードバック電圧を得る。又、第2モードにすると、 $16 \cdot V_{flat2} / 17$ ボルトから $9 \cdot V_{flat2} / 17$ ボルトの間において、フィードバック電圧 V_{f1} はトランスファークロウG21～G28により8通りのフィードバック電圧を得る。

10

【0064】

従って、モード選択信号faz及び選択信号 $\phi 1 \sim \phi 8$ に基づいて、16通りのフィードバック電圧 V_{f1} を選択することができ、第1の基準電圧 V_{flat1} のより細かなばらつきを調整でき、より精度の高い第2の基準電圧 V_{flat2} を生成することができる。

【0065】

しかも、トリミング回路33を構成する分圧回路中の抵抗素子の数及び選択回路中のトランスファークロウの数並びに選択信号 $\phi 1 \sim \phi 8$ の信号線の本数は、前記した図11に示す従来の内部リファレンス生成回路52に比べ、遙かに少なくすることができ、回路規模の小型化をさらに図ることができる。

20

【0066】

尚、本実施形態では、抵抗R41～R49の抵抗値を全て同じ抵抗値とし、抵抗R40及び抵抗R50の抵抗値を各抵抗R41～R49の抵抗値の8倍の値としてたが、これに限定されるものではなく、抵抗R40～R50を適宜変更して実施してもよい。

【0067】

発明の実施形態は、上記実施形態に限定されるものではなく、以下のように実施してもよい。

・図5に示す第3実施形態で説明したレベルトリミング回路7と図4に示す第2実施形態で説明した基準電圧生成回路31とで内部リファレンス生成回路3を構成しててもよい。この場合、回路規模をさらに小型化することができることになる。

30

【0068】

・各実施形態の内部電源電圧生成回路は、シンクロナスDRAMに内蔵された内部電源電圧生成回路に具体化したた、その他の半導体記憶装置及び半導体記憶装置以外の半導体装置の内部電源電圧生成回路に具体化してもよい。

【0069】

・第1実施形態では、第1～第3降圧レギュレータ4～6に対して3種類の第1～第3最終内部基準電圧 V_{flat3a} , V_{flat3b} , V_{flat3c} を生成したが、降圧レギュレータの本数は特に限定されるものではなく、1つ又は2つでもよい。さらに4つ以上でもよい。

【0070】

【発明の効果】

40

本願請求項に係る発明によれば、回路規模を小さくできしかも負荷の変動を小さくでき精度の高い複数の内部電源電圧を生成することができる効果を有する。

【図面の簡単な説明】

【図1】第1実施形態の内部電源生成回路を説明するためのブロック回路図

【図2】第1実施形態の内部リファレンス生成回路の回路図

【図3】各基準電圧の電位の遷移図

【図4】第2実施形態の基準電圧生成回路を説明するための回路図

【図5】第3実施形態のレベルトリミング回路を説明するための回路図

【図6】従来の内部電源電圧生成回路を説明するためのブロック回路図

【図7】従来の内部リファレンス生成回路の回路図

50

【図 8】 差動アンプの回路図

【図 9】 従来の内部電源電圧生成回路を説明するためのブロック回路図

【図 10】 従来の内部リファレンス生成回路の回路図

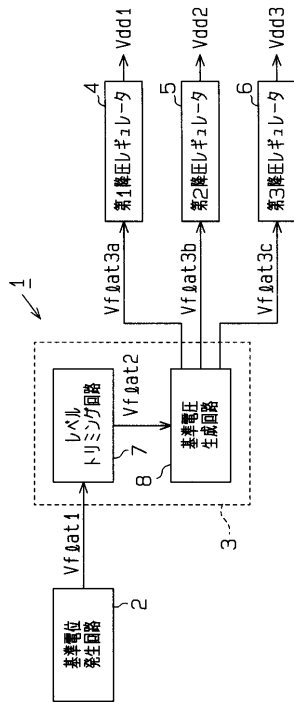
【図 11】 従来の内部リファレンス生成回路の回路図

【符号の説明】

1	内部電源電圧生成回路	
2	基準電圧発生回路	
3	内部リファレンス生成回路	
4	第 1 降圧レギュレータ	
5	第 2 降圧レギュレータ	10
6	第 3 降圧レギュレータ	
7	レベルトリミング回路	
8	基準電圧生成回路	
11	差動アンプ	
12	駆動ドライバ	
13	トリミング回路	
14	位相補償回路	
21	差動アンプ	
22	駆動ドライバ	
23	分圧回路	20
31	基準電圧生成回路	
32	分圧回路	
33	トリミング回路	
Vdd1, Vdd2, Vdd3	内部電源電圧	
Vf1	フィードバック電圧	
Vflat1	第 1 の基準電圧	
Vflat2	第 2 の基準電圧	
Vflat3a	第 3 の基準電圧としての第 1 最終内部基準電圧	
Vflat3b	第 3 の基準電圧としての第 2 最終内部基準電圧	
Vflat3c	第 3 の基準電圧としての第 2 最終内部基準電圧	30
R11～R14	分圧回路を構成する抵抗	
R21～R24	分圧回路を構成する抵抗	
R31～R34	分圧回路を構成する抵抗	
R40～R50	抵抗分圧回路を構成する抵抗	
G11～G13	選択回路を構成するトランスファークラップ	
G21～G28	選択回路を構成するトランスファークラップ	
TP1	短絡スイッチとしての PMOS トランジスタ	
TN1	短絡スイッチとしての NMOS トランジスタ	

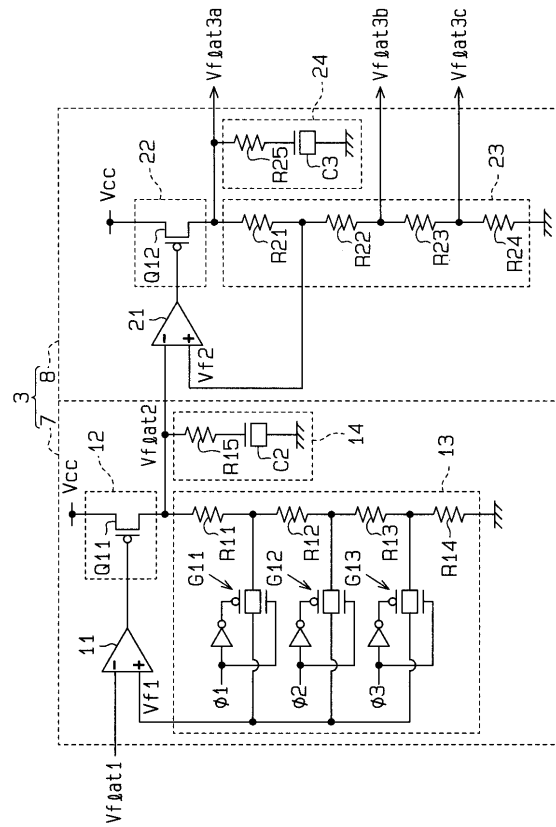
【図 1】

第1実施形態の内部電源電圧生成回路を説明するためのブロックの回路図



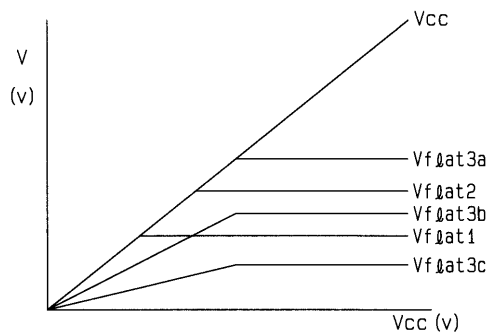
【図 2】

第1実施形態の内部リファレンス生成回路の回路図



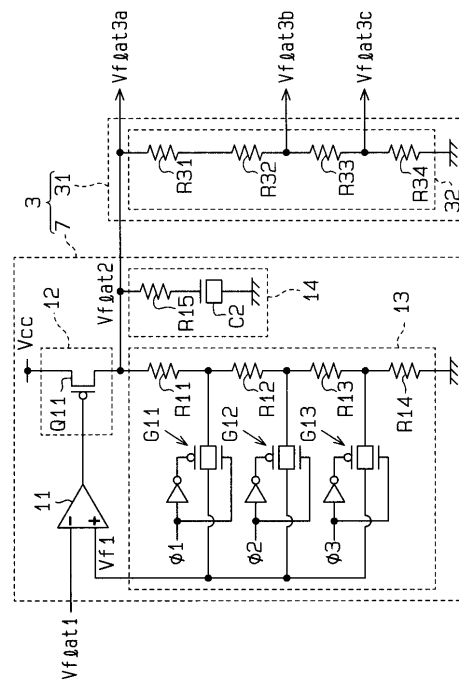
【図 3】

各基準電圧の電位の遷移図



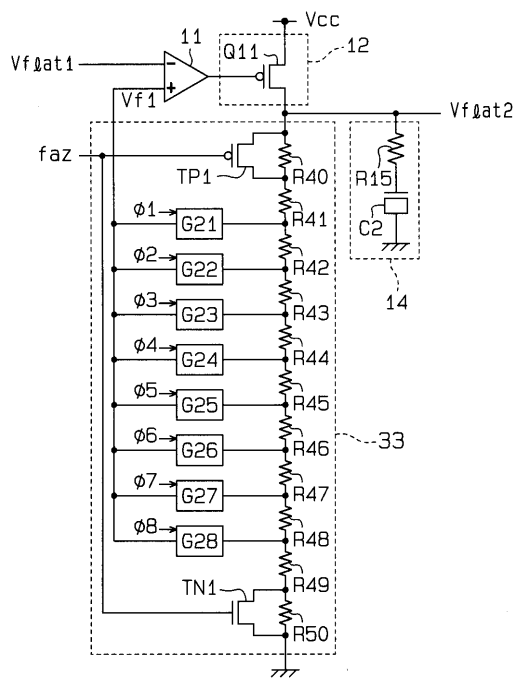
【図 4】

第2実施形態の基準電圧生成回路を説明するための回路図



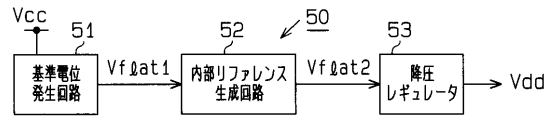
【図 5】

第3実施形態のレベルトリミング回路を説明するための回路図



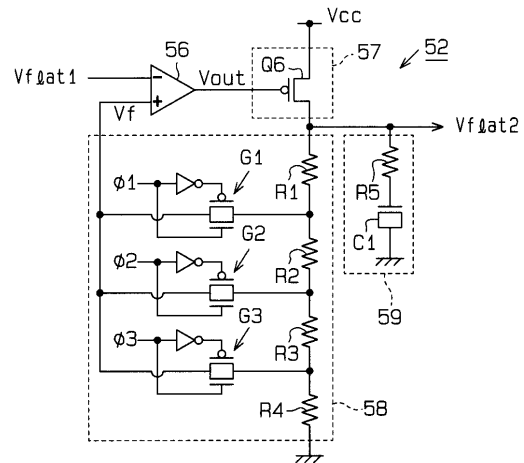
【図 6】

従来の内部電源電圧生成回路を説明するためのブロック回路図



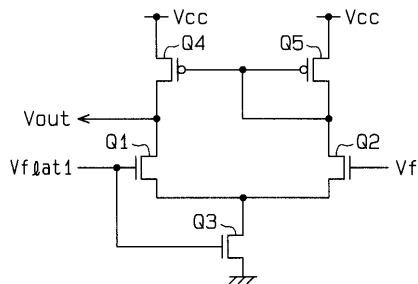
【図 7】

従来の内部リファレンス生成回路の回路図



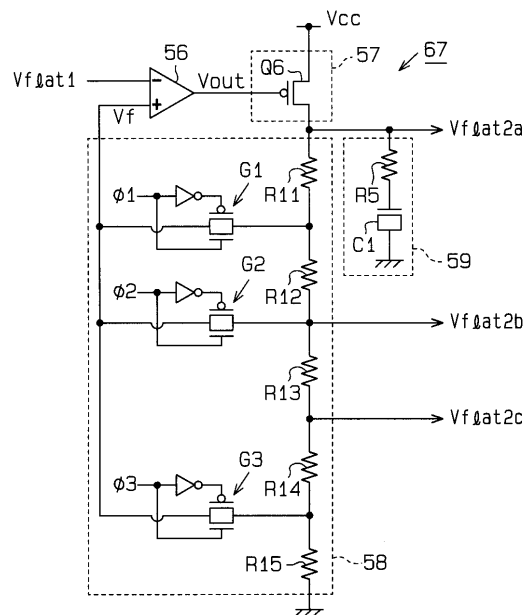
【図 8】

差動アンプの回路図



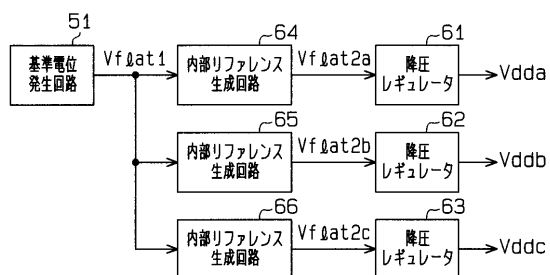
【図 10】

従来の内部リファレンス生成回路の回路図



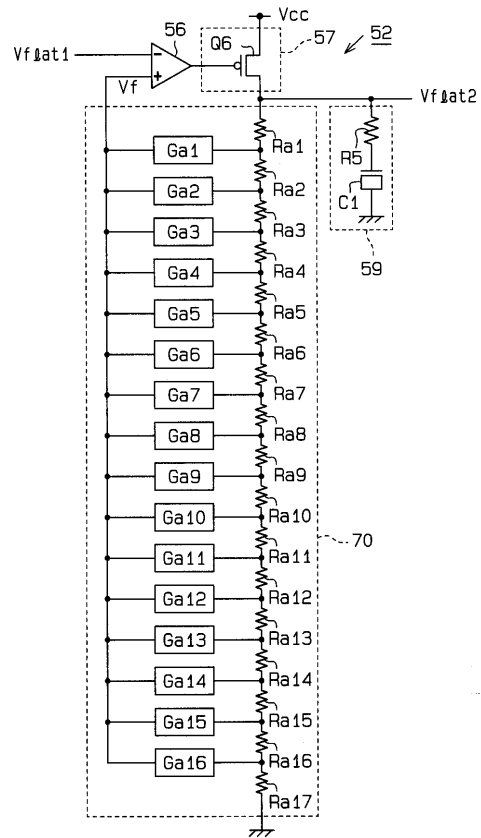
【図 9】

従来の内部電源電圧生成回路を説明するためのブロック回路図



【図 1 1】

従来の内部リファレンス生成回路の回路図



フロントページの続き

- (56)参考文献 特開平11-213664 (JP, A)
特開平11-068569 (JP, A)
特開平11-024766 (JP, A)
特開平06-215571 (JP, A)
特開平04-102300 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G05F 1/56
G11C 11/407