



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

212354

(11) (B1)

(51) Int. Cl.³
G 06 F 15/16

(22) Přihlášeno 30 11 77
(21) (PV 7923-77)

(40) Zveřejněno 31 10 80

(45) Vydáno 15 07 84

(75)

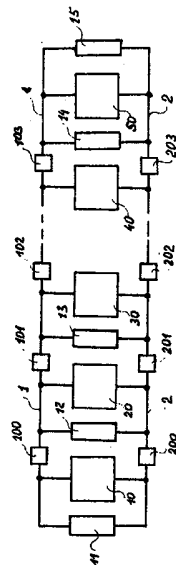
Autor vynálezu

JURA STANISLAV ing. CSc., PRAHA

(54) Dvouběrníkový, modulární, logický systém

Vynález spadá do oboru číslicové techniky. Řeší problém vytvoření jednoduchého modulárního logického systému s mnohostranným využitím v číslicové technice. Na jeho základě je možno vytvářet systémy procesorů univerzálních číslicových počítačů, mikroprocesorů či mikropočítačů. Podstata vynálezu spočívá v tom, že použitím vstupní a výstupní sběrnice, které jsou spojeny funkčními bloky a opatřeny paralelními a sériovými přenosovými moduly, lze dosáhnout paralelní spolupráce těchto funkčních bloků, a tím zvýšit výkonnost logického systému. Funkční bloky mohou být tvořeny aritmeticko-logickými jednotkami, operačními pamětmi, pamětmi typu ROM, PROM, EPROM, případně periferními zařízeními a podobně. Sériové a paralelní přenosové moduly obsahují minimálně elektronické jednosměrné či obousměrné spínače a kombinační či sekvenční obvody. Sériové přenosové moduly ovládají průchodnost vstupní a výstupní sběrnice a paralelní přenosové moduly jednak zkracují cestu pro některé informační signály, jednak je vhodně upravují či přetvářejí.

Hlavními obory využití vynálezu jsou výpočetní technika, programové řízení výrobních strojů, robotika, mikroelektronika.



Vynález se týká dvousběrníkového, modulárního, logického systému se dvěma sběrnici, z nichž jedna je vstupní a druhá výstupní.

Modulární logické systémy tohoto typu jsou známy a používají se ve funkci zejména univerzálních, číslicových počítačů, případně mikroprocesorů. Dosavadní známé systémy tohoto druhu mají však některé nevýhody. Hlavní je ta, že nedovolují paralelní spolupráci funkčních bloků, a tím snižují podstatně výkonnost systému. Existují ovšem logické systémy s centrální sběrnicí, které paralelní spolupráci dovolují, ty však mají zase jiné nevýhody - a to ve složitosti vstupních a výstupních obvodů jednotlivých funkčních bloků.

Uvedené nevýhody odstraňuje dvousběrníkový, modulární, logický systém s paralelně připojenými funkčními bloky, například ve formě procesoru, operační paměti, aritmeticko-logické jednotky, přídatného zařízení, s minimálně jedním přenosovým modulem, například ve formě obousměrného elektronického přepínače, dekodéru, jehož součástí je případně i blok spínačů, podle vynálezu, jehož podstatou je, že jak na vstupní sběrnici, tak na výstupní sběrnici je zapojen minimálně jeden sériový přenosový modul, přičemž paralelně k funkčním blokům jsou připojeny minimálně dva paralelní přenosové moduly.

Pokrok dosažený vynálezem spočívá ve zvýšení výkonu dvousběrníkového, modulárního, logického systému a poměrně jednoduchém řízení jeho funkce.

Některé z mnoha možných provedení vynálezu jsou schematicky znázorněny na připojeném výkresu. Obr. 1 představuje nejobecnější blokové schéma modulárního systému podle vynálezu. Na obr. 2 je schematicky znázorněno provedení se dvěma paralelními a dvěma sériovými, přenosovými moduly. Obr. 3 znázorňuje zapojení obousměrného, elektronického přepínače CMOS-SOS. Na obr. 4 je blokové schéma obousměrného, elektronického přepínače.

Dvousběrníkový, modulární, logický systém na obr. 1 se skládá ze vstupní sběrnice 1, výstupní sběrnice 2, paralelně připojených funkčních bloků 10, 20, 30, 40, 50 a dalších, které nejsou kresleny, mezi nimiž jsou paralelně připojeny paralelní přenosové moduly 11, 12, 13, 14, 15 a další. Na vstupní sběrnici 1 jsou situovány sériové přenosové moduly 100, 101, 102, 103 a další a na výstupní sběrnici 2 sériové přenosové moduly 200, 201, 202, 203 a další.

Vzhledem k tomu, že při konstrukci dvousběrníkového, modulárního, logického systému nejsou vždy zapotřebí všechny přenosové moduly zobrazené na obr. 1, je na obr. 2 znázorněn systém se dvěma paralelními přenosovými moduly 11 a 13 a se dvěma sériovými přenosovými moduly 101 a 201. Sériové přenosové moduly 101 a 102 rozdělují modulární systém na dvě části, přičemž v každé je situován jeden paralelní přenosový modul 11 a 13. Při rozpojení sériových přenosových modulů může každá část modulárního systému pracovat samostatně - paralelní procesy. Činnost sériových přenosových modulů 101 a 201 je řízena signály přenášenými svazky vodičů 3 a 6 z řídicího funkčního bloku 20. Podobně jsou prostřednictvím svazků vodičů 4 a 5 řízeny činnosti paralelních přenosových modulů 11 a 13.

Základní funkcí sériových přenosových modulů 101 a 201 je rozpínání a spínání. To znamená, že tyto moduly musí obsahovat spínací prvky - a to buď jednosměrné, nebo dvousměrné. V prvním případě lze použít jako spínacích prvků běžných logických hradel například TTL. Ve druhém případě lze použít speciální spínací prvky, znázorněné na obr. 3 a 4. Na obr. 3 znázorněný spínací prvek CMOS-SOS pro jeden vodič byl vyvinut v praxi. V buňce 70 jsou zapojeny dva tranzistory CMOS, ovládané signály po vodiči 3', případně přes invertor 80. Spínací vodič je označen 1'. Na obr. 4 je blok obousměrných přepínačů sběrnice 1, tvořený svazkem vodičů, vybavený paměťovými prvky. Svazek vodičů 3 slouží k ovládání funkce bloků. Skládá se ze vstupní a výstupní části I, případně III, paměťových obvodů II a výběrových obvodů IV. Funkce popsaných obousměrných přepínačů je známa z literatury.

Předpokládáme, že dvousběrníkový, modulární, logický systém podle vynálezu představuje

univerzální číslicový počítač. To znamená, že minimálně jeden funkční blok, například blok 20, tvoří procesor, minimálně jeden funkční blok, například blok 10, tvoří operační paměť a minimálně jeden funkční blok, například blok 50, tvoří přídavné zařízení. Dvouběrníkový, modulární, logický systém podle vynálezu je však určený pro paralelní spolupráci více funkčních bloků současně. Může proto mít s výhodou více procesorů, více operačních pamětí a větší množství přídavných zařízení. Funkce samočinného počítače je potom zhruba následující:

Činnost celého modulárního systému řídí hlavní procesor, který zastává i funkci řídicího funkčního bloku. Jestliže to zpracovávané úlohy dovolují, rozepíná některé sériové přenosové moduly, aby umožnil paralelní spolupráci například dvou procesorů, několika přídavných zařízení s více operačními pamětmi a podobně. Při průchodu signálu z výstupní sběrnice 2 na vstupní sběrnici 1 přes paralelní přenosové moduly může docházet v těchto modulech k předzpracování přenášené informace, například vytvářením komplementů, různých typů posunů a podobně. V nejjednodušším případě mohou ovšem paralelní přenosové moduly být tvořeny přímým spojením výstupní sběrnice 2 se vstupní sběrnici 1.

Bylo již řečeno, že architekturu dvouběrníkového modulárního systému podle vynálezu lze s výhodou použít pro konstrukci mikroprocesoru na jednom čipu. V tomto případě minimálně jeden funkční blok je tvořen aritmetickologickou jednotkou, jeden funkční blok je tvořen soustavou univerzálních registrů - zápisníkovou pamětí - a jeden funkční blok tvoří dekodér instrukcí, čtených z paměti PROM nebo RAM. Přepínače a registry, např. výstupní registr ALU, adresovací registr RAM, vstupní registr dekodéru apod., mohou s výhodou tvořit paralelní či sériové přenosové moduly.

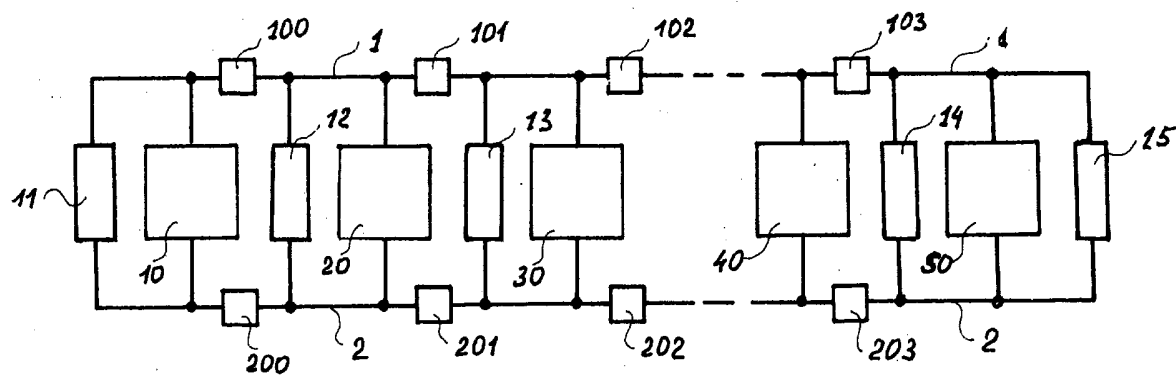
Na obr. 1 a 2 není znázorněn rozvod časovacích a hradlovacích signálů. Tyto signály mohou být rozvedeny prostřednictvím částí vodičů sběrnice, případně přídavnými svazky vodičů.

Aplikace vynálezu jsou velmi široké. Hlavní použití je u zařízení výpočetní techniky při konstrukci číslicových počítačů, minipočítačů, mikropočítačů a mikroprocesorů, u řídicích jednotek přídavných zařízení samočinných počítačů a podobně. Vynález lze dále aplikovat v logických systémech programového řízení výrobních strojů, zejména obráběcích a textilních, u integrovaných výrobních úseků, v robotice a podobně.

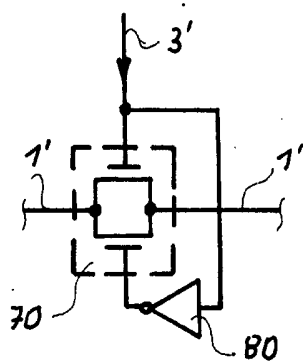
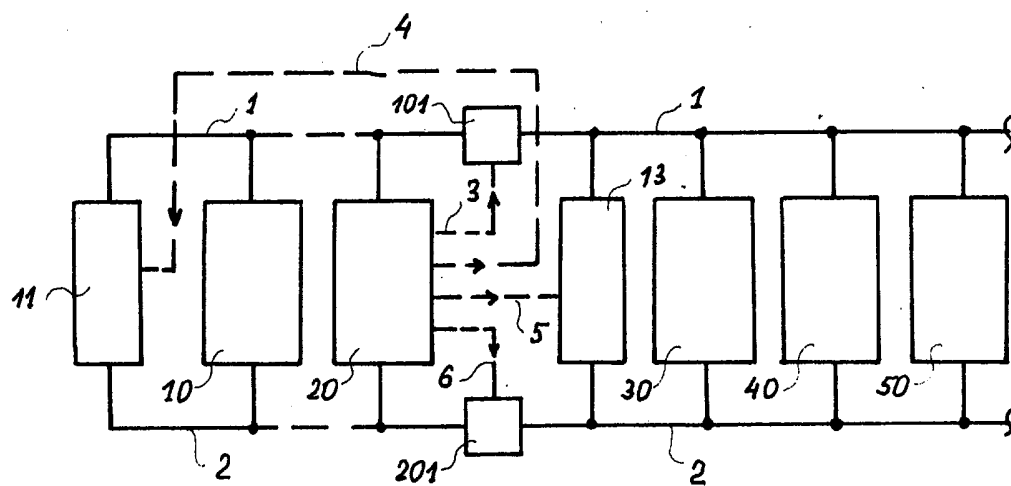
PŘEDMĚT VYNÁLEZU

Dvouběrníkový, modulární, logický systém s paralelně připojenými funkčními bloky, například ve formě procesoru, operační paměti, aritmetickologické jednotky, přídavného zařízení, s minimálně jedním přenosovým modulem, například ve formě obousměrného elektronického přepínače, dekodéru, jehož součástí je případně i blok spínačů, vyznačený tím, že jak na vstupní sběrnici (1), tak na výstupní sběrnici (2) je zapojen minimálně jeden sériový přenosový modul (100 až 103 a 200 až 203), přičemž paralelně k funkčním blokům (10, 20, 30, 40, 50, ...) jsou připojeny minimálně dva paralelní přenosové moduly (11, 12, 13, 14, 15, ...).

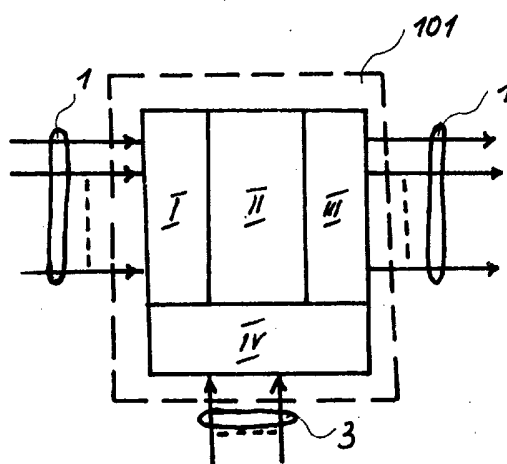
1 list výkresů



Obr. 1



Obr. 3



Obr. 4