(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0080506
(43) 공개일자 2017년07월10일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 21/02* (2006.01)
(52) CPC특허분류
H01L 29/78696 (2013.01)
H01L 21/02172 (2013.01)
(21) 출원번호 10-2016-0181984
(22) 출원일자 2016년12월29일
심사청구일자 없음
(30) 우선권주장
1020150190918 2015년12월31일 대한민국(KR)

(71) 출원인
충남대학교산학협력단
대전광역시 유성구 대학로 99 (궁동, 충남대학교)
(72) 발명자
김현석
대전광역시 유성구 어은로 57, 136동 706호 (어은동, 한빛아파트)
김양수
대전광역시 중구 문화로134번길 6-1 (문화동)
김종헌
대전광역시 서구 정림서로 114, 103동 1002호 (정림동, 삼정아파트)
(74) 대리인
김원준

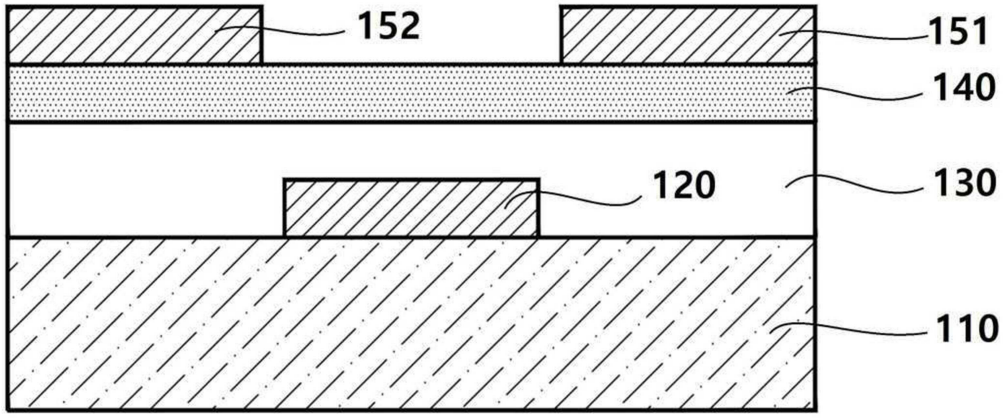
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 **박막 트랜지스터 및 그의 제조방법**

(57) 요 약

본 발명은 높은 이동도 및 신뢰성과 함께 우수한 박막 트랜지스터 특성을 나타내는 박막 트랜지스터와 그 제조방법 및 상기 박막 트랜지스터를 포함하는 전자소자에 관한 것으로, 보다 상세하게는 반도체 물질로 형성된 채널층; 상기 채널층 상에 서로 마주보며 위치하는 소스 전극 및 드레인 전극; 상기 채널층에 전계를 인가하기 위한 게이트 전극; 및 상기 게이트 전극과 상기 채널층 사이에 개재된 게이트 절연층;을 포함하는 박막 트랜지스터에 있어서, 상기 채널층은 암모니아를 포함한 플라즈마로 처리된 금속 질산화물 박막으로 이루어진 것을 특징으로 하는 박막 트랜지스터와 그 제조방법 및 상기 박막 트랜지스터를 포함하는 전자소자에 관한 것이다.

대 표 도 - 도1



(52) CPC특허분류
H01L 29/78618 (2013.01)
H01L 2924/0103 (2013.01)
H01L 2924/01049 (2013.01)
H01L 2924/13069 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 2015013973
부처명 미래창조과학부
연구관리전문기관 한국연구재단
연구사업명 일반연구자지원사업
연구과제명 High-performance metal oxynitride semiconductors for next-generation display applications
기 여 율 1/1
주관기관 충남대학교 산학협력단
연구기간 2014.11.01 ~ 2017.04.30

명 세 서

청구범위

청구항 1

반도체 물질로 형성된 채널층; 상기 채널층 상에 서로 마주보며 위치하는 소스 전극 및 드레인 전극; 상기 채널층에 전계를 인가하기 위한 게이트 전극; 및 상기 게이트 전극과 상기 채널층 사이에 개재된 게이트 절연층;을 포함하는 박막 트랜지스터에 있어서,

상기 채널층은 암모니아를 포함한 플라즈마로 처리된 금속 질산화물 박막으로 이루어진 것을 특징으로 하는 박막 트랜지스터.

청구항 2

제 1 항에 있어서,

상기 금속 질산화물은 아연 질산화물 또는 인듐 질산화물인 것을 특징으로 하는 박막 트랜지스터.

청구항 3

기판 상에 게이트 전극을 형성하는 단계, 상기 게이트 전극 상에 게이트 절연층을 형성하는 단계, 상기 게이트 절연층 상에 게이트 전극에 대응하는 채널층을형성하는 단계 및 상기 채널층 상의 서로 마주보는 위치에 각각 접촉된 소스 전극 및 드레인 전극을 형성하는 단계를 포함하는 박막 트랜지스터의 제조방법에 있어서,

상기 채널층을 형성하는 단계는,

(A) 게이트 절연층 상에 게이트 전극에 대응하는 금속 질산화물 박막을 형성하는 단계;

(B) 상기 금속 질산화물 박막을 암모니아를 포함한 플라즈마로 처리하는 단계;

를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 4

제 1 항 또는 제 2 항의 박막 트랜지스터를 포함하는 전자소자.

청구항 5

제 4 항에 있어서,

상기 전자소자는 표시장치인 것을 특징으로 하는 전자소자.

청구항 6

제 5 항에 있어서,

상기 박막 트랜지스터가 스위칭소자 또는 구동소자로 사용되는 전자소자.

발명의 설명

기 술 분 야

[0001] 본 발명은 높은 이동도 및 신뢰성과 함께 우수한 박막 트랜지스터 특성을 나타내는 박막 트랜지스터와 그 제조 방법 및 상기 박막 트랜지스터를 포함하는 전자소자에 관한 것이다.

배 경 기 술

[0002] 최근 급속한 정보화 기술의 진전으로 언제 어디서나 정보를 접할 수 있는 유비쿼터스 컴퓨팅 시대로 접어들고 있다. 이에 따라 다양한 정보를 전달하는 정보 전달 매체와 저장 매체 등 새로운 전자소자의 중요성이 점점 커져가고 있다. 특히 디스플레이에 대한 소비자의 요구는 시장의 공급과 기술의 수준을 뛰어넘고 있어 개발의 중요성이 날로 커져가고 있다. 차세대 디스플레이는 가볍고 얇은 두께와 고해상도, 높은 화면 전환 속도, 대면적을 갖는 평면 디스플레이라는 기술의 방향에 추가하여 공간적/시간적으로 제약을 받지 않는 방향으로 성장해 나갈 예정이다. 소비자들이 디스플레이 정보 전달 매체의 특징으로 친환경, 저소비전력, 초고해상도, 저가격의 대면적화, 유연성, 디자인, 투명성 및 실제 영상 구현(3-Dimension) 등을 강하게 요구하고 있다.

[0003] 차세대 디스플레이의 핵심 기술인 초고해상도, 높은 화면 전환속도, 대화면 특성 등을 구현하기 위해서는 이를 구동하는 기본 소자인 박막 트랜지스터(TFT, thin-film transistor)의 기술이 발전되어야 한다. 기존의 비정질 실리콘 기반의 박막 트랜지스터는 이동도 특성이 1 cm^2/Vs정도에 불과하다. 이를 대체하기 위하여 2004년 일본의 한 대학에서 비정질 InGaZnO 반도체 재료를 개발한 것을 필두로 10 cm^2/Vs이상의 높은 이동도 특성을 갖는 비실리콘 물질(non-silicon material)인 산화물을 채널층 물질로 적용한 반도체 박막 트랜지스터 기술이 그에 대한 대안으로 활발히 연구되어 왔다. 그러나 비실리콘 물질을 채널층 물질로 적용하는 경우, 채널층의 안정성 및 신뢰성을 확보하기 어렵다는 문제가 발생한다.

[0004] 산화물 박막 레지스터 소자를 실제 디스플레이 패널 등에 적용하기 위해서는 이동도 특성과 더불어, 실제 패널 구동 환경에서의 전압 및 광 조건에서의 신뢰성 특성이 매우 중요하다. 산화물 반도체의 이동도가 증가하면 박막 트랜지스터의 신뢰성 특성은 크게 감소하는 것으로 알려져 있는데, 이는 반도체 내에 필수적으로 존재하는 산소 결함이 이동도 증가에도 기여함과 동시에 산소 결함이 만드는 반도체 내 sub-gap state가 신뢰성 저하에도 역할을 하기 때문이다. 따라서 산화물 반도체 기반의 초고이동도 박막 트랜지스터 소자를 개발하기 위해서는 산소 결함이 만드는 sub-gap state를 원천적으로 차단하여 신뢰성을 향상시키는 기술의 개발이 선행되어야 한다. 최근에는 산소보다 높은 에너지 준위를 갖는 질소를 과량으로 고용시킨 질산화물을 박막 트랜지스터에 적용하여 산소 결함이 만드는 sub-gap state를 효과적으로 패시베이션(passivation)할 수 있음이 보고되어, 질산화물 박막 트랜지스터에 대한 연구가 활발히 진행되고 있다.

[0005] 본 발명자는 공개특허 제10-2014-0074742호에서 질산화물 박막으로 이루어진 채널층을 포함하는 트랜지스터에서 채널층과 소스전극 또는 드레인전극의 콘택 저항을 낮추는 것에 의해 트랜지스터의 성능을 개선하기 위한 방법을 개시하였다. 즉, 상기 공개특허에서는 채널층과 소스/드레인 전극사이의 콘택 특성을 확보하기 위하여 채널층과 소스/드레인 전극의 접촉면이 채널층의 나머지 영역에 비해 높은 캐리어 농도를 갖도록 해당면을 수소를 포함하는 플라즈마로 처리하는 것을 제안하였다. 수소를 포함하는 플라즈마의 예로서 암모니아를 포함한 플라즈마로 콘택 영역을 처리하는 것이 제시되어 있으며, 이에 의해 전계 효과 이동도가 크게 증가하고 서브문턱 스윙이 감소하여 콘택 특성이 개선되는 것을 확인하였다. 본 발명은 상기 공개특허와 달리 채널층 전체의 플라즈마 처리에 의해 새로운 효과를 얻을 수 있음을 확인하고, 본 발명을 완성하였다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 공개특허 제10-2014-0074742호

발명의 내용

해결하려는 과제

[0007] 본 발명은 금속 질산화물을 함유하면서 우수한 성능과 안정성 및 신뢰성을 갖는 박막 트랜지스터 및 그의 제조 방법을 제공하는 것을 목적으로 한다.

[0008] 본 발명의 또 다른 목적은 상기 박막 트랜지스터를 포함하는 전자소자를 제공하는 것이다.

과제의 해결 수단

[0009] 전술한 목적을 달성하기 위한 본 발명은 반도체 물질로 형성된 채널층; 상기 채널층 상에 서로 마주보며 위치하는 소스 전극 및 드레인 전극; 상기 채널층에 전계를 인가하기 위한 게이트 전극; 및 상기 게이트 전극과 상기 채널층 사이에 개재된 게이트 절연층;을 포함하는 박막 트랜지스터에 있어서, 상기 채널층은 암모니아를 포함한 플라즈마로 처리된 금속 질산화물 박막으로 이루어진 것을 특징으로 하는 박막 트랜지스터에 관한 것이다.

[0010] 또한 본 발명은 기판 상에 게이트 전극을 형성하는 단계, 상기 게이트 전극 상에 게이트 절연층을 형성하는 단계, 상기 게이트 절연층 상에 게이트 전극에 대응하는 채널층을 형성하는 단계 및 상기 채널층 상의 서로 마주보는 위치에 각각 접촉된 소스 전극 및 드레인 전극을 형성하는 단계를 포함하는 박막 트랜지스터의 제조방법에 있어서, 상기 채널층을 형성하는 단계는, (A) 게이트 절연층 상에 게이트 전극에 대응하는 금속 질산화물 박막을 형성하는 단계; (B) 상기 금속 질산화물 박막을 암모니아를 포함한 플라즈마로 처리하는 단계;를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법에 관한 것이다.

[0011] 본 발명은 또한 상기 박막 트랜지스터를 포함하는 전자소자에 관한 것이다.

발명의 효과

[0012] 이상과 같이 본 발명에 의하면 비실리콘 물질인 금속 질산화물을 암모니아를 포함한 플라즈마로 처리하는 것에 의해, 이동도가 여전히 높으면서도, off 전류, turn-on 전압, hysteresis 값, 서브문턱 기울기(subthreshold swing, SS) 등의 특성이 우수하면서도 안정성과 신뢰성이 높은 박막 트랜지스터를 구현할 수 있다.

[0013] 또한 본 발명의 박막 트랜지스터를 적용하는 것에 의해 성능이 향상된 전자소자를 제공하는 것이 가능하다.

도면의 간단한 설명

[0014] 도 1은 본 발명의 일 실시예에 의한 박막 트랜지스터의 개략 단면도.

도 2는 본 발명의 일 실시예에서 제작된 박막 트랜지스터의 구조를 보여주는 모식도.

도 3은 본 발명의 일 실시예에 의해 제작된 박막 트랜지스터의 게이트전압(Vg)-드레인전류(Id) 트랜스퍼 특성을 보여주는 그래프.

발명을 실시하기 위한 구체적인 내용

[0015] 이하 첨부된 도면을 참조하여 본 발명을 보다 상세히 설명한다. 그러나 이러한 도면은 본 발명의 기술적 사상의 내용과 범위를 쉽게 설명하기 위한 예시일 뿐, 이에 의해 본 발명의 기술적 범위가 한정되거나 변경되는 것은 아니다. 이러한 예시에 기초하여 본 발명의 기술적 사상의 범위 안에서 다양한 변형과 변경이 가능함은 당업자에게는 당연할 것이다. 이하의 도면에서 각 구성요소의 크기나 두께, 형상 등은 과장되거나 단순화되어 있을 수 있다. 또한 본 명세서에서 "상부" 또는 "상"은 서로 직접적으로 접촉하여 바로 위에 위치하는 것 뿐 아니라 다른 층을 매개로 하여 비접촉적으로 위에 위치하는 것 역시 포함할 수 있다.

[0016] 도 1은 본 발명의 일 실시예에 따른 박막 트랜지스터(100)를 보여주는 단면도이다. 도 1의 박막 트랜지스터(100)는 게이트 전극(120)이 채널층(140) 아래에 구비되는 바텀(bottom) 게이트 구조의 박막 트랜지스터이다. 기판(110) 상에 게이트 전극(120)이 구비될 수 있다. 기판(110)은 유리 기판일 수 있지만, 그 밖의 다른 기판, 예컨대, 플라스틱 기판이나 실리콘 기판 등 통상의 반도체소자 공정에서 사용되는 다양한 기판 중 어느 하나일 수 있다. 게이트 전극(120)은 일반적인 전극 물질(금속, 도전성 산화물 등)로 형성될 수 있다. 기판(110) 상에 게이트 전극(120)을 덮는 게이트 절연층(130)이 구비될 수 있다. 게이트 절연층(130)은 실리콘 산화물층, 실리콘 질산화물층이나 실리콘 질화물층을 포함할 수 있으나, 그 밖의 다른 물질층, 예컨대, 실리콘 질화물층보다 유전상수가 큰 고유전물질층을 포함할 수도 있다. 게이트 절연층(130)은 실리콘 산화물층, 실리콘 질산화물층, 실리콘 질화물층 및 고유전물질층 중 적어도 두 층 이상이 적층된 구조를 가질 수도 있다.

[0017] 게이트 절연층(130) 상에는 채널층(140)이 구비될 수 있다. 채널층(140)은 게이트 전극(120) 위쪽에 위치할 수 있다. 도 1에서는 채널층(140)의 폭을 게이트 전극(120)의 폭보다 다소 크게 도시하였으나, 경우에 따라서는 게이트 전극(120)의 폭과 유사하거나 그보다 작을 수도 있다.

[0018] 채널층(140) 상에는 제1 및 제2 영역에 마주보며 각각 접촉된 소스 전극(151) 및 드레인 전극(152)이 구비될 수 있다. 소스 전극(151)은 채널층(140)의 일단에 접촉될 수 있고, 드레인 전극(152)은 채널층(140)의 타단에 접촉될 수 있다. 소스 전극(151) 및 드레인 전극(152)은 게이트 전극(120)과 동일한 물질층일 수 있으나, 다른 물질층일 수도 있다. 소스 전극(151) 및 드레인 전극(152)은 단일층 또는 다중층일 수 있다. 소스 전극(151) 및 드레인 전극(152)의 형태 및 위치는 달라질 수 있다. 예컨대, 소스 전극(151)은 채널층(140)의 일단에서 그와 인접한 게이트 절연층(130) 영역 위로 연장된 구조를 가질 수 있고, 이와 유사하게, 드레인 전극(152)은 채널층(140)의 타단에서 그와 인접한 게이트 절연층(130) 영역 위로 연장된 구조를 가질 수 있다. 또한 소스 전극(151) 및 드레인 전극(152)은 채널층(140)의 양단(즉, 일단 및 타단)이 아닌 다른 두 영역에 접촉하도록 구비될 수도 있다.

[0019] 도 1에 도시되지는 않았으나, 본 박막 트랜지스터에는 채널층(140)을 덮는 식각정지층이 추가로 구비될 수 있다. 식각정지층은 소스 전극(151) 및 드레인 전극(152)을 형성하기 위한 식각 공정에서, 상기 식각에 의해 채널층(140)이 손상되는 것을 방지하는 역할을 한다. 식각정지층은 실리콘 산화물, 실리콘 질화물, 유기 절연물 등을 포함할 수 있다. 식각정지층에는 채널층(140)의 제1 및 제2영역을 노출시키는 제1 및 제2 콘택홀이 구비될 수 있다. 채널층(140)의 상기 제1영역은 채널층(140)의 일단 또는 그와 인접한 영역일 수 있고, 채널층(140)의 상기 제2영역은 채널층(140)의 타단 또는 그와 인접한 영역일 수 있다. 이때 소스 전극(151)은 식각정지층의 제1 콘택홀 내에 채널층(140)에 전기적으로 연결되어 구비되며, 드레인 전극(152)은 식각정지층의 제2 콘택홀 내에 채널층(140)에 전기적으로 연결되어 구비된다.

[0020] 게이트 절연층(130) 상에는 채널층(140), 소스 전극(151) 및 드레인 전극(152)을 덮는 보호층(passivation layer)이 구비될 수 있다. 보호층은 실리콘 산화물층, 실리콘 질산화물층, 실리콘 질화물층 또는 유기절연층이거나, 이들 중 적어도 두 개 이상이 적층된 구조를 가질 수 있다.

[0021] 본 발명은 상기 채널층(140)이 암모니아를 포함한 플라즈마로 처리된 금속 질산화물 박막으로 이루어진 것을 특징으로 한다. 상기 금속 질산화물은 $M_{(1-x-y)}O_xN_y$ (0<x<1, 0<y<1)의 일반식으로 표시될 수 있으며, 구체적인 조성은 질산화물의 생성 조건에 따라 변화할 수 있다. 이때 상기 금속(M)은 아연이거나 인듐일 수 있다. 금속 질산화물로 이루어진 채널층(140)의 에너지 밴드갭(energy band gap)은 금속 질화물의 에너지 밴드갭보다 크거나 같고, 금속 산화물의 에너지 밴드갭보다 작거나 같을 수 있다. 금속 질산화물에서 산소(O)의 함유량이 적을 때 금속 질산화물의 에너지 밴드갭은 금속 질화물의 에너지 밴드갭과 유사할 수 있으며, 질소(N)의 함유량이 적을 때 금속 질산화물의 에너지 밴드갭은 금속 산화물의 에너지 밴드갭과 유사할 수 있다.

[0022] 상기 금속 질산화물 박막은 반응성 스퍼터링법, MOCVD(metal organic chemical vapor deposition)법, CVD(chemical vapor deposition), ALD(atomic layer deposition) 또는 증발(evaporation)법 등을 이용하여 형성할 수 있으며, 이러한 박막 형성기술은 당업자라면 종래기술을 참작하여 적절히 선택하여 사용할 수 있을 것이다.

[0023] 채널층(140)에는 금속 질산화물에 소정의 금속 원소(금속 질산화물을 이루는 금속과 다른 금속 원소)가 도핑될 수 있다. 예를 들어, 상기 금속 원소는 Ga, Hf, Al, Zn, Sn, In 등일 수 있다. 채널층(140)의 두께는 10~150nm인 것이 바람직하나, 이에 한정되는 것은 아니다. 금속 질산화물은 산소 결함이 질소 고용에 의해 효과적으로 passivation 되어 금속 산화물에 비해 신뢰도 특성이 매우 우수하다.

[0024] 그러나 금속 질산화물을 채널층 물질로 적용하는 경우, 채널층과 소스/드레인 전극 사이의 콘택 특성의 확보가 용이하지 않을 수 있다. 특히, 금속 질산화물 박막으로 구성된 채널층과 소스/드레인 전극 사이에는 일함수 차이로 인한 에너지 베리어(energy barrier)가 발생하여 콘택 저항이 커질 수 있다. 따라서 소스 전극으로부터 채널층으로의 캐리어(전자)의 유입이 어려워지고 박막 트랜지스터의 성능 및 동작 특성이 나빠질 수 있다. 또한 소스/드레인 전극의 패터닝을 포함한 박막 트랜지스터의 제조 공정 중의 열적, 물리적, 화학적인 자극은 채널층의 반도체 박막의 결함을 유발하여 박막 트랜지스터의 특성을 저하시키게 된다.

[0025] 본 발명의 박막 트랜지스터에서는 상기 금속 질산화물 박막으로 구성된 채널층이 암모니아를 포함한 플라즈마로 처리된 것을 특징으로 한다. 채널층의 암모니아에 의한 플라즈마의 처리는 반도체 박막 중의 결함과 다른 탄소 원자에 의한 오염원을 제거하여 금속 질산화물 반도체 박막 내의 캐리어 양을 제거하는 것에 의해 박막 트랜지스터의 특성을 향상시키고, 안정화시키는 역할을 한다. 상기 플라즈마 처리방법은 챔버 내에서 기판과 전구체가 유입되는 전극사이에서 플라즈마를 즉각적으로 형성하는 다이렉트 플라즈마 방법 또는 챔버 외부에서 플라즈마를 생성시켜서 챔버 내로 유입하는 리모트 플라즈마 방법을 이용할 수 있다.

[0026] 본 발명에 따른 박막 트랜지스터의 특성을 평가하기 위하여, 도 2에 도시된 구조의 박막 트랜지스터를 제작하였다. 보다 상세하게는 하이 도핑(high doping)된 p^{++}-Si 위에 100nm 두께로 SiO_2 절연층이 형성된 기판을 이용하였다. 채널층의 패터닝을 위해 shadow mask 중 active mask를 SiO_2/p^{++}-Si 기판위에 부착 후 ZnON 채널층을 RF Sputter로 30nm 증착하였다. 채널층의 증착 조건은 다음과 같다; RF power : 37W, 공정압력 : 6.8 mTorr, $Ar:N_2:O_2$ = 5 : 9 : 0.1 sccm. 소스/드레인 mask를 채널층이 패터닝된 기판에 광학 현미경을 통해 정밀하게 align해준 후, DC sputter을 이용하여 금속 전극인 Mo를 100nm의 두께로 증착하였다. 증착 조건은 다음과 같다; DC power : 20W, 공정압력 : 3 mTorr, Ar : 10sccm. 박막 트랜지스터를 제작 후 마지막으로 RTP(Rapid Thermal Process)를 이용하여 컨택 열처리를 해주었다. 열처리 조건은 다음과 같다; 온도 : 250℃, 시간 : 5분, N_2 : 150sccm, 공정압력 : 0.5 Torr.

[0027] 제조예는 ZnON으로 이루어진 채널층의 증착 후, 암모니아 분위기에서 플라즈마를 처리하고 박막 트랜지스터를 제작하였으며, 대조군은 채널층을 별도의 처리없이 그대로 박막 트랜지스터를 제조하였다. 비교를 위하여 암모니아 플라즈마 대신 질소 또는 산소 분위기에서 채널층을 플라즈마 처리한 후, 박막 트랜지스터를 제작하여 소자 특성을 함께 평가하였다. 플라즈마 처리는 50W로 30초간 처리하였으며, 작업온도는 300℃, 작업압력은 340 mTorr이었다. 질소 플라즈마 또는 암모니아 플라즈마 처리 시, 질소 또는 암모니아의 유속은 100sccm이었으며, 산소 플라즈마 처리 시 산소의 유속은 30sccm이었다.

[0028] 제작된 박막 트랜지스터에 대해 게이트전압(Vg)-드레인전류(Id) 트랜스퍼 특성을 측정하고 도 3에 그 결과를 도시하였으며, 표 1에는 제작된 박막 트랜지스터의 소자 특성을 기재하였다. 도 3과 표 1에서 Ini는 대조군으로 채널층에 플라즈마를 처리하지 않은 박막 트랜지스터를 나타내며, O_2, N_2, NH_3는 플라즈마 처리 시의 분위기를 나타낸다.

표 1

[0029]

Condition	O_2	N_2	Ini	NH_3
μ_{FE} (cm^2/Vs)	230.7	255	**337.1**	**82.3**
V_{th} (V)	-34.5	-20.7	**-12.4**	**4.31**
S.S. (V/dec)	9.87	6.59	**3.67**	**1.13**
$I_{on/off}$ ratio	10^1	10^3	**10^4**	**10^7**

[0030] 도 3 및 표 1을 참조하면, 채널층을 암모니아 플라즈마로 처리하는 것에 의해 전계 효과 이동도(field effect mobility)는 다소 감소하였으나, 여전히 우수한 전계 효과 이동도를 나타내었으며 서브문턱 스윙(subthreshold swing, S.S.), 문턱 전압(threshold voltage) 및 전류점멸비(on/off ratio, $I_{on/off}$)의 특성이 모두 증가하여 초고이동도 박막 트랜지스터의 특성을 나타내었다. 이에 비해 채널층을 산소 플라즈마나 질소 플라즈마로 처리한 박막 트랜지스터의 경우에는 이동도 특성 뿐 아니라 서브문턱 스윙, 문턱 전압, 전류점멸비 모두가 열화됨을 보여주었다.

[0031] 본 발명의 다양한 실시예에 따른 박막 트랜지스터는 디스플레이 즉, 능동행렬(active matrix) 디스플레이 예컨대, 액정 디스플레이나 유기 발광 디스플레이의 화소에 스위칭 소자나 구동 소자로 사용될 수 있다. 특히, 본 발명의 다양한 실시예에 따른 박막 트랜지스터는 UHD(ultra high definition) 영상을 제공하는 차세대 고해상도 AMLCD(active matrix liquid crystal display), AMOLED(active matrix organic light emitting diode) 등의 평판 디스플레이에 적용될 수 있다. 이 외에도 메모리소자 및 논리소자 등 다른 전자소자 분야에 다양한 용도로 적용될 수 있음은 당연하다.

부호의 설명

[0032] 100 박막 트랜지스터

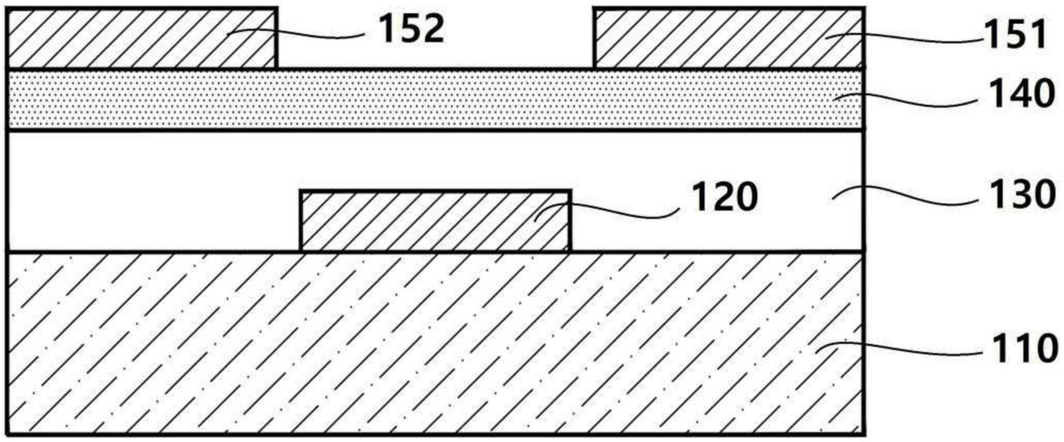
110 기판 120 게이트 전극

130 게이트 절연층 140 채널층

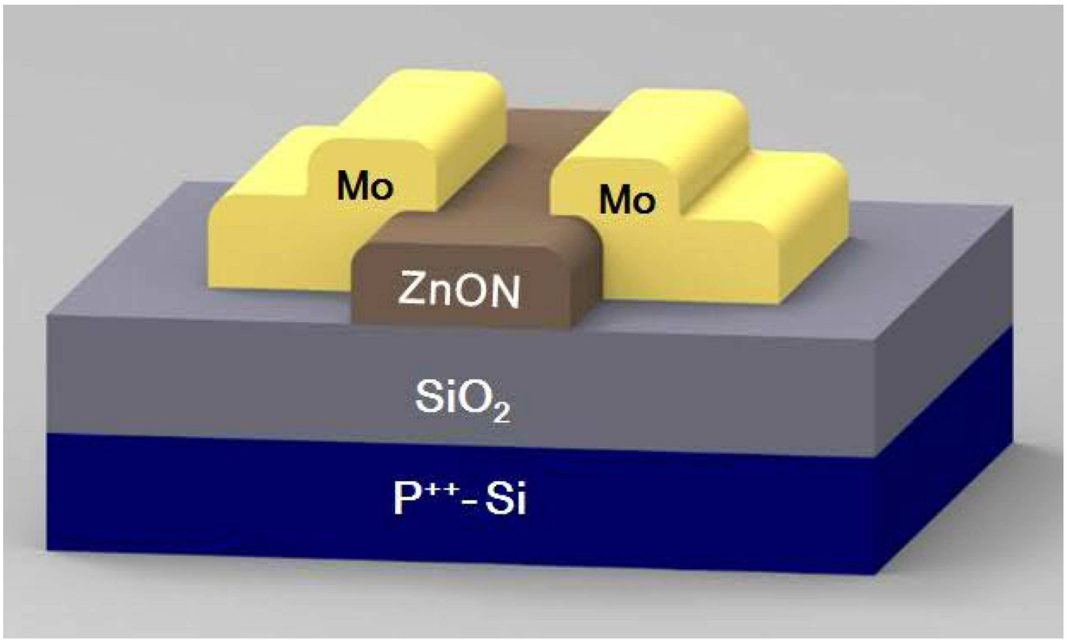
151 소스 전극 152 드레인 전극

도면

도면1



도면2



도면3

