

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 1 区分

【発行日】平成 21 年 3 月 5 日 (2009.3.5)

【公開番号】特開 2008-281572 (P2008-281572A)

【公開日】平成 20 年 11 月 20 日 (2008.11.20)

【年通号数】公開・登録公報 2008-046

【出願番号】特願 2008-139688 (P2008-139688)

【国際特許分類】

G 0 1 D 5/244 (2006.01)

【F I】

G 0 1 D 5/244 K

【手続補正書】

【提出日】平成 21 年 1 月 16 日 (2009.1.16)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

パルスまたはパルスエッジを用いて線形変位値または角度変位値をシーケンシャルデジタル係数するためのインクリメンタルエンコードをシミュレートするという用途を含む、数値設定値 (L(Ta)) を用いた複数の電気パルス、またはパルスエッジを自動的に形成する方法であって、

値発生器が、設定値 (L(Ta)) を出力し、設定値は計算・制御手段により検出され、設定値 (La(Ta)) に関連してパルスのために 1 つまたは複数の出力を有するパルス切替インターフェースがトリガされ、

値発生器は繰り返される第 1 サイクルタイム (Ta) 内で設定値 (La(Ta)) を繰り返し出力し、第 1 サイクルタイム (Ta) の 1 サイクル内に発生されるパルスまたはパルスエッジの数は、それぞれの差分値 (L) に基づいて定められ、演算・制御手段は、プログラミングまたは回路によって各第 1 サイクルタイム (Ta) 毎に、

(a) 現在設定値 (L(Ta)) を検出するステップ、
 (b) 設定値 (L(Ta)) と、(前回設定値 (L(Ta)) から追跡した内部的インクリメント値 (L(Tk)) とから、差分値 (L) を決定するステップ、
 (c) 内部インクリメント値 (L(Tk)) を追跡し、ここにおいて、第 1 サイクルタイム (Ta) は、複数の連続する第 2 サイクルタイム (Tk) によって (k) 個に分割されており、その時間中において関係するインクリメント値 (L(Tk)) は設定値および / または差分値 (L) に従って増加カウントまたは減少カウントされるステップ、
 (d) 1 つの第 2 サイクルタイム (Tk) の時間内に、差分値 (L) をパルス切替インターフェースへの制御信号に変換し、各第 2 サイクルタイム (Tk) 内において、インクリメント値 (L(Tk)) の増減に応じて対応するパルスを出力するようにパルス切替インターフェースがトリガされるステップ、
 を行うことを含む、上記方法。

【請求項 2】

差分値 (L) を、第 1 サイクル時間 (Ta) 内に発生する複数の第 2 サイクルタイム (Tk) にわたって、積分計算プロセスによって処理し、該第 2 サイクルタイム (Tk) の各時間内に、処理結果に従いパルスを出力するためにパルス切替インターフェースがトリガされる、請求項 1 記載の方法。

【請求項 3】

総合計としての差分値 (L) は、個別の合計部分値に分けられ、部分値の数は、第 1 サイクルタイムと第 2 サイクルタイムの比 (k) に対応しており、それぞれの第 2 サイクルタイム (T_k) において、合計部分値の個々のものの 1 つが制御信号を出力するものである、請求項 1 又は 2 に記載の方法。

【請求項 4】

合計部分値に分けられたことにより生じる剰余が、複数の第 2 サイクルタイム (T_k) にわたって、積算プロセスで処理され、第 2 サイクルタイム中の積算結果に従い、対応する合計部分値が変化し、剰余も対応して変化する、請求項 3 に記載の方法。

【請求項 5】

第 1 サイクルタイム (T_a) において発生する複数の第 2 サイクルタイム (T_k) のそれぞれ、またはいくつかの時間内において、増分値 ($L(T_k)$) は合計部分値によって増減するものである、請求項 3 または 4 に記載の方法。

【請求項 6】

合計部分値の積算値及び剰余が形成され、剰余は、第 1 サイクルタイム (T_a) において発生する複数の第 2 サイクルタイム (T_k) にわたって、積算プロセスで処理され、第 2 サイクルタイム中の積算結果に従い、対応する合計部分値が増減し、剰余も対応して変化する、請求項 3、4 または 5 に記載の方法。

【請求項 7】

増分値 ($L(T_k)$) は、長さ・角度計測システムにおける、位置測定値として使用される請求項 1 ~ 6 のいずれかに記載の方法。

【請求項 8】

計測系への増分又は位置測定値 ($L(T_k)$) の調整が、第 2 サイクルタイムに相応して、当該計測系のラインカウントの 4 倍のカウントに分解能を向上させることによって行われる、請求項 7 に記載の方法。

【請求項 9】

パルス切替インターフェース制御信号が、現在の第 2 サイクルタイム (T_k) の増分値 ($L(T_{inc})$) と直前の第 2 サイクルタイム (T_k) の増分値 ($L(T_{inc})_{alt}$) との間の増分値の差分値、の関数として形成される請求項 1 ~ 8 のいずれかに記載の方法。

【請求項 10】

制御信号またはパルス切替インターフェースが、ステータス変数によって制御され、該ステータス変数は、限られた個数のステータス値を、あらかじめ設定された順序 ($0 - 1 - 2 - 3 - 0 - 1, \dots$) または逆順で経過してゆくことが可能なものであって、一定に保持されるか前後の値によって変化する前記差分値に応じて定まるものであり、パルス切替インターフェースの各ステータス値には特定のパルスパターンが割り当てられる、請求項 9 に記載の方法。

【請求項 11】

電子的駆動制御回路のレギュレーターがそれに接続される、インクリメンタルエンコーダーをシミュレートする用途に用いるものであって、設定値 ($L(T_a)$) は位置公称値又は実測値であり、かつ/または、値発生器は公称値発生器を成すことを特徴とする、請求項 1 ~ 10 のいずれかに記載の方法。

【請求項 12】

第 1 サイクルタイムと第 2 サイクルタイムとの比 (k) が、 $50 \sim 50000$ 、好ましくは $500 \sim 10000$ である請求項 1 ~ 10 のいずれかに記載の方法。

【請求項 13】

パルスまたはパルスエッジを用いて線形変位値または角変位値のシーケンシャルデジタル計数を行うインクリメンタルエンコーダーをシミュレートするという用途を含む、請求項 1 ~ 12 のいずれかに記載の方法を実行するための、数値設定値 ($L(T_a)$) を用いて数個の電気パルスないしパルスエッジを自動生成するデジタル電子データ処理装置であ

って、

発生した設定値 ($L(Ta)$) 及び他のパラメータ (k) を等間隔の転送時間で繰り返しロードされ読み取ることが可能な、時間的に離散して動作する 1 つ以上のデータレジスタ (10 、 11) と、

該 1 つ以上のデータレジスタ (10 、 11) にアクセスし前記設定値 ($L(Ta)$) とともにレジスタの内容を処理するように構成された演算・制御システムと、

前記演算・制御システムによって起動されることができ、パルスのバイナリー切替状態を出力するように設計されているパルス形成ロジックとを備え、

前記演算・制御システムは、第 1 サンプリングサイクルタイム (Ta) に基づくサンプリングシステムとして機能するようプログラミング的および / または回路的に構成されており、更に、

(a) データレジスタ (10 、 11) への周期的な時間離散アクセス、ここにおいてデータレジスタ (10 、 11) から演算・制御システムへ設定値を転送する時間間隔は、第 1 サイクルタイム (Ta) に対応しているものである、上記アクセスを行う機能と、

(b) 設定値 ($L(Ta)$) より前記設定値からトラッキングされた内部インクリメント値 ($L(Tk)$) から、差分値 (L) を生成する機能と、

(c) 前記差分値 (L) を、前記第 1 サンプリングサイクルタイム (Ta) の第 2 サイクルタイム (Tk) に対する比 (k) に対応する数の個々の合計部分値へ分解し、前記増分値 ($L(Tk)$) を、該部分値のうちの 1 つの合計部分値を用いて増減カウントする機能と、

(d) トラッキングの一環として第 2 サイクルタイム (Tk) の各時間内に、前記増分値 ($L(Tk)$) の増減に応じてパルス形成ロジックを起動させ、対応するパルスを出力する機能とを有するものである、前記デジタル電子データ処理装置。

【請求項 14】

演算・制御システムは、減算器と、除算器と、残余除算器および / または他の演算ユニットとを含み、1 つ以上のデータレジスタ (10 、 11) に接続可能で第 1 サイクルタイム (Ta) の各時間内に 1 つ以上のデータレジスタからロードし作動して前記差分値 (L) を確定するものである請求項 13 に記載の装置。

【請求項 15】

演算・制御システムのサンプリングシステムに設けられ、外部コンポーネント (15 、 $M-Drive$) のための入力を有する割込み装置と、差分値形成を、演算・制御手段における第 2 サイクルタイム (Tk) に基づく演算演算プロセスに優先して開始させるトリガー出力とを更に備える、請求項 13 又は 14 に記載の装置。

【請求項 16】

サンプリングシステムと演算・制御システム的一方又は双方が、一つ以上の複合論理装置 ($CPDL$) とフィールドプログラマブルゲートアレイ ($FPGA$) の一方又は双方により構成される請求項 13 ~ 15 のいずれかに記載の装置。

【請求項 17】

サンプリングシステムと演算・制御システム的一方又は双方が、シーケンシャル命令処理を行う一つ以上のプロセッサで構成される請求項 13 ~ 15 のいずれかに記載の装置。

【請求項 18】

パルス形成論理回路は、構造的にサンプリングシステム及び演算・制御システムと統合され、更に選択的に、複合論理装置又はフィールドプログラマブルゲートアレイと統合されるものである、請求項 13 ~ 17 のいずれかに記載の装置。

【請求項 19】

パルス形成論理回路は、パルス制御信号を論理的にリンクするため、演算・制御システムが、トリガーとしての入力側に接続される別個のスウィッチングネットワークで構成される、請求項 13 ~ 17 のいずれかに記載の装置。

【請求項 20】

パルス形成論理回路は、プログラマブル論理フィールドまたは固定値メモリの形態の別

個の回路網により実現されている、請求項 19 に記載の装置。