

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

G11C 7/06

G11C 16/28



## [12] 发明专利申请公开说明书

[21] 申请号 03820492.4

[43] 公开日 2005 年 10 月 5 日

[11] 公开号 CN 1679110A

[22] 申请日 2003.7.3 [21] 申请号 03820492.4

[30] 优先权

[32] 2002. 7. 5 [33] US [31] 10/190,337

[32] 2003. 5. 12 [33] US [31] 10/437,262

[86] 国际申请 PCT/US2003/021239 2003.7.3

[87] 国际公布 WO2004/006262 英 2004.1.15

[85] 进入国家阶段日期 2005.2.28

[71] 申请人 伊皮杰有限公司

地址 美国华盛顿州

[72] 发明人 查德·A·林霍斯特

克里斯托弗·J·迪奥里奥

特洛伊·N·吉利兰

阿尔贝托·佩萨文托

沙伊尔·斯利尼瓦斯 马彦军

特里·哈斯 卡姆比兹·拉希米

[74] 专利代理机构 北京律盟知识产权代理有限责任  
公司

代理人 王允方 刘国伟

权利要求书 15 页 说明书 31 页 附图 41 页

[54] 发明名称 差分浮栅非挥发性存储器

[57] 摘要

本发明涉及利用差分 pFET 浮栅晶体管来存储信息的差分浮栅非挥发性存储器和存储器阵列的若干设计。本发明也提供建构所述存储器和存储器阵列的方法以及与所述存储器和存储器阵列有关的操作和测试方法。

I S S N 1 0 0 8 - 4 2 7 4

1. 一种差分非挥发性浮栅存储器，其包含：
  - 一个具有一个第一浮栅的第一pFET浮栅晶体管；
  - 一个具有一个第二浮栅的第二pFET浮栅晶体管；和
  - 一个经耦合以接收来自所述第一pFET浮栅晶体管和所述第二pFET浮栅晶体管的电流的差分读出放大器。
2. 根据权利要求1所述的存储器，其还包含：
  - 一个经耦合以从所述第一浮栅除去电子的第一穿隧接合；和
  - 一个经耦合以从所述第二浮栅除去电子的第二穿隧接合。
3. 根据权利要求1所述的存储器，其还包含：
  - 用于从所述第一浮栅除去电子的构件；和
  - 用于从所述第二浮栅除去电子的构件。
4. 根据权利要求1所述的存储器，还包含：
  - 一个用于将光耦合到所述第一和第二浮栅的视窗。
5. 一种差分浮栅非挥发性存储器，其包含：
  - 一个用于存储电荷的第一构件；
  - 一个用于存储电荷的第二构件；
  - 一个用于将电荷添加到所述第一构件的第三构件；
  - 一个用于将电荷添加到所述第二构件的第四构件；
  - 一个用于从所述第一构件除去电荷的第五构件；
  - 一个用于从所述第二构件除去电荷的第六构件；和
  - 一个耦合到所述第一和第二构件的第七构件，其用于读出所述第一构件和所述第二构件中的哪一个存储较大量的电荷。
6. 根据权利要求1所述的存储器，其还包含：
  - 一个与所述第一pFET浮栅晶体管串联耦合的第一选择开关；和
  - 一个与所述第二pFET浮栅晶体管串联耦合的第二选择开关，所述第一

和第二选择开关由施加到其的信号所控制，以确定所述第一浮栅和所述第二浮栅中的哪一个可以在一定时间内经受电子注入。

7. 根据权利要求2所述的存储器，其还包含：

一个与所述第一pFET浮栅晶体管串联耦合的第一选择开关；和

一个与所述第二pFET浮栅晶体管串联耦合的第二选择开关，所述第一和第二开关由施加到其的信号所控制，以确定所述第一浮栅和所述第二浮栅中的哪一个可以在一定时间经受电子注入。

8. 根据权利要求5所述的存储器，还包含：

一个与所述第三构件串联耦合的第八构件，所述第八构件用于控制所述第三构件的操作；和

一个与所述第四构件串联耦合的第九构件，所述第九构件用于控制所述第四构件的操作。

9. 一种差分浮栅非挥发性存储器，其包含：

一个具有一个第一浮栅的第一pFET浮栅晶体管；

一个具有一个第二浮栅的第二pFET浮栅晶体管；

一个耦合到所述第一浮栅的一个第一晶体管的第一栅极；

一个耦合到所述第二浮栅的一个第二晶体管的第二栅极；和

一个经耦合以使电流从一个并联的单一节点通过所述第一和所述第二晶体管传递到一个差分读出装置的偏流源极，所述第一浮栅和所述第二浮栅上的电荷通过所述各自第一和第二晶体管控制电流的所述流动。

10. 根据权利要求9所述的存储器，其中所述第一和所述第二晶体管为pFET。

11. 根据权利要求9所述的存储器，其还包含一个经耦合以从所述第一浮栅除去电子的第一穿隧接合，和一个经耦合以从所述第二浮栅除去电子的第二穿隧接合。

12. 根据权利要求9所述的存储器，其中所述第一和第二晶体管为nFET。

13. 根据权利要求9所述的存储器，其还包含一个与所述第一pFET浮栅晶体管串联耦合的第一选择开关，和一个与所述第二pFET浮栅晶体管串联耦合的第二选择开关。
14. 根据权利要求13所述的存储器，其中所述第一选择开关和所述第二选择开关为pFET晶体管。
15. 根据权利要求9所述的存储器，其还包含一个与所述第一晶体管串联耦合的第一启动开关，和一个与所述第二晶体管串联耦合的第二启动开关，所述启动开关控制电流流动到所述差分读出装置。
16. 根据权利要求1所述的存储器，其还包含：
  - 一个电容性耦合到所述第一浮栅的第一控制输入节点；和
  - 一个电容性耦合到所述第二浮栅的第二控制输入节点。
17. 根据权利要求16所述的存储器，其还包含：
  - 一个经耦合以从所述第一浮栅除去电子的第一穿隧接合；和
  - 一个经耦合以从所述第二浮栅除去电子的第二穿隧接合。
18. 根据权利要求9所述的存储器，其还包含：
  - 一个电容性耦合到所述第一浮栅的第一控制输入节点；和
  - 一个电容性耦合到所述第二浮栅的第二控制输入节点。
19. 根据权利要求18所述的存储器，其还包含：
  - 一个经耦合以从所述第一浮栅除去电子的第一穿隧接合；和
  - 一个经耦合以从所述第二浮栅除去电子的第二穿隧接合。
20. 一种用于将信息存储在半导体装置中的方法，所述半导体装置具有一个第一浮栅pFET和一个第二浮栅pFET，所述方法包含：
  - 将电荷放置在所述第一浮栅pFET的一个浮栅上；
  - 将电荷放置在所述第二浮栅pFET的一个浮栅上；
  - 从所述第一浮栅pFET的所述浮栅除去电荷；
  - 从所述第二浮栅pFET的所述浮栅除去电荷；和

测量在所述第一和第二浮栅pFET的所述浮栅上的电荷。

21. 一种用于将信息存储在半导体装置中的方法，所述半导体装置具有一个有第一浮栅的第一浮栅pFET和一个有一个第二浮栅的第二浮栅pFET，所述方法包含：

(1)测量在所述第一浮栅上的电荷；和

(2)测量在所述第二浮栅上的电荷。

22. 根据权利要求21所述的方法，其中同时执行步骤(1)和(2)。
23. 根据权利要求21所述的方法，其中在步骤(2)之前执行步骤(1)。
24. 根据权利要求20所述的方法，其中所述测量是由一个差分读出放大器来执行。
25. 根据权利要求21所述的方法，其中步骤(1)和(2)是由一个差分读出放大器来执行。

26. 一种用于将多位信息存储在一个半导体装置中的方法，所述半导体装置具有一个第一浮栅和一个第二浮栅，每一个所述浮栅耦合到一个对应第一和第二浮栅pFET的所述栅极，所述方法包含：

将一个具有多个位准之一的第一电荷放置在所述第一浮栅上；

将一个具有多个位准之一的第二电荷放置在所述第二浮栅上；

测量在所述第一浮栅上的所述第一电荷，以确定在其上存储了哪一个位准的电荷；

测量在所述第二浮栅上的所述第二电荷，以确定在其上存储了哪一个位准的电荷；和

基于所述测量第一电荷和所述测量第二电荷，来确定一个多位输出。

27. 一种用于将多位信息存储在半导体装置中的方法，所述半导体装置具有一个有一个第一浮栅的第一浮栅pFET，和具有一个有第二浮栅的第二浮栅pFET，所述方法包含：

将一个第一参考电荷放置在所述第一浮栅上；

将一个具有多个预定位准之一的第二电荷放置在所述第二浮栅上；和  
首先比较存储在所述第一浮栅pFET上的所述电荷和存储在所述第二浮栅pFET上的所述电荷。

28. 一种差分浮栅非挥发性存储器，其包含：

一个具有一个第一浮栅的第一pFET浮栅晶体管；

多个第二pFET浮栅晶体管，各自具有一个对应的单独浮栅，并且通过每一个晶体管至少一个选择开关而使其漏极和源极共同耦合；和

一个差分读出放大器，其经耦合以接收来自所述第一pFET浮栅晶体管和所述第二pFET浮栅晶体管中的经选择的一个的漏极电流。

29. 一种差分浮栅非挥发性存储器，其包含：

一个具有一个第一浮栅并且耦合到一个偏差节点的第一pFET浮栅晶体管；

多个第二pFET浮栅晶体管，各自具有一个对应的单独浮栅和至少一序列选择开关，并且使其源极共同耦合到所述偏差节点，并且使其漏极共同耦合到一个漏极节点；和

一个差分读出放大器，其耦合到所述漏极节点且耦合到所述第一pFET浮栅晶体管的一个漏极，一个选择信号选择所述多个第二pFET浮栅晶体管中的一个。

30. 根据权利要求1所述的存储器，其还包含：

一个第一选择晶体管，其经耦合以在一个第一节点与所述第一pFET浮栅晶体管的一个源极之间选择性导电；和

一个第二选择晶体管，其经耦合以在所述第一节点与所述第二pFET浮栅晶体管的一个源极之间选择性导电。

31. 根据权利要求30所述的存储器，其还包含：

一个经耦合以在一个电流源与所述第一节点之间选择性导电的行选择晶体管。

32. 根据权利要求30所述的存储器，其还包含：  
一个经耦合以从所述第一浮栅除去电子的第一穿隧接合；和  
一个经耦合以从所述第二浮栅除去电子的第二穿隧接合。
33. 根据权利要求1所述的存储器，其还包含：  
一个第一选择晶体管，其经耦合以在所述第一pFET浮栅晶体管的一个漏极与一个第一读出节点之间选择性导电；和  
一个第二选择晶体管，其经耦合以在所述第二pFET浮栅晶体管的一个漏极与一个第二读出节点之间选择性导电。
34. 根据权利要求33所述的存储器，其还包含：  
一个耦合到所述第一pFET浮栅晶体管的一个源极和耦合到所述第二pFET浮栅晶体管的一个源极的第一节点。
35. 根据权利要求34所述的存储器，其还包含：  
一个耦合到所述第一节点电流源。
36. 根据权利要求35所述的存储器，其还包含：  
一个经耦合以在所述电流源与所述第一节点之间选择性导电的行选择晶体管。
37. 根据权利要求36所述的存储器，其还包含：  
一个经耦合以从所述第一浮栅除去电子的第一穿隧接合；和  
一个经耦合以从所述第二浮栅除去电子的第二穿隧接合。
38. 根据权利要求1所述的存储器，其还包含：  
一个耦合到所述第一pFET浮栅晶体管的一个源极和耦合到所述第二pFET浮栅晶体管的一个源极的第一节点；  
一个耦合到所述第一pFET浮栅晶体管的一个漏极的第二节点；  
一个耦合到所述第二pFET浮栅晶体管的一个漏极的第三节点；  
一个在一个第四节点与所述第二节点之间耦合的第一偏差晶体管；  
一个在一个第五节点与所述第三节点之间耦合的第二偏差晶体管。

39. 根据权利要求38所述的存储器，其中所述第一和第二偏差晶体管为nFET。
40. 一种差分非挥发性浮栅存储器，其包含：  
一个具有一个第一浮栅的第一pFET浮栅晶体管；  
一个具有一个第二浮栅的第二pFET浮栅晶体管；  
一个与所述第一pFET浮栅晶体管串联耦合的第一选择开关；  
一个与所述第二pFET浮栅晶体管串联耦合的第二选择开关，所述第一和第二选择开关由施加到其的信号来控制  
一个第一pFET读取晶体管；  
一个第二pFET读取晶体管；  
耦合到一个共同节点的所述第一pFET读取晶体管的一个源极和所述第二pFET读取晶体管的一个源极；  
一个耦合到所述第一浮栅的所述第一pFET读取晶体管的栅极；  
一个耦合到所述第二浮栅的所述第二pFET读取晶体管的栅极；和  
一个差分读出放大器，其经耦合以接收来自所述第一pFET读取晶体管和所述第二pFET读取晶体管的电流。
41. 根据权利要求40所述的存储器，其还包含：  
一个经耦合以从所述第一浮栅除去电子的第一穿隧接合；和  
一个经耦合以从所述第二浮栅除去电子的第二穿隧接合。
42. 根据权利要求40所述的存储器，其还包含：  
一个第三选择晶体管，其经安置以选择性地允许在第一pFET读取晶体管的所述漏极与所述差分读出放大器之间导电；和  
一个第四选择晶体管，其经安置以选择性地允许在第二pFET读取晶体管的所述漏极与所述差分读出放大器之间导电。
43. 根据权利要求42所述的存储器，其还包含：  
一个经耦合以从所述第一浮栅除去电子的第一穿隧接合；和

一个经耦合以从所述第二浮栅除去电子的第二穿隧接合。

44. 一种差分非挥发性浮栅存储器，其包含：

一个具有一个源极、漏极和浮栅的第一pFET浮栅晶体管；

一个具有一个源极、漏极和浮栅的第二pFET浮栅晶体管；

一个具有一个源极、漏极和浮栅的第一选择晶体管，所述第一选择晶体管与所述第一pFET浮栅晶体管串联耦合以选择性地中断在所述第一pFET浮栅晶体管中的源极-漏极电流；

一个具有一个源极、漏极和浮栅的第二选择晶体管，所述第二选择晶体管与所述第二pFET浮栅晶体管串联耦合以选择性地中断在所述第二pFET浮栅晶体管中的源极-漏极电流；和

一个耦合到一个第一节点的行选择信号源，所述第一节点耦合到所述第一和第二选择晶体管的所述栅极。

45. 根据权利要求44所述的存储器，其还包含：

一个经耦合以从所述第一浮栅晶体管的所述浮栅除去电子的第一穿隧接合；和

一个经耦合以从所述第二浮栅晶体管的所述浮栅除去电子的第二穿隧接合。

46. 根据权利要求45所述的存储器，其还包含：

一个经耦合以将信息写入所述第一浮栅晶体管的所述浮栅上的第一写入电路。

47. 根据权利要求46所述的存储器，还包含：

一个经耦合以将信息写入所述第二浮栅晶体管的所述浮栅上的第二写入电路。

48. 根据权利要求46所述的存储器，其还包含：

一个差分读出电路，其经耦合以读取存储在所述第一和第二pFET浮栅晶体管的所述浮栅上的信息的所述值。

49. 根据权利要求47所述的存储器，其还包含：  
一个差分读出电路，其经耦合以读取存储在所述第一和第二pFET浮栅晶体管的所述浮栅上的信息的所述值。
50. 根据权利要求49所述的存储器，其还包含：  
一个耦合到所述第一和第二选择晶体管的所述源极的电流源。
51. 根据权利要求49所述的存储器，其还包含：  
一个通过一个开关而耦合到所述第一和第二选择晶体管的所述源极的电流源。
52. 根据权利要求51所述的存储器，其中所述开关由所述行选择信号所控制。
53. 根据权利要求44所述的存储器，其还包含：  
一个经耦合以向所述第一pFET浮栅晶体管提供电流的第一电流源；和  
一个经耦合以向所述第二pFET浮栅晶体管提供电流的第二电流源。
54. 根据权利要求53所述的存储器，其还包含：  
一个经耦合以选择性地将所述第一和所述第二电流源的输出彼此耦合的选择开关。
55. 一种差分非挥发性浮栅存储器，其包含：  
一个具有一个源极、漏极和浮栅的第一pFET浮栅晶体管；  
一个具有一个源极、漏极和浮栅的第二pFET浮栅晶体管；  
一个具有一个源极、漏极和浮栅的第一选择晶体管，所述第一选择晶体管与所述第一pFET浮栅晶体管串联耦合以选择性地中断在所述第一pFET浮栅晶体管中的源极-漏极电流；  
一个具有一个源极、漏极和浮栅的第二选择晶体管，所述第二选择晶体管与所述第二pFET浮栅晶体管串联耦合以选择性地中断在所述第二pFET浮栅晶体管中的源极-漏极电流；  
一个耦合到所述第一和第二选择晶体管的栅极的行选择信号源；

一个经耦合以向所述第一pFET浮栅晶体管提供电流的第一电流源节点；和

一个经耦合以向所述第二pFET浮栅晶体管提供电流的第二电流源节点。

56. 根据权利要求55所述的存储器，其还包含：

一个与所述第一pFET浮栅晶体管相关的第一电容性耦合控制节点；

一个与所述第二pFET浮栅晶体管相关的第二电容性耦合控制节点；

耦合到所述第一电流源节点的所述第一控制节点；和

耦合到所述第二电流源节点的所述第二控制节点。

57. 一种用于检测一个存储在一个差分非挥发性浮栅存储器中的值边界的方法，所述存储器具有各自具有一个源极、漏极、浮栅和一个电容性耦合到所述浮栅的控制节点的一个第一和一个第二pFET浮栅晶体管，所述方法包含：

通过将一个第一量电荷存储在所述第一pFET浮栅晶体管的所述浮栅上，和将一个第二量电荷存储在所述第二pFET浮栅晶体管的所述浮栅上，而将一个值存储在所述差分存储器中；

向两个pFET浮栅晶体管中的至少一个的所述控制节点施加一个预定电压；

读取所述存储器；和

比较所述读取的所述结果与所述已知存储值。

58. 一种用于检测一个存储在一个差分非挥发性浮栅存储器中的边界的方法，所述存储器具有各自具有一个源极、漏极、浮栅和一个电容性耦合到所述浮栅的控制节点的一个第一和一个第二pFET浮栅晶体管，所述方法包含：

通过将一个第一量电荷存储在所述第一pFET浮栅晶体管的所述浮栅上，和将一个第二量电荷存储在所述第二pFET浮栅晶体管的所述浮栅

上，而将一个值存储在所述存储器中；

第一次读取所述存储器；

向所述两个pFET浮栅晶体管的至少一个的所述控制节点施加一个预定电压；

第二次读取所述存储器；和

比较所述第一读取和所述第二读取的结果。

59. 根据权利要求57所述的方法，其还包含：

如果所述读取的结果和所述已知存储值相同，那么确定所述存储器为良好。

60. 根据权利要求58所述的方法，其还包含：

如果所述第一读取和所述第二读取的结果相同的，那么确定所述存储器为良好。

61. 根据权利要求57所述的方法，其还包含：

如果所述读取结果和所述已知存储值不同，那么确定所述存储器为不良的。

62. 根据权利要求58所述的方法，其还包含：

如果所述第一读取和所述第二读取结果是不同的，那么确定所述存储器为不良的。

63. 一种用于检测一个存储在一个差分非挥发性浮栅存储器中的值边界的方法，所述存储器具有各自具有一个源极、漏极和一个浮栅的一个第一和一个第二pFET浮栅晶体管，所述方法包含：

通过将一个第一量电荷存储在所述第一pFET浮栅晶体管的所述浮栅上，并将一个第二量电荷存储在所述第二pFET浮栅晶体管的所述浮栅上，而将一个值存储在所述存储器中；

以一个具有一对输入的差分电流读出电路来第一次读取所述存储器；

向所述一对输入的至少一个输入添加一个可能为正或负的预定电

流;

第二次读取所述存储器; 和

比较所述第一读取和所述第二次读取的结果。

64. 一种用于检测一个存储在一个差分非挥发性浮栅存储器中的值边界的方法, 所述存储器具有各自具有一个源极、漏极和一个浮栅的一个第一和一个第二pFET浮栅晶体管, 所述方法包含:

通过将一个第一量电荷存储在所述第一pFET浮栅晶体管的所述浮栅上, 并将一个第二量电荷存储在所述第二pFET浮栅晶体管的所述浮栅上, 而将一个值存储在所述存储器中;

向所述一对输入的至少一个输入添加一个可能为正或负的预定电流;

读取所述存储器; 和

比较所述读取的结果和所述已知存储值。

65. 根据权利要求63所述的方法, 其还包含:

如果所述第一与第二读取结果相同, 那么确定所述存储器为良好。

66. 根据权利要求64所述的方法, 其还包含:

如果所述读取结果和所述已知存储值相同, 那么确定所述存储器为良好。

67. 根据权利要求63所述的方法, 其还包含:

如果所述第一读取和所述第二读取结果不同, 那么确定所述存储器为不良。

68. 根据权利要求64所述的方法, 其还包含:

如果所述读取结果和所述已知存储值不同, 那么确定所述存储器为不良。

69. 一种用于降低安置在一个分成多行的相同存储器元件的阵列中的差分非挥发性浮栅存储器中的写干扰的方法, 每个存储器具有各自具有一个源极、漏极、浮栅和电容性耦合到其浮栅的控制栅极的一个第一和一个

第二pFET浮栅晶体管，所述方法包含：

选择一个行，在其中写入一个存储器；

向并非所述经选择的行的行中的元件的所述控制栅极施加一个相对低的电压信号；

向所述经选择的行中的所述元件存储器的所述控制栅极施加一个相对高的电压信号；和

将一个值写入所述经选择的行中的存储器中。

70. 一种用于选择性地引导电子转移到一个差分非挥发性浮栅极存储器的所述浮栅上的方法，所述存储器具有各自具有一个源极、漏极、和浮栅的一个第一和一个第二pFET浮栅晶体管，所述方法包含：

向每一个所述第一和第二pFET浮栅晶体管的所述源极施加一个第一电压；

向一个外部注入导体施加一个小于所述第一电压的具有一个相对大幅度的第二电压；和

选择性地每个所述第一和所述第二pFET浮栅晶体管的所述漏极切换成与所述导体电接触，而向其施加所述第二电压，以在每个所述第一和所述第二pFET浮栅晶体管上产生一个相对大的漏极到栅极电压。

71. 根据权利要求70所述的方法，其中所述选择性切换是通过一个pFET晶体管所执行。

72. 一种用于选择性地引导电子转移到一个差分非挥发性浮栅存储器的浮栅上的电路，所述电路包含：

一个具有保持在第一电压的第一浮栅、一个第一漏极和一个第一源极的第一pFET；

一个具有一个第二浮栅、一个第二漏极和一个第二源极的第二pFET；

一个载有一个外部注入信号的第一节点，所述外部注入信号相对于所述第一电压为负；

一个经耦合以在所述第一节点和所述第一漏极之间选择性导电的第一开关；和

一个经耦合以在所述第一节点和所述第二漏极之间选择性地导电的第二开关。

73. 根据权利要求72所述的电路，其中：

所述第一开关是一个具有一个第三栅极、第三漏极、第三源极和一个第一井连接的pFET；

所述第二开关是一个具有一个第四栅极、第四漏极、第四源极和一个第二井连接的pFET；并且还包含：

一个载有一个外部注入选择信号的第二节点，所述第二节点耦合到所述第三栅极和所述第四栅极。

74. 根据权利要求72所述的电路，其还包含：

一个载有所述相同相位的一个如所述外部注入信号的信号的第三节点，所述第三节点耦合到所述第一井连接并耦合到所述第二井连接。

75. 一种用于选择性地引导电子转移到一个差分非挥发性浮栅极存储器的所述浮栅上的电路，所述电路包含：

一个具有一个第一浮栅、一个第一漏极和一个第一源极的第一pFET；

一个具有一个第二浮栅、一个第二漏极和一个第二源极的第二pFET；

用于在所述第一和所述第二pFET上产生一个相对大的漏极到栅极电压，以进而引导电子转移到所述第一和所述第二浮栅上的构件。

76. 根据权利要求27所述的方法，其中：

所述初始比较是通过比较所述第一浮栅pFET的一个源极-漏极电流和所述第二浮栅pFET的一个源极-漏极电流而执行的；和

所述初始比较包括将所述第一浮栅pFET的所述源极-漏极电流与所述第二浮栅pFET的所述源极-漏极电流的至少一个与一个第一固定电流结合。

77. 根据权利要求76所述的方法，还包含：

随后比较所述第一浮栅pFET的所述源极-漏极电流和所述第二浮栅pFET的所述源极-漏极电流，其中所述随后地比较包括在所述随后比较步骤期间，将所述第一浮栅pFET的所述源极-漏极电流与所述第二浮栅pFET的所述源极-漏极电流的至少一个与一个第二固定电流结合。

78. 一种差分非挥发性浮栅存储器，其包含：

一个具有一个源极、漏极和第一浮栅的第一pFET浮栅晶体管；  
一个具有一个源极、漏极和第二浮栅的第二pFET浮栅晶体管；  
一个经耦合以向所述第一pFET浮栅晶体管提供电流的第一电流源；  
一个经耦合以向所述第二pFET浮栅晶体管提供电流的第二电流源；和  
一个经耦合以将所述第一和所述第二电流源的输出选择性地彼此耦合的选择开关。

79. 根据权利要求78所述的存储器，其中所述第一电流源和所述第二电流源为pFET。

80. 根据权利要求79所述的存储器，其还包含：

一个与所述第一pFET浮栅晶体管相关的第一电容性耦合控制节点；和  
一个与所述第二pFET浮栅晶体管相关的第二电容性耦合控制节点。

81. 根据权利要求80所述的存储器，其中所述第一控制节点被耦合到所述第一电流源的所述源极，并且所述第二控制节点被耦合到所述第二电流源的所述源极。

82. 根据权利要求81所述的存储器，其还包含：

一个经耦合以从所述第一浮栅除去电子的第一穿隧接合；和  
一个经耦合以从所述第二浮栅除去电子的第二穿隧接合。

83. 根据权利要求80所述的存储器，其中所述第一控制节点被耦合到所述第一电流源的所述漏极，并且所述第二控制节点被耦合到所述第二电流源的所述漏极。

## 差分浮栅非挥发性存储器

### 相关案例

本申请案是以发明者 Shail Srinivas、Chad A. Lindhorst、Yanjun Ma、Terry Haas、Kambiz Rahimi 和 Christopher J. Diorio 的名义于 2002 年 7 月 5 日申请的共同代决的第 10/190,337 号美国专利申请案的部分接续申请案并在此共同让渡。

### 技术领域

本发明针对非挥发性存储器 (NVM)。特别针对用 pFET (p 通道场效晶体管) 浮栅装置以差分构造建构的 NVM。

### 背景技术

许多 CMOS (互补型金属氧化物半导体) 集成电路都需要少量的芯片上非挥发性存储器 (NVM)。典型应用包括存储安全设定、RFID (射频识别) 数据、系统构造、序列号、校准和微调设定等。考虑到成本和产量原因, 理想的 NVM 应为具有零额外处理遮罩的最新技术的逻辑 CMOS。不幸地是, 主要的存储器制造商都关注于开发能生产不断增加的存储密度 (如, 256 Mb 闪存) 的定制 NVM 制程, 而几乎都忽略了对相对少量的 NVM 的应用 (数百字) 的需求。因此, 要求少量非挥发性存储的 CMOS 设计人员就必须 (1) 使用如芯片上熔丝等技术; (2) 支付成本并承担关于使用高密度嵌入式 NVM 的产品降级的费用; (3) 采用芯片外存储; 或 (4) 使用由相关备用电池供电的 SRAM (静态随机存取存储器) 存储。

在高度集成的 CMOS 应用中需要少量 NVM 的设计人员会面临某些令人不悦的取舍问题。显而易见的方法是使用具有嵌入式 NVM 的 CMOS 制程。不幸地是, 嵌入式 NVM 制程不仅要负担更高的晶片成本, 同时趋向成为较早一代的技术。更高成本归因于 NVM 制程一般需要额外的遮罩和制作步骤 (如, 为了得到第二多晶硅层) 的事实。由于将 NVM 添加到逻辑制程会耗

费时间和测试，所以才出现较早一代的技术，，因此 NVM 制程通常落后于最新技术一年。其结果可能是，为很少的 NVM 比特，使整个 CMOS 芯片成本更高且性能降低。

嵌入式 NVM 的一个替代方案是使用激光或电子编程的熔丝（或反熔丝）。需要一次编程的应用可发现此替代方案具有吸引力，但是如熔丝“愈合”和编程成本等重大技术难题依然是令人困扰的问题。此外，熔丝和反熔丝通常在最新技术 CMOS 制程中不可用。

另一选择是使用芯片外解决方案，诸如一个分离 NVM 芯片或芯片上 SRAM 的备用电池。不幸地是，此种解决方案需要额外的装置，且在芯片外 NVM 的情况下，数据暴露在潜在的黑客袭击（hacking）下。当然，益处是设计人员可用前沿技术建构芯片的其余部分，而不会引入 NVM 制程的间接费用。缺点是在 PCB（印刷电路板）领域和零件数方面的更高成本。

CMOS 设计人员所需要的是在最新技术逻辑 CMOS 方面的 NVM 能力。

### 发明内容

本发明涉及大量利用差分 pFET 浮栅晶体管来存储信息的差分浮栅非挥发性存储器和存储器阵列的设计。本发明也提供建构所述存储器和存储器阵列的方法以及与所述存储器和存储器阵列有关的操作和测试方法。

### 附图说明

并入本发明且成为本说明书一部分的附图图解了本发明的一个或多个实施例，并连同详细描述一起解释了本发明的原理和建构。

图 1A 为图 1B 浮栅 MOSFET 的漏极电流对比控制栅电源电压的曲线图。

图 2A 为根据本发明实施例的装置的正视横截面图。

图 2B 为图 2A 装置的 MOS 能带图。

图 3 为根据本发明实施例的存储器的电示意图。pFET M2 用于通过信号“偏压”来设定该差分对偏流，而浮栅 pFET M0 和 M1 充当存储装置。短路的 pFET T0 和 T1 用以从浮栅中除去电荷从而和/或充当控制栅。如所属领

域的技术人员将显而易见的是,可使用短路的 nFET 来替代地建构 T0 和 T1。

图 4 为与栅极到漏极电压对比注入效率的曲线图,其中注入效率定义为栅电流除以源电流。

图 5A 为根据本发明一个替代实施例的存储器的电示意图,其包含一个无穿隧接合(tunneling junction)的差分存储器。可使用 UV 光或所属技术领域人员熟知的其它技术来擦除浮栅,且可使用注入对存储器进行一次编程。

图 5B 为根据图 5A 电路的替代实施例的存储器电示意图。

图 6A 为差分存储器电示意图,其具有选择晶体管(select transistor)以判定存储器之哪一侧将经受本发明实施例的注入。

图 6B 为根据图 6A 存储器的替代实施例的存储器电示意图,其包括一个根据本发明实施例的行选择开关。

图 7 为耦合到 pFET 电流源的差分存储器电路的电示意图,其具有在此情况下以根据本发明实施例的 nFET 建构的选择晶体管(S0、S1)(在此有时称作“序列选择开关”)。

图 8 为差分存储器电路的电示意图,其中在根据本发明实施例,电流被控制在浮栅注入晶体管的漏极。因为存在两个单独的电流控制,所以可在 M0 和 M1 中分别控制注入。

图 9 为根据本发明另一实施例的图 8 差分存储器电路的电示意图。在此版本中,对节点偏差 0 或节点偏差 1 施加正偏压并对其它节点施加 0 V 将写入所述存储器。

图 10 为根据本发明实施例的存储器电路的电示意图,其包括与每一浮栅有关的 pFET 读取晶体管。

图 11 为根据类似图 10 的本发明实施例的存储器电路的电示意图,但是其包括行选择晶体管(M0、M1)以从差分读出放大器(sense amplifier)选择性隔离个别存储位置。

图 12 为根据本发明实施例的图 11 方框 12 内所含有的电路的替代部分的电示意图。

图 13 为建构双向穿隧的本发明实施例的电示意图。

图 14 为基于图 13 的本发明替代实施例的电示意图。在此版本中，通过电子注入写入存储器，并且 pFET 读取晶体管与每一浮栅相关联。电容性耦合的控制栅输入节点促进本文描述的边界读取 (margin read) 和写干扰减轻处理。

图 15 为本发明实施例的电示意图，其中一半的差分存储位置由一行存储器阵列的所有存储位置 (memory location) 共享的。此实施例对差分存储器的内存条 (memory bank) 尤其有用。

图 16 为通过添加一对浮栅晶体管 (M2、M3) 以监视穿隧处理的结束来修改图 14 版本的本发明实施例的电示意图。

图 17 为本发明实施例的电示意图，其使用反馈以在穿隧期间审慎地少量注入存储器，来预防存储器浮栅的过穿隧问题。

图 18 为展现图 17 存储器简化的本发明实施例的电示意图。所述 Read\_not 信号用于将存储器配置为读取模式。

图 19 和 20 为本发明实施例的电示意图，其说明了可在所述注入晶体管的漏极侧控制存储器电流。图 20 的实施例具有控制所述写入和读取电流的明确的 nFET 电流槽 (current sink) M0。

图 21 为根据本发明实施例的 pFET 穿隧接合装置的布局图。

图 22 为沿图 21 的线 22-22 截取的横截面图。

图 23 为根据本发明实施例的 n 井整体 (bulk) nFET 穿隧接合装置的布局图。

图 24 为根据本发明实施例的 MOSCAP 型穿隧接合装置的横截面图。

图 25 为根据本发明实施例的差分存储器的电示意图。

图 26 为根据本发明另一实施例的替代差分存储器的电示意图。

图 27 为另一个差分存储器的电示意图。

图 28 为差分存储器的电示意图，其具有使其不同侧经独立写入的能力。

图 29 为另一替代差分存储器的电示意图。

图 30 为另一个替代差分存储器的电示意图。

图 31 为另一个替代差分存储器的电示意图。

图 32 为另一个替代差分存储器的电示意图。

图 33 为另一个替代差分存储器的电示意图。

图 34 为用于说明边界读取的第一方法的另一个替代差分存储器的电示意图。

图 35 为用于说明边界读取的第二方法的另一个替代差分存储器的电示意图。

图 36 为如那些本发明所涵盖的存储器的写入电流和写干扰电流对比写入电压的曲线图。

图 37 为设计用以降低写干扰的经修改的存储器的电示意图。

图 38、39 和 40 为具有各种类型差分存储器的差分存储器阵列的替代建构。

图 41 和 42 为外部注入电路的替代建构，其用以分开以相对高的浮栅制造的存储器，其反而可能阻止电子注入到浮栅上。

图 43 为说明根据本发明实施例存储器的阵列布局图。

图 44 为根据本发明实施例的示范性写入电路的电示意图。

图 45 为根据现有技术的示范性差分读出放大器电路的电示意图。

图 46 为根据现有技术 UV 可擦除的视窗存储装置的正视横截面图。

### 具体实施方式

本文以差分浮栅非挥发性存储器描述本发明的实施例。所属领域的技术人员将了解本发明的下列详细说明仅是说明性的，并且无意以任何方式限制。受益于此揭示内容的所属领域技术人员容易明了本发明的其它实施例。

现在将详细参照如在本发明随附图式中所说明的本发明的建构。贯穿图式和下列详细说明使用相同的参考代号以指代相同或类似部分。

为清晰起见，并不在此展示和描述所有的所述建构的常规特征。当然应了解在任何所述实际建构的开发中，必须判定无数特定建构以便达到开发商的特定目标，诸如顺应应用和商业相关的约束，并且这些特定目标会依各建构和各开发商而改变。此外，应了解所述开发工作可能复杂而耗时，但对于受益于此揭示内容的所属领域技术人员其会成为工程的常规任务。

本发明一般用于非挥发性存储器，且具有如在嵌入式 CMOS 应用中可能发现的低密度嵌入式非挥发性存储器的特别应用。所述嵌入式 CMOS 应用包括（但不限于）存储：（1）芯片序列号（即，芯片标签）；（2）ASIC（应用特定集成电路）中的配置信息；（3）射频识别（RFID）集成电路中的产品、封装和/或资产数据；（4）嵌入式微控制器的编码或数据；（5）模拟微调信息；（6）FPGA 配置信息；和（7）如所属领域技术人员明了的许多其它应用。与常规的基于 nFET 的非挥发性存储器相比，使用 pFET 具有至少以下优点：电荷泵功率降低、编程/擦除循环持久性（由于氧化磨损减少）增加，和在逻辑 CMOS 制程中可用（由于存储器泄漏减少和事实上存储器仅使用 nFET 和 pFET）。

任何可重新编程的 NVM 技术必须符合两个关键要求：（1）持久性和（2）保持性。持久性指的是擦除/写入循环的次数（NVM 理想上可具有无限次读取循环）。保持性指的是存储器存储时间。在过去的二十年中，闪存和 EEPROM 技术的以致使产生一套商业上可接受的 NVM 设计标准。标准 CMOS 制程中的任何设计应该符合这些相同标准。所述两项标准是 10 年的保持性和 10,000 次（最小）的擦除/写入循环。

NVM 装置通过改变晶体管或其它电路元件的物理属性来存储信息。在浮栅存储器（如，闪存或 EEPROM）的情况下，所述物理属性是存储在硅 MOSFET（金属氧化半导体场效晶体管）的电隔离（浮动）栅上的电子量。

所有的 NVM 装置磨损,意味着在一定次数的擦除/写入循环后,所述存储器将不再符合其 10 年保持性的要求。在浮栅存储器的情况下,因为移动电子通过围绕电隔离栅的氧化绝缘体总是损害该绝缘氧化物。

浮栅存储器技术是以硅 MOSFET 的浮栅上的电子来存储信息。从浮栅添加或除去电子会改变 MOSFET 的阈值电压。图 1A 是用于图 1B 的浮栅 MOSFET 的漏极电流对比控制栅电源电压的曲线图。为了读取存储器,要测量浮栅 MOSFET 的通道电流。如观察图 1A 的左侧曲线,那么所存储的存储器是逻辑“1”;如果观察图 1A 的右侧曲线,那么所存储的存储器是逻辑“0”,或反过来也如此。在不存在控制栅时,浮栅的电压确定其相关晶体管的状态。对于 pFET,低浮栅电压意味着晶体管更多为“on”(即,较高的源极-漏极电流),然而高浮栅电压意味着晶体管更多为“off”(即,较低的源极-漏极电流)。可基于浮栅晶体管的相对 on/off 状态而读取逻辑“1”或逻辑“0”。

NVM 设计人员可使用 n 通道或 p 通道浮栅 MOSFET 作为存储器晶体管。自从 20 世纪 80 年代早期已使用 n 通道 MOSFET,这是因为尺寸较小并且存在将 nFET 通道电子注入到浮栅上的直接方法。这个选择启动高度经修改的 CMOS 制程的高密度闪存和 EEPROM。然而,在逻辑 CMOS 中,情况相反——pFET 大大优于 nFET,因为与 nFET NVM 相比 pFET NVM 具有较好的保持性,并且与 nFET NVM 相比 pFET NVM 允许更多的擦除/写入循环。

当然,使用 pFET NVM 也存在缺点。在专用制程中发现与 nFET NVM 相比 pFET NVM 具有较大尺寸,并且趋向具有较长的写入时间。对于小存储器(即,那些小于或等于大约 60 kbits 的存储器),保持性和持久性利益和零制程遮罩增加显著胜过这些缺点。

图 2A 是用于根据本发明实施例的装置正视横截面图。图 2B 是用于图 2A 的装置 MOS 能带图。图 2A 和 2B 说明 pFET NVM 为什么具有与 nFET NVM 相比较好的保持性。装置物理性展示对于从 pFET 的电子泄漏的能障是 4.16 eV,然而对于 nFET 仅为 3.04 eV。这个差别意味着在相同的氧化物

厚度下，pFET 存储器可以其较高的能障展现出显著小于 nFET 存储器的穿过栅氧化物的电子穿隧现象。在专用 CMOS 制程中，这个差异并没有实际影响，因为制程工程师仅需加厚所述栅氧化，直到存储器具有 10 年的保持性。所有目前商用基于 nFET 的 NVM 都使用 80Å 或更厚的氧化物。不幸地是，在现代逻辑 CMOS 中并不存在 80Å 的氧化物（0.35 μm 和更小的制程线宽）。从而，在逻辑 CMOS 中以 70Å 或较薄的栅氧化物构造的 nFET NVM 在正常的制程变化和温度变化上根本无法满足 10 年保持性的要求。解决方案是使用 pFET NVM。如在现代双栅氧化物 CMOS 制程中可用的 70Å pFET 具有与专用制程中的 82Å nFET 相同的数据保持性。简而言之，保持性对于 NVM 很关键，并且在目前技术逻辑 CMOS 中 pFET 具有 10 年的保持性，然而 nFET 没有。

Diorio 等人的题目为“Hole Impact Ionization Mechanism for Hot Electron Injection and Four Terminal pFET Semiconductor Structure for Long-Term Learning”的美国专利第 5,990,512 号描述了用于向并浮栅 pFET 的栅传送电荷的方法。本发明的某些实施例使用浮栅 pFET 作为存储器存储晶体管，而 512 专利中所描述的撞击离子化热电子注入（IHEI）和穿隧方法用于写入存储器。本发明其它实施例运用直接穿隧代替 IHEI。因为 IHEI 和穿隧并不要求特定装置制程，所以可使用与制造标准数字逻辑晶体管相同的 IC 制程建造浮栅装置。

#### 差分存储器技术

通过采用差分存储器，而不是标准单端存储器，使根据本发明制作的存储器展现出增加的读取速度、降低的读取电流和功率消耗、降低的穿隧和注入效率的变化的敏感度、宽松的芯片上电流和电压参考的精确度的要求，以及降低的温度和电源电压敏感度。从而，使用差分式的基于 pFET 的存储器的组合方法可启动逻辑 CMOS 中的 NVM。

图 3 是根据本发明实施例的存储器的电示意图。pFET M2 用以通过信号

“偏压”来设定差分对偏流  $I_b$ ，且浮栅 pFET M0 和 M1 充当存储装置。短路的 pFET T0 和 T1 用以从浮栅除去电子和/或充当控制栅。如所属领域的技术人员将显而易见的，可使用短路的 nFET 或 MOSCAP 替代地建构 T0 和 T1。（控制栅是电容器或电容性耦合到浮栅的节点。根据本发明，所述控制栅可以建构为电容器或短路的 pFET 等，而无需将另一层添加到半导体晶片）可通过存储在两个浮栅 FG0 和 FG1 上，而不是如基于 nFET 的 NVM 中常见的单一存储器元件的开-关状态上的电荷差，来确定差分存储器的逻辑状态。无论存储器元件存储的是逻辑 0 或逻辑 1，两个晶体管都具有反相通道。常规差分读出放大器电路 D1 分别地读出 M0 与 M1 的漏极电流  $I_0$  和  $I_1$ ，来确定存储器的状态。

基本存储器元件的擦除循环可以如下运作。可以通过使用 Fowler-Nordheim 穿隧以从两个浮栅除去电子的方式来擦除差分存储器。根据本发明的一个实施例，这可以通过使两者穿隧接合（T0 和 T1）到大约 10 V 而完成。为了在 pFET 浮栅晶体管隧道到完全关闭状态之前停止所述擦除处理，所以将在擦除处理期间以常规方式监视漏极电流（ $I_0$  和  $I_1$ ）。一旦特别存储器元件的漏极电流达到预定最小值后（如，根据本发明一个实施例的约 10 nA），穿隧完成（TunDone）信号就以常规方式产生。这个信号可以用来停止在那个浮栅上或在浮栅的区块上的穿隧处理。这个反馈处理确保当擦除时没有浮栅晶体管被完全关闭。

基本存储器元件的编程循环可以如下运作。为了将逻辑 1 编程到存储位置，可以使用晶体管 M2 对存储器元件施加偏流，而同时在晶体管 M1 上施加相对大的漏极到源极电压（通过向 M1 漏极施加低或负电压）。0.18  $\mu\text{m}$  CMOS 制程中的典型值是  $V_{dd}=1.8$  V 并且  $V_{M1_{\text{drain}}}=-3.3$  V。晶体管 M2 和 M1 导电，并且使用如美国专利第 5,990,512 号所论述的 IHEI 制程将电子注入到浮栅 FG1 上。随后进行相同程序以写入逻辑 0，除了是注入晶体管 M0 而不是 M1 以外。

所述注入制程是自限性的，意味着当电子注入到浮栅上时，晶体管自身会停止所述注入制程。不像 nFET、pFET 会自限其 IHEI 电流，因为注入会引起其浮栅电压降低。随着栅极电压降落，注入晶体管的漏极到栅极电压也会降低。因为 IHEI 会随着漏极到栅极电压的降低而按指数规律地降低（如图 4 所说明的，其为栅极电流/电源电流对栅极到漏极电压的曲线图），所述晶体管自身停止 IHEI 制程。

或者，所属领域的技术人员现将认识到也可以创建一个可以用于终止注入制程的发信号电路，如，通过当注入晶体管的浮栅触达到预定电压时，通过晶体管 M2 来阻挡电流。

基本差分存储器元件的读取循环可以如下运作。为了读取差分存储器元件的内容，首先使用晶体管 M2 向存储器元件施加偏流。读取根据区别在两个半个差分存储器元件之间的较为导电路径的原理而操作。如果 FG0 具有比 FG1 低的电压，那么 M0 将会更为导电，并且大部分的偏流将按 I0 而穿过。如果 FG1 具有比 FG0 低的电压，那么保持互补情况。接着，常规差分读出放大器通过比较 I0 和 I1 来判定存储器元件是否保持逻辑 1 或逻辑 0。因为所述存储器为差分的，所以当读取存储器时，可以在晶体管 M2 内使用任意小的偏流。从而，在读取操作期间，存储器可以使用任意低的功率。

#### 穿隧接合

图 5A 是本发明的替代实施例的存储器的电示意图，其中包含无穿隧接合的差分存储器，以从浮栅 FG0 和 FG1 除去电子。在此，可通过使用透过含有芯片 C 上的装置的封装 P 中的适当视窗 W 的诸如展示在浮栅上的 UV 光的电磁辐射，或所属领域的技术人员熟知的其它技术，根据本实施例来擦除封装 P（如图 46 说明）的芯片 C 上的浮栅 FG0 和 FG1，并且通过使用由电流源、电阻器、FET 或电压源（本文通称为电流源）供电的注入来对存储器进行一次编程。以此方式可以节省与穿隧接合相关的布局面积。除去穿隧接合的选择适用于所有本发明的实施例，而将穿隧接合放入基板的相同或

单独的 n 井内的选择也同样适用。如果穿隧接合形成在单独 n 井中，那么可以为擦除的目的而选择存储器的单一节点（即，单侧）。如果穿隧接合形成在相同的 n 井内，那么可以保留晶粒区域，并且同时擦除差分存储器的两侧。特别实施例中使用的精确构造将取决于设计人员。图 5B 说明了图 5A 存储器的替代实施例，其包括分别由选择线路 Sel\_0、Sel\_1 控制的选择晶体管 S0、S1。在这个版本中并没有提供穿隧接合。

本文描述的装置可以为可擦除或可一次编程的。对于可一次编程的装置，并不要求穿隧接合（尽管其可包括作为一个设计选择）。那些要求擦除的本发明的实施例可以建构穿隧接合以使电子穿隧离开浮栅。可以许多不同方式建构穿隧接合。在一个实施例中，将单独的 n 井远离浮栅晶体管所位于的 n 井而放置。所述浮栅晶体管是一个 pFET，其可用于 IHEI、直接穿隧或另外用于跨越绝缘体将电子移动到浮栅的类似制程。根据本实施例，将浮栅放置在两个 n 井之间。所述穿隧接合可以是：（1）一个 MOSCAP，诸如如图 24 中所展示的元素 124，其建构为安置在 n 井中的 n+区；（2）一个短路的 nFET（具有相互连接的漏极和源极）；（3）一个短路的 pFET（具有相互连接的漏极、源极和井接触）；或如现将对所属领域的技术人员显而易见的其它排置方式。参见图 2A 关于根据本发明一个实施例的存储器的一般布局。

现转向图 21 和 22，图中说明了一个 pFET 穿隧接合。图 21 为 pFET 穿隧接合的布局（上）图，并且图 22 为沿图 21 的线 22-22 截取的横截面图。如可以看到，所述装置安置在 n 井 100 中，其中 n 井安置在基板 102 中。pFET 穿隧接合装置 104 包括 n+井接触区 106 和源极 p+区 108 以及漏极 p+区 110，在可能的地方，所有这些都可以被页面内的逐个存储器元件所共享。浮栅 112 座落于形成在源极和漏极之间通道上，并且通过诸如二氧化硅的介电层 114 与通道分离。井接触、源极和漏极通过导体 116 而共同短路，所述导体 116 由任何适当的导电材料构成。

现转向图 23，在所述横截面图中说明了 nFET 穿隧接合装置 118。在本实施例里，将 n 井 100 安置在 p 基板 102 中。在 n 井 100 内是一对构成晶体管源极和漏极的 n+区 120 和 122。这些如上所述的通过导体 116 而彼此短路。如上所述，浮栅 112 座落于形成在源极和漏极之间的通道上，并且通过诸如二氧化硅的介电层 114 与通道分离。

现转向图 24，在横截面图中说明了 MOSCAP 穿隧接合装置 124。在本实施例中，将 n 井 100 安置在 p 基板 102 中。在 n 井 100 内是耦合到导体 116 的 n+区 126。本装置的其余细节如上文所述。

到差分存储器一侧的限制性注入

图 6A 为具有选择晶体管的差分存储器电示意图，所述选择晶体管判定存储器的哪一侧经受根据本发明实施例的注入。图 6A 的存储器超过图 3 存储器的优点，在于两个注入晶体管 M0、M1 的漏极在注入期间可被降低，并且可以通过施加选择信号到其对应的选择线路 Sel\_0、Sel\_1，来启动对应的选择晶体管 S0、S1，来选择一侧用于写入。可以将这个差分对的输入节点 X 连接到如图 3 中的偏压晶体管或任何其它类型的可选电流源电路。如在本文所展示的每一个实施例中，所述输入节点 X 可以是安置在实际存储器内的电流源，或通向安置在其它地方的另一电流源的导体。例如在阵列列中的存储器元件之中共享电流源可节省布局面积，但是由于在共享节点处的增加的电容可能降低速度。如果合乎设计，也可以通过使用适当的选择晶体管将电流引导到作为适当的节点 X，而对于读出/写入操作之一使用元件内电流源，对于其它操作使用元件外电流源。在权利要求书中，术语“电流源”意思是表达可以从其中汲取电流的节点的概念，因而，例如，如果在存储器元件内存在供应有电流的节点，那么所述节点可以为电流源，即使其是由在存储器元件自身外部的晶体管供应电流也是如此。

行选择

现转向图 6B，将行选择晶体管 M2 添加到图 6A 的基本构造上。耦合到

M2 栅极的 Row\_Sel 线路的控制电流源 C1 是否耦合到节点 X。因为多达一半的晶体管使其源极/漏极连接到节点，所以以此方式通过外部（列）电流源所观察到的电容降低。由于降低的电容，所以这种方法提供了较快的读取和写入。

图 7 为耦合到 pFET 电流源的差分存储器的电示意图，并且所述选择晶体管（S0、S1）根据本发明实施例与 nFET 一起建构。所述存储器通过将 Vdd 拉升（到大约 5 V）、通过设定其栅极电压到 Vdd 以开启选择晶体管（S0、S1）之一、并且通过设定其电压到接地以关闭另一个选择晶体管来进行编程。在“开”侧的浮栅晶体管（M0、M1）将经受 IHEI，引起其栅极电压降落。在“关闭”侧的浮栅的晶体管（M0、M1）不具有任何通道电流，将其注入降低到可以忽略的级别，并且使其栅极电压仍然大致不变。

在替代实施例中，图 7 中的选择晶体管可以与 pFET 一起建构。还可以使用图 7 中的选择晶体管将阵列中的多个存储器元件从单一读出放大器 D1 分离。

图 8 为差分存储器电路的电示意图，其中在根据本发明实施例的浮栅注入晶体管的漏极处控制电流。因为存在两个单独的电流控制，所以在 M0 和 M1 中可用单独地控制 IHEI。在本实施例中，电流“源”C0 和 C1 可以是电流槽。电流“槽”可以沉降电流，而电流源可以供应电流。

图 9 为根据本发明实施例的图 8 版本电路的电示意图。在这个版本中，向偏差 0 或偏差 1 施加偏压，并且向其它信号施加 0 V 将写入所述存储器。如果将偏差 0 设定为偏压电压并且将偏差 1 设定为 0 V，那么电流将流过 M2 和 M0，引起 M1 中的 IHEI 并且降低 FG0 上的电压。在这种情况下，将没有电流流过 M3 和 M1，因此在 M1 处的注入率会远小于在 M0 处的。而当将偏差 1 设定为偏压并且将偏差 0 设定为 0 V 时，则会相反情况。在读取期间，可将偏差 0 和偏差 1 两者设定为 0 V，来防止电流绕过读出放大器。

关于图 6A、6B、7、8 和 9 的存储器的读取操作类似于图 3 所述的。

通过将 pFET 读取晶体管 (M2、M3) 添加到如图 10 电路中的每个浮栅来分离编程和读取功能。图 10 为根据本发明实施例的示意图, 其包括与每个浮栅相关的 pFET 读取晶体管。这项修改允许使晶体管的漏极电压 ( $V_{inj}$ ) 低于接地, 而在写入期间加速 IHEI 处理。这也会增加差分读出放大器设计上的弹性。

图 11 为类似图 10 的本发明实施例的示意图, 但是其包括行选择晶体管 (S2、S3, 这些将通过“EN”信号选择性地激活), 以从差分读出放大器隔离存储器元件。这项修改允许多个存储器元件共享单一差分读出放大器 D1。视需要, 选择晶体管 (S2、S3) 可以为 nFET (如图中所示) 或 pFET。

图 12 为根据本发明一个实施例的图 11 的方框 12 内所含有的电路的替代部分的电示意图。在这个替晶代实施例中, 选择晶体管 (S2、S3) 为 pFET, 且与 pFET 读取晶体管 M2、M3 呈不同排列。但是效果相同。

图 13 为建构双向穿隧的本发明实施例的电示意图。在本实施例中, 使用双向 Fowler-Nordheim (FN) 穿隧而非 FN 穿隧和 IHEI 来进行编程/擦除。为提供单井 CMOS 制程中的双向式穿隧, 添加控制栅极 CG0、CG1 (在本例中 pFET 具有短路的源极、漏极和井 (这也是一款 MOSCAP), 其电容性耦合到浮栅, 允许浮栅电压改变。为了编程存储器, 将 MOSCAP 控制栅极之一设定为高电压 ( $V_{cg}$  为大约 10 V), 并且将穿隧接合设定为接地。通过使用相对于穿隧接合电容和任何寄生电容的大的控制栅极 MOS 电容器, 通过电容性耦合和从该浮栅上的穿隧接合的电子隧道, 使浮栅电压接近  $V_{cg}$ 。为擦除存储器, 使穿隧接合升高 (到大约 10 V), 且将控制栅极拉到接地。电子穿隧离开浮栅而到穿隧接合。图 13 中的控制栅极也可以适用于如在图 3 中说明的存储器, 因为其可以向浮栅加偏压以最大化写入效率。在一个实施例中, 可以将图 13 所示的 MOSCAP 安置在单独的 n 井中。或者, 这两个 MOSCAP 也可以共享单一 n 井以节省面积。为了节省更多面积, 以降低的 MOSCAP 电容为代价, 其可以如存储器中的其它 pFET (M0 和 M1) 一样

放置在相同的 n 井中。或者，给定足够电容的 M0 和 M1 可以接管 CG0 和 CG1 的功能，接着再将其忽略。

图 14 为基于图 13 的本发明替代实施例的电示意图。在这个版本中，将读出放大器添加到图 13 的存储器上，并且存储器是以注入而不是以双向穿隧方式写入。如果 pFET 最初为关，那么浮栅电压可通过电容性耦合而拉低，以推动注入处理的开始。同样，当穿隧完成后，可以通过将浮栅拉高、降低氧化物电压（即，减少穿隧电压和浮栅电压之间的差值）并且连同穿隧电流，来使用控制栅极结束穿隧处理。后面的这个实例要求读出（sensing）和反馈电路，如现在所属领域的技术人员可以容易地设计。在此所用的控制栅晶体管具有与图 13 中的控制栅晶体管相同的与其 n 井连接相关的选择。

图 15 为本发明实施例的电示意图，其中一半的差分存储器是由一行存储器中的所有存储器元件所分享。在图 15 中的实施例中，每个存储器元件中的差分对的右侧已经被包含以 Sel0 和 FG0 作为其栅极的晶体管的单一、共享右侧取代。在本实施例中，将共享存储器元件写入到逻辑 0 和逻辑 1 状态之间的一半处，并且每个未共享的存储器元件（在图的左侧）到 0 状态或 1 状态是取决于存储值。在读出期间，除一个外（这个是用来作位选择），将为了所有 x 而将 Sell\_x 设定为 Vdd。使用右侧作为中性参考，差分读出放大器将判定在图左侧的选择浮栅晶体管是否已被写到 0 状态或 1 状态。一项对这个存储器的可能修改是除去图上部所示的电流源。在这种情况下，将所有选择晶体管的源极连接到 Vdd。虽然电路不再像真实差分对那样运作，但是差分读出放大器仍然会将参考电流（来自电路的 FG0 支脚）与数据电流（来自电路的 FGx 支脚）相比较。或者，可以存在两个共享的存储器元件（取代图中的 Sel0 和 FG0 装置），其中之一被写入到逻辑 0 状态，并且另一个被写入到逻辑 1 状态，使得在读取操作期间将逻辑 0 和逻辑 1 电流均分，以产生在逻辑 0 和逻辑 1 之间一半的值。或者，可以存在任何数目（高达 N 个）的读出放大器，以允许一次地读取在相同行内的多个存储器元件。在读

出期间中，同时将复数个 Sel1\_x 线路降到低电压，仅提供那些存储器元件并且允许多位读取。在构造中可能要求一个电流反射镜（current mirror）而不要求偏压晶体管，以为每个位制成所述参考电流的复本。

图 16 为本发明实施例电示意图，其通过添加一对浮栅晶体管（M2、M3）以监视穿隧处理的结束来修改图 14 的版本。通过施加适当的 Tun\_done\_Vdd，所属领域的技术人员现在将了解由电路产生的 TunDone0 和 TunDone1 信号可用于启动和/或关闭该穿隧处理。这项设计特别适用于确保该穿隧不会完全关闭存储器中的任何 pFET 浮栅晶体管。

图 17 为本发明实施例的电示意图，其说明如何在穿隧期间使用反馈来将少量的 IHEI 明确地施加到存储器，以预防存储器的过穿隧。随着浮栅（FG0 或 FG1）的电压增加，增加的电流量就将流过注入晶体管（M2、M3）。最终结果是，当浮栅已经穿隧到其高电压时，由 IHEI 添加到浮栅的电子数量将等于并且与由穿隧除去的电子数量相对。在这种状态下，浮栅电压稳定。调节电路的谨慎的设计允许由设计人员确定最终浮栅电压。（主要取决于图中所示的 Vtrip 电压（Vtrip0、Vtrip1）这种方法可以确存储器绝不会完全关闭，并且允许确保大致与穿隧速率失配、IHEI 失配、装置失配和其它操作条件无关的擦除处理。

图 18 为呈现图 17 存储器的简化的本发明实施例的电示意图。所述 Read\_not 信号用于将存储器配置为相对写入/擦除的读取模式。在写入/擦除期间，关闭 Read\_not 晶体管 M4，将存储器元件分离成两个半元件，并且简化写入/擦除。在读取期间，开启 Read\_not 晶体管 M4，并且两个电流源 M2 和 M3 结合以构成单一电流源，其供应图 17 中的 I 偏差\_read 的对等物。在注入期间，将 S0 和 S1 用作选择晶体管，并且在穿隧期间则用作电流控制器。（其承担图 1 中 M3 和 M4 的相同角色）

图 19 和 20 为本发明实施例的电示意图，其说明了可以在注入晶体管的漏极侧控制电流。图 20 的实施例具有控制写入和读取电流的明确 nFET 电

流槽 M2。SEL\_0 和 SEL\_1 对图 6A 的存储器中的相同信号具有类似功能。用于这个存储器的差分读出放大器必须接受与用于上文呈现的存储器的放大器相比较呈反极性的电流。注意，如图 10 中，当读取和写入功能分离时，也可以施加这种形式的电流控制。

### 实例存储器

现转向图 25，其说明了新颖存储器 128。存储器 128 在节点 130 具有离出存储器元件偏流，其充当用于存储器 128 的电流源。存储器的左侧和右侧 132 和 134 各自分别包含选择晶体管（在这里是一个 pFET）S0、S1，其分别地将该电流源节点 130 分别地耦合到浮栅电荷注入晶体管 M0、M1 的源极（在这里展示为 pFET）。提供穿隧接合电路 T0、T1（其为可选的并且可以如上文所述来构造）以分别地从浮栅 FG\_0 和 FG\_1 除去电子。M0、M1 的漏极分别地耦合到节点 136、138，并且这些各自分别地耦合到写入电路 W0、W1，并且耦合到差分读出放大器电路 143 的差分输入 140、142。为了读取这个存储器元件，可以通过在节点 144 发出 Row\_Sel 信号，并且通过例如所说明的偏流电路 146 对节点 130 施加偏流，来选定含有存储器元件的行（一般为存储器元件的二维阵列的一行）。接着使用差分读出放大器电路 143 读取选定存储器元件的内容。通过在节点 144 发出选定所述行的 Row\_Sel 信号并且对节点 130 施加偏流，来完成写入。通过使电子注入分别浮栅（FG\_0 或 FG\_1），来开启左侧写入电路 W0 或右侧写入电路 W1，以将分别的 0 或 1（或视构造而相反）写入到存储器 128。以这种方式，将相同的晶体管用于读取和写入两者，并且如果需要，写入电路、差分读出放大器电路与电流源电路可以位于存储器元件的外部，并且由大量增加密度的不同存储器元件所共享，如所属领域的技术人员现在将完全了解。

现转向图 26，其说明了存储器 148，所述存储器 148 与图 25 的存储器 128 的不同之处在于由 Row\_Sel 信号所控制的行选择晶体管被安置在电流源节点 130 和节点 131 之间，而其又会被耦合到选择晶体管 S0、S1 的源极。

这项改进降低由其中并未发出 Row\_Sel 的存储器元件的电流源电路 146 所观察到的电容。降低的电容可以改进性能，代价是每个存储器元件一个单一额外晶体管。所述存储器的操作基本上与图 25 的存储器的相同。

现转向图 27，其说明了存储器 150，所述存储器 150 与图 25 的存储器 128 的不同之处在于电流源电路 152 被安置在存储器 150 内并且耦合到电流源节点 130。为读取存储器，如前文所述使用 Row\_Sel 来选定行，对偏压晶体管的栅极（在这里是一个 pFET）156 的节点 154 施加电压偏压，并且通过差分读出放大器电路 143 来测量输出。通过使用 Row\_Sel 来选定所述行，对节点 154 施加偏压并且开启两个写入电路 W0、W1 中之一，来执行写入。根据本版本，对于整个存储器阵列，施加到节点 154 的偏压信号可以是整体净值（global net）。将电流源晶体管 156 安置在存储器元件自身内，可以降低充电以完成读取和写入所需要的电容，因而，实现改进的性能。存在一个可能或不能展出各种存储器应用的困难的与本实施例相关的不利。从存储器元件匹配到存储器元件的电流源将不足，因为每个存储器元件将具有其本身的电流源晶体管 156，并且其倾向于因装置而异导致较多变化的小面积装置。如果必要，在特别应用中可以通过运用已知的匹配技术而得以克服，而代价是增加电路复杂性和/或面积。

现转向图 28，其说明了存储器 160，所述存储器 160 与图 25 存储器 128 的不同之处在于省略了电流源节点 130，而替代地提供了一对的独立电流源 162、164（其可以是晶体管或其它适当的电流源装置或耦合到其它电流源的导体）。选择晶体管 S2（在此为一 pFET）具有耦合在节点 166 和 168 之间的源极和漏极，用于耦合和去耦合节点 166 和 168。这样，视施加到选择晶体管 S2 的栅极的信号 Diff\_Sel\_b 状态而定，允许存储器元件同时耦合到电流源 162 和 164 两者，或是存储器右侧和存储器左侧仅耦合到其分别的电流源 162、164。以这种方式，可以通过 Diff\_Sel\_b 信号去耦所述侧而独立地（且因而为单端地）且同时地写入该存储器元件的两侧。通过如前文所述

使用 Row\_Sel 信号选定行、启动电流源 162 和 164、在选择晶体管 S2 的栅极上发 Diff\_Sel\_b 信号（以耦合存储器元件的右侧和左侧），并且通过差分感测放大器 143 读取存储器来完成读取。通过使用 Row\_Sel 选定行、启动电流源 162 和 164、在选择晶体管 S2 的栅极上解发 Diff\_Sel\_b 信号，并且使用写入电路 W0 和 W1 中之一或两个来将信息写入到存储器 160，来完成写入。

在本应用中的开关 S2 很重要，因为其允许将差分存储器元件改变成两个单端存储器元件。通过闭合开关 S2，所述存储器为差分式。应用包括差分读出，其中基于浮栅电压，可以将电流从存储器元件的一侧导向到存储器元件的另一侧。在这种模式下，尽管可能存在两个（如，在这个版本中为 162、164），但是电路仍会像存在单一电流源一样操作。通过打开开关 S2，存储器元件会被分成两个单独的半个元件。现在可以在一个时间写入存储器元件的一侧上，而在另一个时间写入存储器元件的另一侧上，或同时独立地写入存储器元件两侧上，而完全不影响另一侧。以除错模式从存储器的一侧一次性读出电流以便确定每个浮栅电压也是可能的。

现转向图 29，其说明了存储器 172 和支持电路。这个存储器与图 28 中所说明不同之处如下。电流源 162、164 被耦合到选择晶体管 S0 和 S1 的源极（节点 176 和 178）。同样耦合到那些节点的是差分读出放大器电路 174。注入晶体管 M0、M1 的漏极被耦合到节点 180，以及电流源 182 和写入电路 184。为了读取存储器，发出 Row\_Sel 以选定行、施加来自电流源 182 的偏流、关闭电流源 162 和 164，并且通过差分读出放大器 174 来读取存储器状态。为了写入存储器，如前文所述通过 Row\_Sel 信号选定行、关闭来自电流源 182 的偏流、通过电流源 162 与 164 中之一施加偏流，并且启动写入电路 184 来写入存储器。这个存储器可以同时写入右侧和左侧两者（开启电流源两者），并且相对于呈现在本文其它设计中使用两个而仅要求一个写入电路。

现转向图 30，其说明了存储器 186，所述存储器 186 类似于图 29，但

是具有稍微不同的支持电路。在这个版本中，将单一写入电路 184 耦合到节点 180，而未将额外电流源耦合到所述节点，如图 29 实施例。使用电压输入差分读出放大器电路 174'来读取存储器。为了读取存储器元件，如前文所述发出 Row\_Sel 信号、将偏流施加在存储器元件两侧上，存储器的每一侧充当后随者的独立源极。通过差分读出放大器 174'读取电压。为写入存储器，发出 Row\_Sel 信号、开启电流源 162、164 之一或两个，并且启动写入电路 184。

现转向图 31，其说明了根据本发明的存储器 190 的另一个实施例。这个存储器具有一对的浮栅注入晶体管 M0、M1，（如果需要）其浮栅可以如上文所述耦合到穿隧接合 T0、T1。写入电路 W0、W1 分别耦合到 M0、M1 的漏极，而这些漏极也可以包含差分读出放大器 174 的输入。电源晶体管（pFET）S0 和 S1 分别地使其栅极耦合到 V\_偏差，并且使其源极耦合到 VS\_0 和 VS\_1。S0 和 S1 的漏极被耦合到 M0 和 M1 的源极，并且通过选择晶体管 S2（在这里为 pFET）而交叉耦合，所述选择晶体管 S2 的栅极由 Diff\_Sel\_b 信号所控制。VS\_0、VS\_1、Diff\_Sel\_b 和 V\_偏差是在线路上传送的信号，所述所有线路被共享在存储器元件的二维阵列的行存储器元件之中。通过设定 VS\_0 和 VS\_1 到 Vdd、将具有 V-偏差的偏压施加到电源晶体管 S0 和 S1、发出 Diff\_Sel\_b 以耦合存储器 190 的左和右侧，并且使用差分读出放大器 174 读取存储器，来完成读取。为了写入存储器，设定 VS\_0 和 VS\_1 到 Vdd、以 V\_偏差施加偏压、解发 Diff\_Sel\_b 以隔离存储器 190 的左和右侧，并且启动写入电路 W0、W1 之一或两个以写入存储器的内容。本实施例使用存储器（S0、S1）内的电流源用以更快操作，可以同时写入存储器的两侧（即，浮栅 FG\_0 和 FG\_1 两者），并且对于图 30 的实施例仅使用一个额外的晶体管（S2）。

图 32 中说明了图 31 实施例的一个变体。在图 32 实施例中，浮栅注入晶体管包括控制栅极（并没有明确展示实施例中不要求的，但是对于任何存

存储器其总为一个选择)。控制栅极终端 C0、C1 分别地耦合到电源晶体管 S0、S1 的源极，且分别地示意性表示为电容器 194、196。以这种方式，将控制栅极连接到 VS<sub>x</sub> 信号线路有助于有效布线，因为 VS<sub>x</sub> 担任控制栅极输入（对 C<sub>x</sub>），和用于电流源的电源（S<sub>x</sub>）两者（x 适当地表示 0 或 1）。将 VS<sub>x</sub> 设定为低不仅会切断存储器内的电流源，还会将浮栅 FG<sub>x</sub> 拉到较低电压，以减少写干扰。注意，并不要求控制栅极信号与 VS<sub>x</sub> 信号结合，且可能修改本文描述的存储器的其它版本以运用这个特征。其它方面，存储器 192 以图 31 的存储器 190 的相同方式操作。

在图 33 中说明了图 31 实施例的另一种变体。在图 33 的实施例中，VS<sub>x</sub> 信号不清楚，并且存在施加到节点 200 的代替标注为 VS 的信号，所述节点 200 连接到电源晶体管 S0、S1 源极。本实施例节省第二 VS 线路的布线，但是抑制了和图 34 一起图 32 的技术的使用。这是因为一旦 VS<sub>0</sub> 和 VS<sub>1</sub> 合并为一个信号 VS，如图 33，就无法独立控制图 34 的两个控制电容器。其它方面，存储器 198 以图 31 的存储器 190 相同方式操作。

### 多位存储

一种在诸如本文所描述的那些差分存储器结构中存储多个位的信息的方式是在存储器的一侧上写入参考并且在所述存储器的另一侧存储许多级之一。通过添加各种偏移来读出系统，并且确定要求多少偏移以使读出改变状态，可以收回存储的多位值。这是一个二位系统的实例：

1. 将 0.5 值写入到 A 侧；
2. 将下列 {1, 0.75, 0.25, 0} 中任何一个写入 B 侧；
3. 在读出期间，通过偏移 {0, +/-3/8} 来比较 A 侧和 B 侧；
4. 根据第一次比较结果，将确定所存储的值为 {1, 0.75} 之一或为 {0.25, 0} 之一。在这个二位的情况中，第二次比较的偏移将列表缩窄到一个值。通常，通过不同偏移来继续进行比较，直到确定出所述值为止。每次比较产生一个位的信息。

为了施加偏移,可以将电流添加到存储器或可以使用电容性耦合的控制输入节点,以直接地移动浮栅电压。

在另一个实例中,将对存储器结构的两侧写入不同值,对其进行一些运算(诸如减法),接着取得结果并且将其与某些固定的参考集合相比较。

### 边界读取

在最终客户送货之前的品质控制处理通常要求存储器能够适当地存储并且可靠地收回所需要的值。因而,用于检验所述限界并且通过其所述存储器可以读取存储值的方法是很有价值的。在这个揭示案中所述的存储器元件在设计和进行所述检验时展出某些有趣的挑战。问题在于在这里呈现的多数存储器所用的差分读出机制是如此的牢固,使得即使非常小的差分浮栅电压也将可以产生正确操作。目标是对于最好的保持性和真正牢固设计能够确保相当大的差分浮栅电压。根据第一种基本方法,在图34中说明了存储器128'。除了明确要求控制栅极之外,存储器128'在大多数方面与图25的存储器128相同。为了检测边界,使用下列程序:

在存储器中存储零.....

1. 如果存储器中存储零,那么FG\_0电压应所述低于FG\_1电压;
2. 向 control\_gate\_0 的节点 C0 施加电压,所述电压比施加到 control\_gate\_1 的节点 C1 的电压高出某想要的很小量;
3. 由于电容性耦合,FG\_0 的电压相对于 FG\_1 的而增加,所以更难正确地读出存储器的内容; 和
4. 如果在这些条件下存储器仍然正确地读出,那么 FG\_0 和 FG\_1 之间的电压边界是如所要的。

在存储器中存储一.....

1. 如果在存储器中存储1那么FG\_0电压应所述大于FG\_1电压;
2. 向 control\_gate\_0 的节点 C0 施加电压,所述电压比施加到节点 control\_gate\_1 的节点 C1 的电压小某想要的很小量;

3. 由于电容性耦合,  $FG_1$  电压相对于  $FG_0$  而增加, 所以更难正确地读出存储器的内容; 和

4. 如果在这些条件下存储器仍然正确地读出, 那么  $FG_0$  和  $FG_1$  之间的电压边界是如所要的。

这项技术可用于本文所述其它版本的存储器。另外, 可以接受一个特定的测试协议, 为在芯片上或阵列中的存储器元件提供控制栅极用以执行上文所述的测试, 而无需对所有的提供控制栅极, 并且对一些或所有控制栅极供应的存储器元件的测试可以认为是在不存在对芯片上的所有存储器元件的个别测试时足够验证特定芯片。同样注意本质上并不要求“控制栅极”, 仅低泄漏电容器, 每个具有一个耦合到(或为)浮栅的终端。要求电容器是彼此独立的, 使得可以独立地操纵浮栅。

现转向图 35, 其说明了替代边界读取方法。在大多数方面存储器 128" 类似于图 25 的存储器 128。差别是提供了对读出放大器输入(节点 136、138)增加/减少偏移电流的机制。根据图 35 中所说明的实施例, 提供了边界电流源(或槽)电路 202。开关 204 和 206 是独立可控制的, 以将电路 202 耦合到节点 136 或节点 138 (在这里有时又称作“读出节点”, 因为其耦合到差分读出放大器 143 的输入)。将电路 202 所提供的电流设定或设计用于存储器元件的适当电流边界。如果随着电流从读出放大器电路 143 的输入增加/减少, 存储器仍然正确地读出, 那么存在适当边界。如果不是, 即, 存储器元件输出改变状态, 那么接着存在不当边界和潜在缺陷。例如, 这可以通过下列程序而完成:

1. 在存储器 128" 中存储 0, 并且  $V(FG_0)$  小于  $V(FG_1)$ 。这意味着穿过  $M0$  的源极-漏极电流  $I0$  大于穿过  $M1$  的源极-漏极电流  $I1$ 。为了使存储器元件具有适当的电流边界,  $I0$  应所述比  $I1$  大一个预定边界。

2. 闭合开关 204 以从节点 136 处“窃取”预定量的电流。这将减少从节点 136 流入差分读出放大器 143 的电流。

3. 如果读出放大器的状态没有改变，那么存在适当的电流边界。如果确实有改变，那么限界为不当的并且存在潜在缺陷。

或者：

1. 存储器 128"中存储 0，并且  $V(FG_0)$  大于  $V(FG_1)$ 。这意味着穿过  $M0$  的源极-漏极电流  $I_0$  小于穿过  $M1$  的源极-漏极电流  $I_1$ 。为了使存储器元件具有适当的电流边界， $I_0$  应所述比  $I_1$  小一个预定边界。

2. 闭合开关 206 以从节点 138 “窃取”预定量的电流。这将减少从节点 138 流入差分读出放大器 143 的电流。

3. 如果读出放大器的状态没有改变，那么存在适当的电流边界。如果确实有改变，那么边界是不当的并且存在潜在缺陷。

降低写干扰

现转向图 36，其展示用于 0.25 微米制程装置的写干扰对栅极到漏极电压曲线图。当栅极处于相对高电压而漏极处于相对低电压时，就会出现写干扰。标记为“A”的数据表示在横轴上展示的栅极到漏极的电压的范围内的在竖轴上所展示的以安培计的热电子栅极电流（写入电流）。标记为“B”的数据集合表示带对带穿隧引入的栅极电流（写干扰）。写干扰与在其它存储器元件的写入操作期间的关闭状态下的存储器元件的漏极处的带对带穿隧电流有关。写干扰可导致数据讹误，因此需要将其最小化。如可以观察到，较低的栅极到漏极电压导致较低的写干扰电流，并且写入电流与写干扰电流之间的差别的幅度将随着降低的电压而显著增加。数据集合 A 表示井电压  $V_{well}$  原来是 3.3 伏特，栅极电压  $V_g$  原来是 2.2 伏特而源极电压  $V_s$  原来是 3.3 伏特的数据。数据集合 B 表示  $V_{well} = 3.3$  伏特、 $V_g = 2.2$  伏特和  $V_s = 1.5$  伏特的数据。如从图 36 可以观察到，在 0.25 微米制程中，在 5.25 伏特处的写入电流比写干扰电流高六个阶的幅度。随着制程大小继续缩小，估计这个边界在 0.13 微米制程里将缩小到 4 大约阶的幅度。降低栅极漏极将把所述结果转移到图左侧，因而将写干扰电流降低到写入电流的很小部分。

现转向图 37，其展示了非常类似图 25 的存储器 128 的存储器 208。这个存储器包括分别耦合到 FG0 与 FG1 的电容器 210、212，其分别地包括节点 C0 和 C1。例如，这些可以是控制栅极。

为了降低栅极-漏极电压，可以使用下列程序：

(control\_gate\_x 指的是 control\_gate\_0 和 control\_gate\_1; Cx 指的是 C0 和 C1)

1. 对于选择行（所写入行），将节点 Cx 的 control\_gate\_x 设定为高；
  2. 对未选择行（未被写入行），将节点 Cx 的 control\_gate\_x 设定为低；
- 和
3. 电容器将未选择行中的的浮栅耦合到较低电压，因而，降低其栅极-漏极电压，依次，降低其带对带穿隧电流，进而降低写干扰。

注意这个概念现在可以适用于本文所描述的各种存储器构造，而不仅限于使用在诸如图 37 的特定存储器中。

#### NVM 阵列

图 38、39 和 40 为说明可以根据本发明实施例制造的 NVM 阵列的实例的电示意图。现转向图 38，其展示了图 32 中所描述的存储器阵列。在本实例中，VS\_0 和 VS\_1 导体充当电容器输入，根据本发明的图 21 和 22 的设计以 pFET 来建构穿隧结合，并且特定行内的所有穿隧接合通过导体连接在一起（例如 V\_tunnel<1>）。将分页定义为—组共享通用的擦除信号并且因此可以同时擦除的存储器元件。这个实例具有两个分页。分页 0 在阵列底部含有四个位，而分页 1 在阵列顶部含有两个位。可以通过将不同数目的行的穿隧结合耦合到一起构造所述分页的数量和尺寸。

现转向图 39，其展示了图 25 中所描绘的存储器阵列。因 38 的为在本实例中每列仅要求一个电流源，所以可以提供较少的导体布线，与图相比显著降低了电路的复杂度。这种设计的缺陷在于通用电流源导体上相对大的电容导致较慢的读取时间。然而，对于整个存储器列共享单一电流源具有好

处,因为在阵列中其可以较大并且其数量可以较少,提供了较好的内部匹配。

现转向图 40,其展示了图 34 中描绘的存储器阵列。根据本发明的这个实施例,如上文所论述的,每列存在一个电流源,并且使用电容器(控制栅极或其它)提供边界读取能力并且减少写干扰。

重要的是要注意,图 38、39 和 40 中并不包含本文呈现的存储器阵列构造的广泛集合。所述实例清楚地说明,所属领域的技术人员可以根据本文呈现的存储器来设计实际上任何尺寸的功能性存储器阵列。

现转向图 44,其说明了诸如在各个图中标注为“W0”和“W1”的样品负极性电荷泵写入电路。将输出连接到读出节点之一。如果需要,那么二极管 D1 可以是二极管连接的 pFET。电容器 C1 可以是 MOSCAP 或任何其它适当的电容器。在本实施例里,栅极 G1 可以是与门,并且当发出“ENABLE”和“CLOCK”时,电路使存储器被写入。所属领域的技术人员现在将认识到可以使用任何数量的不同电路来完成相同的基本功能。

现转向图 45,其说明了一个样品现有技术读出放大器电路。本实施例使用 nFET T1、T2、T3 和 T4。读出输入 S+和 S-接收来自差分存储器的分别读出节点的电流 I+和 I-。放大器输出是在节点 V+和 V-。如果  $I+ > I-$ ,那么  $V+ > V-$ ; 如果  $I+ < I-$ ,那么  $V+ < V-$ 。所属领域的技术人员现在将认识可以构建任何数量的替代电路(包括那些以 pFET 而不是 nFET 制造的)以达到相同的基本功能。

#### 外部注入

虽然不常见,但是根据本发明所构建的 NVM 用放置在浮栅上的某位准的电荷(和相对高的栅极电压)的制作复原。所述构想是将施加的电压以外部方式连接到存储器的漏极和/或源极,以便使其经受 IHEI 和/或带对带穿越。这适用于下列情况,其中存储器用将其栅极设为“关”,使得内部电荷泵因为在注入装置中不存在漏极-源极电流而不能引起大量的 IHEI 的制作制程而得以复原。

现转向图 41, 一种方式是在负电压下切换到存储器的漏极。可以使用开关通过针来选择性设定漏极电压(称为  $V_{\text{External\_Inject}}$ )。通过外部施加的电压, 可以将漏极设定到非常低的电压(在  $0.18\ \mu\text{m}$  制程中为大约-5 到-4 伏特), 这将引起带对带穿隧。

根据图 41, 通过一对开关 222、224 将每列的读出放大器和写入电路 220 耦合到标注  $V_{\text{external\_inject}}$  的外部电压源, 这将降低相对于浮栅的注入晶体管的漏极的电压, 而从浮栅上的漏极引入带对带穿隧以“分开 (unstick)”存储器。这是以下列程序建构的:

1. 向  $V_{\text{External\_Inject}}$  线路施加相对低的电压。
2. 闭合开关 222、224, 以将  $V_{\text{External\_Inject}}$  耦合到存储器的浮栅 pFET 的漏极(这可以按列接列的基准, 或如果需要同时按阵列宽度来完成)。
3. 当位“分开 (unstick)”时等待。
4. 打开开关 222、224 来终止处理。
5. 通过差分读出放大器来测量位电流, 以检验适当操作。

根据图 42 中说明的实施例, pFET 可以用作开关 222、224。在这种情况下, 将开关 222 和 224 建构为 pFET, 并使其源极耦合到存储器读出线路 226、228。需要另一个外部施加的信号:  $\text{External\_Inject\_Gate}$ 。这个信号必须比  $V_{\text{External\_Inject}}$  低至少一个  $V_t$ , 同样考虑对 pFET 的体效应, 因为其井电压与其源极电压并不匹配。这需要打开开关 222、224。井本身(由  $\text{External\_Inject\_en\_b}$  驱动)应从 0V (启动外部注入模式) 切换到 Vdd (关闭外部注入模式)。需要这项切换以降低 pFET 中的 pn 接合上的电压。否则可能发生故障。根据本发明的一个实施例, 将  $\text{External\_Inject\_Gate}$  设定为大约 -5 伏特, 将  $V_{\text{External\_Inject}}$  设定为大约 -3 伏特, 并且将  $\text{External\_Inject\_en\_b}$  设定为大约 0 伏特。

如所属领域的技术人员将认识到, 可用其它方式达到相同目的。例如, 将 IHEI 晶体管上的“源极”电压设定成非常高同时使其漏极保持低(接地

或更低)可具有相同的最终结果,但是不是很容易建构。注意在正常操作期间,“源极”侧在这里可实际上是晶体管的“漏极”侧。

现转向图 45,其展示了图 44 中说明的构想的更特定的建构。在这个版本中,将开关 222 和 224 建构为 pFET,使其源极耦合到存储器读出线路 226、228。将其井耦合到标注 External\_Inject\_en\_b 的线路,将其栅极耦合到标注 External\_Inject\_Gate 的线路,并且使其漏极耦合到标注 V\_External\_inject 的线路。在一个实例中,将 External\_Inject\_Gate 线路设定成大约-5 伏特,将 V\_External\_inject 线路设定成大约-3 伏特,并且将 External\_Inject\_en\_b 线路设定成大约 0 伏特。

### 穿隧接合布局

本发明中期待的大多数阵列在许多存储器元件之中共享穿隧接合。一些穿隧接合要求其本身的 n 井从支持其余存储器的 n 井分离。因为 n 井与 n 井的间隔由于制造的约束而倾向于相对较大,所以使穿隧接合 n 井交错可以提供有效布局。当使用这个方案时,存储器分页尺寸是两个存储器元件行的数倍。图 43 中说明了根据本发明一个实施例的穿隧接合布局的实例。这个实例展示了用于 4 列、3 行、2 分页的存储器阵列的 n 井。线路 230 - 276 是浮栅,如所说明的,其使主存储器 n 井 278、280 与对应的穿隧接合 n 井 282、284 耦合。

### 总结

在 NVM 应用中, pFET 浮栅晶体管具有优于 nFET 的若干优点:

1. p 通道浮栅 MOSFET 可以以比用于 n 通道浮栅 MOSFET 的典型电流小的通道电流,将电子注入到其浮栅上。从而,基于 pFET 存储器的电荷泵(晶片上通常要求的以便提供超过用于擦除和写入操作的 Vdd 的电压的电路)通常消耗比那些为 nFET 存储器设计的能量少的能量。

2. pFET 中的 IHEI 主要产生通道热电子,然而 nFET 中的等效机制(通道热电子注入或 CHEI)产生通道热电子洞。因为热电子对栅极氧化物的损

害远小于热电子洞，所以与 nFET 相比，pFET 具有减少的氧化物磨损和更好的编程/擦除循环持久性。

3. 离出具有 p+掺杂栅极的浮栅 pFET 的位垒高度会大约是 4.2 eV (参看图 2), 比较而言用于具有 n+掺杂栅极的 nFET 大约是 3.04 eV。从而, nFET 中的泄漏电流比 pFET 中的小, 因此, 具有相同氧化物厚度的 pFET 浮栅存储器的数据保持性特征好于 nFET 浮栅存储器的。结果, pFET 存储器可使用较薄的栅极氧化物, 诸如在标准双栅极氧化物 CMOS 制程中所看到的 70 Å (通过 3.3 V I/O 装置)。相比较之下, 基于 nFET 浮栅晶体管的存储器需要额外制程步骤以制作较厚的栅极氧化物 (最小厚度一般为 80 Å)。

在 NVM 应用中, 差分存储器具有优于单端存储器的若干优点:

1. 差分存储器的逻辑状态是由两个浮栅上的电荷差值所确定的。当“0”浮栅上的电子比“1”浮栅的电子多时, 读出电流主要通过具有“1”栅极的晶体管而穿过, 并且反过来也是如此。从而, 虽然相对于 n 井电压两个浮栅带负电, 但是仍有可能区别逻辑 1 与逻辑 0 状态。这个特性意味着任一侧都不具有无法被随后开启和注入的如此高栅极电压。

2. 电荷泄漏机制倾向于引起“1”和“0”浮栅上的电荷沿相同方向泄漏(即, 双方使电荷泄漏到其栅极上, 或沿共同方向离出其栅极)。差分存储器具有共模抑止, 意思是其对浮栅之间的电压差而不是对其电压绝对值敏感。从而, 共模电荷泄漏并不会影响存储的逻辑状态。因此, 差分存储器的保持用区分性优于单端存储器。

3. 读取操作是使用区别差分存储器的两个半部之间较具有导电性的路径的原理。读取存储器时, 只要差分读出放大器具有可以确定电流走哪条路径来穿过存储器的足够敏感度, 就可使用任意小的尾端电流。从而, 本文描述的存储器允许低能量存储器电路。

4. 因为差分存储器的两个半部通常会在晶片上紧密靠近, 所以其与晶体管特征适当匹配。例如, 两个邻近的浮栅晶体管的栅极氧化物厚度比两个

间隔很远的晶体管的更紧密匹配。结果，差分存储器设计对于可以影响单端存储器的读取精确度的晶体管变化不是很敏感。

5. 差分存储器是自参考式，意思是存储器一侧是另一侧的参考。从而，差分存储器排除了对单端存储器中典型的对晶片上或外的电流或电压参考电路的精确度的需要。这项自参考特性可以保持，无论存储器中的每个元件是否是差分的（如图 3），或是多个存储器元件是否共享单一半存储器元件（如图 15）。

6. 由于差分存储器是自参考式，所以其具有优异的共模抑止。共模抑止为差分存储器提供比单端存储器更好的对电源和温度波动的抗扰性。

7. 差分 NVM 元件具有类似于 CMOS 设计中所熟知的 SRAM 元件的差分输出。从而，差分 NVM 元件可以使用在 SRAM 设计中常见的（为所属领域的技术人员所熟知，并且为了避免使本揭示内容过于复杂在此不描述）的超快差分读出放大器和位线路预充电技术。结果是与单端存储器元件相比，差分 NVM 元件允许更快的读出同时能量消耗较低。

总之，基于 pFET 浮栅晶体管的差分存储器具有许多优于单端存储器、nFET 存储器和差分 nFET 存储器的优点。其在逻辑 CMOS 中提供低能耗、高速度和高可靠性的 NVM。

虽然已展示并描述了本发明实施例和应用，但是得益于本揭示内容的所属领域的技术人员将容易了解多于上文提到的许多修改都是可能的而不会脱离本文的发明概念。

例如，请注意，虽然本发明的观点可以实施在单一井、单一多制程中并且将与低电压制程（例如， $\leq 3$  伏特）一起运作，但是本发明并不受其限制，而且本发明可实施在支持多个多晶硅层、多个井和/或较高（或较低）电压装置的制程中。

此外，本文使用的 n 井概念不仅仅涵盖常规 n 井装置，而且还涵盖增加装置的可靠栅极-漏极和漏极-源极电压的 NLDD（N 型稍微掺杂漏极）装置和

其它稍微掺杂或隔离的结构,使得其实际上在这个方面可以像常规 n 井装置一样运作。其还可以以相同的薄膜结构建构在基板上的薄膜中。

在本发明的一个实施例中,可整体地或部分地使用电流槽装置用作上文所述的电流源装置的替代物。

在本发明的另一个实施例中,如上文所论述的选择晶体管 S0、S1、S2 等如果需要通常可以以 nFET 而不是 pFET 建构。

最后,因为可谨慎地并且精确地写入浮栅上的电荷,所以可以使用与较高清晰度读出电路耦合的、现有技术中已知的这些结构,来存储每个存储器元件的多个数位。通过本文所揭示的存储器,例如使用图 15 的存储器将直接存储四个不同位准的电荷。可以存在分别地存储 $\frac{1}{4}$ 、 $\frac{1}{2}$ 和 $\frac{3}{4}$ 的三个参考半对 FG0\_A、FG0\_B 和 FG0\_C 以代替存储电荷值 $\frac{1}{2}$ 的单一参考半对 FG0。在读出期间,差分读出放大器依次地比较存储在一个浮栅上的值,如 FG1,依次是 FG0\_A、FG0\_B 和 FG0\_C。如果存储在 FG1 上的值小于 FG0\_A 上的,那么 FG1 存储零。如果 FG1 上的值大于 FG0\_A 但是小于 FG0\_B,那么 FG1 存储一。如果 FG1 上的值大于 FG0\_B 但是小于 FG0\_C,那么 FG1 存储二。如果 FG1 上的值大于 FG0\_C,那么 FG1 存储三。通过存储四个可辨别的电荷值,每个半元件持有两个位的信息。这种方法可清楚地扩展到每个存储器存储三个或更多位,仅受写入、保持和读取处理精确度的限制。因此,本发明仅限制于上述权利要求书精神。

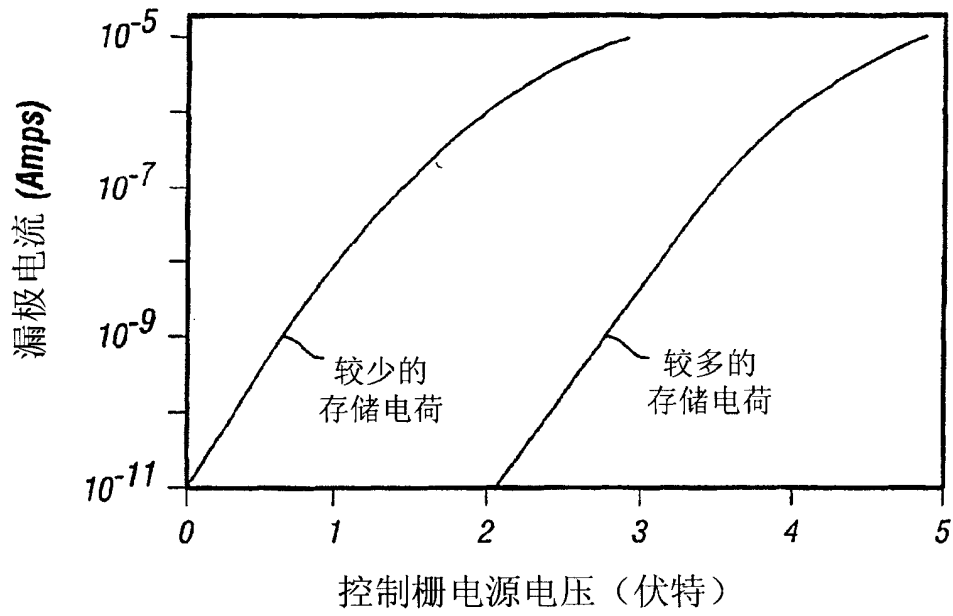


图 1A

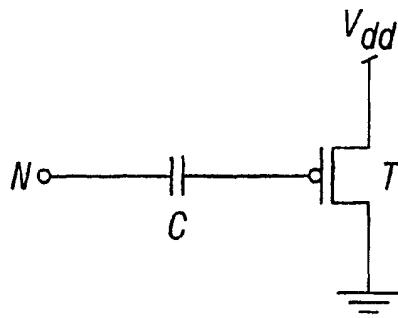


图 1B

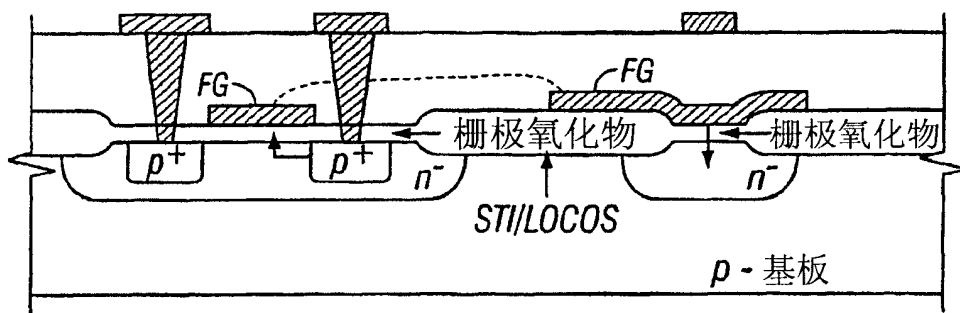


图 2A

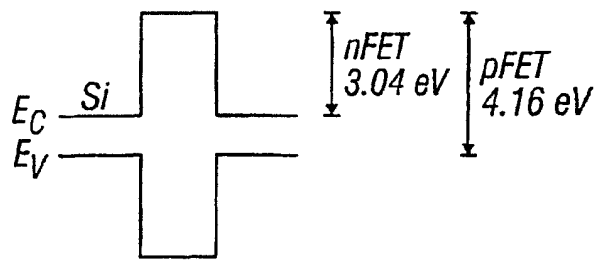


图 2B

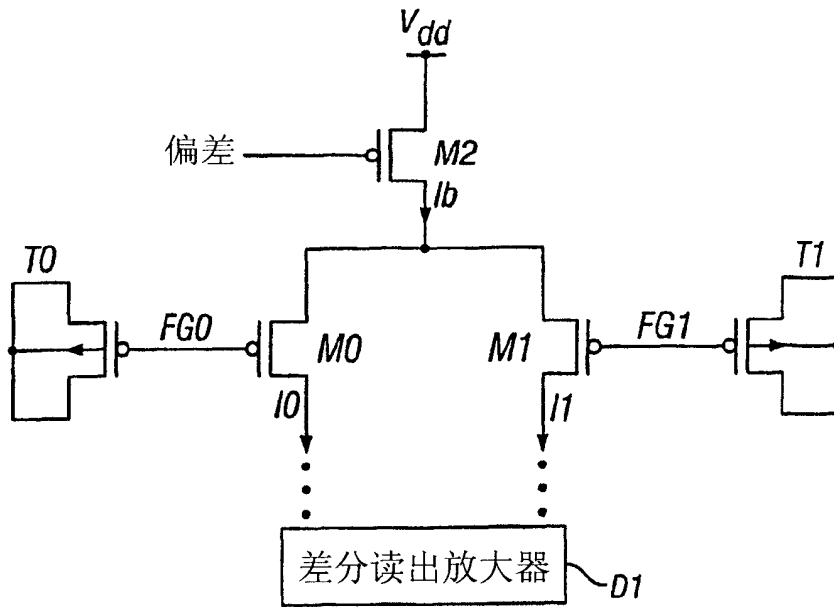


图 3

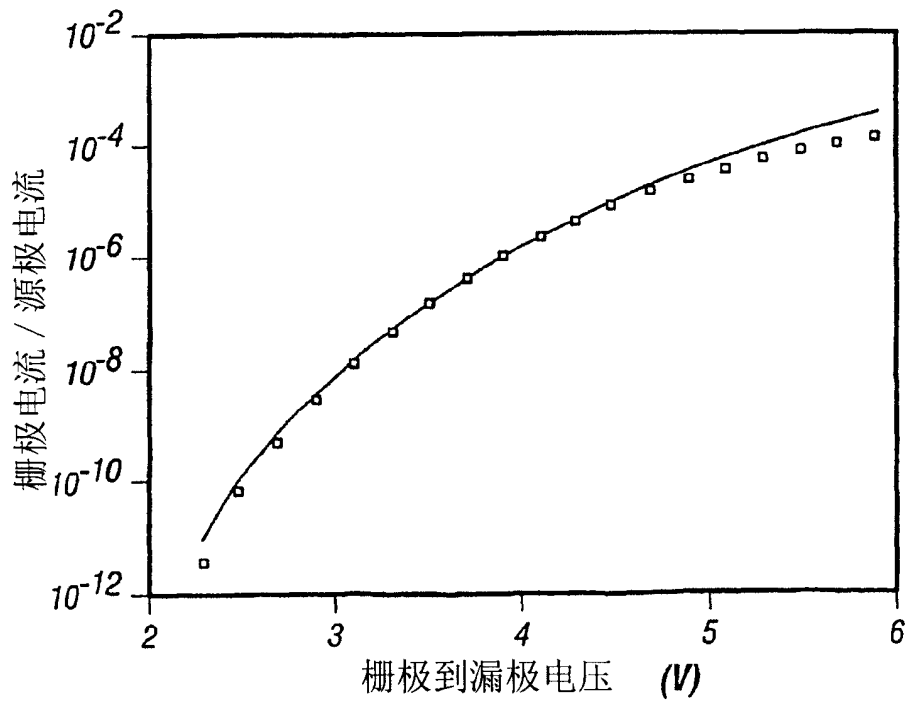


图 4

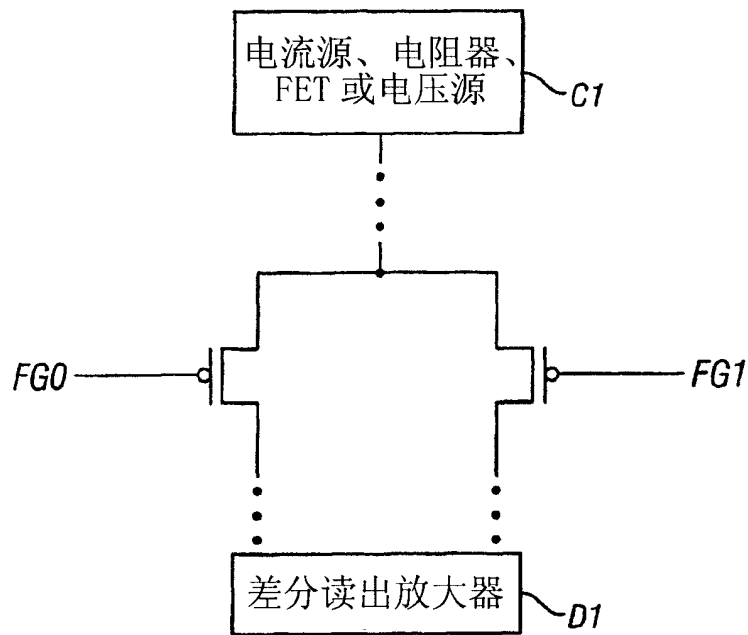


图 5A

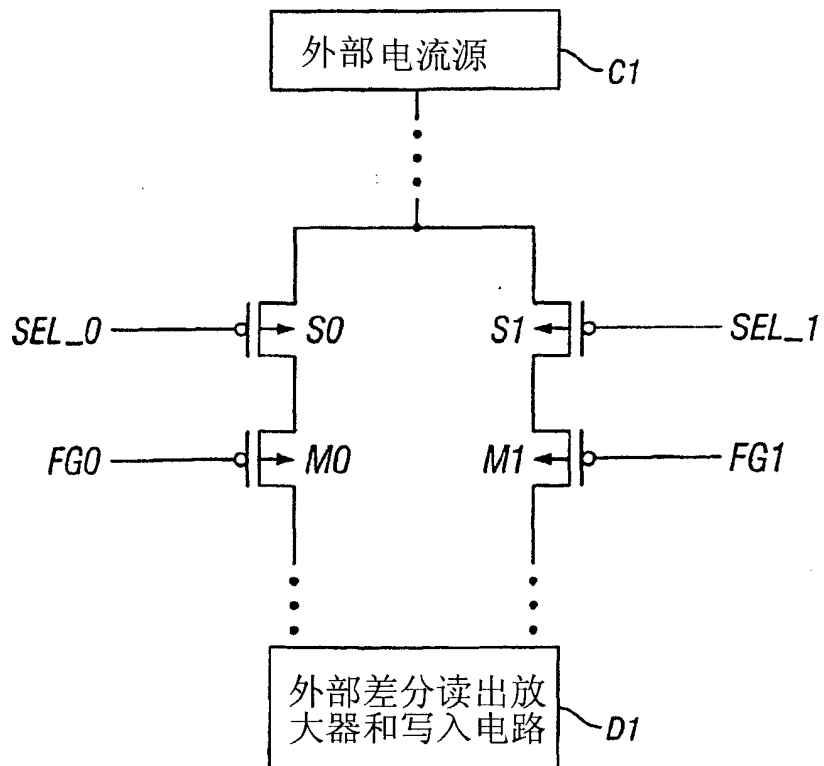


图 5B

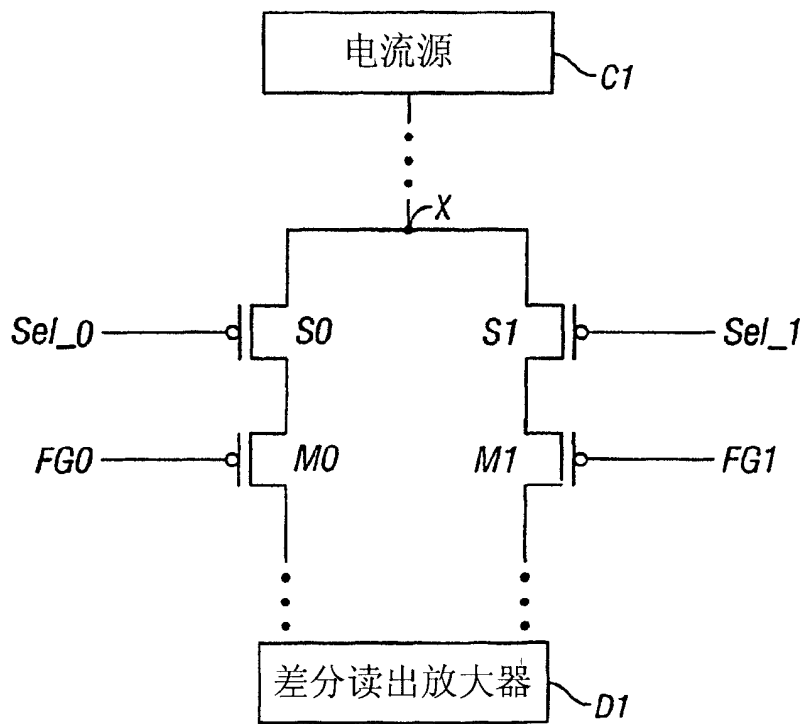


图 6A

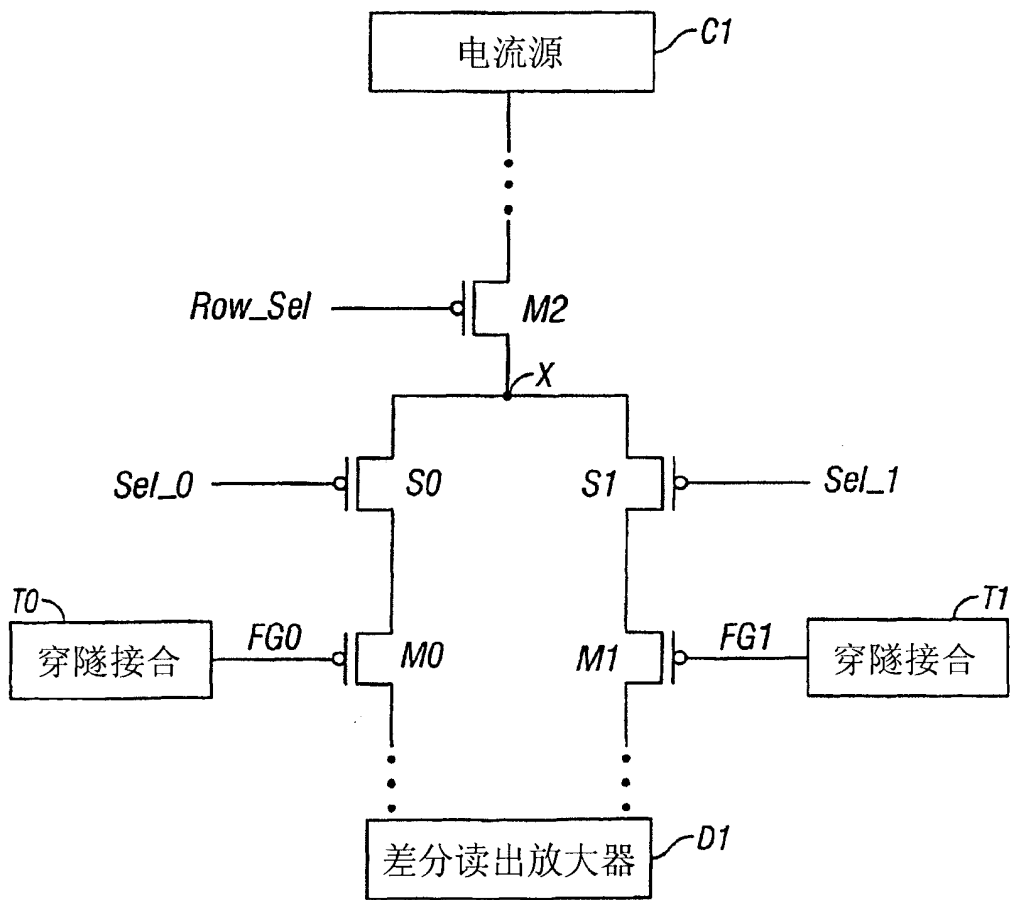


图 6B

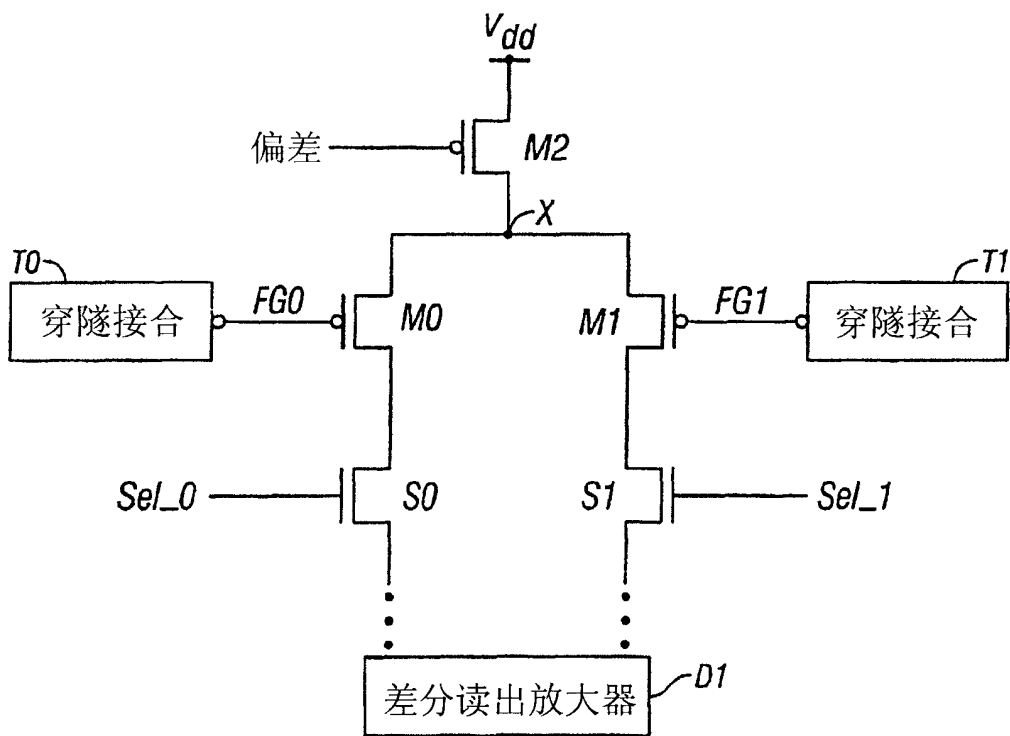


图 7

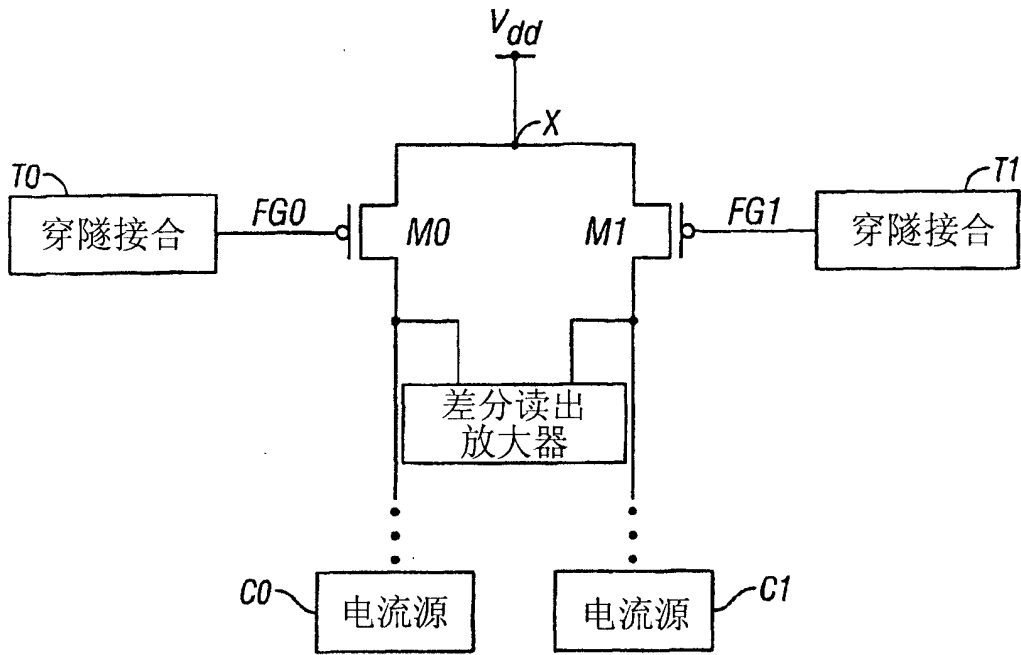


图 8

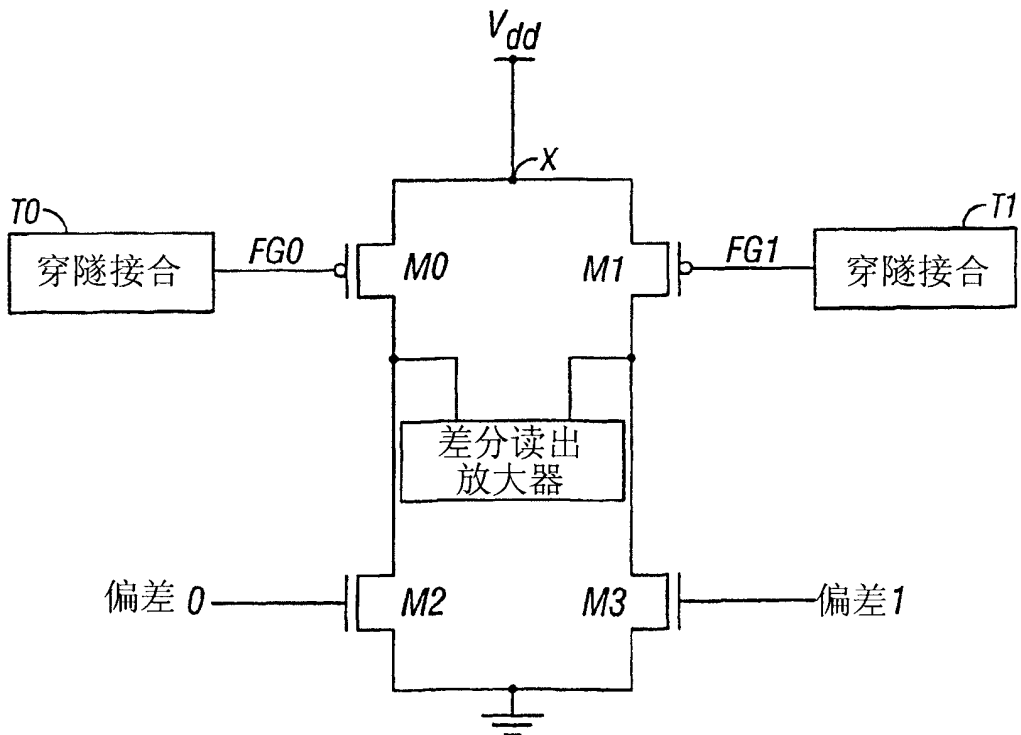


图 9



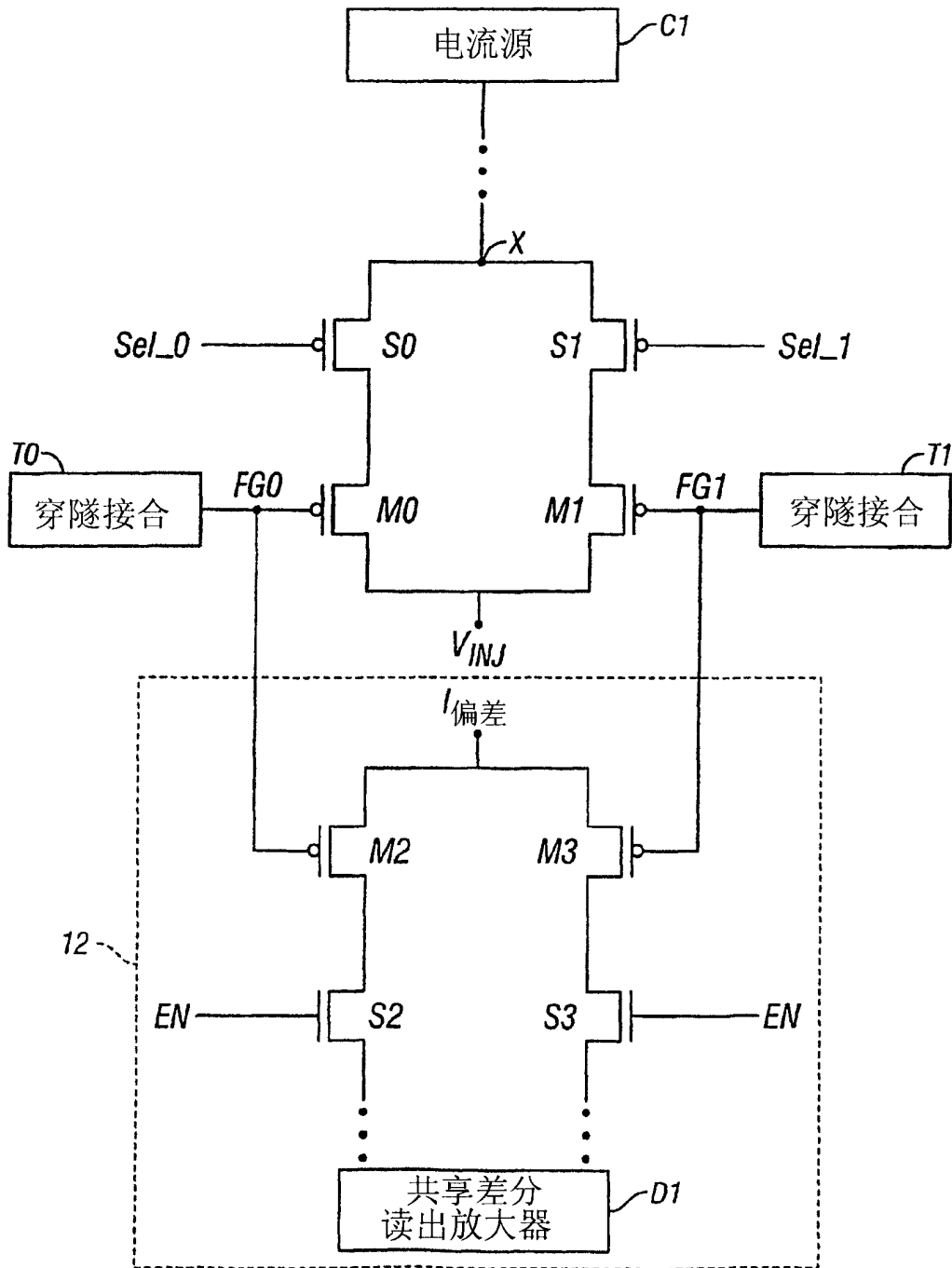


图 11

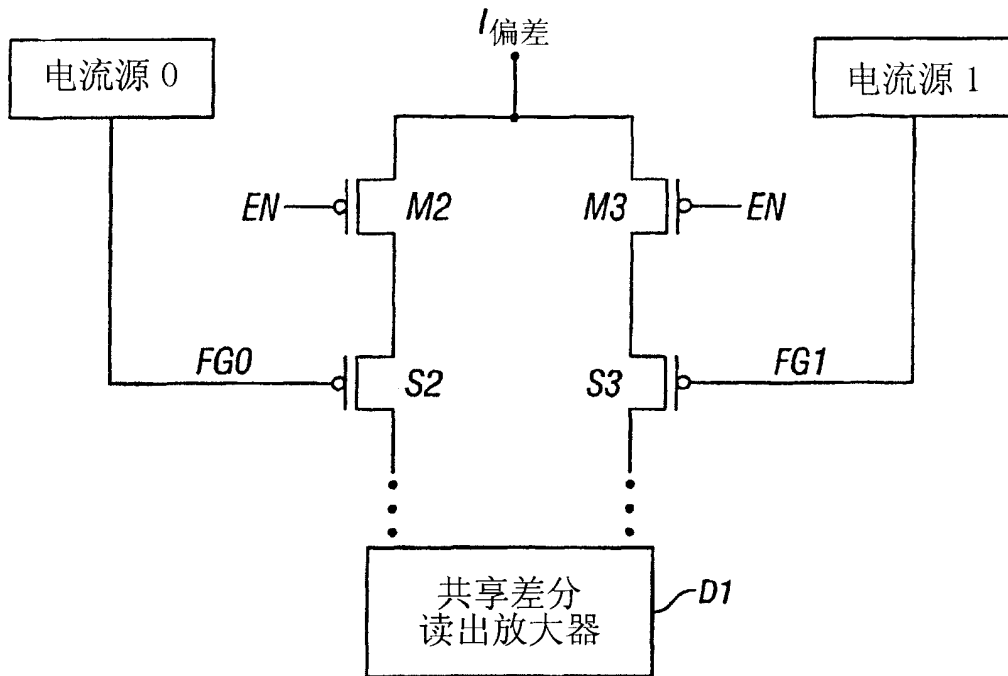


图 12

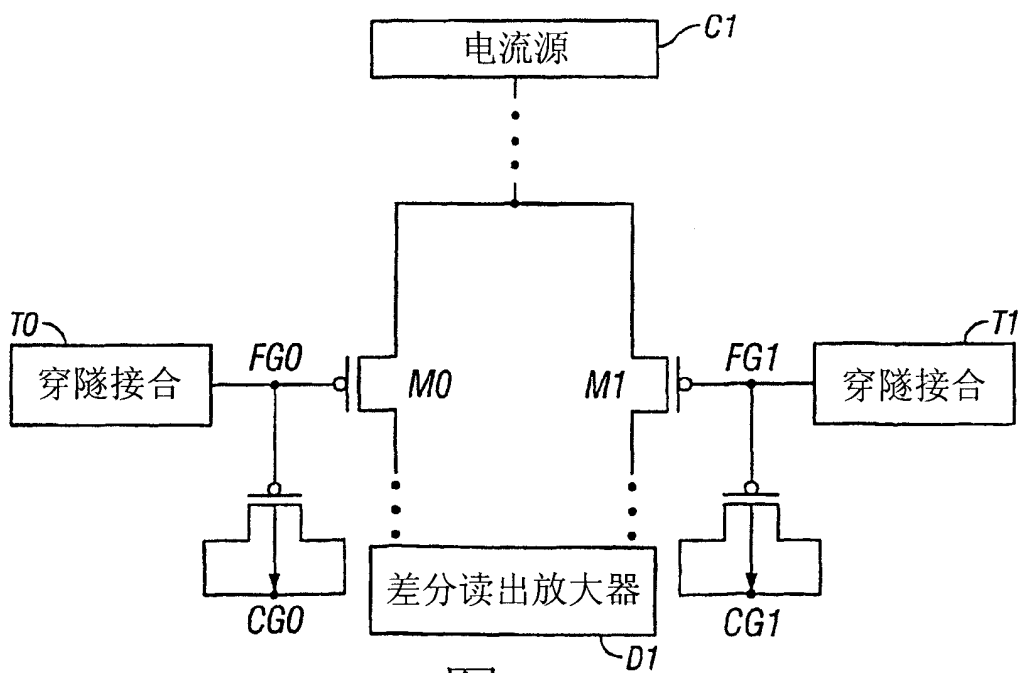


图 13

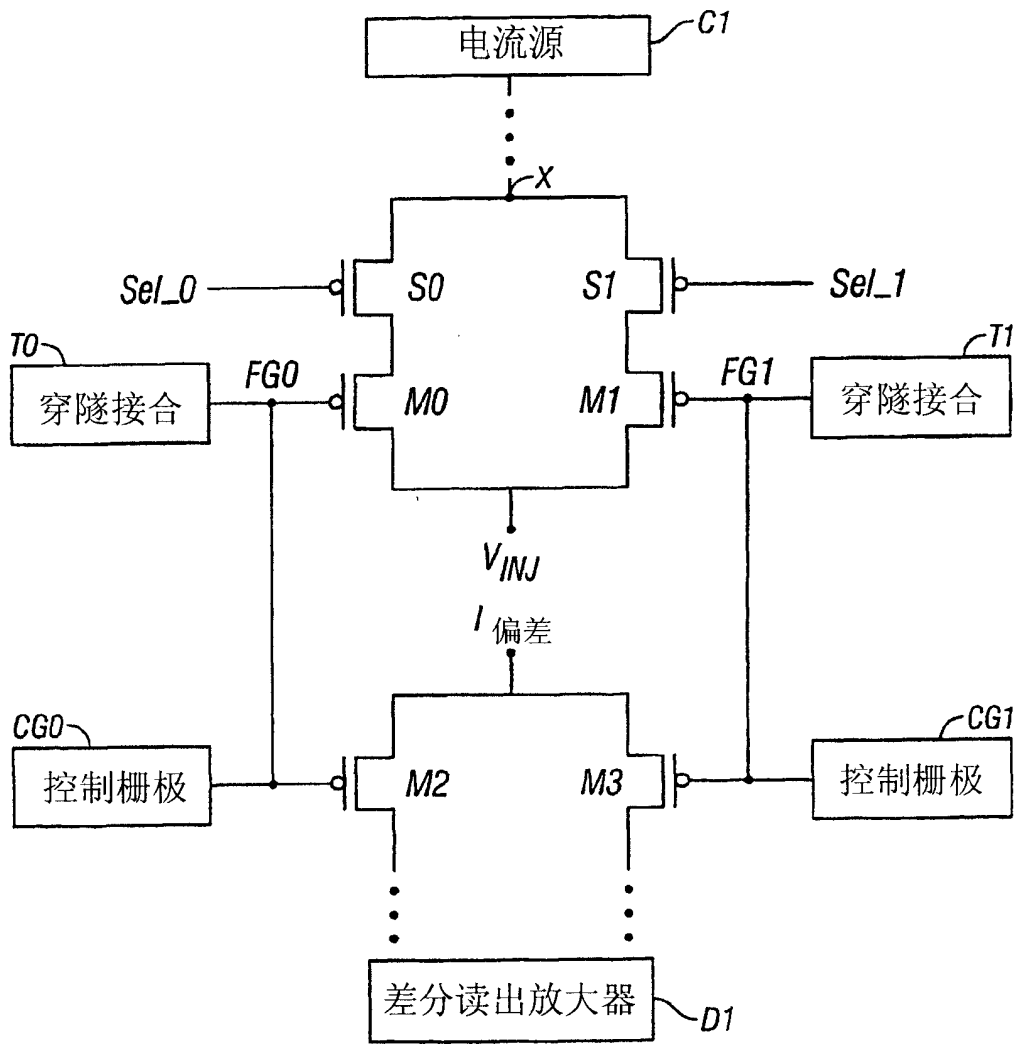


图 14

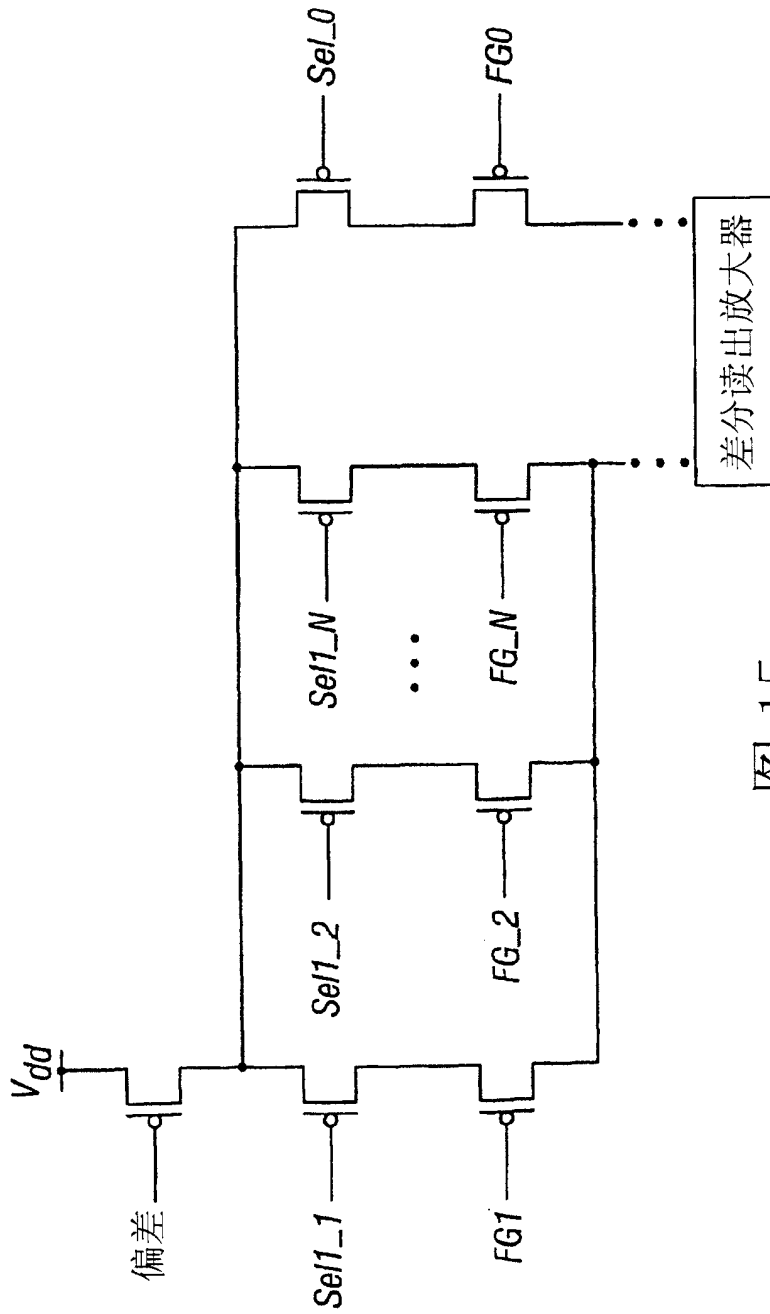


图 15

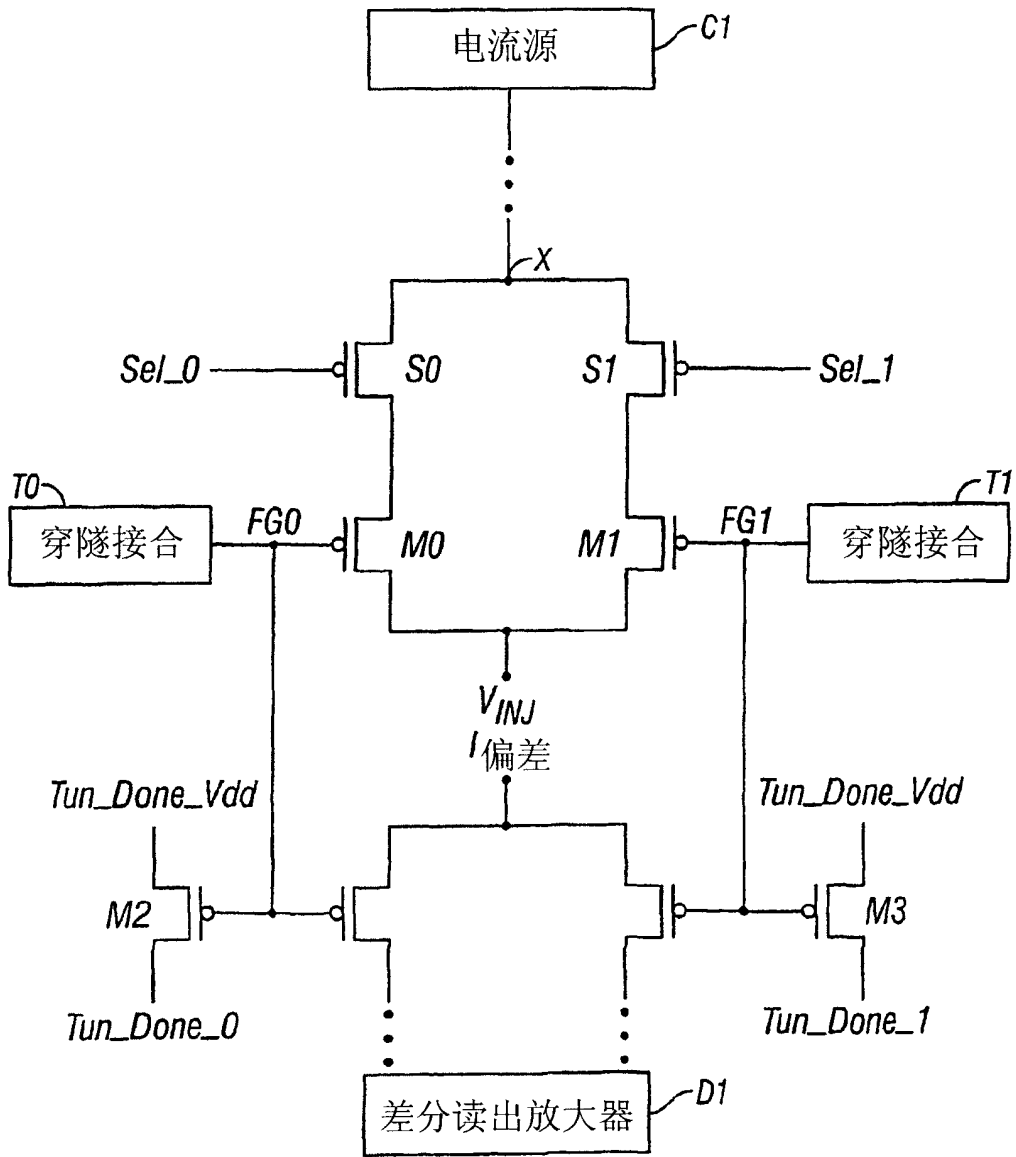


图 16

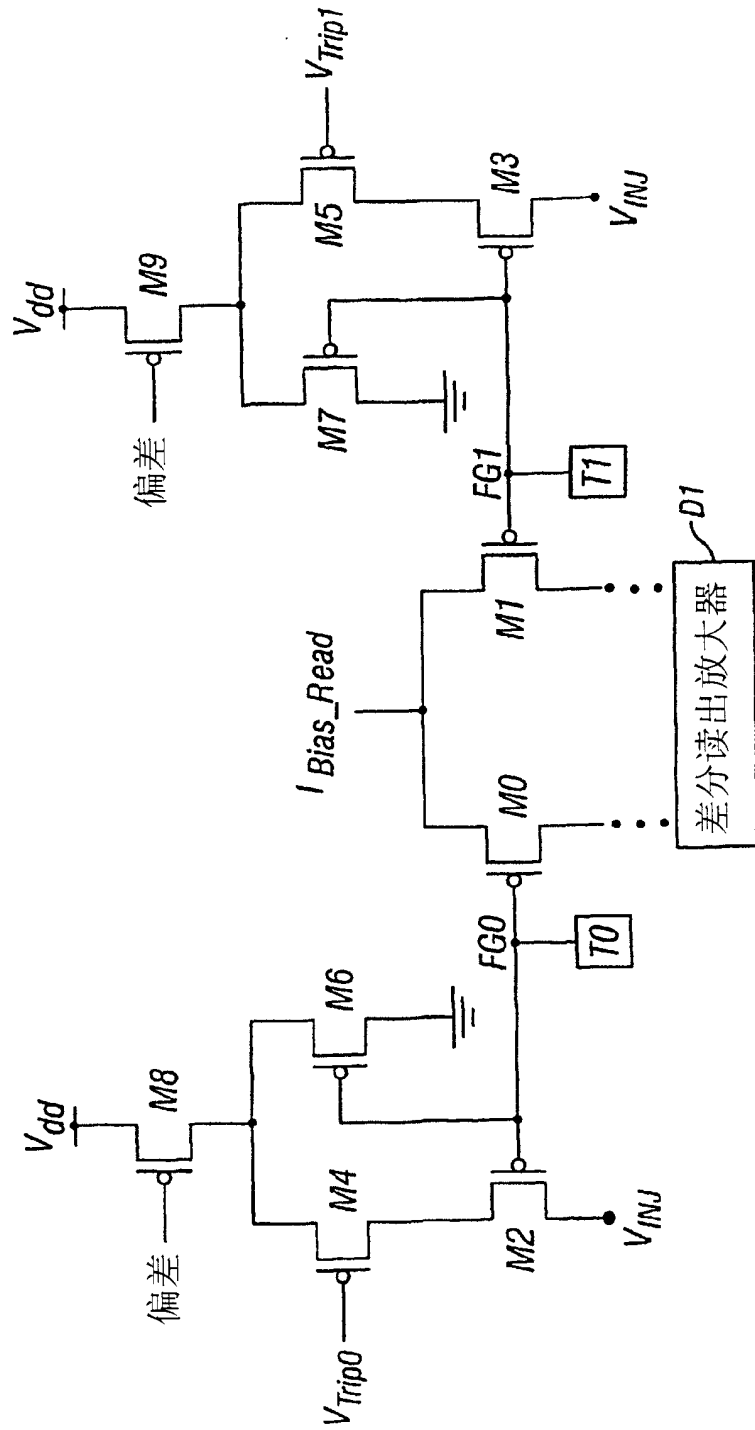


图 17

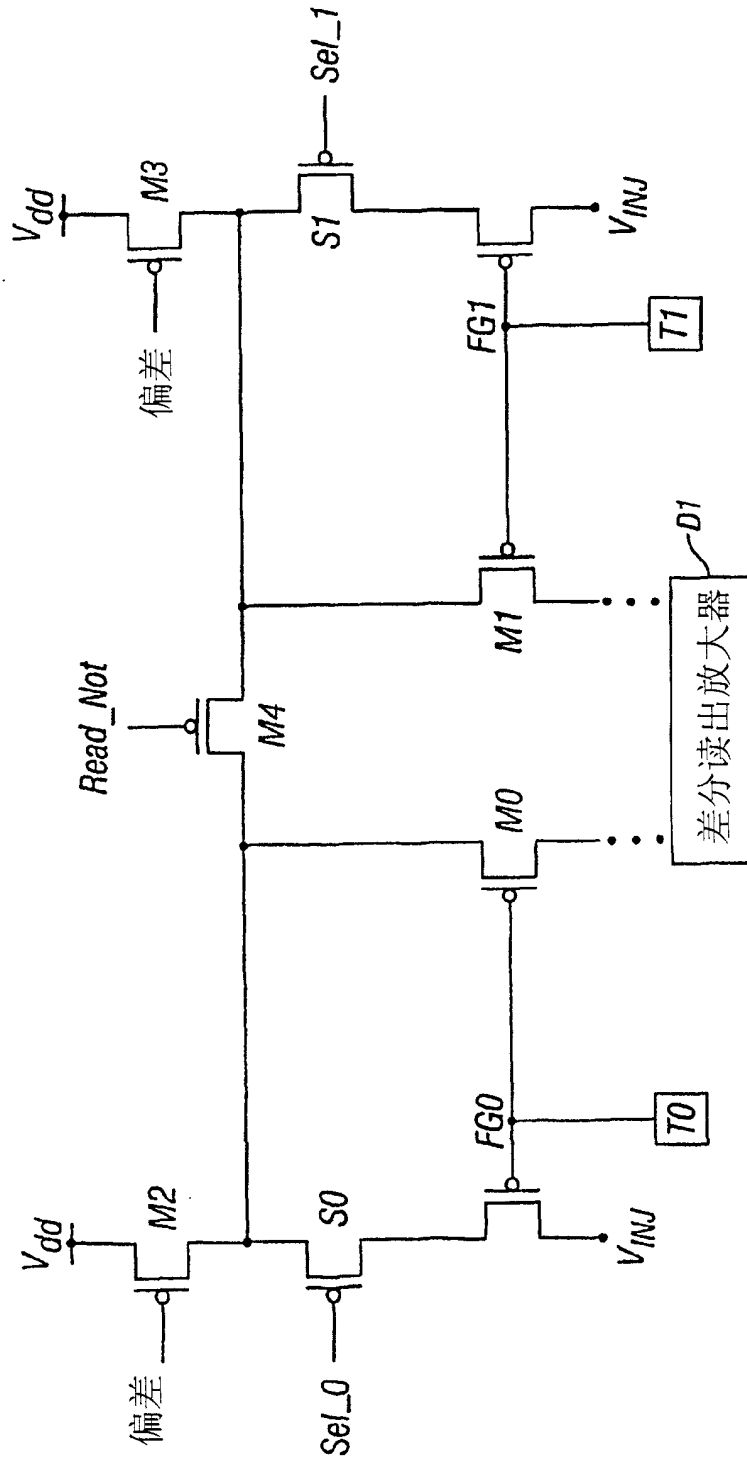


图 18

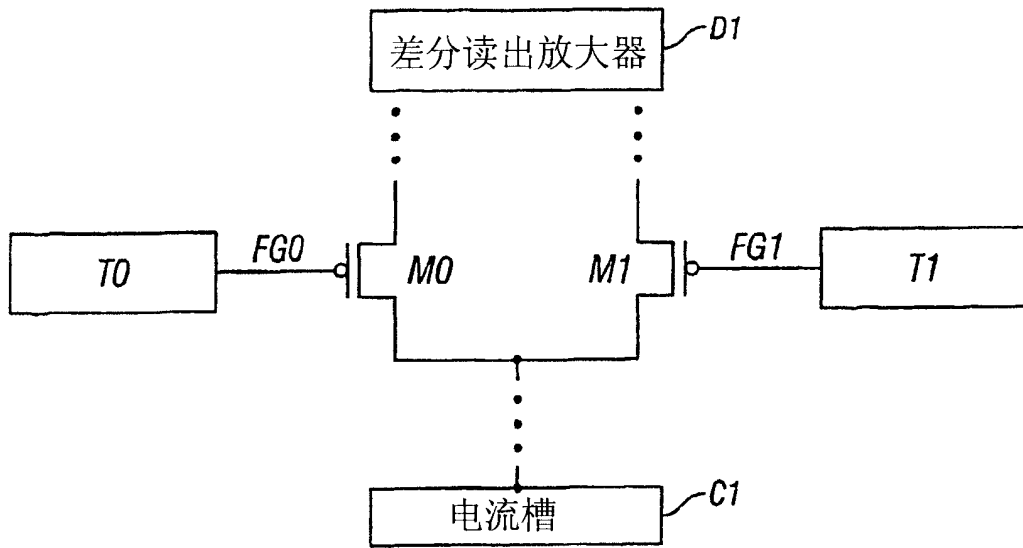


图 19

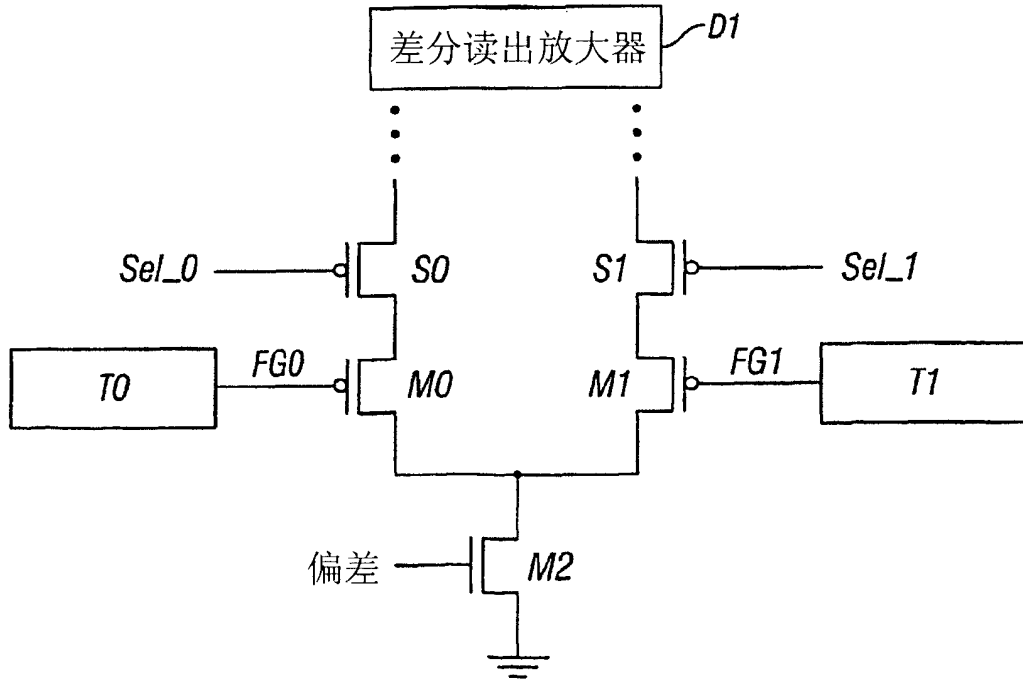


图 20

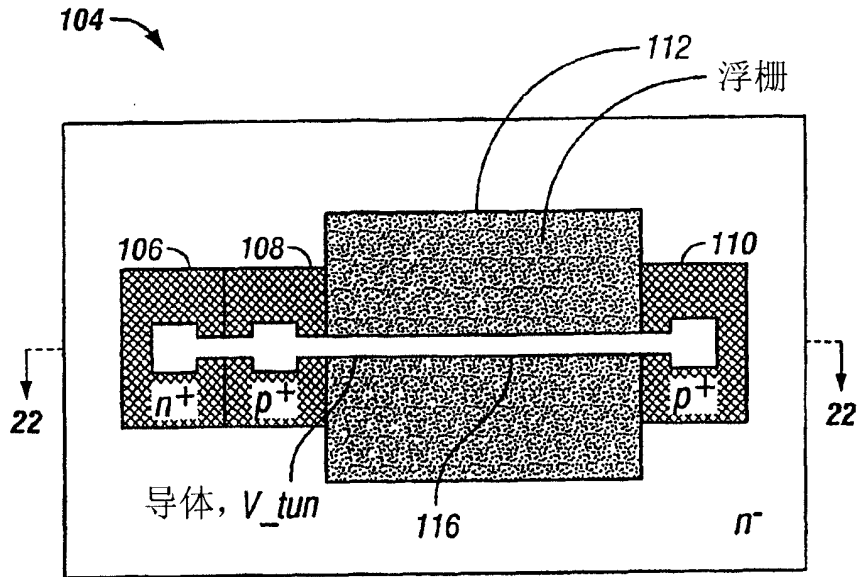


图 21

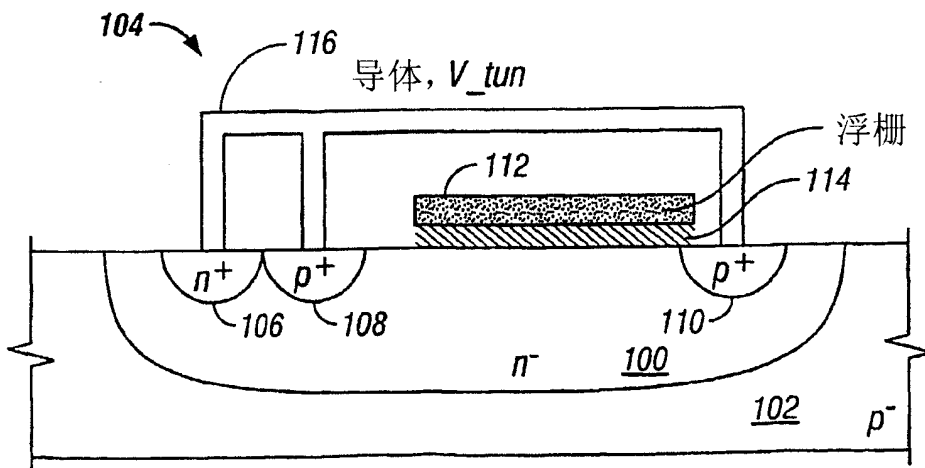


图 22

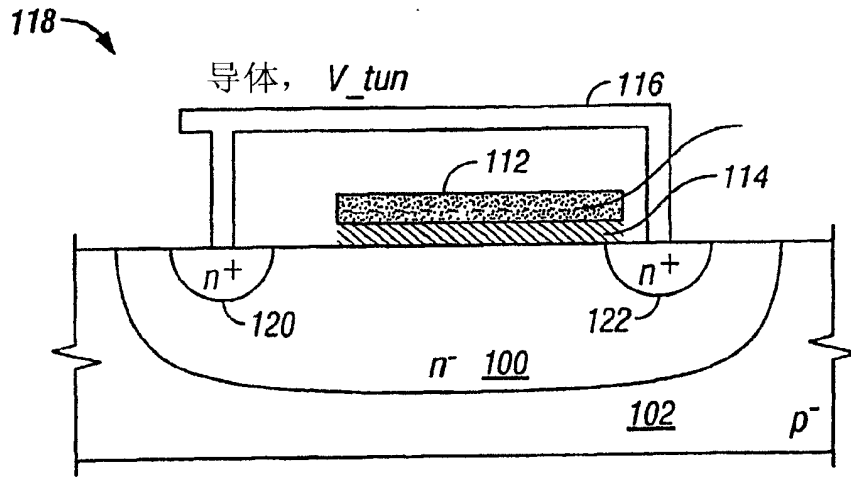


图 23

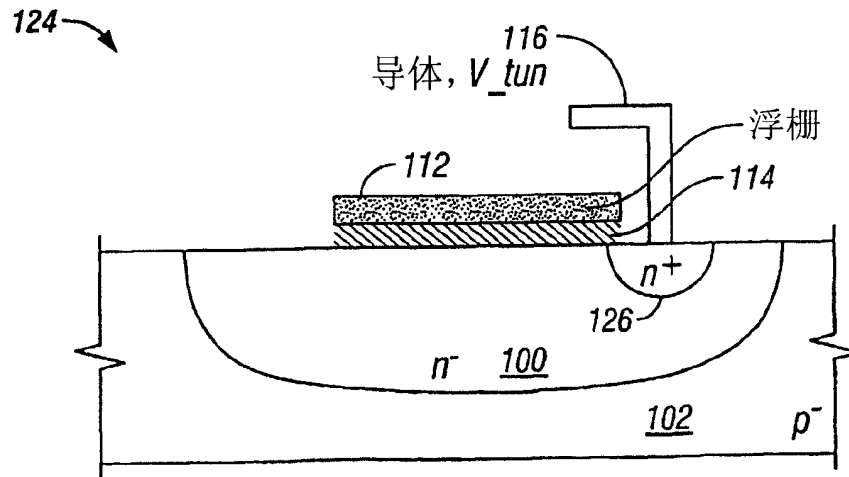


图 24

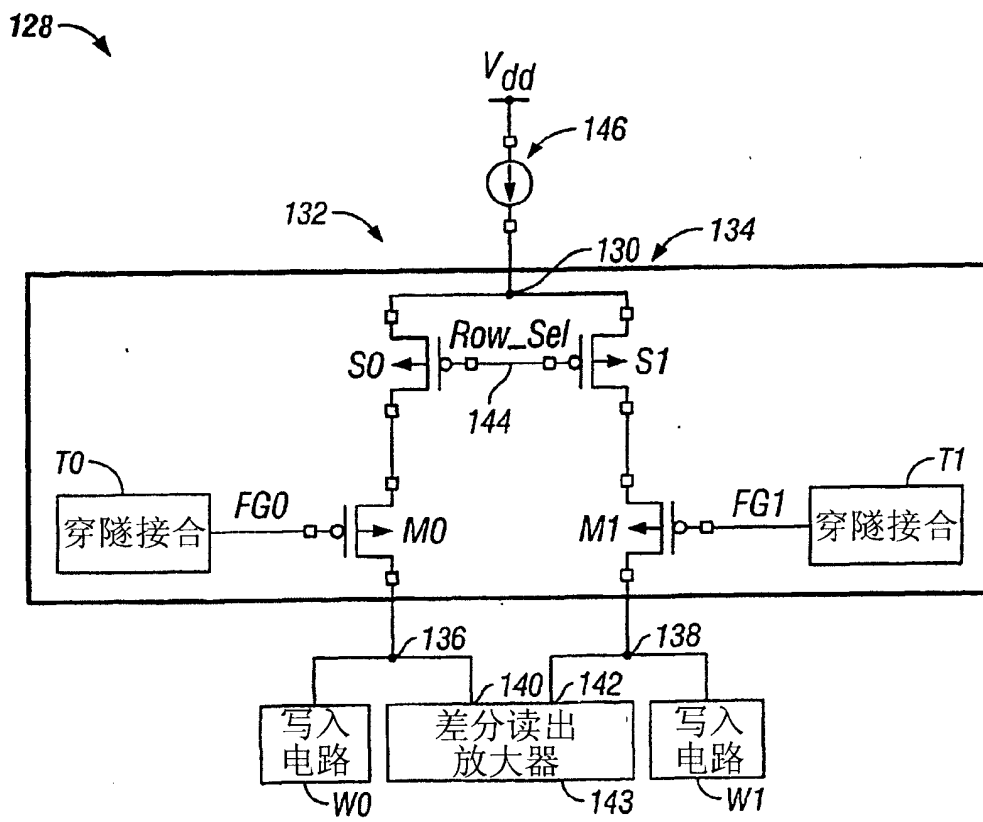


图 25

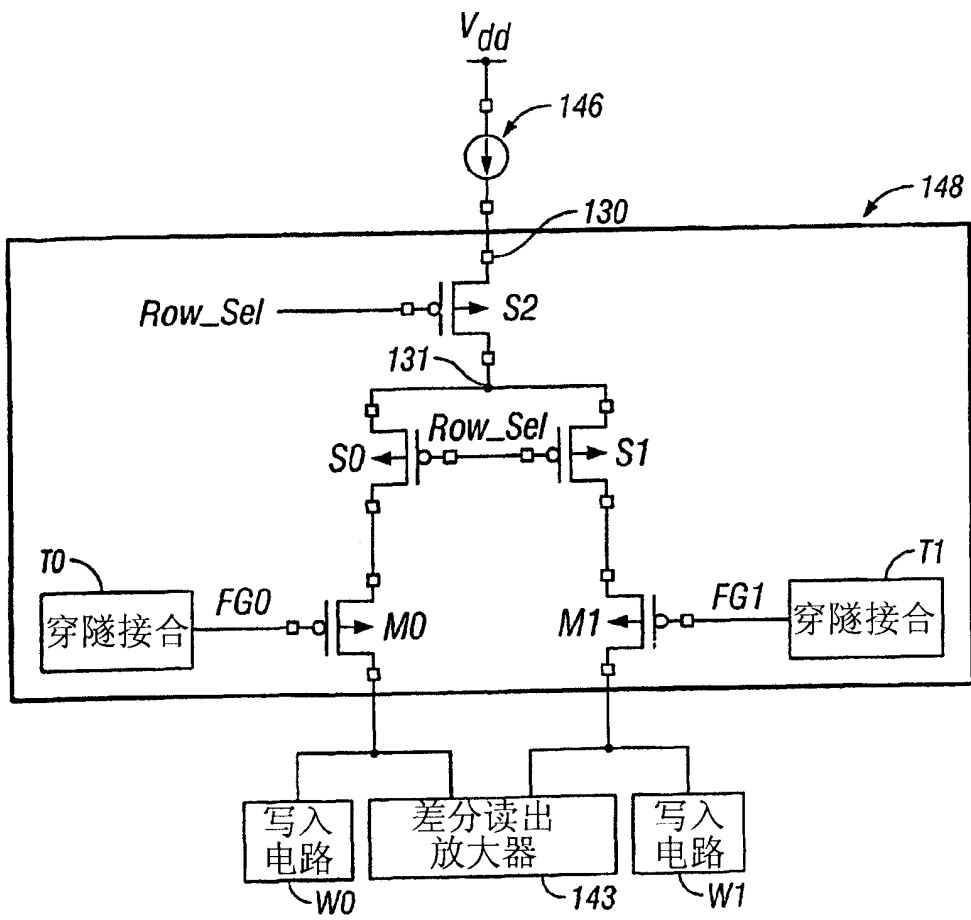


图 26

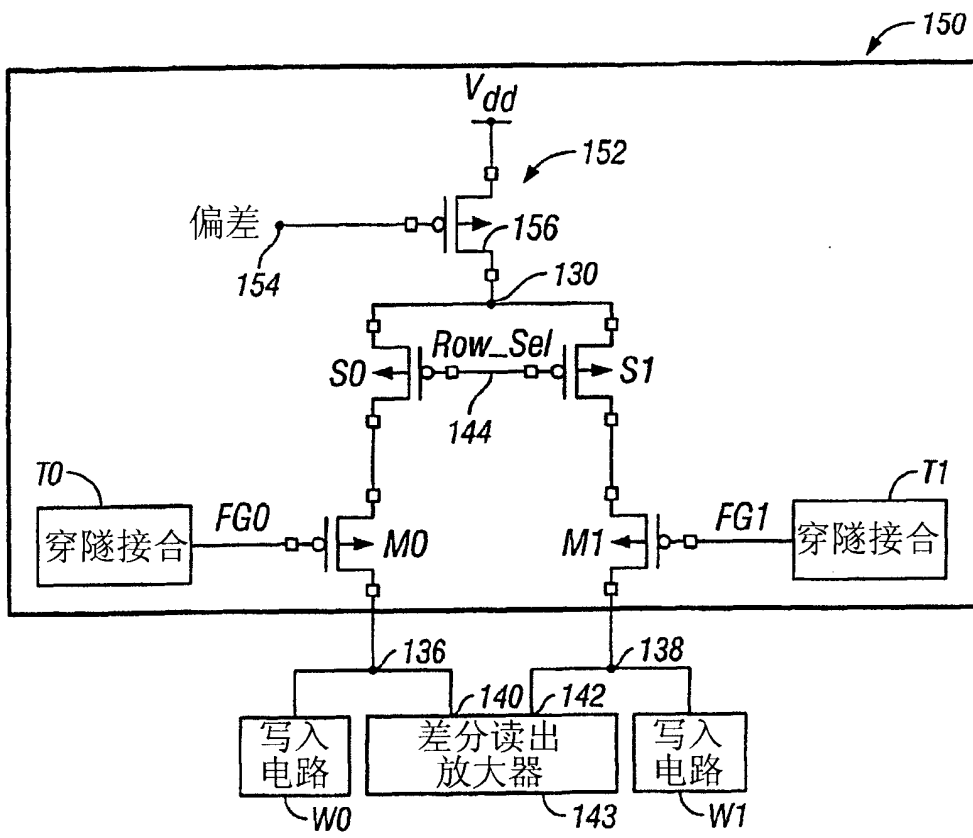


图 27



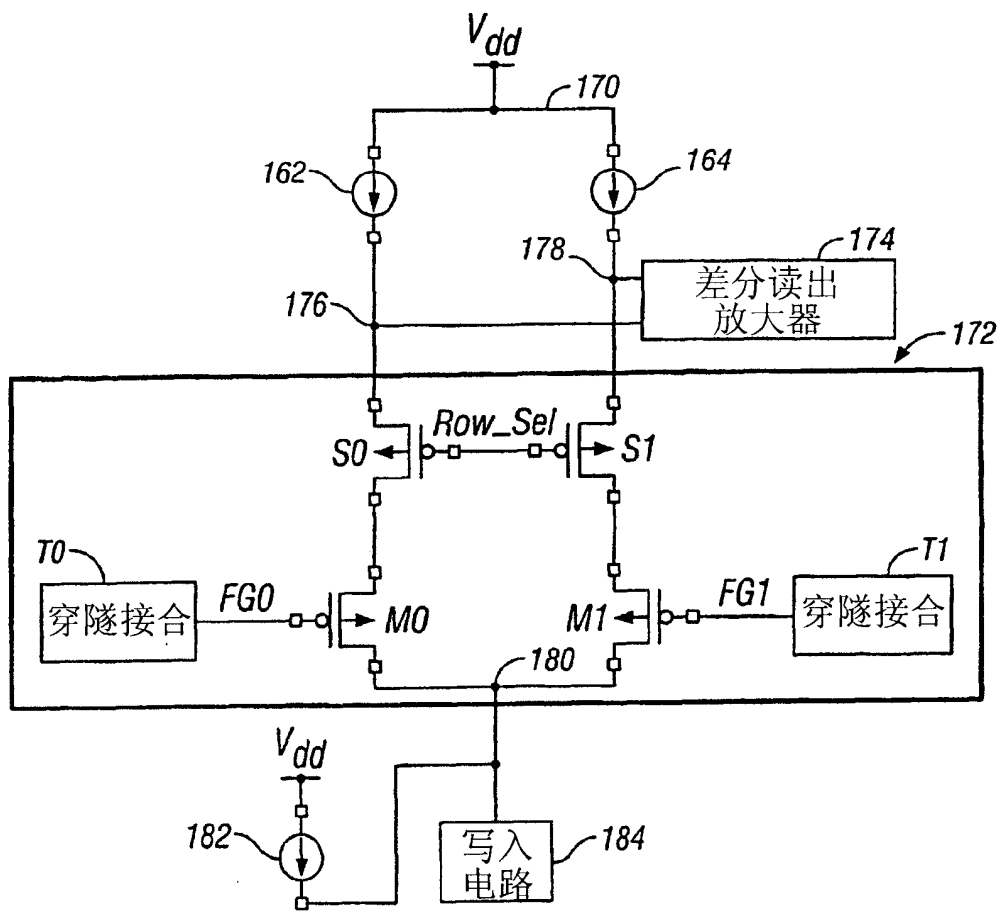


图 29

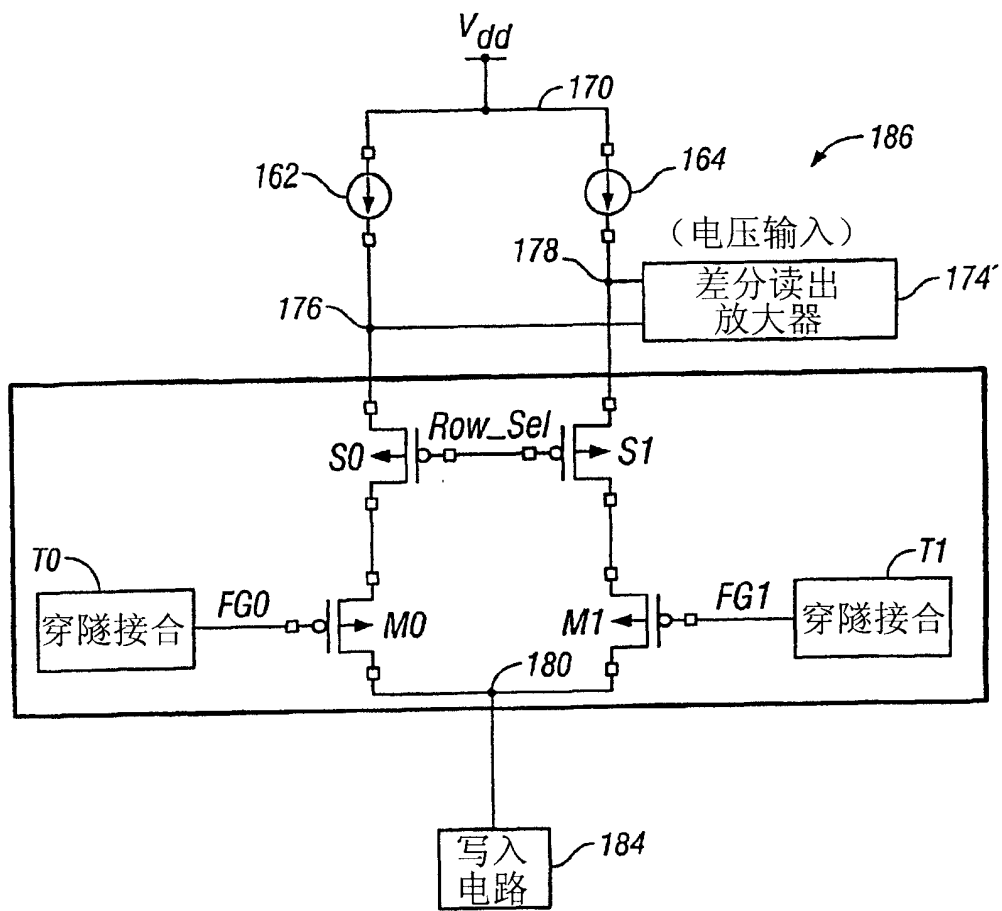


图 30

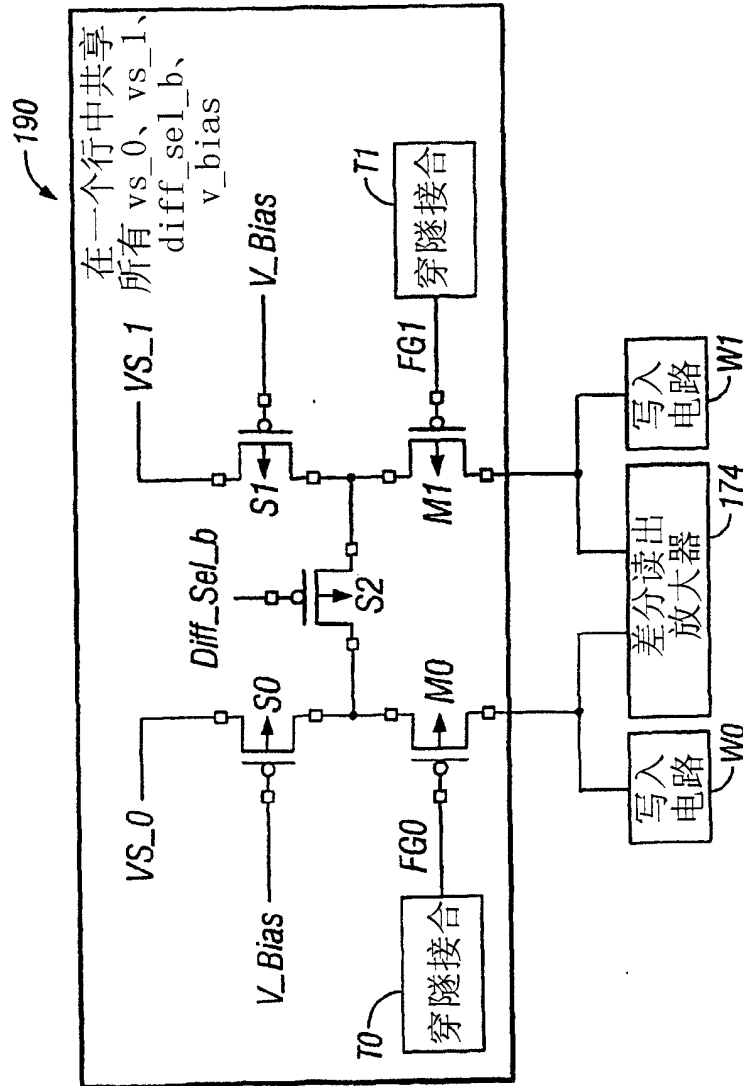


图 31

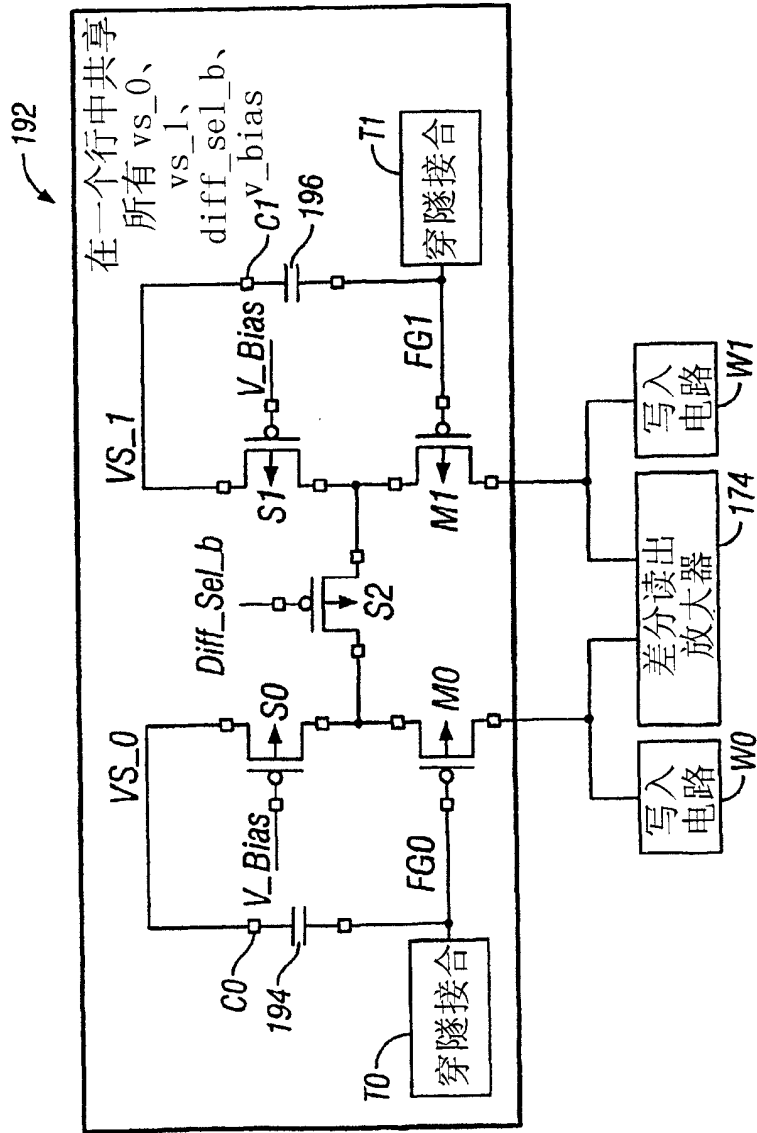


图 32

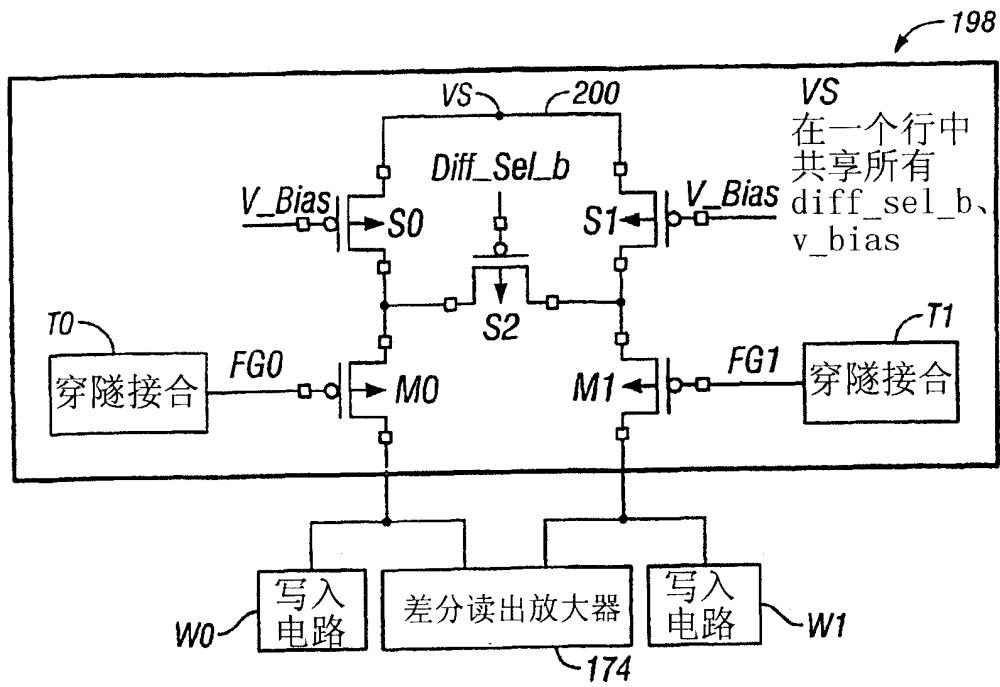


图 33

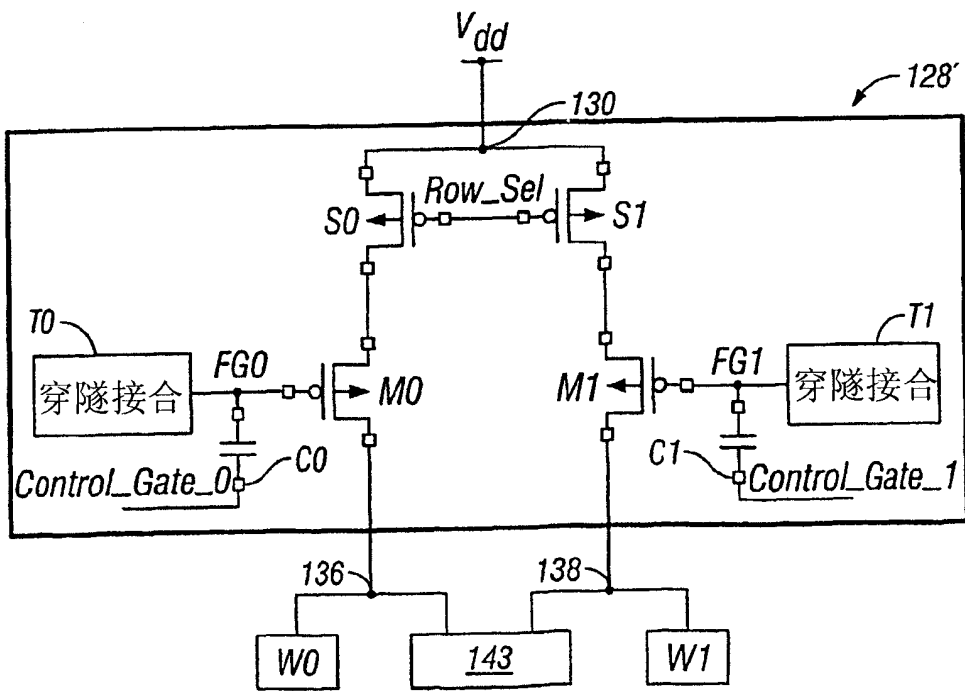


图 34



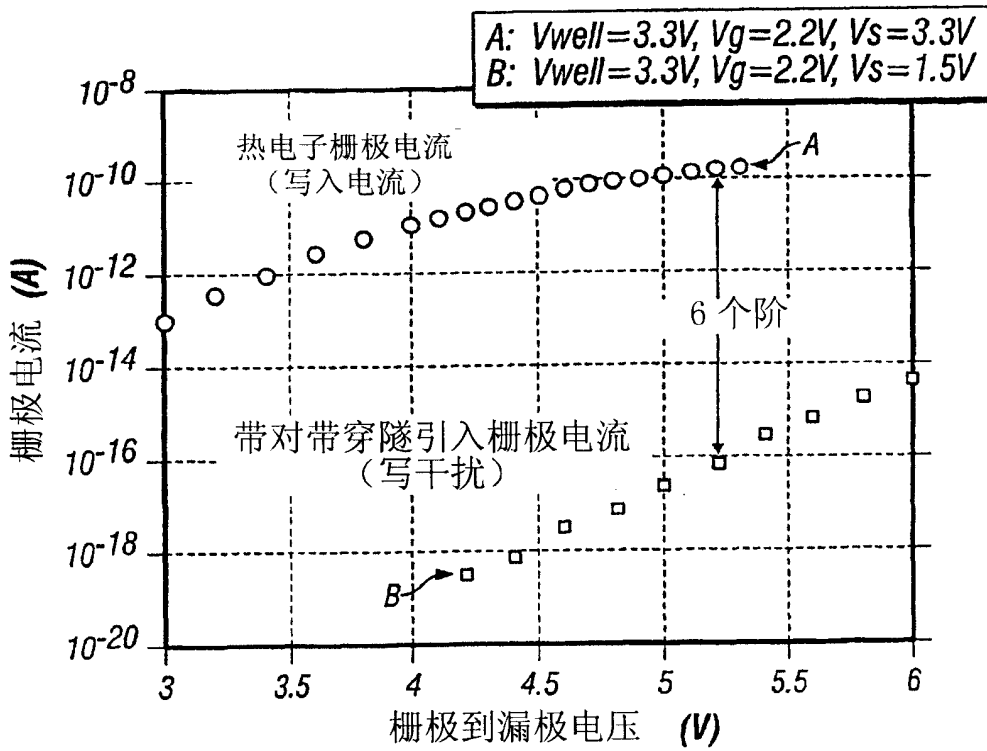


图 36



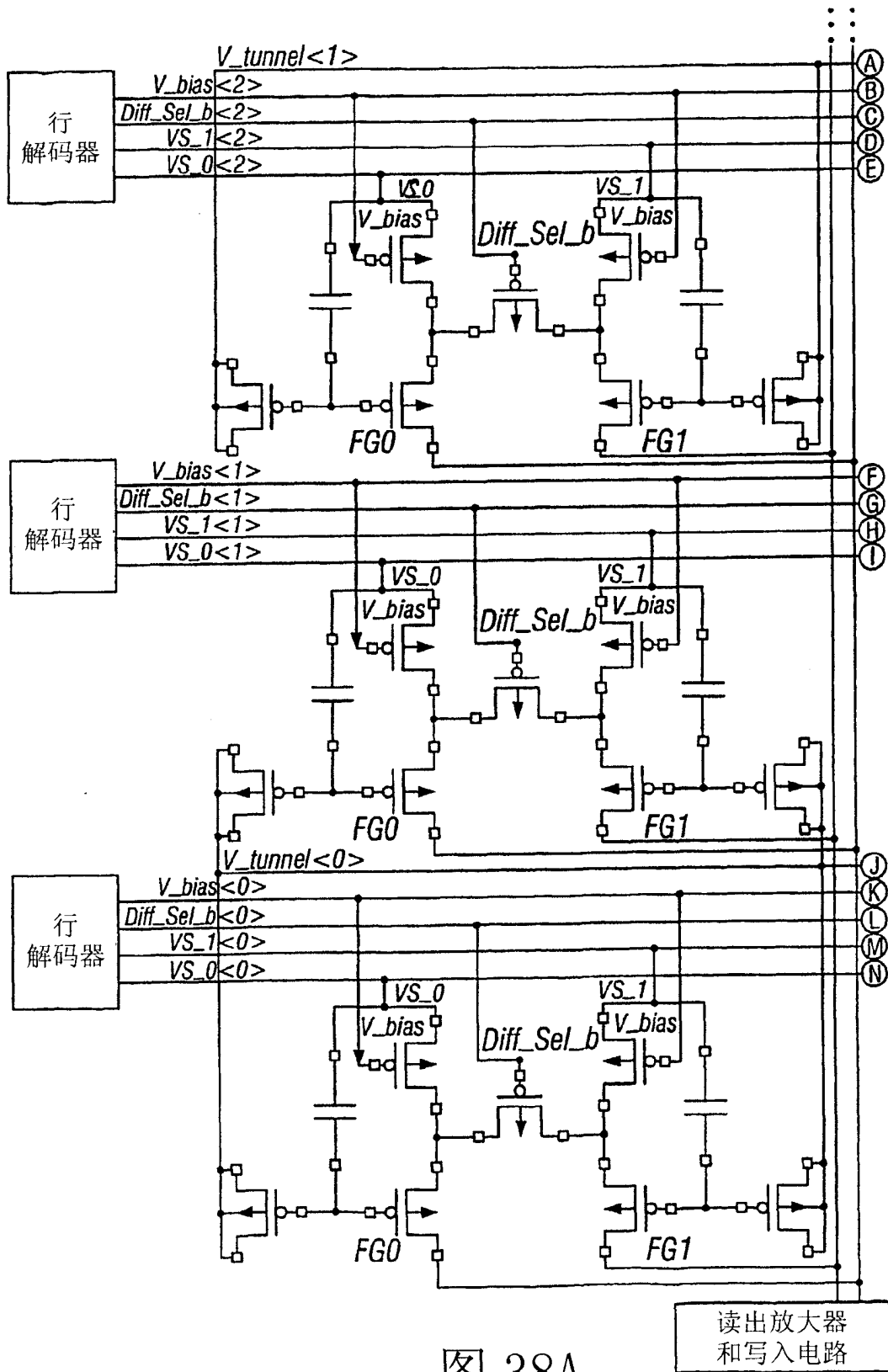


图 38A

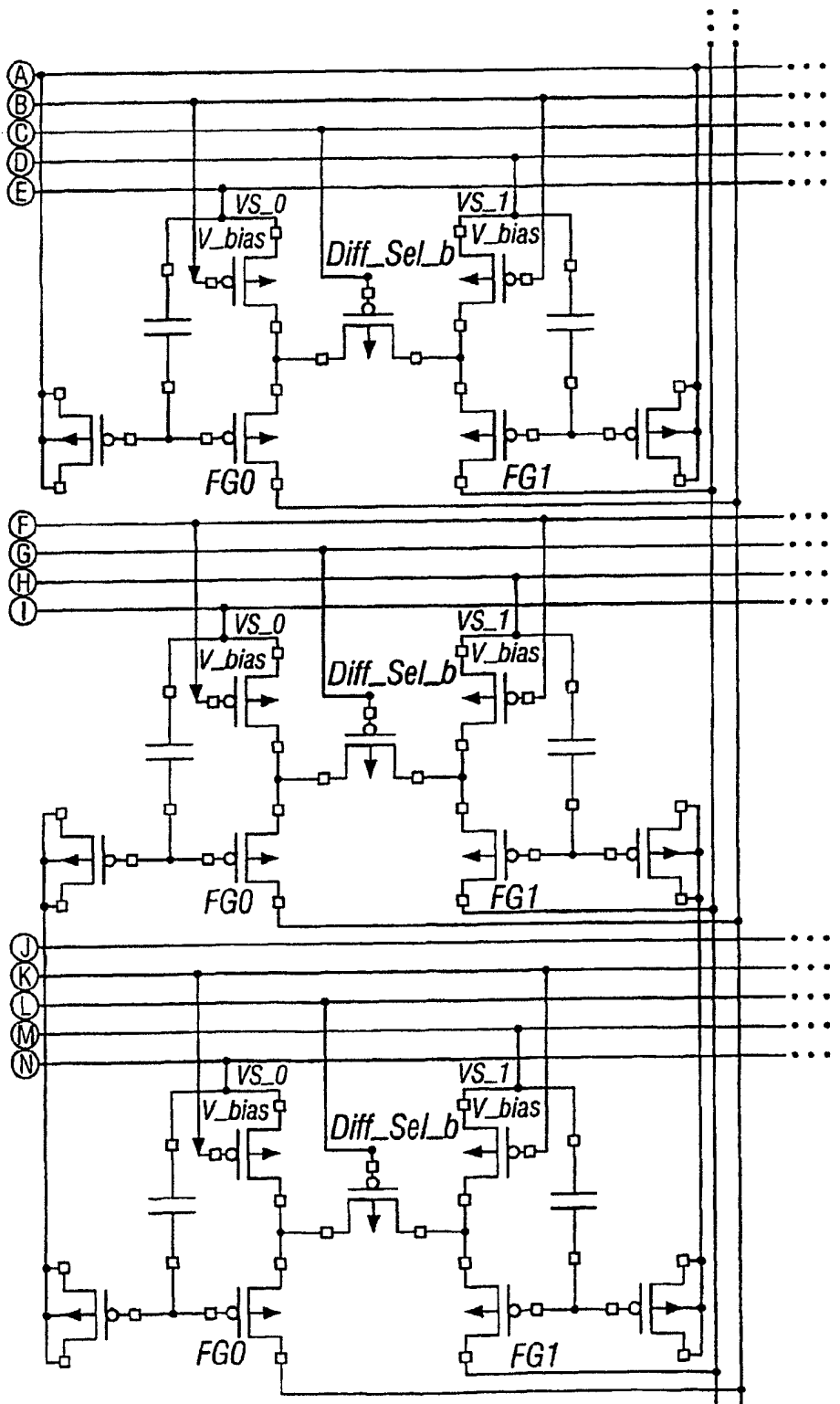


图 38B

读出放大器  
和写入电路

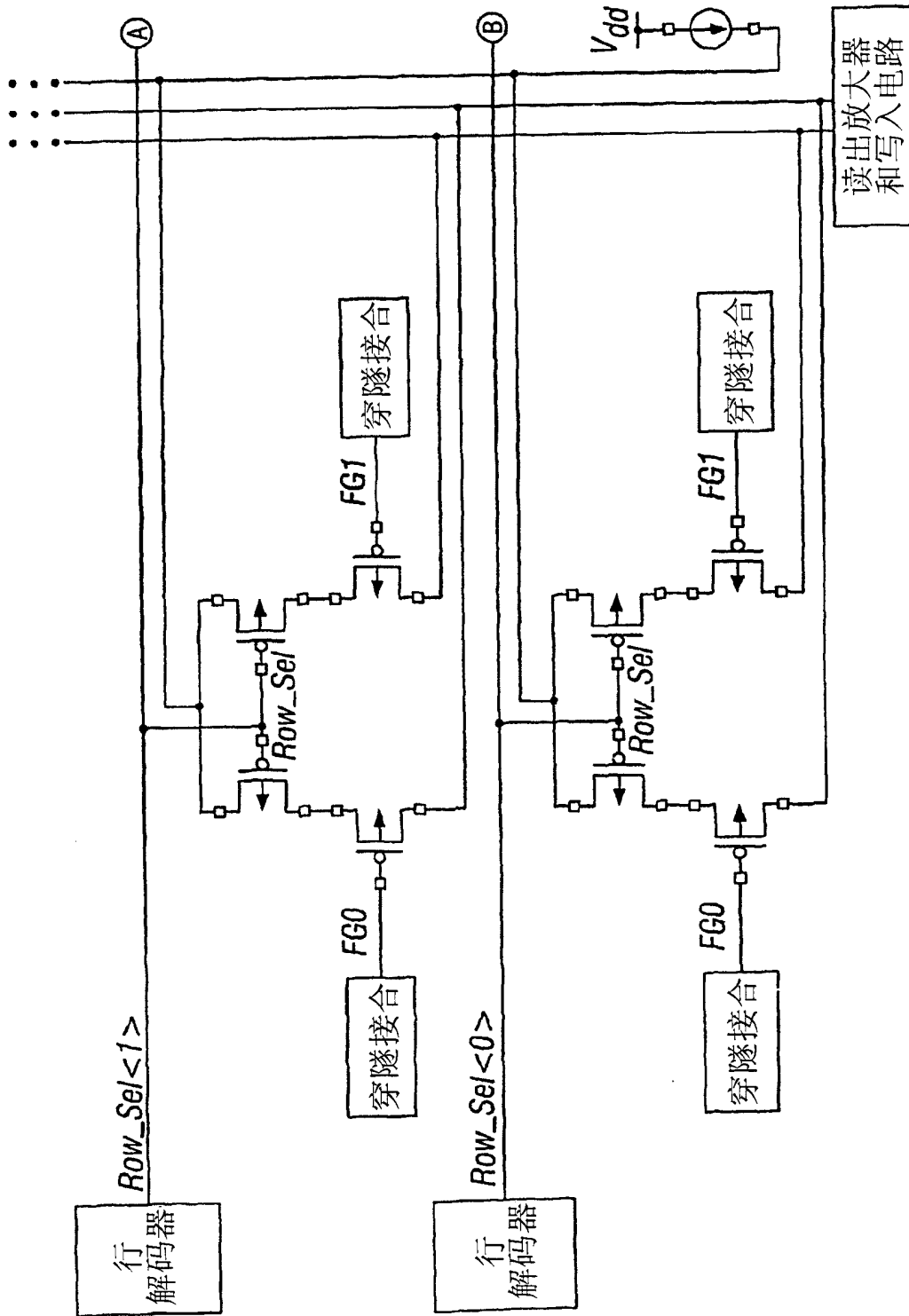


图 39A

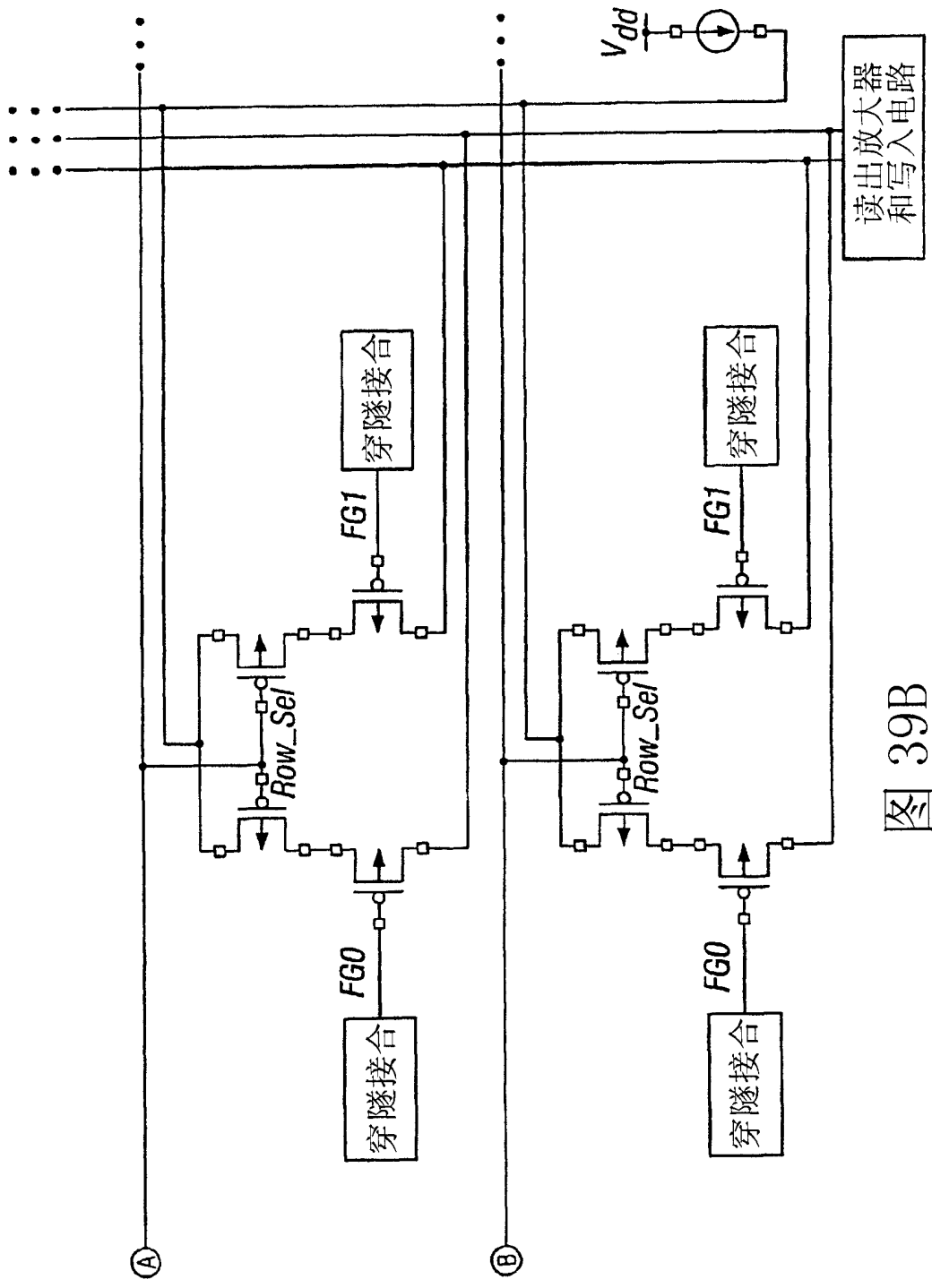


图 39B

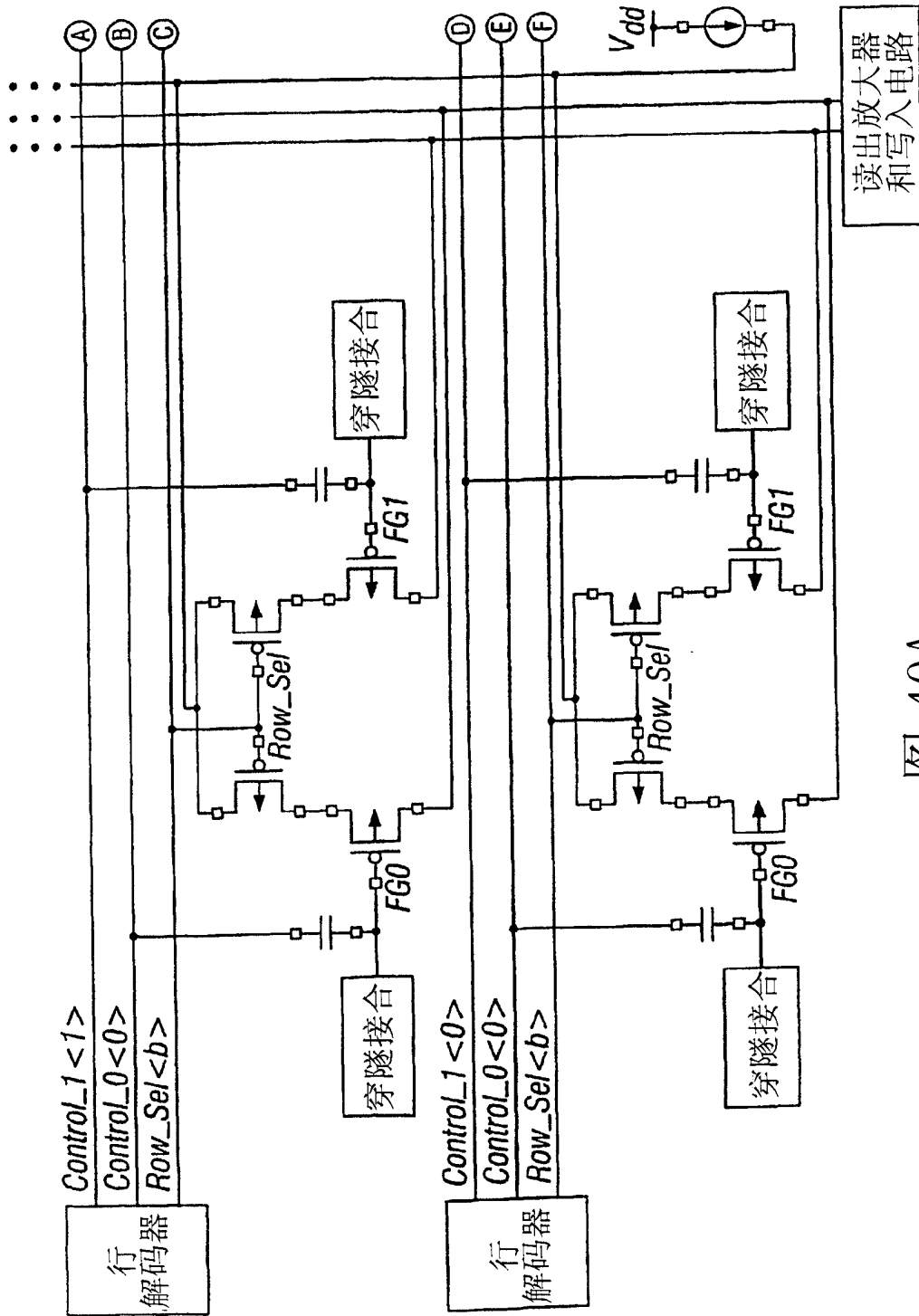


图 40A

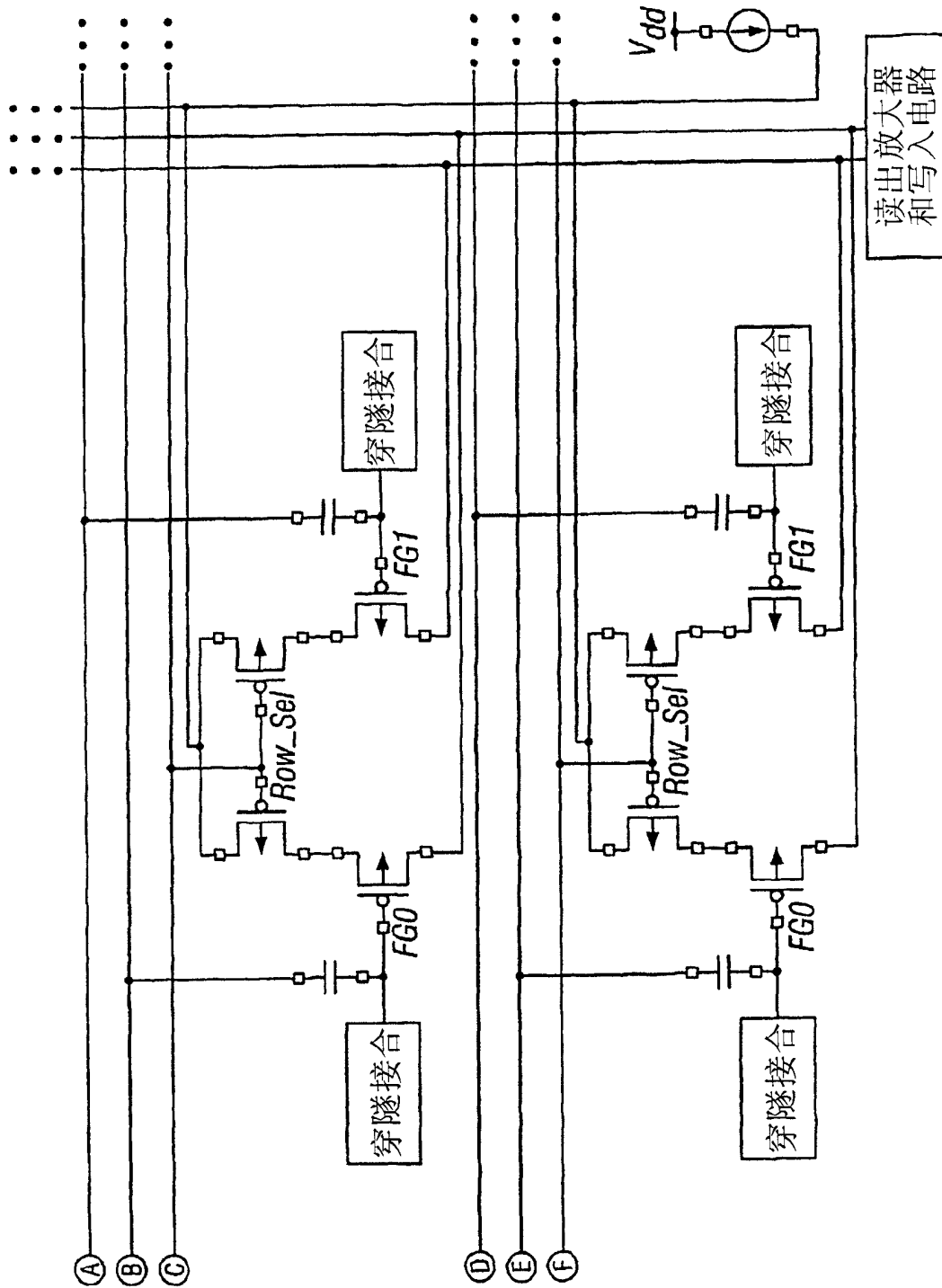


图 40B

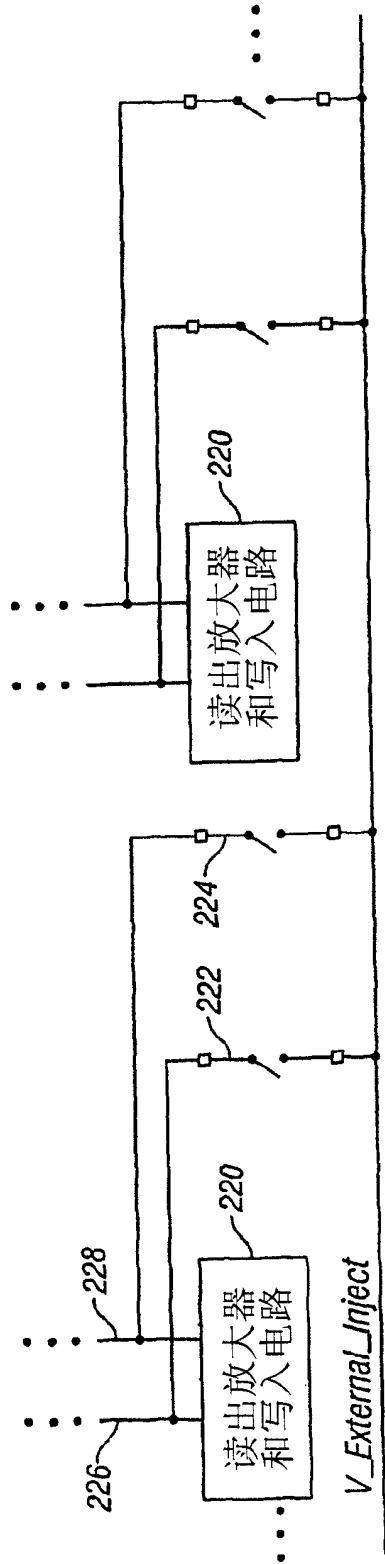


图 41

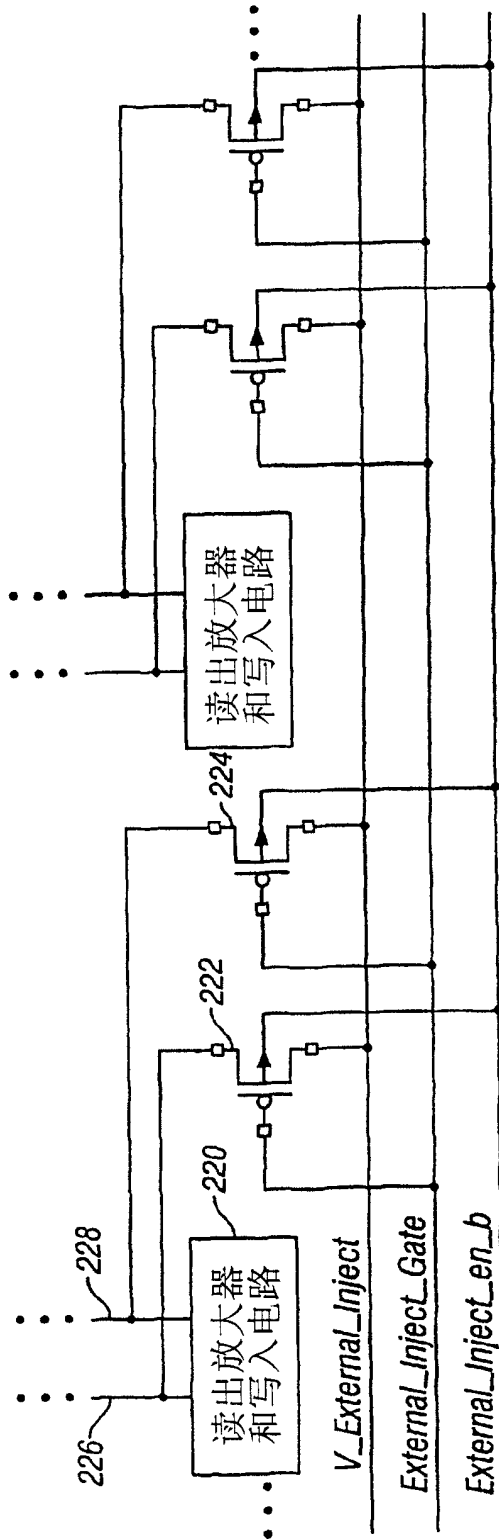


图 42

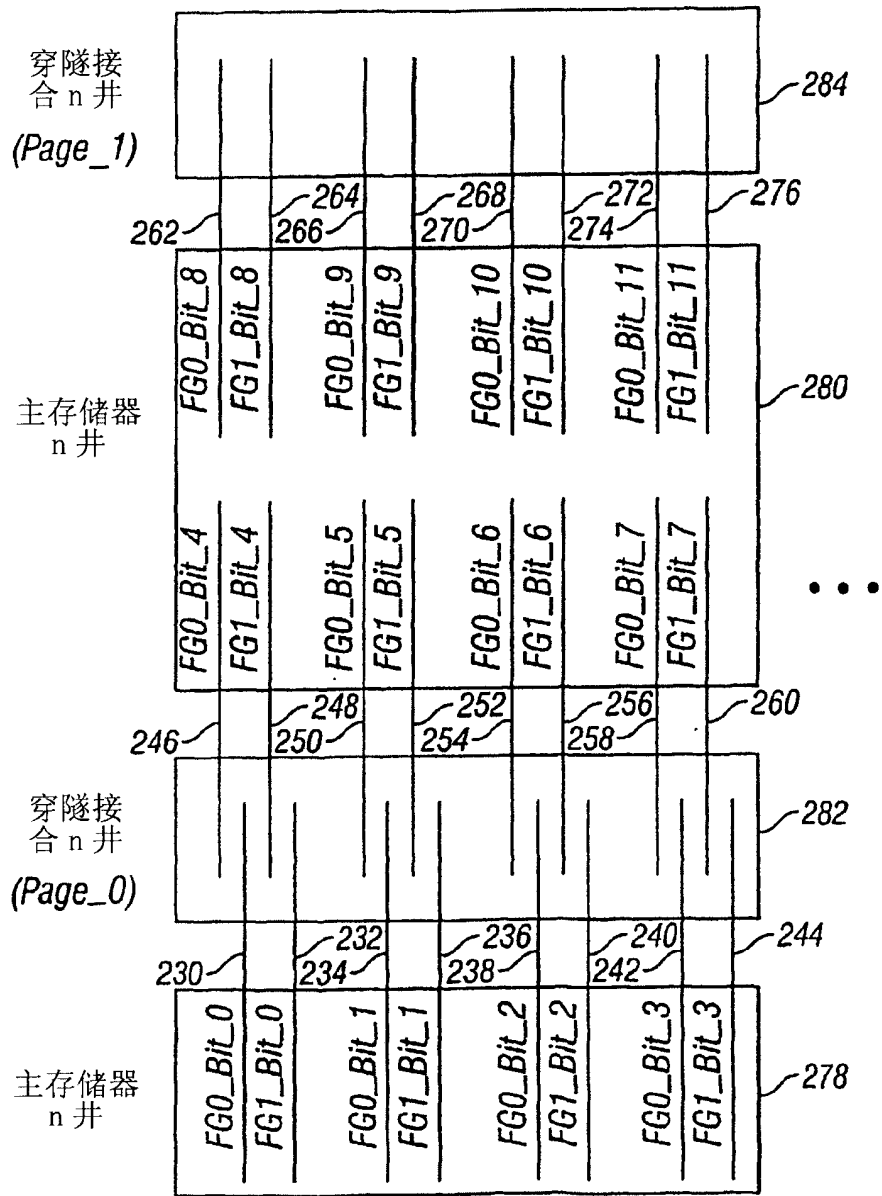


图 43

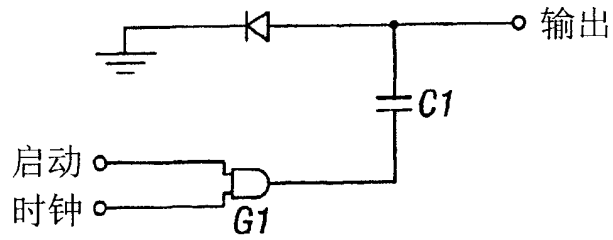


图 44

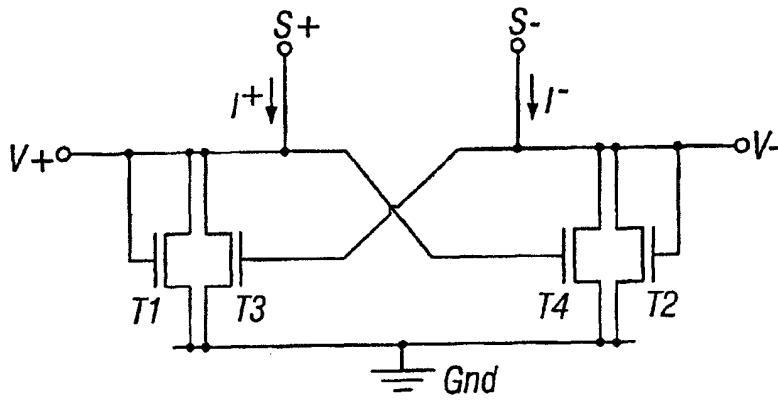


图 45

(现有技术)

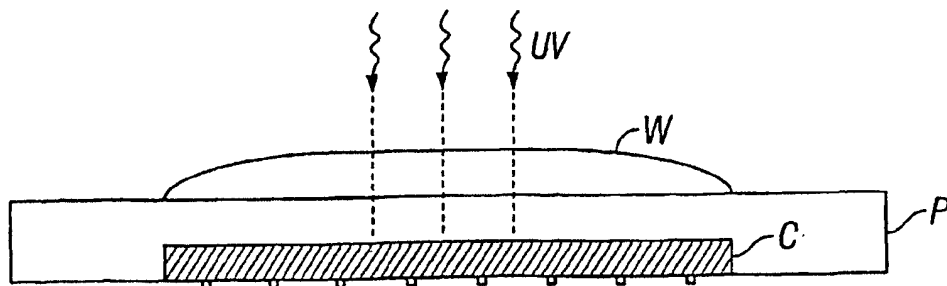


图 46

(现有技术)